



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I741640 B

(45)公告日：中華民國 110 (2021) 年 10 月 01 日

(21)申請案號：109119175

(22)申請日：中華民國 109 (2020) 年 06 月 08 日

(51)Int. Cl.：

G11C7/18 (2006.01)**G11C5/06 (2006.01)****G11C8/00 (2006.01)****H01L21/8239(2006.01)****G06F13/16 (2006.01)**

(30)優先權：2019/07/11 美國

16/508,753

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：羅蘭 克里斯多福 文生 安東尼 LAURENT, CHRISTOPHER VINCENT

ANTOINE (FR)；馬丁力 安德里 MARTINELLI, ANDREA (IT)

(74)代理人：陳長文

(56)參考文獻：

US 6574135B1

US 9921777B2

審查人員：陳明德

申請專利範圍項數：24 項 圖式數：19 共 156 頁

(54)名稱

記憶體子陣列之輸入/輸出線共用之記憶體裝置及方法

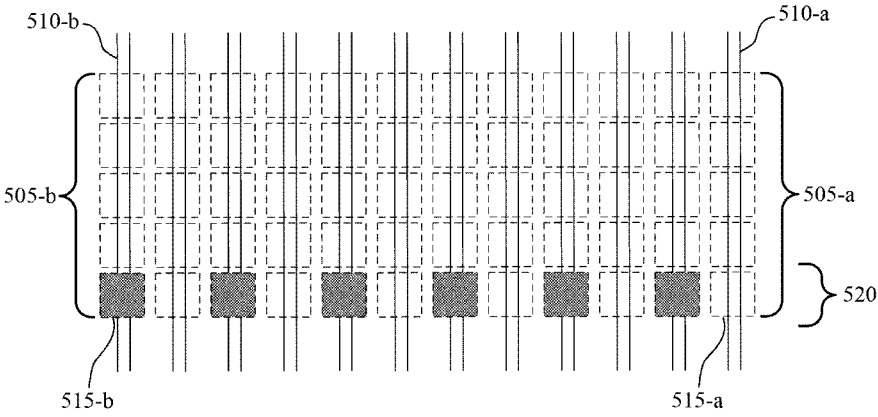
(57)摘要

本發明描述用於記憶體子陣列之輸入/輸出線共用之方法、系統及裝置。I/O 線可跨子陣列共用，該等子陣列可對應於單獨記憶體磚。該 I/O 線共用可允許一 I/O 線回應於與一個位址範圍相關聯之存取命令而自一個子陣列載送資料，且回應於與另一位址範圍相關聯之存取命令而自另一子陣列載送資料。在一些情況中，感測放大器及其他組件亦可跨子陣列(包含跨不同庫中之子陣列)共用。在一些情況中，該 I/O 線共用可支援當存取經儲存於一庫中之資料時僅啟動該庫中之子陣列之一子集，此可提供功率節省。

Methods, systems, and devices for input/output line sharing for memory subarrays are described. I/O lines may be shared across subarrays, which may correspond to separate memory tiles. The sharing of I/O lines may allow an I/O line to carry data from one subarray in response to access commands associated with one address range, and to carry data from another subarray in response to access commands associated with another address range. In some cases, sense amplifiers and other components may also be shared across subarrays, including across subarrays in different banks. The sharing of I/O lines may, in some cases, support activating only a subset of subarrays in a bank when accessing data stored in the bank, which may provide power savings.

指定代表圖：

- 符號簡單說明：
- 500:記憶體陣列
 - 505-a:子陣列
 - 505-b:子陣列
 - 510-a:主 I/O 線
 - 510-b:主 I/O 線
 - 515-a:子陣列
 - 515-b:子陣列
 - 520:目標記憶體庫



【圖5】

500



I741640

【發明摘要】

【中文發明名稱】

記憶體子陣列之輸入/輸出線共用之記憶體裝置及方法

【英文發明名稱】

MEMORY DEVICE AND METHOD FOR INPUT/OUTPUT LINE
SHARING FOR MEMORY SUBARRAYS

【中文】

本發明描述用於記憶體子陣列之輸入/輸出線共用之方法、系統及裝置。I/O線可跨子陣列共用，該等子陣列可對應於單獨記憶體磚。該I/O線共用可允許一I/O線回應於與一個位址範圍相關聯之存取命令而自一個子陣列載送資料，且回應於與另一位址範圍相關聯之存取命令而自另一子陣列載送資料。在一些情況中，感測放大器及其他組件亦可跨子陣列(包含跨不同庫中之子陣列)共用。在一些情況中，該I/O線共用可支援當存取經儲存於一庫中之資料時僅啟動該庫中之子陣列之一子集，此可提供功率節省。

【英文】

Methods, systems, and devices for input/output line sharing for memory subarrays are described. I/O lines may be shared across subarrays, which may correspond to separate memory tiles. The sharing of I/O lines may allow an I/O line to carry data from one subarray in response to access commands associated with one address range, and to carry data from another subarray in response to access commands associated with another address range. In some cases, sense amplifiers and other components may also be shared across subarrays, including

across subarrays in different banks. The sharing of I/O lines may, in some cases, support activating only a subset of subarrays in a bank when accessing data stored in the bank, which may provide power savings.

【指定代表圖】

圖5

【代表圖之符號簡單說明】

500:記憶體陣列

505-a:子陣列

505-b:子陣列

510-a:主I/O線

510-b:主I/O線

515-a:子陣列

515-b:子陣列

520:目標記憶體庫

【發明說明書】

【中文發明名稱】

記憶體子陣列之輸入/輸出線共用之記憶體裝置及方法

【英文發明名稱】

MEMORY DEVICE AND METHOD FOR INPUT/OUTPUT LINE SHARING FOR MEMORY SUBARRAYS

【技術領域】

【0001】 技術領域係關於記憶體子陣列之輸入/輸出線共用。

【先前技術】

【0002】 下文大體上係關於一種包含至少一個記憶體裝置之系統且更具體而言係關於一記憶體裝置內之記憶體子陣列之輸入/輸出線共用。

【0003】 記憶體裝置廣泛用來將資訊儲存於各種電子裝置中，諸如電腦、無線通信裝置、相機、數位顯示器及類似物。藉由程式化一記憶體裝置之不同狀態來儲存資訊。例如，二進位裝置最通常儲存兩種狀態之一者，通常由一邏輯1或一邏輯0表示。在其他裝置中，可儲存兩種以上狀態。為了存取經儲存之資訊，該裝置之一組件可讀取或感測記憶體裝置中之至少一個經儲存狀態。為了儲存資訊，該裝置之一組件可將狀態寫入或程式化於記憶體裝置中。

【0004】 存在各種類型之記憶體裝置，包含磁性硬碟、隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、快閃記憶體、相變記憶體(PCM)等。記憶體裝置可為揮發性或非揮發性的。非揮發性記憶體(例如，FeRAM)可甚至在不存在一外部電源之情況下維持其等經儲存之邏輯狀態達延長時段。揮發性記憶體裝置

(例如，DRAM)可在與一外部電源斷開連接時丟失其等經儲存之狀態。FeRAM可能夠達成類似於揮發性記憶體之密度，但可歸因於使用一鐵電電容器作為一儲存裝置而具有非揮發性質。

【0005】 一記憶體裝置可包含一記憶體陣列，該記憶體陣列可進一步包含多個子陣列。在一些情況中，輸入/輸出(I/O)線可用來將資料傳送至一記憶體陣列及自一記憶體陣列傳送資料，包含將資料傳送至該記憶體陣列內之一或多個子陣列及自該記憶體陣列內之一或多個子陣列傳送資料。

【發明內容】

【圖式簡單說明】

【0006】 圖1繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一系統之一實例。

【0007】 圖2繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體晶粒之一實例。

【0008】 圖3繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體佈局之一實例。

【0009】 圖4繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體磚之一實例佈局。

【0010】 圖5繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0011】 圖6繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體子陣列之一實例。

【0012】 圖7繪示根據如本文中所揭示之實例之支援記憶體子陣列

之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0013】 圖8繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0014】 圖9繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0015】 圖10繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0016】 圖11繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0017】 圖12繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0018】 圖13繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0019】 圖14繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0020】 圖15繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0021】 圖16繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0022】 圖17繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列之態樣之一實例。

【0023】 圖18展示根據本發明之支援記憶體子陣列之輸入/輸出線共用之一記憶體裝置之一方塊圖。

【0024】圖19展示繪示根據如本文中所揭示之支援記憶體子陣列之輸入/輸出線共用之一方法或若干方法之一流程圖。

【實施方式】

【0025】本專利申請案主張Laurent等人於2019年7月11日申請之標題為「INPUT/OUTPUT LINE SHARING FOR MEMORY ARRAYS」之美國專利申請案第16/508,753號之優先權，該專利申請案已讓渡給其受讓人且其全文以引用方式明確地併入本文中。一記憶體裝置可包含一記憶體陣列，該記憶體陣列可進一步包含多個子陣列。在一些情況中，一子陣列可稱為記憶體磚或記憶體區塊，且可對應於一記憶體磚或記憶體區塊或以其他方式包含於一記憶體磚或記憶體區塊中。在一些情況中，一記憶體陣列之子陣列可被分組為多個群組，且一子陣列群組可稱為記憶體庫或記憶體區段。例如，該等子陣列可經配置成(例如，一拼塊陣列之)行及列，且子陣列之一列可為一庫。

【0026】一存取操作可存取一或多個子陣列中之記憶體胞(例如，記憶體胞之一列)。例如，一存取操作可存取一相同庫之一或多個子陣列中之記憶體胞。可用於存取之一組記憶體胞(例如，記憶體胞之一經啟動之列，其可與一經啟動之字線耦合)可稱為記憶體胞頁，且包含於該頁中之記憶體胞之數目(或由此儲存之一資料量)稱為頁大小。一子陣列可包含或相關聯於某一數目個感測放大器(例如，可包含於與該等感測放大器相同之一磚中)，其等可支援子陣列之記憶體胞之存取操作(例如，讀取或寫入操作)。

【0027】輸入/輸出(I/O)線可用來將資料傳送至一記憶體陣列及自一記憶體陣列傳送資料，包含將資料傳送至該記憶體陣列內之一或多個子

陣列及自該記憶體陣列內之一或多個子陣列傳送資料。如本文中所使用，一I/O線可指代經組態以遞送與一存取操作相關聯之一或多個資訊位元之一記憶體裝置之一信號路徑或匯流排。I/O線可包含主I/O線，該等主I/O線可橫越多個子陣列(例如，與多個子陣列至少部分地交叉，耦合或可耦合，支援傳送多個子陣列之資料)。I/O線亦可包含本端I/O線，該等本端I/O線可經組態以在一子陣列與一主I/O線之間傳送資料。在一些情況中，一本端I/O線可專用於該子陣列，且在一些情況中，可不與子陣列邊界交叉(例如，可不延伸超過該子陣列之邊緣)或在一個以上子陣列上方或下方交叉。

【0028】 然而，在一些情況中，如本文中所描述，至少一些本端I/O線可經組態以將資料傳送至至少兩個子陣列之一選定者或自至少兩個子陣列之一選定者傳送資料。即，可在兩個或更多個子陣列之間共用(例如，借用或可借用)至少一些本端I/O線。一些此等本端I/O線可橫越至少一個子陣列邊界及至少兩個子陣列。另外或替代地，至少一些本端I/O線可經組態以將資料傳送至至少兩個主I/O線之一選定者或自至少兩個主I/O線之一選定者傳送資料。

【0029】 在一些情況中，如本文中所描述，一記憶體裝置可利用多種頁模式，該多種頁模式可分別對應於多個不同頁大小。例如，共用本文中所描述之技術及組態之I/O線可支援不同頁大小。在一些情況中，一全頁可指代在一庫之全部子陣列中包含記憶體胞之一頁(例如，記憶體胞之一列)，且一縮減頁可指代在該庫之僅一些子陣列中(例如，在該庫之子陣列之僅一子集中)包含記憶體胞之一頁(例如，記憶體胞之一列)。

【0030】 在一些情況中，可將一開啟(例如，經啟動之)頁中之記憶

體胞之僅一子集之資訊(例如，位元)傳送至記憶體裝置中或自記憶體裝置傳送出(例如，傳送至陣列中或自該陣列傳送出)。例如，子陣列可包含組織成列及行之記憶體胞，且一行遮罩(其可替代地稱為行選擇或行位址或由行選擇或行位址指示)可包含於一存取命令中或以其他方式與一存取命令相關聯(例如，一讀取或寫入命令)且可指定一經啟動之列中之記憶體胞之僅一子集(例如，選定記憶體胞、選定行)以讀取或寫入至該陣列或裝置中或自該陣列或裝置讀取或寫入。該頁中之非選定記憶體胞可為可存取且在一些情況中，可經感測(例如，讀取)(例如，出於寫回或再新目的)，但對應資料可未傳送至該陣列或裝置或自該陣列或裝置傳送出(例如，可能並非由一主I/O線載送)。結合一個存取操作(例如，作為一個存取操作之一結果，執行或實行一個存取操作)傳送至記憶體裝置中或自記憶體裝置傳送出之資訊數量可稱為資料封包、資料叢發或碼字。

【0031】 因此，在一些情況中，針對由一記憶體裝置支援之全部頁大小(例如，一全頁大小或一縮減頁大小)，用於一存取操作之碼字可具有一相同大小(例如，小於有效頁大小)，且因此即使不同數目個記憶體胞可取決於頁大小而包含於開啟頁中，亦可將相同數量之資訊(例如，位元)傳送至一記憶體陣列中或自記憶體陣列傳送出(例如，傳送至該記憶體陣列之一庫中或自該庫傳送出)。因此，在一些情況中，針對由該記憶體裝置支援之全部頁大小，一存取操作可能致使由用於該記憶體裝置或其庫之主I/O線載送相同數量之資訊(例如，位元)。

【0032】 在一些情況中，一縮減頁模式可用來減少由記憶體裝置使用之功率量。例如，當該裝置已置於縮減頁模式(其可替代地稱為低功率或降低功率模式)中時，一命令(例如，一啟動命令)可指示用於啟動之一

庫內之子陣列之僅一子集(例如，藉由指示一行位址範圍，其中一庫內之不同子陣列與不同行位址範圍相關聯)，且僅可啟動經指示用於啟動之該等子陣列，該庫內之其他磚子陣列可保持撤銷啟動。因此，在一些情況中，可藉由減少一經啟動之庫內之經啟動之子陣列之數目及因此包含於開啟頁中之記憶體胞之數目來降低功率消耗。例如，與保持撤銷啟動之子陣列相關聯之電路之一或多個態樣可保持撤銷啟動。另外或替代地，可不感測子陣列中保持撤銷啟動之記憶體胞，此可隨著時間減少個別記憶體胞被存取之次數且因此可進一步改良記憶體裝置之效率及壽命。一般技術者可明白此等及其他益處。

【0033】一些記憶體裝置可藉由在一庫內之陣列之對或其他組之間實施一或多個分流器來實現一經啟動之庫中之子陣列之僅一子集之啟動。例如，該庫內之兩個子陣列可經組態使得當記憶體陣列以縮減頁模式操作時，兩個子陣列之一者將保持撤銷啟動而另一者保持啟動。一分流器可經實施以組合或以其他方式耦合相關聯於兩個子陣列之一者之一第一本端I/O線與相關聯於兩個子陣列之另一者之一第二本端I/O線(例如，可將第一本端I/O線內之個別跡線或其他結構與第二本端I/O線內之對應跡線或其他結構短接在一起)。在此等情況中，兩個子陣列之一者可對應於行位址空間(例如，範圍)之一半(例如，可使用其定址)，且兩個子陣列之另一者可對應於行位址空間之另一半(例如，可使用其定址)。該分流器可包含一資料路徑，該資料路徑可經組態以當存取第二子陣列時將資料自第一子陣列載送至與第二子陣列相關聯(例如，橫越第二子陣列，下伏於第二子陣列)之一第二主I/O線，且當存取第一子陣列時將資料自第二子陣列載送至與第一子陣列相關聯(例如，橫越第一子陣列，下伏於第一子陣列)之一第

一主I/O線。該分流器即使當啟動兩個子陣列時亦可如此操作，但當使用縮減頁模式時亦可支援撤銷啟動兩個子陣列之一未經存取者。

【0034】 儘管可在鐵電記憶體裝置之背景內容中提供本文中之特定實例，但本文中之教示可應用於廣泛範圍之記憶體裝置。例如，如本文中所描述之結構及技術可用於鐵電或其他記憶體裝置中，其中可將邏輯或其他電路放置於記憶體陣列之記憶體胞下方或上方(例如，比記憶體陣列之記憶體胞更靠近或更遠離一基板，在區域中與該陣列重疊)。例如，本文中所描述之主I/O線及本端I/O線及其他結構可連同與操作該等I/O線相關之電路(諸如一或多個驅動器)一起放置於子陣列上方或下方。作為另一實例，如本文中所描述之結構及技術可用於感測大於包含於一碼字中之位元之數目之數目個記憶體胞之鐵電或其他記憶體裝置中。一般技術者將明白此等連同其他應用及益處。

【0035】 首先，在如參考圖1至圖3所描述之一記憶體系統及記憶體晶粒之背景內容中描述本發明之特徵。在如參考圖4至圖16所描述之實例性記憶體陣列之背景內容中描述本發明之特徵。參考如參考圖18及圖19所描述之與記憶體子陣列之輸入/輸出線共用相關之一設備圖及流程圖進一步繪示及描述本發明之此等及其他特徵。

【0036】 圖1繪示根據如本文中所揭示之實例之利用一或多個記憶體裝置之一系統100之一實例。系統100可包含一外部記憶體控制器105、一記憶體裝置110及耦合外部記憶體控制器105與記憶體裝置110之複數個通道115。系統100可包含一或多個記憶體裝置，但為易於描述，一或多個記憶體裝置可被描述為單個記憶體裝置110。

【0037】 系統100可包含一電子裝置之部分，諸如一運算裝置、一

行動運算裝置、一無線裝置或一圖形處理裝置。系統100可為一可攜式電子裝置之一實例。系統100可為一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一穿戴式裝置、一網際網路連接裝置或類似物之一實例。記憶體裝置110可為該系統之組件，其經組態以儲存系統100之一或多個其他組件之資料。

【0038】 系統100之至少部分可為一主機裝置之實例。此一主機裝置可為使用記憶體來執行程序之一裝置之一實例，諸如一運算裝置、一行動運算裝置、一無線裝置、一圖形處理裝置、一電腦、一膝上型電腦、一平板電腦、一智慧型電話、一蜂巢式電話、一穿戴式裝置、一網際網路連接裝置、某個其他固定或可攜式電子裝置或類似物。在一些情況中，主機裝置可指代實施外部記憶體控制器105之功能之硬體、韌體、軟體或其等組合。在一些情況中，外部記憶體控制器105可稱為主機或主機裝置。在一些實例中，系統100係一圖形卡。在一些情況中，主機裝置可將與一第一記憶體區段之資料相關聯之一存取命令傳輸至記憶體裝置110。第一記憶體區段可包含記憶體裝置110之子陣列之一各自組(例如，磚、區塊)。第一記憶體區段可經定位於一第二記憶體區段與一第三記憶體區段之間。由第一記憶體區段及第二記憶體區段共用之第一組電路可使用與第一記憶體區段相關聯之驅動器及與第二記憶體區段相關聯之驅動器來操作。由第一記憶體區段及第三記憶體區段共用之第二組電路可使用與第一記憶體區段相關聯之驅動器及與第三記憶體區段相關聯之驅動器來操作。可基於操作第一組電路及第二組電路而對第一記憶體區段執行一存取操作。區段、共用電路及驅動器借用之此一型樣可跨任何數目個記憶體區段重複。主機裝置可基於耦合一第一感測組件或其部分與一第一I/O線或匯流排且耦合

一第二感測組件或其部分與一第二I/O線或匯流排而接收第一子陣列或磚之資料。

【0039】 在一些情況中，一記憶體裝置110可為一獨立裝置或組件，其經組態以與系統100之其他組件通信且提供實體記憶體位址/空間以潛在地由系統100使用或參考。在一些實例中，一記憶體裝置110可組態以與至少一種或複數種不同類型之系統100一起工作。系統100之組件與記憶體裝置110之間的發信可操作以支援用來調變信號之調變方案、用於傳達信號之不同接針設計、系統100及記憶體裝置110之相異封裝、系統100與記憶體裝置110之間的時脈發信及同步、時序慣例及/或其他因素。

【0040】 記憶體裝置110可經組態以儲存系統100之組件之資料。在一些情況中，記憶體裝置110可充當系統100之一從屬型裝置(例如，回應於且執行透過外部記憶體控制器105由系統100提供之命令)。此等命令可包含用於一存取操作之一存取命令，諸如用於一寫入操作之一寫入命令、用於一讀取操作之一讀取命令、用於一再新操作之一再新命令或其他命令。記憶體裝置110可包含兩個或更多個記憶體晶粒160 (例如，記憶體晶片)以支援一所期望或指定資料儲存容量。包含兩個或更多個記憶體晶粒之記憶體裝置110可稱為多晶粒記憶體或封裝(亦稱為多晶片記憶體或封裝置)。

【0041】 系統100可進一步包含一處理器120、一基本輸入/輸出系統(BIOS)組件125、一或多個周邊組件130及一輸入/輸出(I/O)控制器135。系統100之組件可使用一匯流排140彼此電子通信。

【0042】 處理器120可經組態以控制系統100之至少部分。處理器120可為一通用處理器、一數位信號處理器(DSP)、一特定應用積體電路

(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件，或其可為此等類型之組件之一組合。在此等情況中，處理器120可為一中央處理單元(CPU)、一圖形處理單元(GPU)、一通用GPU (GPGPU)或一系統單晶片(SoC)以及其他實例之一實例。

【0043】 BIOS組件125可為包含作為韌體操作之一BIOS之一軟體組件，其可初始化且運行系統100之各種硬體組件。BIOS組件125亦可管理處理器120與系統100之各種組件(例如，周邊組件130、I/O組件135等)之間的資料流。BIOS組件125可包含儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

【0044】 (若干)周邊組件130可為可整合至系統100中或與系統100整合在一起之任何輸入或輸出裝置或用於此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串列匯流排(USB)控制器、一串列或並列埠或周邊卡槽，諸如周邊組件互連件(PCI)或專用圖形埠。(若干)周邊組件130可為熟習此項技術者理解為周邊裝置之其他組件。

【0045】 I/O控制器135可管理處理器120與(若干)周邊組件130、輸入145或輸出150之間的資料通信。I/O控制器135可管理未整合至系統100中或未與系統100整合在一起之周邊裝置。在一些情況中，I/O控制器135可表示至外部周邊組件之一實體連接或埠。

【0046】 輸入145可表示系統100外部之一裝置或信號，其將資訊、信號或資料提供至系統100或其組件。此可包含一使用者介面或與其他裝置介接或在其他裝置之間介接。在一些情況中，輸入145可為經由一或多

個周邊組件130與系統100介接或可由I/O控制器135管理之一周邊裝置。

【0047】輸出150可表示系統100外部之一裝置或信號，其經組態以自系統100或其組件之任一者接收一輸出。輸出150之實例可包含一顯示器、音訊揚聲器、一列印裝置或印刷電路板上之另一處理器等等。在一些情況中，輸出150可為經由一或多個周邊組件130與系統100介接或可由I/O控制器135管理之一周邊裝置。

【0048】系統100之組件可由經設計以實行其等功能之通用或專用電路組成。此可包含經組態以實行本文中所描述之功能之各種電路元件，例如導電線、電晶體、電容器、電感器、電阻器、放大器或其他主動或被動元件。在一些情況中，系統100之組件(例如，一記憶體裝置110)可包含經組態以實行本文中所描述之功能之感測組件、I/O匯流排或線、驅動器或分流器。

【0049】記憶體裝置110可包含一裝置記憶體控制器155及一或多個記憶體晶粒160。各記憶體晶粒160可包含一本端記憶體控制器165 (例如，本端記憶體控制器165-a、本端記憶體控制器165-b及/或本端記憶體控制器165-N)及一記憶體陣列170 (例如，記憶體陣列170-a、記憶體陣列170-b及/或記憶體陣列170-N)。一記憶體陣列170可包含如本文中所描述之多個記憶體區段及記憶體磚。一記憶體陣列170可為記憶體胞之一集合(例如，一格柵)，其中各記憶體胞經組態以儲存至少一個數位資料位元。下文(包含參考圖2)更詳細地描述記憶體陣列170及/或記憶體胞之特徵。

【0050】在各項實例中，一記憶體裝置110之一裝置記憶體控制器155或一記憶體裝置110之一或多個本端記憶體控制器165可被視為或執行與記憶體裝置110之一輸入/輸出組件相關聯之操作(例如，用於傳達與存

取命令相關聯之資訊)。在一些實例中，記憶體裝置110可接收與記憶體裝置110之資料相關聯之一存取命令。在一些情況中，記憶體裝置110可(例如，在接收存取命令之前)接收一啟動命令，該啟動命令將存取命令之一位址範圍(例如，一行位址範圍)指示為僅對應於記憶體裝置之一庫內之子陣列之一子集。在一些情況中，記憶體裝置110亦可(例如，在接收啟動命令之前)接收一命令以根據一功率模式或組態(諸如一降低功率模式)操作記憶體裝置110。當以降低功率模式操作時，記憶體裝置110可經組態以僅啟動目標庫內之子陣列之經指示之子集(且使目標庫內之其他子陣列撤銷啟動)。因此，在對目標庫之一個部分執行存取操作時，記憶體裝置110將目標庫之其他部分置於或以其他方式維持於一撤銷啟動模式，由此節省功率且獲得其他益處。

【0051】 在一些實例中，記憶體裝置110可接收與記憶體裝置110之一第一記憶體區段相關聯之一存取命令。第一記憶體區段可經定位於一第二記憶體區段與一第三記憶體區段之間。裝置記憶體控制器155可與驅動器組耦合且將控制信號提供至各組驅動器以用於各自記憶體區段所共有之共用電路組。例如，第一組電路可由使用與第一記憶體區段相關聯之驅動器及與第二記憶體區段相關聯之驅動器之第一記憶體區段及第二記憶體區段共用。第二組電路可由使用與第一記憶體區段相關聯之驅動器及與第三記憶體區段相關聯之驅動器之第一記憶體區段及第三記憶體區段共用。可至少部分地基於操作第一組電路及操作第二組電路而執行與第一區段之資料相關聯之一存取操作。

【0052】 記憶體裝置110可為一二維(2D)記憶體胞陣列之一實例或可為一三維(3D)記憶體胞陣列之一實例。例如，一2D記憶體裝置可包含

單個記憶體晶粒160。一3D記憶體裝置可包含兩個或更多個記憶體晶粒160 (例如，記憶體晶粒160-a、記憶體晶粒160-b及/或任何數量之記憶體晶粒160-N)。在一3D記憶體裝置中，複數個記憶體晶粒160-N可經堆疊於彼此頂部上或彼此緊鄰。在一些情況中，一3D記憶體裝置中之記憶體晶粒160-N可稱為層疊、層級、層或晶粒。一3D記憶體裝置可包含任何數量之堆疊式記憶體晶粒160-N (例如，高至兩個、高至三個、高至四個、高至五個、高至六個、高至七個、高至八個)。與單個2D記憶體裝置相比，此可增加可經定位於一基板上之記憶體胞之數量，其繼而可降低生產成本或增加記憶體陣列之效能或兩者。在某個3D記憶體裝置中，不同層疊可共用至少一個共同存取線使得一些層疊可共用一字線、一數位線及/或一板極線之至少一者。

【0053】 裝置記憶體控制器155可包含經組態以控制記憶體裝置110之操作之電路或組件。因而，裝置記憶體控制器155可包含使記憶體裝置110能夠執行命令之硬體、韌體或軟體且可經組態以接收、傳輸或執行與記憶體裝置110相關之命令、資料或控制資訊。裝置記憶體控制器155可經組態以與外部記憶體控制器105、一或多個記憶體晶粒160或處理器120通信。在一些情況中，記憶體裝置110可自外部記憶體控制器105接收資料及/或命令。例如，記憶體裝置110可接收指示記憶體裝置110將代表系統100之一組件(例如，處理器120)儲存特定資料之一寫入命令或指示記憶體裝置110將儲存於一記憶體晶粒160中之特定資料提供至系統100之一組件(例如，處理器120)之一讀取命令。在一些情況中，裝置記憶體控制器155可結合記憶體晶粒160之本端記憶體控制器165控制本文中所描述之記憶體裝置110之操作。包含於裝置記憶體控制器155及/或本端記憶體控制

器165中之組件之實例可包含用於解調變自外部記憶體控制器105接收之信號之接收器、用於調變且傳輸信號至外部記憶體控制器105之解碼器、邏輯、解碼器、放大器、濾波器或類似物。

【0054】 本端記憶體控制器165 (例如，在一記憶體晶粒160本端)可經組態以控制記憶體晶粒160之操作。再者，本端記憶體控制器165可經組態以與裝置記憶體控制器155通信(例如，接收及傳輸資料及/或命令)。本端記憶體控制器165可支援裝置記憶體控制器155以控制如本文中所描述之記憶體裝置110之操作。在一些情況中，記憶體裝置110不包含裝置記憶體控制器155，且本端記憶體控制器165或外部記憶體控制器105可執行本文中所描述之各種功能。因而，本端記憶體控制器165可經組態以與裝置記憶體控制器155、與其他本端記憶體控制器165或直接與外部記憶體控制器105或處理器120通信。

【0055】 外部記憶體控制器105可經組態以實現系統100之組件(例如，處理器120)與記憶體裝置110之間的資訊、資料及/或命令通信。外部記憶體控制器105可充當系統100之組件與記憶體裝置110之間的一聯絡者使得系統100之組件可無需知道記憶體裝置之操作之細節。系統100之組件可將外部記憶體控制器105滿意之請求呈現給外部記憶體控制器105 (例如，讀取命令或寫入命令)。外部記憶體控制器105可轉換或轉譯在系統100之組件與記憶體裝置110之間交換之通信。在一些情況中，外部記憶體控制器105可包含產生一共同(源極)系統時脈信號之一系統時脈。在一些情況中，外部記憶體控制器105可包含產生一共同(源極)資料時脈信號之一共同資料時脈。

【0056】 系統100之組件可使用複數個通道115與記憶體裝置110交

換資訊。在一些實例中，通道115可實現外部記憶體控制器105與記憶體裝置110之間的通信。各通道115可包含與系統100之組件相關聯之終端之間的一或多個信號路徑或傳輸媒體(例如，導體)。例如，一通道115可包含在外部記憶體控制器105處包含一或多個接針或襯墊且在記憶體裝置110處包含一或多個接針或襯墊之一第一終端。一接針可為系統100之一裝置之一導電輸入或輸出點之一實例，且一接針可經組態以充當一通道之部分。

【0057】 在一些情況中，一終端之一接針或襯墊可為通道115之一信號路徑之部分。額外信號路徑可與一通道之一終端耦合以在系統100之一組件內路由信號。例如，記憶體裝置110可包含將一信號自一通道115之一終端路由至記憶體裝置110之各種組件(例如，一裝置記憶體控制器155、記憶體晶粒160、本端記憶體控制器165、記憶體陣列170)之信號路徑(例如，記憶體裝置110或其組件內部(諸如一記憶體晶粒160內部)之信號路徑)。

【0058】 通道115 (及相關聯信號路徑及終端)可專用於傳達特定類型之資訊。在一些情況中，一通道115可為一彙總通道且因此可包含多個個別通道。例如，一資料通道190可為x4 (例如，包含四個信號路徑)、x8 (例如，包含八個信號路徑)、x16 (例如，包含十六個信號路徑)等等。透過通道傳達之信號可使用雙倍資料速率(DDR)發信。例如，一信號之一些符號可經暫存於一時脈信號之一上升邊緣上且該信號之其他符號可經暫存於該時脈信號之一下降邊緣上。透過通道傳達之信號可使用單倍資料速率(SDR)發信。例如，可針對各時脈循環暫存該信號之一個符號。

【0059】 在一些情況中，通道115可包含一或多個命令及位址(CA)

通道186。CA通道186可經組態以在外部記憶體控制器105與記憶體裝置110之間傳達命令，包含與命令相關聯之控制資訊(例如，位址資訊)。例如，CA通道186可包含具有期望資料之一位址之一讀取命令。在一些情況中，CA通道186可經暫存於一上升時脈信號邊緣及/或一下降時脈信號邊緣上。在一些情況中，一CA通道186可包含任何數目個信號路徑以解碼位址及命令資料(例如，八個或九個信號路徑)。

【0060】 在一些情況中，通道115可包含一或多個時脈信號(CK)通道188。CK通道188可經組態以在外部記憶體控制器105與記憶體裝置110之間傳達一或多個共同時脈信號。各時脈信號可經組態以在一高狀態與一低狀態之間振盪且協調外部記憶體控制器105及記憶體裝置110之動作。在一些情況中，時脈信號可為一差分輸出(例如，一CK_t信號及一CK_c信號)且CK通道188之信號路徑可因此組態。在一些情況中，時脈信號可為單端。一CK通道188可包含任何數量之信號路徑。在一些情況中，時脈信號CK (例如，一CK_t信號及一CK_c信號)可提供用於命令之一時序參考及用於記憶體裝置110之定址操作或用於記憶體裝置110之其他全系統操作。因此，時脈信號CK可不同地稱為控制時脈信號CK、命令時脈信號CK或系統時脈信號CK。系統時脈信號CK可由一系統時脈產生，其可包含一或多個硬體組件(例如，振盪器、晶體、邏輯閘、電晶體或類似物)。

【0061】 在一些情況中，通道115可包含一或多個資料(DQ)通道190。資料通道190可經組態以在外部記憶體控制器105與記憶體裝置110之間傳達資料及/或控制資訊。例如，資料通道190可傳達待寫入至記憶體裝置110之資訊(例如，雙向)或自記憶體裝置110讀取之資訊。

【0062】 在一些情況中，通道115可包含可專用於其他目的之一或

多個其他通道192。此等其他通道192可包含任何數量之信號路徑。

【0063】 在一些情況中，其他通道192可包含一或多個寫入時脈信號(WCK)通道。雖然WCK中之「W」可標稱地代表「寫入」，但一寫入時脈信號WCK (例如，一WCK_t信號及一WCK_c信號)通常可為記憶體裝置110提供用於存取操作之一時序參考(例如，用於讀取及寫入操作兩者之一時序參考)。因此，寫入時脈信號WCK亦可稱為資料時脈信號WCK。WCK通道可經組態以在外部記憶體控制器105與記憶體裝置110之間傳達一共同資料時脈信號。資料時脈信號可經組態以協調外部記憶體控制器105及記憶體裝置110之一存取操作(例如，一寫入操作或讀取操作)。在一些情況中，寫入時脈信號可為一差分輸出(例如，一WCK_t信號及一WCK_c信號)且WCK通道之信號路徑可因此經組態。一WCK通道可包含任何數量之信號路徑。資料時脈信號WCK可由一資料時脈產生，其可包含一或多個硬體組件(例如，振盪器、晶體、邏輯閘、電晶體或類似物)。

【0064】 在一些情況中，其他通道192可包含一或多個錯誤偵測碼(EDC)通道。EDC通道可經組態以傳達錯誤偵測信號(諸如核對和)以改良系統可靠性。一EDC通道可包含任何數量之信號路徑。

【0065】 通道115可使用多種不同架構耦合外部記憶體控制器105與記憶體裝置110。各種架構之實例可包含一匯流排、一點對點連接、一交叉開關、一高密度中介層(諸如矽中介層)或形成於一有機基板中之通道或其等某個組合。例如，在一些情況中，信號路徑可至少部分地包含一高密度中介層，諸如矽中介層或玻璃中介層。

【0066】 可使用多種不同調變方案調變透過通道115傳達之信號。在一些情況中，一二進位符號(或二進位層級)調變方案可用來調變在外部

記憶體控制器105與記憶體裝置110之間傳達之信號。一二進位符號調變方案可為一M進位調變方案之一實例，其中M等於2。一二進位符號調變方案之各符號可經組態以表示一個數位資料位元(例如，一符號可表示一邏輯1或一邏輯0)。二進位符號調變方案之實例包含但不限於不歸零(NRZ)、單極編碼、雙極編碼、曼徹斯特(Manchester)編碼、具有兩個符號(例如，PAM2)之脈衝振幅調變(PAM)及/或其他。

【0067】 在一些情況中，一多符號(或多位階)調變方案可用來調變在外部記憶體控制器105與記憶體裝置110之間傳達之信號。一多符號調變方案可為一M進位調變方案之一實例，其中M大於或等於3。一多符號調變方案之各符號可經組態以表示一個以上數位資料位元(例如，一符號可表示一邏輯00、一邏輯01、一邏輯10或一邏輯11)。多符號調變方案之實例包含但不限於PAM3、PAM4、PAM8等、正交振幅調變(QAM)、正交相移鍵控(QPSK)及/或其他。一多符號信號(例如，一PAM3信號或一PAM4信號)可為使用一調變方案調變之一信號，該調變方案包含至少三個位階以編碼一個以上資訊位元。多符號調變方案及符號可替代地稱為非二進位、多位元或較高階調變方案及符號。

【0068】 在一些實例中，一記憶體晶粒160可包含一或多個記憶體陣列170，且一記憶體陣列170可包含複數個記憶體磚。在一些情況中，一記憶體陣列170內之記憶體磚可被組織成用於同時存取之群組，且此等群組可稱為庫或區段。在一些情況中，記憶體磚可被組織成記憶體陣列170內之列及行，其等在一些情況中可稱為拼塊架構，且記憶體陣列170之一列可為一區段。記憶體磚之各者可包含一陣列層及一電路層。針對各記憶體磚，陣列層可包含複數個記憶體胞(例如，一子陣列、一記憶體陣

列170之一部分)且電路層可包含對應於(例如，專用於、特定於、主要指派至)陣列層之複數個記憶體胞之電路，諸如解碼電路、多工電路、驅動器電路、感測電路或特定於記憶體磚之其他電路(但在一些情況中，特定於記憶體磚之電路可藉由一或多個鄰近磚經由多工或其他切換電路連同一或多個互連件來存取)。記憶體裝置亦可包含由複數個記憶體磚共用(例如，對應於操作記憶體磚之庫、對應於記憶體磚之庫與一本端記憶體控制器165之間的資料交換、可用於多個記憶體磚及每次選擇性地用於多個記憶體磚之一或多者)且跨複數個記憶體磚之兩個或更多個記憶體磚之電路層(例如，全部複數個記憶體磚之電路層、複數個記憶體磚之一子集之電路層)分佈之資料路徑電路。在一些情況中，共用電路組可包含經組態以傳送與一各自第一記憶體區段中之記憶體胞及一各自第二記憶體區段中之記憶體胞之存取操作相關聯之資訊之資料路徑電路組。因此，在一些實例中，一記憶體晶粒160可包含跨複數個記憶體磚之電路層分佈之各種類型之電路，其中磚特定電路包含於一對應記憶體磚之電路層中，且資料路徑電路(例如，庫特定電路)跨記憶體磚之電路層之剩餘空間分佈(例如，在未被磚特定電路佔據之電路層之空間中)。在一些實例中，一或多個本端I/O線可在記憶體磚之間共用，其等可支援用於選擇性地啟動及撤銷啟動(例如，維持為撤銷啟動)記憶體磚之子集以支援各種頁大小模式或降低功率模式之各種技術。

【0069】 圖2繪示根據如本文中所揭示之實例之一記憶體晶粒200之態樣之一實例。記憶體晶粒200可為參考圖1所描述之記憶體晶粒160之一實例。在一些情況中，記憶體晶粒200可稱為記憶體晶片、記憶體裝置或電子記憶體設備。記憶體晶粒200可包含可程式化以儲存不同邏輯狀態之

一或多個記憶體胞205。各記憶體胞205可程式化以儲存兩種或更多種狀態。例如，記憶體胞205可經組態以每次儲存一個資訊位元(例如，一邏輯0及一邏輯1)。在一些情況中，單個記憶體胞205 (例如，一多位階記憶體胞)可經組態以每次儲存一個以上資訊位元(例如，一邏輯00、邏輯01、邏輯10或一邏輯11)。在一些實例中，記憶體晶粒200之記憶體胞205可包含複數個記憶體區段，其中各區段包含或以其他方式對應於複數個磚或區塊。

【0070】 一記憶體胞205可儲存表示數位資料之一狀態(例如，偏振狀態或介電電荷)。在FeRAM架構中，記憶體胞205可包含一電容器240，該電容器240包含一鐵電材料以儲存代表可程式化狀態之一電荷及/或一偏振。在DRAM架構中，記憶體胞205可包含一電容器240，該電容器240包含一介電材料以儲存代表可程式化狀態之一電荷。在其他記憶體架構中，根據所描述技術之一記憶體晶粒200可實施其他類型之記憶體元件或儲存元件。例如，一記憶體晶粒200可包含具有一可組態材料記憶體元件(例如，取代所繪示電容器240)之記憶體胞205，其儲存一邏輯狀態作為該材料記憶體元件之一材料性質。此等材料性質可包含一可程式化電阻(例如，對於在一PCRAM應用中可使用不同電阻程式化之一相變材料記憶體元件)、一可程式化臨限電壓(例如，對於可使用不同臨限電壓程式化之一材料記憶體元件，諸如藉由具有不同電流脈衝持續時間、振幅或極性之寫入操作)及可選擇性地程式化以儲存一邏輯狀態之其他特性。

【0071】 可藉由啟動或選擇諸如一字線210、一數位線215及/或一板極線220之存取線而對記憶體胞205執行諸如讀取及寫入之操作。在一些情況中，數位線215亦可稱為位元線。在不損失理解或操作之情況下，

對存取線、字線、數位線、板極線或其等類似物之參考可互換。啟動或選擇一字線210、一數位線215或一板極線220可包含將一電壓施加至各自線。

【0072】 記憶體晶粒200可包含配置成一格柵狀圖案之存取線(例如，字線210、數位線215及板極線220)。記憶體胞205可經定位於字線210、數位線215及/或板極線220之交叉點處。藉由加偏壓於一字線215、一數位線215及一板極線220 (例如，將一電壓施加至字線215、數位線215或板極線220)，可在其等之交叉點處存取單個記憶體胞205。

【0073】 可透過一系列解碼器225、一行解碼器230及一板極驅動器235控制存取記憶體胞205。例如，一系列解碼器225可自本端記憶體控制器265接收一系列位址且基於經接收之列位址啟動一字線210。一行解碼器230自本端記憶體控制器265接收一行位址且基於經接收之行位址啟動一數位線215。一板極驅動器235可自本端記憶體控制器265接收一板極位址且可基於經接收之板極位址啟動一板極線220。例如，記憶體晶粒200可包含多個字線210 (標記為WL_1至WL_M)、多個數位線215 (標記為DL_1至DL_N)及多個板極線(標記為PL_1至PL_P)，其中M、N及P取決於記憶體陣列之大小。因此，藉由啟動一字線210、一數位線215及一板極線220 (例如，WL_1、DL_3及PL_1)，可存取其等交叉點處之記憶體胞205。一字線210與一數位線215之交叉點(在一二維或三維組態中)可稱為記憶體胞205之一位址。在一些情況中，一字線210、一數位線215及一板極線220之交叉點可稱為記憶體胞205之一位址。

【0074】 包含記憶體晶粒200之一記憶體裝置可(例如，自一主機裝置)接收一存取命令。在一些情況中，一存取命令可將存取命令之一位址

範圍指示為對應於記憶體晶粒200之一第一子陣列。在此等情況中，存取命令可與第一子陣列之資料相關聯。感測組件250或其部分可基於接收存取命令而與記憶體晶粒200之組件耦合且感測由記憶體胞205儲存之邏輯狀態。

【0075】 在一些情況中，一存取命令可將存取命令之一位址範圍指示為對應於記憶體晶粒200之一或多個子陣列(例如，對應於記憶體晶粒200之一記憶體區段)。在此等情況中，存取命令可與記憶體區段之資料相關聯。一主機裝置可傳輸與一第一記憶體區段之資料相關聯之一存取命令。第一記憶體區段可經定位於一第二記憶體區段與一第三記憶體區段之間。由第一記憶體區段及第二記憶體區段共用之第一組電路可使用與第一記憶體區段相關聯之驅動器及與第二記憶體區段相關聯之驅動器來操作。由第一記憶體區段及第三記憶體區段共用之第二組電路可使用與第一記憶體區段相關聯之驅動器及與第三記憶體區段相關聯之驅動器來操作。可基於操作第一組電路及第二組電路而執行一存取操作。感測組件250或其部分可基於接收存取命令而與第一組電路及第二組電路耦合且感測由記憶體胞儲存之邏輯狀態。

【0076】 記憶體胞205可包含一邏輯儲存組件，諸如電容器240或其他儲存元件或記憶體元件(例如，一可組態材料)及一切換組件245。電容器240可為一鐵電電容器之一實例。電容器240之一第一節點可與切換組件245耦合且電容器240之一第二節點可與一板極線220耦合。切換組件245可為一電晶體或選擇性地建立或撤銷建立兩個組件之間的電子通信之任何其他類型之切換裝置之一實例。然而，在各項實例中，支援所描述技術之記憶體架構可包含或可不包含一切換組件245作為一各自記憶體胞

205之部分或以其他方式與一各自記憶體胞205相關聯。在一些情況中，板極線220可與一胞板極參考電壓(諸如 V_{pl})耦合或可為一接地或底板接地電壓(諸如 V_{ss})。在一些情況中，板極線220可指代全部記憶體胞205所共有之一板極或電節點或記憶體胞205之一子集或板極線之一子集所共有之一板極或電節點或與一板極線驅動器耦合之另一電節點。

【0077】 選擇或撤銷選擇記憶體胞205可藉由啟動或撤銷啟動切換組件245或以其他方式啟動相關存取線來完成。電容器240可使用切換組件245與數位線215電子通信。例如，電容器240可在撤銷啟動切換組件245時與數位線215隔離，且電容器240可在啟動切換組件245時與數位線215耦合。在一些情況中，切換組件245係一電晶體且其操作可藉由將一電壓施加至一電晶體閘極來控制，其中電晶體閘極與電晶體源極之間的電壓差大於或小於電晶體之一臨限電壓。在一些情況中，切換組件245可為一p型電晶體或一n型電晶體。字線210可與切換組件245之閘極電子通信且可基於施加至字線210之一電壓啟動/撤銷啟動切換組件245。

【0078】 一字線210可為與一記憶體胞205電子通信之一導電線，其用來對記憶體胞205執行存取操作。在一些架構中，字線210可與一記憶體胞205之一切換組件245之一閘極電子通信且可經組態以控制記憶體胞之切換組件245。在一些架構中，字線210可與記憶體胞205之電容器之一節點電子通信且記憶體胞205可不包含一切換組件。

【0079】 一數位線215可為連接記憶體胞205與一感測組件250之一導電線。在一些架構中，記憶體胞205可在一存取操作之部分期間選擇性地與數位線215耦合。例如，字線210及記憶體胞205之切換組件245可經組態以選擇性地耦合及/或隔離記憶體胞205之電容器240與數位線215。在

一些架構中，記憶體胞205可與數位線215電子通信(例如，恆定)。

【0080】 一板極線220可為與一記憶體胞205電子通信之一導電線，其用來對記憶體胞205執行存取操作。板極線220可與電容器240之一節點(例如，胞底部)電子通信。板極線220可經組態以與數位線215協作以在記憶體胞205之存取操作期間加偏壓於電容器240。

【0081】 感測組件250可經組態以判定儲存於記憶體胞205之電容器240上之一狀態(例如，一偏振狀態或一電荷)且基於經偵測之狀態判定記憶體胞205之一邏輯狀態。在一些情況中，由一記憶體胞205儲存之電荷可相對小。因而，感測組件250可包含一或多個感測放大器以放大記憶體胞205之信號輸出。感測放大器可在一讀取操作期間偵測一數位線215之電荷之小變化且可基於經偵測之電荷產生對應於一邏輯0或一邏輯1之信號。在一讀取操作期間，記憶體胞205之電容器240可將一信號輸出(例如，使一電荷放電)至其對應數位線215。該信號可致使數位線215之一電壓變化。感測組件250可經組態以比較跨數位線215自記憶體胞205接收之信號與一參考信號255 (例如，一參考電壓)。感測組件250可基於該比較判定記憶體胞205之經儲存之狀態。例如，在二進位發信中，若數位線215具有高於參考信號255之一電壓，則感測組件250可判定記憶體胞205之經儲存狀態係一邏輯1，且若數位線215具有低於參考信號255之一電壓，則感測組件250可判定記憶體胞205之經儲存狀態係一邏輯0。感測組件250可包含各種電晶體或放大器以偵測及放大信號之一差異。記憶體胞205之經偵測之邏輯狀態可被提供為感測組件250之一輸出(例如，至一輸入/輸出組件260)，且可(例如，直接或使用本端記憶體控制器265)向包含記憶體晶粒200之一記憶體裝置110之另一組件(諸如一裝置記憶體控制器

155)指示經偵測之邏輯狀態。在一些情況中，感測組件250可與列解碼器225、行解碼器235及/或板極驅動器235電子通信。

【0082】 感測組件250可包含任何數目個感測放大器。一感測放大器可經組態以自一各自記憶體磚以及一或多個鄰近記憶體磚感測資料。例如，感測放大器可包含於各自記憶體磚之一電路層中，且可經組態以與各自記憶體磚之一陣列層中之記憶體胞耦合，但(例如，經由多工或其他切換電路或互連件)亦可經組態以與包含於一相鄰記憶體磚中之記憶體胞耦合，其中相鄰記憶體磚可在相同或不同於各自記憶體磚之一區段中。例如，感測組件250或其部分可經組態以基於將存取命令之一位址範圍指示為對應於第一子陣列或第二子陣列之一啟動命令而自記憶體晶粒200之一第一子陣列或記憶體晶粒200之一第二子陣列感測資料。在此等情況中，可啟動感測組件250。在一些情況中，可基於對應於記憶體晶粒200之第一子陣列或第二子陣列之存取命令撤銷啟動感測組件250。

【0083】 記憶體胞205之經偵測之邏輯狀態可被提供為感測組件250之一輸出(例如，至一輸入/輸出組件260)，其可用來(例如，直接或使用本端記憶體控制器265)向包含記憶體晶粒200之一記憶體裝置110之另一組件(諸如一裝置記憶體控制器155)指示經偵測之邏輯狀態。輸入/輸出組件260或感測組件250與輸入/輸出組件260之間的其他組件可包含支援記憶體胞205與本端記憶體控制器265之間的資訊傳達(例如，憑藉感測組件250、感測組件250之感測放大器)之各種組件或電路。此等組件或電路可稱為資料路徑電路，且可支援諸如信號放大、冗餘、錯誤偵測、錯誤校正及其他操作之操作。

【0084】 本端記憶體控制器265可透過各種組件(例如，列解碼器

225、行解碼器230、板極驅動器235及感測組件250)控制記憶體胞205之操作。本端記憶體控制器265可為參考圖1所描述之本端記憶體控制器165之一實例。在一些情況中，列解碼器225、行解碼器230及板極驅動器235及感測組件250之一或多者可與本端記憶體控制器265共置。本端記憶體控制器265可經組態以：自一外部記憶體控制器105 (或參考圖1所描述之一裝置記憶體控制器155)接收一或多個命令及/或資料；將該等命令及/或資料轉譯為可由記憶體晶粒200使用之資訊；對記憶體晶粒200執行一或多個操作；及回應於執行一或多個操作而將資料自記憶體晶粒200傳達至外部記憶體控制器105 (或裝置記憶體控制器155)。本端記憶體控制器265可產生列、行及/或板極線位址信號以啟動目標字線210、目標數位線215及目標板極線220。本端記憶體控制器265亦可產生及控制在記憶體晶粒200之操作期間使用之各種電壓或電流。一般而言，本文中所論述之一經施加電壓或電流之振幅、形狀或持續時間可經調整或改變且可針對在操作記憶體晶粒200時論述之各種操作而不同。

【0085】 在一些情況中，本端記憶體控制器265可經組態以執行或控制對記憶體晶粒200之一預充電操作。一預充電操作可包括將記憶體晶粒200之一或多個組件及/或存取線預充電至一或多個預定電壓位準。在一些例項中，記憶體胞205及/或記憶體晶粒200之部分可在不同存取操作之間預充電。在一些例項中，數位線215及/或其他組件可在一讀取操作之前預充電。

【0086】 在一些情況中，本端記憶體控制器265可經組態以執行或控制對記憶體晶粒200之一或多個記憶體胞205之一寫入操作(例如，一程式化操作)。在一寫入操作期間，記憶體晶粒200之一記憶體胞205可經程

式化以儲存一所期望邏輯狀態。在一些情況中，可在單個寫入操作期間程式化複數個記憶體胞205。本端記憶體控制器265可識別對其執行寫入操作之一目標記憶體胞205。本端記憶體控制器265可識別與目標記憶體胞205電子通信之一目標字線210、一目標數位線215及/或一目標板極線220 (例如，目標記憶體胞205之位址)。本端記憶體控制器265可啟動目標字線210、目標數位線215及/或目標板極線220 (例如，將一電壓施加至字線210、數位線215或板極線220)以存取目標記憶體胞205。本端記憶體控制器265可在寫入操作期間將一特定信號(例如，電壓)施加至數位線215且將一特定信號(例如，電壓)施加至板極線220以將一特定狀態儲存於記憶體胞205之電容器240中，該特定狀態指示一所期望邏輯狀態。

【0087】 在一些情況中，本端記憶體控制器265可經組態以對記憶體晶粒200之一或多個記憶體胞205執行一讀取操作(例如，一感測操作)。在一讀取操作期間，可判定儲存於記憶體晶粒200之一記憶體胞205中之邏輯狀態。在一些情況中，可在單個讀取操作期間感測複數個記憶體胞205。本端記憶體控制器265可識別對其執行讀取操作之一目標記憶體胞205。本端記憶體控制器265可識別與目標記憶體胞205電子通信之一目標字線210、一目標數位線215及/或一目標板極線220 (例如，目標記憶體胞205之位址)。本端記憶體控制器265可啟動目標字線210、目標數位線215及/或一目標板極線220 (例如，將一電壓施加至字線210、數位線215或板極線220)以存取目標記憶體胞205。目標記憶體胞205可回應於加偏壓於存取線而將一信號傳送至感測組件250。感測組件250 (例如，感測組件250之一感測放大器)可放大該信號。本端記憶體控制器265可觸發感測組件250 (例如，鎖存感測組件250之一感測放大器)且由此比較自記憶體胞

205接收之信號與參考信號255。基於該比較，感測組件250可判定儲存於記憶體胞205上之一邏輯狀態。在一些實例中，作為讀取操作之部分，本端記憶體控制器265可將儲存於記憶體胞205上之邏輯狀態傳達至一外部記憶體控制器105或一裝置記憶體控制器155。在一些實例中，可在感測一記憶體胞205之一邏輯狀態與將資訊傳達至一外部記憶體控制器105或裝置記憶體控制器155或自一外部記憶體控制器105或裝置記憶體控制器155傳達資訊(例如，藉由輸入/輸出組件260)之間執行其他操作，諸如信號放大、冗餘操作或錯誤校正操作。

【0088】 在一些記憶體架構中，存取記憶體胞205可使儲存於一記憶體胞205中之邏輯狀態降級或損毀。例如，對一鐵電記憶體胞執行之一讀取操作可損毀儲存於鐵電電容器中之邏輯狀態。在另一實例中，在DRAM架構中執行之一讀取操作可使目標記憶體胞之電容器部分地或完全地放電。本端記憶體控制器265可執行一重寫操作或一再新操作以使記憶體胞傳回至其原始邏輯狀態。本端記憶體控制器265可在一讀取操作之後將邏輯狀態重寫至目標記憶體胞。在一些情況中，重寫操作可被視為讀取操作之部分。另外，啟動單個存取線(諸如一字線210)可干擾儲存於與該存取線電子通信之一些記憶體胞中之狀態。因此，可對尚未被存取之一或多個記憶體胞執行一重寫操作或再新操作。

【0089】 在一些實例中，記憶體晶粒200可包含複數個記憶體磚或區塊，其中記憶體晶粒200之記憶體磚之各者包含一陣列層及一電路層。針對各記憶體磚，陣列層可包含複數個記憶體胞205且電路層可包含對應於(例如，專用於、特定於、主要指派至)陣列層之複數個記憶體胞之電路，諸如(例如，一列解碼器225、一行解碼器230、一感測組件250之)解

碼電路、感測電路或特定於記憶體磚之其他電路。記憶體裝置亦可包含(例如，一輸入/輸出組件260、一本端記憶體控制器265之)資料路徑電路，其係由複數個記憶體磚共用且跨複數個記憶體磚之兩個或更多個記憶體磚之電路層分佈。因此，在一些實例中，記憶體晶粒200可包含跨複數個記憶體磚之電路層分佈之各種類型之電路，其中磚特定電路包含於一對應記憶體磚之電路層中，且資料路徑電路(例如，庫特定電路)跨記憶體磚分佈(例如，在未被磚特定電路佔據之電路層之空間中)。

【0090】 圖3繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出共用之一記憶體佈局300之一實例。記憶體佈局300可包含於一記憶體晶粒(諸如參考圖1所描述之一記憶體晶粒160或參考圖2所描述之一記憶體晶粒200)中或以其他方式繪示一記憶體晶粒(諸如參考圖1所描述之一記憶體晶粒160或參考圖2所描述之一記憶體晶粒200)之態樣。記憶體佈局300繪示其中一組磚路徑310 (例如，磚路徑310-a-1至310-a-q)可使用一磚多工器340選擇性地與一資料路徑350耦合之一實例。

【0091】 資料路徑350可透過一資料路徑匯流排351(例如，一資料匯流排)與一本端記憶體控制器265-a通信地耦合以支援本文中所描述之各種存取操作(例如，讀取操作、寫入操作、重寫操作、再新操作、與包含記憶體佈局300之一記憶體裝置之一主機交換資料或資訊)。在一些實例中，資料路徑350、磚多工器340或兩者可被視為包含於一輸入/輸出組件(例如，參考圖2所描述之一輸入/輸出組件260)中或資料路徑350可被視為在記憶體胞205之一陣列與一輸入/輸出組件之間傳達。在一些實例中，與一記憶體陣列之資訊傳送相關之電路或操作可與本端記憶體控制器265-a相關聯，且資料路徑350可為經組態以處理在記憶體陣列與本端記憶體控

制器265-a之間傳達之資料或資訊之電路之一實例(例如，其中本端記憶體控制器265-a係與一記憶體裝置之一輸入/輸出相關之功能之部分或以其他方式執行與一記憶體裝置之一輸入/輸出相關之功能)。在一些實例中，本端記憶體控制器265-a可經組態以控制磚路徑310、磚多工器340及資料路徑350之各種操作或組件之時序(例如，感測放大器陣列320-a之時序、感測放大器325-a之時序)或觸發，此可包含透過一控制匯流排266-a傳遞之控制發信，該控制發信具有被共用或以其他方式對應於全部磚路徑310-a-1至310-a-q及資料路徑350 (例如，由與磚路徑310-a-1至310-a-q相關聯之一記憶體區段或記憶體庫共用)之一或多個信號路徑。

【0092】 在記憶體佈局300之實例中，組件之間的互連件由可支援多個位元之資訊傳送之匯流排(例如，資料匯流排、控制匯流排)繪示。例如，資料路徑匯流排351可與資料路徑350與本端記憶體控制器265-a之間的 u 個位元之資料傳送相關聯。在一些實例中，與記憶體佈局300之一匯流排相關聯之資料傳送之一位元數量可對應於離散導電信號路徑(例如，跡線、導線、線)之一數目。例如，資料路徑匯流排351可相關聯於資料路徑350與本端記憶體控制器265-a之間的 u 個個別導體或導電跡線。在其他實例中，透過記憶體佈局300中之一匯流排傳達之組件可支援一多層級通信方案、一多符號通信方案、一叢集通信方案或支援一特定數量之位元之資料傳送之某個其他信號調變方案。例如，當資料路徑350及本端記憶體控制器265-s支援一多符號調變方案(例如，一PAM3方案、一PAM4方案)時，資料路徑匯流排351可具有少於 u 個離散信號路徑以支援 u 個位元之資料傳送之傳達。儘管可參考一讀取操作或一寫入操作描述記憶體佈局300之匯流排之態樣，但在一些實例中，記憶體佈局300之匯流排可為支援讀

取操作及寫入操作兩者之雙向匯流排。因此，記憶體佈局300之一給定匯流排之各端可經組態具有一信號接收器或一信號驅動器或一信號接收器及一信號驅動器兩者。

【0093】 磚路徑310-a可繪示支援在一特定記憶體磚之記憶體胞205(未展示)與資料路徑350之間傳達、多工化、修改或以其他方式處理信號之電路路徑。在一些實例中，磚路徑310-a之各者可包含對應於各自磚路徑310或記憶體磚之記憶體胞205之一唯一或專用陣列(例如，記憶體胞205之一子陣列、定位於記憶體磚之一陣列層中之記憶體胞205)或以其他方式與其相關聯。磚路徑310-a之各者亦可與經組態以在各自磚路徑310-a與磚多工器340之間傳遞一或多個信號(例如，載送 p 個資訊位元)之一對應磚匯流排311-a相關聯。在各項實例中，一磚匯流排311可稱為記憶體磚或磚路徑310-a之一本端I/O匯流排或線或可指代一記憶體磚或磚路徑之一組一個以上本端I/O匯流排或線(例如，其中各自磚匯流排311-a經細分以用於各種多工或路由操作)。儘管參考磚路徑210-a-1繪示特定細節，但此等細節可在磚路徑310-a-2至310-a-q之各者中重複。

【0094】 在記憶體佈局300之實例中，磚路徑310-a之各者可包含或以其他方式對應於一組數位線215-a (例如，磚路徑310-a-1之數位線215-a-11至215-a-1 m 、一組 m 個數位線215-a)，其等可為參考圖2所描述之數位線215之實例。例如，磚路徑310-a-1之數位線215-a之各者可與一組記憶體胞205 (例如，磚路徑310-a-1或對應於磚路徑310-a-1之記憶體胞205之一行)之各者之一各自切換組件245耦合，其中各自切換組件245可經組態以選擇性地耦合記憶體胞205之一儲存元件(例如，一電容器240、一材料記憶體元件、另一類型之記憶體儲存元件)與數位線215-a。因此，磚路

徑310-a-1或對應於磚路徑310-a-1之記憶體205之各者可與數位線215-a-11至215-a-1m之一者耦合。在各項實例中，記憶體胞205與一數位線215-a之間的此一耦合可為一直接耦合(例如，直接沿著一導電路徑或存取線)或一間接耦合(例如，經由電路組件或信號處理電路)。例如，一數位線215-a可包含信號開發電路(諸如一放大器、一疊接放大器、一電荷傳送感測放大器(CTSA)、一放大電容器等)或以其他方式與其相關聯。

【0095】 針對磚路徑310-a之各者，可藉由啟動包含於磚路徑310-a中或以其他方式對應於磚路徑310-a (例如，包含於對應於磚路徑310-a之記憶體磚中)之一字線210 (未展示)來選擇或選擇性地啟動磚路徑310-a之記憶體胞205之一列。例如，啟動磚路徑310-a-1或對應於磚路徑310-a-1之一字線210可耦合各自記憶體胞205之電容器240之一列或頁、材料記憶體元件或其他類型之記憶體儲存元件與數位線215-a-11至215-a-1m之一各自者。在各項實例中，磚路徑310可包含或可不包含驅動器、緩衝器或多工器(例如，一列解碼器225或其部分，如參考圖2描述)以選擇性地啟動字線210或其他選擇線。

【0096】 針對磚路徑310-a之各者，該組 m 個數位線215-a之各者可使用一數位線多工器315-a選擇性地與磚路徑310-a之一各自感測放大器陣列320-a耦合或路由至一各自感測放大器陣列320-a。例如，磚路徑310-a-1可包含具有 n 個感測放大器325-a (例如，感測放大器325-a-11至325-a-1n)之一感測放大器陣列320-a-1。因此，數位線多工器315-a-1可經組態用於與數位線215-a-11至215-a-1m相關聯之 m 個信號路徑及與感測放大器陣列320-a-1 (例如， n 個感測放大器325-a)相關聯之 n 個信號路徑之間的選擇性耦合或映射。在一些實例中，感測放大器陣列320-a可被視為包含於

參考圖2所描述之一感測組件250之功能或電路中或以其他方式指代參考圖2所描述之一感測組件250之功能或電路。

【0097】 感測放大器325-a可包含經組態以鎖存指示由一記憶體胞205儲存之一邏輯狀態之一信號之電路，諸如基於來自記憶體胞205之一讀取信號與一參考信號之一比較而鎖存一輸出之交叉耦合電晶體組。在一些實例中，感測放大器325-a或感測放大器陣列320-a之某個其他部分可包含經組態以產生或開發此等讀取信號(例如，至少部分地基於與一記憶體胞205之一選擇性耦合)或產生或開發此等參考信號之電路。在一些實例中，感測放大器325-a亦可經組態以產生或開發至一數位線215-a或一記憶體胞205之寫入信號(例如，至少部分地基於本端記憶體控制器265-a之一寫入命令)。

【0098】 數位線多工器315-a、感測放大器陣列320-a及對應於一給定記憶體磚之其他電路可經定位於一記憶體磚之一電路層或層級中(例如，記憶體磚400之一電路層級450，參考圖4所描述)，且記憶體磚之對應記憶體胞205可經定位於記憶體磚之一陣列層或層級中(例如，記憶體磚400之一陣列層級410，參考圖4所描述)。在一些情況中，一電路層或層級可在記憶體磚之一陣列層或層級下方(例如，比陣列層或層級更靠近一基板)。在一些情況中，如本文中所描述之一線或匯流排之態樣(例如，一線或匯流排之全部或部分)可經定位於一或多個記憶體磚之一電路層或層級、一或多個記憶體磚之一路由層或層級(例如，一或多個金屬化層)、一記憶體區段或庫之一路由層或層級或其等各種組合中。在各項實例中，一陣列層或層級可在電路層或層級與一或多個路由層或層級之間。在一些實例中，一或多個插座(例如，通孔、導電插頭)可提供一記憶體磚或記憶體

庫之不同層或層級處之組件之間的互連件。在一些情況中，插座可經定位於一陣列內之記憶體磚之間(例如，在不同記憶體磚之間的間隙中)。

【0099】 輸出控制信號且控制感測放大器325-a之時序信號之控制信號驅動器亦可經定位於記憶體磚之一陣列層級或層下方(例如，在一電路層級中)。在一些情況中，控制匯流排266或本端記憶體控制器265可將輸入提供至一或多個控制信號驅動器。在一些情況中，一組驅動器可為記憶體磚之一各自記憶體區段所共有或以其他方式對應於記憶體磚之一各自記憶體區段且藉由導體(例如，導電線、插座)耦合至一組共用電路。在一些情況中，該組驅動器可包含一第一類型之驅動器(例如，經組態以產生一第一類型之控制信號或一第一組控制信號)及一第二類型之驅動器(例如，經組態以產生一第二類型之控制信號或一第二組控制信號)。第一類型之驅動器可與各自記憶體區段及一第二記憶體區段所共有之一第一組共用電路耦合。第二類型之驅動器可與各自記憶體區段及一第三記憶體區段所共有之一第二組共用電路耦合。在一些情況中，第一組共用電路包含一第一組感測放大器325-a。第一組感測放大器325-a之一第一子集下伏於各自記憶體區段之記憶體磚且第一組感測放大器325-a之一第二子集下伏於第二記憶體區段之記憶體磚。一第二組共用電路可包含一第二組感測放大器325-a。第二組感測放大器325-a之一第一子集下伏於各自記憶體區段之記憶體磚且第二組感測放大器325-a之一第二子集下伏於第三記憶體區段之記憶體磚。另外或替代地，第一組共用電路可包含由各自記憶體區段之記憶體磚及第二記憶體區段之記憶體磚共用(在其等之間借用)之資料路徑電路，且第二組共用電路可包含由各自記憶體區段之記憶體磚及第三記憶體區段之記憶體磚共用(在其等之間借用)之資料路徑電路。

【0100】 感測放大器325-a之各者可經組態以根據各自數位線多工器315-a之一特定選擇、映射或其他組態透過一各自數位線215-a自一各自記憶體胞205接收一信號。例如，當數位線多工器315-a-1經組態以耦合感測放大器陣列320-a-1與數位線215-a-11至215-a-1m之一子集(例如，一列之一部分或子集、一頁之一部分或子集，當 $n < m$)時，數位線多工器315-a-1可(例如，透過控制匯流排266-a自本端記憶體控制器265-a)接收一信號以根據一特定存取操作耦合數位線215-a-11至215-a-1m之一特定子集。在一些實例中，一記憶體佈局可包含用於一磚路徑310中之數位線215之各者之一感測放大器325 (例如，其中 $n=m$)，在此情況中，可自磚路徑310省略一數位線多工器315。

【0101】 感測放大器陣列320-a (例如，感測放大器325-a之各者)可輸出指示由各自記憶體胞205儲存之邏輯狀態之信號(例如，當執行一讀取操作之功能時)。在一些實例中，當讀取可由記憶體胞205儲存之一組邏輯狀態時，一感測放大器325-a之輸出可與一相對窄或小電壓擺動相關聯(例如，用於指示該組邏輯狀態之一相對小電壓範圍，與在資料路徑350之一部分中或其輸出處使用之一電壓擺動相比)。在感測放大器325-a處使用一相對窄電壓擺動可減弱同時傳輸之信號或儲存於記憶體胞205中之資料狀態之信號干擾(例如，歸因於電容或其他交叉耦合或串擾)之風險，且亦可支援對應組件或電路佔據一相對小面積，或一磚路徑310-a之組件或導體之間(例如，感測放大器325-a之間、往返於一磚路徑310-a之一匯流排之導電線之間、記憶體胞205之間)的相對薄介電分離，或相對低電荷累積或信號衰減(例如，與諸如一記憶體胞205與資料路徑350之間的存取線之固有電容之電容負載相關)，或一磚路徑310-a中之相對低電荷洩漏或功率消

耗(例如，與記憶體佈局300之組件之間的電荷洩漏相關、與跨應被一介電部分電隔離之部分之電荷洩漏相關、與供電給用於操作記憶體佈局300之電壓源或驅動器相關)。

【0102】 在一些實例中，一感測放大器陣列320可另外包含一感測放大器選擇組件或多工器(未展示)，其可經組態以(例如，基於與一存取命令相關聯之一行位址)自感測放大器陣列320之感測放大器325之一子集(例如，少於全部)選擇、啟用、啟動、鎖存或路由信號。例如，此一選擇組件或多工器可(例如，回應於自控制匯流排266-a接收之發信)選擇或啟動感測放大器陣列320之感測放大器325之一半、感測放大器陣列320之感測放大器325之四分之一等。當支援讀取操作時，例如，此一感測放大器陣列320之輸出可因此經組態以輸出少於感測放大器陣列320中之感測放大器325之一數目之位元之資料傳送。

【0103】 在一些實例中，一個磚路徑310之一感測放大器陣列310或其部分可經組態用於與另一磚路徑310之一選擇性耦合。在一記憶體裝置之一部分供電或部分操作模式中，例如，記憶體佈局300可支援特定記憶體磚或磚路徑310之一選擇性啟動、撤銷啟動或閒置。在此等實例中，一撤銷啟動或閒置記憶體磚之一感測放大器陣列320或其部分(例如，感測放大器325之一子集)可與一經啟動記憶體磚(例如，一經啟動記憶體磚之記憶體胞205之一陣列、一經啟動記憶體磚之一感測放大器陣列320)共用、分流或以其他方式耦合。因此，在一些實例中，一感測放大器陣列320或一組感測放大器325可主要專用於某個記憶體磚或磚路徑310，但在一些情況(例如，特定操作模式)中，一感測放大器陣列320或一組感測放大器325可與另一記憶體磚或磚路徑310 (例如，一相鄰記憶體磚或磚路徑310)

共用。在其他實例中，一感測放大器陣列320可包含於一資料路徑350中或以其他方式被視為一資料路徑350之一部分。

【0104】 在一些實例中，一感測放大器陣列320或一磚路徑310之另一部分可包含緩衝功能或電路(例如，一系列緩衝器、一頁緩衝器、一預取緩衝器)。為了支援一讀取操作之態樣，例如，此一緩衝器可經組態以維持或儲存對應於未在一給定操作中傳遞至磚多工器340之經偵測之邏輯狀態之信號(例如，一系列之一子集、一頁之一子集)。在各項實例中，此一緩衝功能可經組態以在一後續時間將經儲存之信號傳遞至磚多工器340或使用此等經儲存之信號來支援一回寫或重寫命令(例如，將一經偵測之邏輯狀態重寫至一記憶體胞205)。

【0105】 因此，在一些實例中，經電耦合至一資料路徑350 (例如，與一各自磚匯流排311-a耦合)之一感測放大器陣列320之側可經組態以支援少於經電耦合至一對應記憶體陣列之數位線215或記憶體胞205之感測放大器陣列320之側之數目個位元的資料傳送 (例如，其中 $p < n$)。在其他實例中，可省略此一選擇組件或多工器，且經電耦合至一資料路徑350之一感測放大器陣列320之側可經組態以支援相同於經電耦合至一對應記憶體陣列之數位線215或記憶體胞205之感測放大器陣列320之側之數目個位元的資料傳送 (例如，其中 $p = n$)。

【0106】 該組磚路徑310-a (例如，感測放大器陣列320-a)或其各個部分可使用一磚多工器340選擇性地與資料路徑350耦合。在記憶體佈局300之實例中，磚多工器340與用於磚路徑310-a之各者之各自磚匯流排311-a (例如，磚匯流排311-a-1至311-a-q、一組本端I/O匯流排或線)耦合，其中磚匯流排311-a之各者可經組態以載送 p 個資訊位元。因此，在 p

個資訊位元之各者載送於相異信號路徑上的情況下，磚多工器340可經組態用於磚多工器340之陣列側上之 $(p \times q)$ 個信號路徑的選擇性耦合或映射。在資料路徑側上，磚多工器340可經組態以載送 r 個資訊位元(例如，對應於 r 個數位線215-a、對應於 r 個記憶體胞205)，且在 r 個資訊位元之各者載送於相異信號路徑上的情況下，磚多工器340可經組態用於 r 個信號路徑之選擇性耦合或映射。換言之，磚多工器340可經組態用於相關聯於磚匯流排311-a之 $(p \times q)$ 個信號路徑與相關聯於資料路徑350 (例如，一磚多工器匯流排341)之 r 個信號路徑之間的選擇性耦合或映射。在一些實例中，磚路徑310-a與資料路徑350之間的電路路徑(例如，感測放大器陣列320-a與一資料感測放大器組件360之間的電路，包含磚匯流排311-a、磚多工器340及磚多工器匯流排341)可稱為行路徑電路。

【0107】 在各項實例中，磚多工器340可(例如，自一本端記憶體控制器265)接收一信號以根據一特定存取操作來耦合資料路徑350與一特定磚路徑310-a或一個以上磚路徑310-a的部分。在一項實例中，磚多工器340可經組態以每次存取一個記憶體磚，使得資料路徑350與來自單個記憶體磚(例如，來自單個磚匯流排311-a之 r 個數位線215-a)之 r 個信號路徑耦合。在另一實例中，磚多工器340可經組態以每次存取多個記憶體磚，使得資料路徑350耦合來自一個記憶體磚(例如，一第一磚匯流排311-a)之 r 個信號之一子集及來自另一記憶體磚(例如，一第二磚匯流排311-a)之 r 個信號之另一子集。例如，磚多工器匯流排341可指代主要I/O線之一集合，其中主要I/O線之一或多者可跨一組記憶體磚或磚路徑310-a (例如，記憶體磚之一行、記憶體磚之一列)共用，且主要I/O線可(例如，藉由磚多工器340之一部分)係選擇性地與對應於該組記憶體磚或磚路徑310-a之一或

多者之一本端I/O線耦合。在一些實例中，磚多工器340可支援每次存取一個記憶體磚及每次存取多個記憶體磚，且可在一本端記憶體控制器265處做出兩者之間之一選擇以支援一給定應用或安裝中之一特定存取操作、一特定操作模式，或一特定組態。

【0108】 儘管磚多工器340被繪示為單個組件，但在一些實例中，磚多工器340之各種功能或子組件可經分佈於記憶體佈局300之不同部分中(例如，作為一分佈式電晶體網路或選擇器網路)。例如，一第一粒度或規則性之選擇性耦合、映射或路由可藉由一第一組子組件完成，該第一組子組件可為資料路徑350之部分，且一第二粒度或規則性之選擇性耦合、映射或路由可藉由一第二組子組件完成，該第二組子組件可跨磚路徑310-a-1至310-a-q分佈。因此，磚路徑310-a可包含專用於或以其他方式對應於操作一組記憶體磚之各自記憶體磚之各種電路，資料路徑350可包含專用於或以其他方式對應於操作全部該組記憶體磚之各種電路，且磚多工器340之各種部分可被視為或可不被視為磚路徑310-a-1至310-a-q或資料路徑350之部分。

【0109】 資料路徑350可繪示對應於複數個記憶體磚(例如，全部磚路徑310-a-1至310-a-q)之電路之一實例，其經組態以傳送資訊或提供與複數個記憶體磚之存取操作相關聯之各種資訊管理。根據用於電路切割之所描述技術，資料路徑350之組件可經定位於複數個記憶體磚之兩個或更多個記憶體磚之電路層或層級中。在記憶體佈局300之實例中，資料路徑350包含一資料感測放大器組件360、一冗餘修復組件365及一錯誤校正組件370。在一記憶體佈局之其他實例中，一資料路徑350可包含更多或更少組件或劃分為各種其他子組件或子功能之組件。再者，儘管資料路徑

350繪示一磚多工器匯流排341與一資料路徑匯流排351之間的單個路徑，但一資料路徑350之其他實例可具有一磚多工器匯流排341與一資料路徑匯流排351之間的一個以上路徑(例如，一讀取路徑及一寫入路徑)。因此，在一些實例中，資料路徑350可包含經組態以多工化記憶體佈局300之讀取或寫入管線之電路。

【0110】 資料感測放大器組件360可稱為資料路徑350之一「前端」且可包含經組態以放大透過磚多工器匯流排341在資料路徑350處接收之信號。例如，為了支援各種讀取操作，透過磚多工器340自一或多個磚路徑310-a傳遞之信號可具有一第一電壓擺動(例如，一部分擺動或低擺動，其對應於讀取記憶體胞205、對應於感測放大器325-a之鎖存電壓、對應於可由記憶體胞205儲存之一組邏輯狀態)。為了支援資料路徑350之各種操作或處理，資料感測放大器組件360可放大此等信號以產生具有大於第一電壓擺動之一第二電壓擺動(例如，一全擺動或一高擺動)之信號。在資料路徑350中使用一相對較寬或較大電壓擺動可支援透過資料路徑350或至一本端記憶體控制器265之更穩健信號傳送，此可與對干擾之相對較低敏感度、對沿著電阻信號路徑之電壓降或信號衰減之相對較低敏感度、對資料路徑350中之各種電荷洩漏路徑之相對較低敏感度及與一相對較大電壓擺動相關聯之其他特性相關。

【0111】 在一些實例中，資料感測放大器組件360可包含用於磚多工器匯流排341之各信號路徑之單個放大器(例如，一放大器與一記憶體胞205或經傳送之資訊位元、一組 r 個放大器之間的1:1對應性)。因此，資料感測放大器組件360可包含用於一給定存取操作中涉及之各記憶體胞205或在一記憶體陣列中存取之各資訊位元之一或多個電路元件。此一粒度或

規則性可稱為資料路徑350之一「位元片」，其中資料路徑之各位元片包含針對由資料路徑350支援之一存取操作中涉及之各位元或記憶體205重複之一或多個電路元件。

【0112】 在一些實例中，資料感測放大器組件360可用來支援讀取操作而非寫入操作，且因此可在一些存取操作中略過資料感測放大器組件360 (例如，替代地，耦合磚多工器匯流排341與資料路徑350之一寫入驅動器，未展示)。在一些實例中，可自一資料路徑350省略一資料感測放大器組件360，諸如當一感測放大器陣列320或感測放大器325經組態以輸出一全擺動或高擺動輸出(例如，至一資料路徑350)時，其中全擺動可指代相同於資料路徑350之一部分中或其輸出處所使用之一電壓擺動。

【0113】 冗餘修復組件365可經組態以替換或重新路由自被認為具有故障或懷疑具有故障(例如，如自陣列偵測操作、錯誤校正操作、製造驗證操作識別)之一數位線215或一記憶體胞205讀取或以其他方式寫入至被認為具有故障或懷疑具有故障之一數位線215或一記憶體胞205之資料。在一讀取操作中，例如，冗餘修復組件365可經組態以忽略自資料感測放大器組件360接收之一位元或忽略來自資料感測放大器組件360之一信號路徑且重新路由或以其他方式重新組態信號以解決故障數位線215或記憶體胞205。在一寫入操作中，例如，冗餘修復組件365可經組態以重新路由或以其他方式重新組態寫入信號或資料以避免將一位元寫入至一故障數位線215或記憶體胞205。因此，冗餘修復組件365之陣列側上之一匯流排可經組態以載送多於冗餘修復組件365之相對側上之一匯流排之位元(例如，其中 $s > t$)。在一項實例中，記憶體佈局300可針對資料路徑匯流排351上之每位元組資訊傳送一個冗餘位元(例如，每八個資訊位元一個冗餘

位元)而組態，但此一比率可基於各種設計權衡而組態為其他比率。

【0114】 錯誤校正組件370可經組態以偵測或校正各種資料破壞或錯誤且在一些情況中可在透過資料路徑匯流排351傳輸之前恢復資料(例如，在一讀取操作期間)。此錯誤偵測及校正可依靠一或多個錯誤校正碼，諸如區塊碼、迴旋碼、漢明(Hamming)碼、低密度同位檢查碼、渦輪碼、極化碼等。此等程序、操作及技術可稱為ECC程序、ECC操作、ECC技術或在一些情況中簡稱為ECC。在一些實例中，錯誤校正組件370可包含或稱為線上ECC。在一讀取操作中，例如，錯誤校正組件370可對根據讀取操作自一記憶體陣列讀取(例如，如自一或多個磚路徑310-a讀取或以其他方式自一或多個磚路徑310-a傳遞)之資料執行一錯誤校正操作。錯誤校正組件370可產生經校正之資料(例如，在一校正子組件中)或一經偵測之錯誤之一指示(例如，在一偵測子組件中)。錯誤校正組件370可輸出資料，其在各種境況中可為自記憶體陣列讀取之資料或已校正之資料。

【0115】 在執行ECC操作之一個實例中，錯誤校正組件370可計算傳入讀取資料之「校正子」(例如，如自冗餘修復組件365接收)，且可比較校正子與伴隨傳入讀取資料之一或多個對應同位位元(例如，如自一相同或不同磚路徑310-a之一記憶體胞205讀取)。當經計算之校正子不等於對應同位位元或若干位元時，錯誤校正組件370可嘗試在(例如，透過資料路徑匯流排351)轉寄傳入讀取資料之前校正該傳入讀取資料或(例如，透過控制匯流排266-a)發送已偵測到一錯誤之一信號或兩者。在執行ECC操作之另一實例中，錯誤校正組件370可計算傳入寫入資料之同位位元(例如，如透過資料路徑匯流排351自本端記憶體控制器265-a接收，用於在隨後讀取資料時與一經計算之校正子比較)，且可將經計算之同位位元寫入

至相同或不同於寫入傳入寫入資料之一磚路徑310-a之一記憶體胞205。在一個實例中，記憶體佈局300可針對資料路徑匯流排351上之每位元組資訊傳送一個同位或ECC位元(例如，每八個資訊位元一個同位位元)而組態，但此一比率可基於各種設計權衡而組態為其他比率。

【0116】 在一些實例中，錯誤校正組件370可包含邏輯或電路以偵測與電荷洩漏相關聯之一記憶體胞205或一數位線215，儲存此一偵測之一指示，且在適當時反轉待寫入至記憶體胞205或數位線215之一邏輯狀態或反轉自記憶體胞205或數位線215讀取之一邏輯狀態以減弱電荷洩漏之效應。

【0117】 資料路徑350 (例如，資料路徑匯流排351)及磚路徑310-a可根據各種倍數、多工組態及選擇性操作而組態。例如，與資料路徑350之存取操作相關聯之位元數量(例如，資料路徑匯流排351之 u 個位元)可對應於一存取命令(諸如一行存取命令、一行存取選通(CAS)命令或一預取命令)之一位元數量。記憶體佈局300之其他匯流排可根據記憶體佈局300之各種組態與較大數目個位元相關聯。

【0118】 在一個闡釋性實例中，資料路徑350可與256個位元之資訊傳送(例如，256個位元之一資料封包或資料叢集)相關聯，此在一些實例中可對應於資料路徑匯流排351經組態有256個單獨導電跡線(例如，其中 $u=256$)。錯誤校正組件370可經組態具有每八個位元資料傳送一個同位位元(例如，在資料路徑匯流排351上)，且因此錯誤校正組件370可使用具有288個單獨導電跡線之一匯流排與冗餘修復組件365耦合(例如，其中 $t=288$)。冗餘修復組件365可經組態具有每八個位元資料傳送一個冗餘位元(例如，在資料路徑匯流排351上)，且因此冗餘修復組件365可使用具有

320個單獨導電跡線之一匯流排與資料感測放大器組件360耦合(例如，其中 $s=320$)。

【0119】 在包含一資料感測放大器組件360之一資料路徑350之實例中，資料感測放大器組件360可經組態具有用於導電跡線之各者之一放大器(例如，在資料感測放大器組件360之任一側上)，且因此可使用具有相同數目個導電跡線之匯流排與磚多工器340及冗餘修復組件365耦合(例如， $r=s=320$)。因此，根據闡釋性實例，資料路徑350可經組態以通信地耦合於320位元或320導體磚多工器匯流排341與256位元或256跡線資料路徑匯流排351之間。換言之，資料路徑350可與25%額外負擔相關聯(例如，在一給定存取操作中存取之記憶體胞205與使用本端記憶體控制器265-a傳遞之資料位元之125%比率)以支援對應於磚路徑210-a-1至310-a-q之該組記憶體磚之冗餘及錯誤校正操作。

【0120】 繼續闡釋性實例，磚路徑310-a及磚多工器340可經組態具有各種倍數及多工以支援320位元或320導體磚多工器匯流排341。例如，記憶體佈局300可包含或對應於64個記憶體磚之一組或區段(例如，其中 $q=64$)。為了支援一給定存取操作，磚多工器340可經組態以選擇性地耦合64個對應磚路徑310-a之一半(例如，根據該組或區段中之磚路徑310-a之一配置，每隔一個磚路徑310-a)與磚多工器匯流排341。因此，磚多工器匯流排341可使用一各自10位元或10導體磚匯流排311-a與32個磚路徑310-a耦合(例如，其中 $p=10$)。在一些實例中，此一組態可由各包含兩個本端I/O匯流排或線或以其他方式與其等相關聯之磚路徑310-a或磚匯流排311-a支援，該兩個本端I/O匯流排或線各經組態以傳遞五個位元(例如，各具有五個個別導體或跡線，各與一感測放大器陣列320之五個感測放大

器325-a之一不同子集耦合)。

【0121】 進一步繼續闡釋性實例，感測放大器陣列320-a可經組態具有各種倍數及多工以支援10位元或10導體磚匯流排311-a。在一項實例中，此組態可對應於與一感測放大器陣列320-a之一耦合，其中各自磚匯流排311-a之導體之各者與單個專用感測放大器325-a耦合(例如，其中 $n=p=10$)。在另一實例中，此組態可對應於一感測放大器陣列320-a，其中各自磚匯流排311-a之導體選擇性地與感測放大器陣列320-a之感測放大器325-a之一子集耦合(例如，其中 $n>p$)。例如，感測放大器陣列320-a可各包含80個感測放大器325 (例如，其中 $n=80$)，且感測放大器陣列320-a可包含經組態以選擇或耦合十個感測放大器325-a之八個子集之一者與各自磚匯流排311-a之一選擇組件或多工器。

【0122】 進一步繼續闡釋性實例，對應於一給定磚路徑310-a之記憶體胞205可經組態具有各種倍數及多工以支援與一感測放大器陣列320-a之所描述耦合。在一個實例中，磚路徑310-a之各者可包含2,560個數位線215-a (例如，其中 $m=2,560$)或以其他方式與其等相關聯。根據記憶體佈局300之不同組態，數位線多工器315-a可經組態以選擇或耦合十個數位線215-a之256個子集之一者與各自感測放大器陣列320-a (例如，以使用具有十個感測放大器325-a之一感測放大器陣列320-a支援10位元或10導體磚匯流排311-a)，或數位線多工器315-a可經組態以選擇或耦合80個數位線215-a之32個子集之一者與各自感測放大器陣列320-a (例如，以使用具有配置為感測放大器325-a之八個可選擇子集之80個感測放大器325-a之一感測放大器陣列320-a支援10位元或10導體磚匯流排311-a)。

【0123】 在記憶體佈局300之一個實例中，磚路徑310-a之各者亦可

包含2,048個字線210或以其他方式與其等相關聯。因此，根據闡釋性實例，記憶體佈局300可包含各具有5,242,880個記憶體胞205之記憶體磚。當記憶體佈局300指代具有64個記憶體磚之一記憶體裝置之一區段或庫時，記憶體佈局300可因此繪示支援使用與256個位元資料傳送(例如，256個導電跡線)相關聯之一資料路徑匯流排351選擇性地存取335,544,320個記憶體胞205之一陣列之一配置。

【0124】 在一些實例中，可跨多個記憶體磚(例如，一庫或區段內之記憶體磚之全部或一子集)共同存取字線210，或可共用或共同驅動用於啟動不同記憶體磚之字線210之信號。例如，回應於一特定預取或其他存取命令，一頁或列啟動可對應於20,480個記憶體胞205或數位線215 (例如，對應於16,384個資料位元外加額外冗餘或同位位元)之一啟動，其等可基於記憶體佈局300之一特定多工方案(例如，根據數位線多工器315-a或磚多工器340之不同組態)而跨64個記憶體磚、32個記憶體磚、16個記憶體磚或某個其他數目個記憶體磚分佈。在其他實例中(例如，根據各種部分啟動、部分撤銷啟動或其他閒置技術)，一特定預取或其他存取命令可與記憶體胞205或數位線215之數量之一半、記憶體胞205或數位線215之數量之四分之一或某個其他量相關聯。根據所描述技術之各項實例，來自此一頁或列啟動之信號可選擇性地路由至各種磚路徑310-a之各種感測放大器陣列320-a。

【0125】 在一些實例中，資料路徑350可被視為在一記憶體晶粒(諸如一記憶體晶粒160或一記憶體晶粒200)之晶粒資料襯墊處結束或終止。儘管記憶體佈局300繪示其中單個資料路徑350與本端記憶體控制器265-a耦合之一實例，但在其他實例中，一本端記憶體控制器265、一本端記憶

體控制器165或一裝置記憶體控制器155可選擇性地與一組一個以上資料路徑350耦合。在此等實例中，一記憶體晶粒可包含經組態以選擇性地耦合本端記憶體控制器265、本端記憶體控制器165或裝置記憶體控制器155與對應資料路徑匯流排之一或多者以支援各種存取操作之一資料路徑多工器(未展示)。

【0126】 圖4繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體磚400之一例示性佈局。記憶體磚400繪示具有相對於一厚度方向401之層級(例如，層)之一佈局，該厚度方向401可指代垂直於一基板之一方向或以其他方式垂直於記憶體胞205之一平面之一方向。記憶體磚400包含一陣列層級410及一電路層級450之一實例，其等相對於一基板430展示。儘管記憶體磚400被繪示為一阵列層級410在一電路層級450上方(例如，相對於基板430)，但在其他實例或記憶體磚400中，一阵列層級410可在一電路層級450下方。此外，儘管在記憶體磚400之實例中展示一個陣列層級410及一個電路層級450，但一記憶體磚400之其他實例可包含一個以上陣列層級410或一個以上電路層級450或一個以上陣列層級410及一個以上電路層級450。

【0127】 陣列層級410包含與字線210-b及數位線215-b相關聯之複數個記憶體胞205-b，該等字線210-b及數位線215-b經組態以存取(例如，記憶體磚400之)陣列層級410之記憶體胞205-b。例如，陣列層級410可包含或相關聯於 k 個字線210-b (例如，字線210-b-1至210-b- k)及 m 個數位線215-b (例如，數位線215-b-1至215-b- m)，其等與記憶體胞205-b-11至205-b- km (例如， $(k \times m)$ 數量之記憶體胞205)相關聯。在一闡釋性實例中，陣列層級410可與2,048個字線210-b (例如，其中 $k=2,048$)及2,560個

數位線215-b (例如，其中 $m = 2,560$)相關聯且因此可與5,242,880個記憶體胞205-b相關聯。然而，所描述技術可支援具有其他數量之記憶體胞205、字線210及數位線215之記憶體磚400。

【0128】陣列層級410以一俯視圖411繪示，其展示在各自記憶體胞205-b處交叉之字線210-b及數位線215-b。然而，記憶體胞205-b、字線210-b及數位線215-b可經形成或經定位於記憶體磚400之不同位置或次層級處(例如，在厚度方向401上)。在一項實例中，字線210-b可在記憶體胞205-b下方(例如，較靠近基板430)，且數位線215-b可在字線210-b下方。此外，陣列層級亦可包含複數個板極線220 (未展示)或一共同板導體，其等可經形成或經定位於記憶體磚400或陣列層級410之另一位置或次層級處。例如，記憶體磚400或陣列層級410可包含在記憶體胞205-b上方(例如，較遠離於基板430)且由(例如，記憶體磚400之)陣列層級410之全部記憶體胞205-b共用之一共同板導體，其可指代全部記憶體胞205-b之一共同電節點(例如，記憶體磚400之一共同電節點)。在一個實例中，皆共用此一共同電節點或共同板之記憶體胞205之一陣列可界定記憶體磚400之範圍(例如，在字線210之數目上、在數位線215之數目上、在垂直於厚度方向401之維度上)。然而，在一些實例中，記憶體磚400可被細分為具有可單獨控制之板極節點之次單元，或多個記憶體磚400可共用單個可控板極，或可單獨控制之多個記憶體磚400之此等共同電節點或共同板極可以其他方式控制為一相同偏壓(例如，共同控制)。

【0129】可根據不同構成組件在厚度方向401上界定陣列層級410。在具有記憶體胞205-b上方之一共同板極導體及字線210-b下方之數位線215-b之所描述實例中，可由厚度方向401上之一闡釋性範圍界定陣列層級

410，該闡釋性範圍包含共同板極導體及數位線215-b以及陣列層級410在其等之間的部分(例如，字線210-b及記憶體胞205-b)。在另一實例中，陣列層級410可藉由記憶體胞205-b在厚度方向401上之一闡釋性範圍來界定(例如，包含特定於一各自記憶體胞205-b之各種特徵，包含諸如一電容器240或可組態材料記憶體元件之一儲存元件、一切換組件245 (若存在)及其他記憶體胞特徵)，在此情況中，存取線或節點(諸如字線210-b、數位線215-b及板極線220或一共同板極導體)被視為在陣列層級410外部(例如，在其上方或下方)。在一些實例中，包含記憶體胞205-b之特徵之厚度方向401上之範圍可被視為界定一陣列層級410之厚度方向401上之一最小範圍。

【0130】 電路層級450可包含經組態以操作陣列層級410之記憶體胞205-b之各種電路(例如，磚特定電路、主要對應於記憶體磚400之電路、對應於或主要指派至記憶體胞205-b-11至205-b-km之電路)。例如，電路層級450可包含各種解碼器、緩衝器、多工器、感測放大器或可專用於記憶體胞205-b-11至205-b-km之操作之其他組件，且在各項實例中，此電路可根據特定操作模式而不用於相同或一相鄰區段中之(例如，另一記憶體磚400 (未展示)之)其他記憶體胞205之操作或可用於一相鄰記憶體磚400之記憶體胞205之操作。電路層級450以一俯視圖451繪示，其繪示包含字線解碼器部分460、字線驅動器部分465、數位線解碼器部分470及數位線驅動器部分475之一記憶體磚400之一實例，但記憶體磚400可包含具有主要指派至記憶體磚400之操作之一不同配置組件或更多或更少組件之一電路層級450。

【0131】 字線解碼器部分460及字線驅動器部分465可對應於記憶體

磚400之字線210-b-1至210-b-k，且可包含於參考圖2所描述之一列解碼器225之操作中或以其他方式指代列解碼器225之操作。記憶體磚400繪示其中電路層級450包含對應於字線210-b-1至210-b-k之不同子集之字線解碼器部分460及字線驅動器部分465之一實例。例如，字線解碼器部分460-a及字線驅動器部分465-a可對應於字線210-b-1至210-b-(k/2)，且字線解碼器部分460-b及字線驅動器部分465-b可對應於字線210-b-(k/2+1)至210-b-k。如繪示，在一些實例中，字線解碼器部分460-a及字線驅動器部分465-a可在記憶體磚400與字線解碼器部分460-b及字線驅動器部分465-b相對之一端上(例如，沿著字線210-b之一方向)。

【0132】 字線解碼器部分460及字線驅動器部分465可執行與字線210-b之選擇性存取或啟動相關聯之各種操作。例如，字線驅動器部分465可經組態以(例如，經由一控制匯流排266)接收與對應於陣列層級410之記憶體胞205-b之存取命令(例如，讀取命令、寫入命令)相關聯之控制信號。在一些實例中，此等存取命令可與開啟包含陣列層級410中之記憶體胞205-b之一列之記憶體胞之一頁之一命令相關聯。字線驅動器部分465亦可包含與存取命令相關聯之緩衝組件或電路(例如，一控制緩衝器)。在一些實例中，字線驅動器部分465可包含用於選擇性地啟動字線210-b之一電壓源或可與在多個記憶體磚400之間共用之此一電壓源電子通信。字線解碼器部分460可包含經組態以耦合一選擇電壓源與字線210-b之選定一或多者之各種多工組件(例如，一電晶體網路)。

【0133】 數位線解碼器部分470及數位線驅動器部分475可對應於記憶體磚400之數位線215-b-1至215-b-m，且可包含於參考圖2所描述之一行解碼器230、一感測組件250或一輸入/輸出組件260或其等組合之操作中

或以其他方式指代其等之操作。在一些實例中，記憶體磚400之數位線解碼器部分470及數位線驅動器部分475可共同指代或相關聯於一磚路徑310之至少一部分。記憶體磚400繪示其中電路層級450包含對應於數位線215-b-1至215-b-m之不同子集之數位線解碼器部分470及數位線驅動器部分475之一實例。例如，數位線解碼器部分470-a及數位線驅動器部分475-a可對應於數位線215-b-1至215-b-(m/2)，且數位線解碼器部分470-b及數位線驅動器部分475-b可對應於數位線215-b-(m/2+1)至215-b-m。如繪示，在一些實例中，數位線解碼器部分470-a及數位線驅動器部分475-a可在記憶體磚400與數位線解碼器部分470-b及數位線驅動器部分475-b相對之一端上(例如，沿著數位線215-b之一方向)。

【0134】 數位線解碼器部分470及數位線驅動器部分475可執行與數位線215-b之選擇性存取或啟動相關聯之各種操作。例如，數位線驅動器部分475可經組態以(例如，經由一控制匯流排266)接收與對應於陣列層級410之記憶體胞205-b之存取命令(例如，讀取命令、寫入命令)相關聯之控制信號。另外或替代地，數位線驅動器部分475可經組態以(例如，使用一磚多工器340、使用一資料路徑350、經由一磚匯流排311、經由一輸入/輸出組件260)傳達與對應於記憶體磚400之記憶體胞205-b之存取命令相關聯之資料信號，且因此可包含與一磚匯流排311相關聯之一傳輸器、接收器或收發器。換言之，記憶體磚400可相關聯於與數位線驅動器部分475-a及475-b之一磚匯流排311連接(例如，各與磚匯流排311之一各自部分耦合)。在用於界定一記憶體磚400之範圍(例如，在字線210之數目上、在數位線215之數目上、在垂直於厚度方向401之維度上)之另一實例中，皆共用一共同磚匯流排311之記憶體胞205之一陣列可界定此等範圍。數位線

驅動器部分475亦可包含與存取命令相關聯之緩衝組件或電路(例如，一控制緩衝器、一資料緩衝器)。

【0135】 在一些實例中，存取命令可與存取或啟動記憶體磚400之數位線215-b之一子集之一命令相關聯，且數位線解碼器部分470之各者可包含一各自數位線多工器315或其部分，其經由一控制匯流排266接收控制發信以執行選擇性啟動或連接。在另一實例中，數位線驅動器部分475之各者可包含一各自感測放大器陣列320或其部分，包含複數個感測放大器325 (例如，感測放大器325之一各自子集或子陣列)，其等可(例如，藉由各自數位線驅動器部分475之一數位線多工器315)選擇性地與數位線215-b之若干者耦合以偵測一特定記憶體胞205-b之一邏輯狀態。

【0136】 在一些實例中，數位線驅動器部分475可包含用於選擇性地啟動數位線215-b或為其充電之電壓源或與在多個記憶體磚之間共用之此一電壓源電子通信。在一些實例中，數位線驅動器部分475可包含信號開發組件(例如，一感測放大器陣列320或在一感測放大器陣列320與記憶體胞205-b之間)，其等開發、轉換或放大信號以支援自記憶體胞205-b偵測邏輯狀態或將邏輯狀態寫入至記憶體胞205-b。

【0137】 在各項實例中，可根據不同構成組件在厚度方向401上界定電路層級450。在一項實例中，可在厚度方向401上藉由對應於記憶體磚400之操作之電路之厚度方向401上之最遠範圍(例如，記憶體磚400之磚特定電路之聯集在厚度方向401上之最遠範圍、字線解碼器部分460、字線驅動器部分465、數位線解碼器部分470及數位線驅動器部分475共同之最遠範圍)來界定電路層級450。在另一實例中，可在厚度方向401上藉由具有對應於記憶體磚400之操作之各類型之電路之一部分之厚度方向

401上之範圍(例如，記憶體磚400之磚特定電路之交叉點在厚度方向401上之最遠範圍、字線解碼器部分460、字線驅動器部分465、數位線解碼器部分470及數位線驅動器部分475共同之最遠範圍)來界定電路層級450。

【0138】 記憶體磚400亦可包含路由層級或以其他方式與路由層級相關聯，其等可視為記憶體磚400之路由層級、多個(例如，相鄰)記憶體磚400之一庫或區段之路由層級、記憶體磚400之複數個庫或區段之路由層級或(更一般而言)一記憶體晶粒160或一記憶體晶粒200之路由層級。例如，記憶體磚400可包含一路由層級420 (其可稱為「陣列上」路由層級)及一路由層級425 (其可稱為「陣列下」路由層級)。

【0139】 路由層級420及425可包含用於在一記憶體晶粒中路由信號或功率(例如，供應電壓、供應電流)之一或多個導電路徑層級或層(例如，堆疊於厚度方向401上)。在一項實例中，路由層級420可包含四個導電路徑層，其中該等層之兩者各包含垂直於(例如，陣列層級410之)字線210之複數個導電路徑且該等層之兩者各包含垂直於數位線215之複數個信號路徑。在另一實例中，路由層級425可包含三個導電路徑層，其中該等層之兩者各包含垂直於字線210之複數個導電路徑且該等層之一者包含垂直於數位線215之複數個導電路徑。然而，可在一路由層級420或425中使用各種導電路徑配置，包含具有多個方向上之導電路徑或非線性導電路徑之層。在一些實例中，路由層級420之導電路徑之一或多者(例如，路由層級420之次層)可由銅形成，且路由層級425之導電路徑之一或多者(例如，路由層級425之次層)可由鎢形成，其中此形成可包含選擇性沈積或移除(例如，蝕刻)以形成特定信號路徑。

【0140】 在一些實例中，可根據路由層之相對位置在厚度方向401上界定陣列層級410或電路層級450。在一個實例中，陣列層級410可對應於一路由層級420與一路由層級425之間(例如，沿著厚度方向401)的記憶體磚400之部分。在另一實例中，電路層級450可對應於一路由層級425與一基板430或另一路由層級(未展示)之間的記憶體磚400之部分。

【0141】 記憶體磚400亦可包含沿著厚度方向401之導體，其等可稱為「插座」(未展示)。插座可提供記憶體磚400之層級或層之間(諸如相鄰層級之間(例如，一路由層級420與一陣列層級410之間)或非相鄰層級之間(例如，一陣列層級410與一電路層級450之間))的導電路徑。在各項實例中，插座可經定位於記憶體磚400之闡釋性邊界內(例如，在一俯視圖中)或記憶體磚400之闡釋性邊界外部(例如，在記憶體磚之間)或兩者。

【0142】 如由電路層級450之俯視圖451所繪示，記憶體磚400之電路層級450之區域並非全部被主要與記憶體磚400相關聯之電路(例如，字線解碼器部分460、字線驅動器部分465、數位線解碼器部分470及數位線驅動器部分475共同地)佔據。實情係，電路層級450亦包含可用於其他目的之一區域480。在一些實例中，複數個記憶體磚400 (例如，記憶體磚400之一區段、記憶體磚400之一拼塊)可與一資料路徑350相關聯，且與資料路徑350相關聯之電路可跨複數個記憶體磚400之各自區域480分佈。

【0143】 圖5繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列500之一實例。記憶體陣列500可包含複數個子陣列505，該複數個子陣列505之各者可稱為記憶體磚或區塊。在一些實例中，子陣列505可為參考圖4所描述之記憶體磚400之一實例或以其他方式與參考圖4所描述之記憶體磚400共用特定特性。在一些實例

中，子陣列505之各者可與一不同磚路徑(例如，一磚路徑310)相關聯。記憶體陣列500亦可包含複數個主I/O線510。在一些實例中，主I/O線510之一或多者可包含於一磚多工器匯流排(例如，一磚多工器匯流排341)中，或可與另一選擇或多工組件(例如，一磚多工器340之一部分)耦合，該另一選擇或多工組件經組態以選擇性地耦合主I/O線510之若干者與此一磚多工器匯流排以與一資料路徑(例如，一資料路徑350)進行通信。

【0144】 複數個子陣列505可經配置為列及行。在一些實例中，子陣列505之一群組(例如，一列)可統稱為記憶體庫或區段。複數個子陣列505可包含配置於一第一行中之第一複數個子陣列505-a及配置於一第二行中之第二複數個子陣列505-b。第一複數個子陣列505-a可包含一子陣列515-a，且第二複數個子陣列505-b可包含一子陣列515-b。子陣列515-a及子陣列515-b可在一相同列(例如，庫)中但在不同行中。

【0145】 複數個主I/O線510可包含一主I/O線510-a及一主I/O線510-b。主I/O線510-a可至少部分地橫越第一行中(例如，在一路由層中，在一電路層中)之第一複數個子陣列505-a。在此等情況中，主I/O線510-a可至少部分地橫越子陣列515-a。主I/O線510-b可至少部分地橫越第二行中之第二複數個子陣列505-b。在此等情況中，主I/O線510-b可至少部分地橫越子陣列515-b。即，主I/O線510-a不橫越子陣列515-b，且主I/O線510-b不橫越子陣列515-a。一主I/O線510可經組態以利用包含記憶體陣列500之一記憶體裝置之一I/O組件傳輸自複數個子陣列505讀取或寫入至複數個子陣列505之資料。在一些情況中，主I/O線510-a及主I/O線510-b可各為單個I/O線或可各包含複數個I/O線。例如，主I/O線510-a及主I/O線510-b可各為五個位元寬(例如，經組態以載送五個資訊位元，且可包含五個單獨

導電路徑)。

【0146】 包含記憶體陣列500之記憶體裝置可(例如，透過一控制匯流排266，自一本端記憶體控制器265)接收一命令或其他控制發信以在一降低功率模式中操作記憶體陣列500。例如，記憶體裝置可經組態以基於指示一縮減頁大小之一命令或其他控制發信將記憶體陣列500置於降低功率模式。當以降低功率模式操作時，記憶體陣列500可經組態以僅啟動包含於一經啟動之庫中之複數個子陣列515之僅一經指示之子集(例如，一半)，且使包含於該經啟動之庫中之複數個子陣列515之一其餘部分撤銷啟動。例如，當接收用於包含子陣列515-a及515-b之庫之一啟動命令時，基於以降低功率模式操作記憶體陣列500，可啟動子陣列515-a但子陣列515-b可保持撤銷啟動。

【0147】 在一些情況中，一總行位址範圍可跨越對應於兩個或更多個子陣列505之位址，且記憶體陣列500可經組態以僅啟動一經啟動之庫內對應於該行位址範圍之一經指示之子集之子陣列，且使該經啟動之庫內之其他子陣列保持處於一撤銷啟動模式。例如，若該行位址範圍跨越兩個子陣列505，且自左至右對行進行編索引使得包含子陣列515-b之行係行0且包含子陣列515-a之係行11，則當一經指示之行位址範圍在該總範圍之一上半部內時可僅啟動奇數索引子陣列505 (諸如子陣列515-a)，且當一經指示之行位址範圍在該總範圍之一下半部內時可僅啟動偶數索引子陣列505 (諸如子陣列515-b)。據此，在一些情況中，可啟動一經啟動之庫內之每隔另一子陣列505。一經啟動之庫內之經啟動及經撤銷啟動之子陣列之其他型樣(例如，除交替啟動/撤銷啟動之外)亦係可能的，包含如本文中例如參考圖13及圖14所描述。

【0148】 圖5繪示一個操作實例：包含記憶體陣列500之記憶體裝置可接收以一縮減頁大小進行操作之一命令。記憶體裝置可(例如，在一相同命令之後、與一相同命令同時或作為一相同命令之部分)接收指示用於啟動之一目標庫520之一啟動命令。該啟動命令(或某個其他命令，取決於實施方案)亦可指示用於啟動之目標庫520中之子陣列505之一子集(例如，藉由指示一行位址範圍，其中目標庫520中之不同子陣列505與一總行位址範圍內之不同範圍(例如，子集)相關聯)。記憶體裝置可僅啟動經指示用於啟動之彼等子陣列505 (例如，在目標庫520內，僅對應於經指示之行位址範圍之彼等子陣列505)，且目標庫520中之其他子陣列505可保持撤銷啟動(或若先前被啟動，則將撤銷啟動)。例如，若子陣列505之經指示之子集包含目標庫520內之子陣列515-a及其他非陰影子陣列505，則目標庫520內之子陣列515-b及其他陰影子陣列505可保持撤銷啟動。可在記憶體陣列500接收啟動命令之後接收一存取命令。該存取命令可指示在該位址範圍內對應於目標庫520內之經啟動之子陣列505之一行位址(例如，行選擇值)，且可存取(例如，讀取或寫入)開啟頁中亦對應於經指示之行位址之記憶體胞之子集。

【0149】 啟動一經啟動之庫中之子陣列505之僅一部分可在一縮減頁模式(例如，一降低功率模式)期間節省功率。例如，可基於指示一縮減頁大小之命令而在記憶體陣列500內存取(例如，感測)更少位元，且與未經存取之子陣列505相關聯之一或多個電路態樣可保持撤銷啟動。

【0150】 圖6繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一子陣列600之一實例。子陣列600可為一記憶體磚或區塊(例如，一記憶體磚400、一子陣列505)之一實例，且可包含本端

I/O線610、複數個感測組件615及驅動器620。在一些實例中，本端I/O線610-a及610-b可共同為一磚匯流排311之一實例，且複數個感測組件615-a及615-b可共同為一感測放大器陣列320之一實例，如參考圖3所描述。子陣列600亦可與至少一個主I/O線605相關聯，該至少一個主I/O線605可跨(例如，可橫越)一或多個其他子陣列(未展示)共用。

【0151】 在一些實例中，驅動器620可經組態以選擇性地耦合本端I/O線610之至少一部分與主I/O線605 (例如，回應於控制發信(未展示)，其可透過一控制匯流排266遞送)，在該情況中驅動器620可被視為參考圖3所描述之一磚多工器340之一部分。例如，驅動器620可為三態驅動器(其等亦可稱為三態驅動器、三態緩衝器(three-state buffer)或 tri-state buffer))且因此當被啟動時(例如，基於一控制信號，未展示，其可基於一行位址或行位址範圍)可選擇性地耦合一對應本端I/O線610與主I/O線605且當被撤銷啟動時(例如，基於控制信號)將對應本端I/O線與主I/O線605解耦合(例如，電隔離)。例如，當啟動驅動器620-a時，驅動器620-a可耦合本端I/O線610-a與主I/O線605，且當撤銷啟動驅動器620-a時，驅動器620-a可將本端I/O線610-a與主I/O線605解耦合。子陣列600及主I/O線605可分別為如參考圖5所描述之子陣列505及主I/O線510之實例。

【0152】 子陣列600可包含橫越子陣列600之主I/O線605之一部分或以其他方式與橫越子陣列600之主I/O線605相關聯。驅動器620-a及驅動器620-b可與主I/O線605耦合。驅動器620-a亦可與本端I/O線610-a耦合，且驅動器620-b可與本端I/O線610-b耦合。本端I/O線610-a可與複數個感測組件615-a耦合，且本端I/O線610-b可與複數個感測組件615-b耦合。在一些情況中，本端I/O線610-a可用作複數個感測組件615-a與主I/O線605之

間的一中介(例如，傳導信號)。本端I/O線610-b可用作複數個感測組件615-b與主I/O線605之間的一中介(例如，傳導信號)。

【0153】 複數個感測組件615-a及複數個感測組件615-b可各包含與子陣列600相關聯之任何數目個個別感測組件625，且各個別感測組件625可包含任何數目個個別感測放大器，諸如參考圖3所描述之感測放大器325。例如，複數個感測組件615之各者可包含四個感測組件625，且四個感測組件625之各者可包含五個個別感測放大器。在一些情況中，複數個感測組件615-a及複數個感測組件615-b兩者可經定位於子陣列600之記憶體胞下方或子陣列600之記憶體胞上方(例如，在一電路層中，更靠近或更遠離一基板)。在一些實例中，主I/O線605可經定位於子陣列600之記憶體胞下方或子陣列600之記憶體胞上方(例如，在一電路層中，在一路由層中)。

【0154】 包含子陣列600之一記憶體裝置可接收一啟動命令且回應於該啟動命令而啟動子陣列600。例如，啟動命令可指定子陣列600內之記憶體胞之一列，且記憶體裝置可基於啟動命令啟動子陣列600 (例如，可啟動感測組件615、一或多個存取線驅動器、時序電路或用於產生與存取操作及其他操作相關聯之時序信號之「片語」或其等任何組合)。在一些情況中，子陣列600可包含於子陣列之一庫中，啟動命令可指定該庫內之記憶體胞之一列(例如，跨多個子陣列)，且記憶體裝置可基於啟動命令啟動該庫內之一或多個子陣列。記憶體裝置亦可啟動各經啟動之子陣列內之一字線(例如，列線)以耦合該經啟動之列中之記憶體胞與其等各自數位線(例如，行線)且由此開啟記憶體胞之一頁。

【0155】 該記憶體裝置可接收一存取命令(例如，在啟動命令之

後)，且複數個感測組件615-a及複數個感測組件615-b之一選定者可用來基於啟動命令(例如，基於包含於存取命令中或以其他方式與存取命令相關聯之一行位址或遮罩)自子陣列600感測資料。例如，當子陣列600回應於一讀取命令而接收或以其他方式被存取時，可與一主機裝置交換資料以用於記憶體裝置。若選定感測組件包含於複數個感測組件615-a中，則選定感測組件可驅動本端I/O線610-a上之資料，且驅動器620-a可將資料自本端I/O線610-a驅動至主I/O線605上以與主機裝置交換。替代地，若選定感測組件包含於複數個感測組件615-b中，則選定感測組件可驅動本端I/O線610-b上之資料，且驅動器620-b可將資料自本端I/O線610-b驅動至主I/O線605上以與主機裝置交換。

【0156】 複數個感測組件615-a可與存取命令之一第一位址範圍相關聯，且複數個感測組件615-b可與存取命令之一第二位址範圍相關聯，其中第二位址範圍不同於第一位址範圍。例如，複數個感測組件615-a可與包含一行選擇值四、五、六或七之一位址範圍相關聯。複數個感測組件615-b可與包含一行選擇值零、一、二或三之一位址範圍相關聯。存取命令可指示一位址，諸如一行選擇值(例如，行位址)(例如，在第一位址範圍或第二位址範圍內)。換言之，一行選擇值可對應於或用來選擇或啟動複數個感測組件615之一特定感測組件625 (例如，藉由一感測組件選擇組件或多工器，藉由一感測放大器選擇組件或多工器)。

【0157】 行選擇值可藉由指定複數個感測組件615之一感測組件625來指示選擇及提取哪個資料。作為一實例，各感測組件(例如，感測組件625)可與五個資料位元相關聯，該五個資料位元可對應於包含五個感測放大器325之一個別感測組件625。在一些情況中，各本端I/O線610-a及本端

I/O線610-b可經組態以載送五個資訊位元，該五個資訊位元可對應於五個單獨導電路徑。在此等情況中，主I/O線605亦可經組態以載送五個資訊位元，該五個資訊位元可對應於五個單獨導電路徑。

【0158】 作為一闡釋性實例，若行位址指示一行選擇值七，則可啟動複數個感測組件615-a之感測組件625-a。在此等情況中，感測組件625-a可與本端I/O線610-a及主I/O線605-a耦合。可基於耦合感測組件625-a與本端I/O線610-a及主I/O線605-a而與主機裝置或記憶體裝置之另一態樣交換與感測組件625-a相關聯(例如，使用感測組件625-a讀取或寫入)之資料。

【0159】 繼續闡釋性實例，可基於對應於一行選擇值七(或對應於複數個感測組件615-a之一範圍內之任何值)之存取命令啟動驅動器620-a。感測組件625-a及主I/O線605-a可基於啟動驅動器620-a而耦合。驅動器620-b可基於對應於一行選擇值七(或對應於複數個感測組件615-b之一範圍外之任何值)之存取命令而撤銷啟動或維持於一撤銷啟動狀態中(例如，若在接收存取命令或一對應啟動命令之前已被撤銷啟動)。例如，若存取命令未指示一行選擇值零、一、二或三(例如，與複數個感測組件615-b相關聯)，則複數個感測組件615-b、本端I/O線610-b及驅動器620-b可保持撤銷啟動。

【0160】 圖7繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列700之態樣之一實例。記憶體陣列700可包含子陣列702-a及子陣列702-b (例如，記憶體磚、記憶體區塊)、主I/O線705、本端I/O線710、複數個感測組件715及驅動器720。在一些實例中，子陣列702可為參考圖4所描述之記憶體磚400之一實例或以其他方

式與參考圖4所描述之記憶體磚400共用特定特性。例如，子陣列702-a及子陣列702-b可包含於諸如記憶體陣列500之一陣列內之一相同庫中。記憶體陣列700亦可包含分流器725，該分流器725可經組態以耦合(例如，一起合併、組合、接合)不同(例如，相鄰)子陣列702之本端I/O線710。在一些情況中，與一共同分流器725連接之本端I/O線710可被視為單個本端I/O線，但可為了繪示清晰而被描述為已藉由分流器725接合之單獨I/O線。子陣列702、主I/O線705、本端I/O線710、感測組件715及驅動器720可分別為如參考圖5及圖6所描述之子陣列、主I/O線、本端I/O線、感測組件及驅動器之實例。在記憶體陣列700之實例中，可啟動子陣列702-a及子陣列702-b兩者。

【0161】 子陣列702-a可包含主I/O線705-a及主I/O線705-b之一部分或以其他方式與主I/O線705-a及主I/O線705-b相關聯，主I/O線705-a及主I/O線705-b兩者可至少部分地橫越子陣列702-a。在一些情況中，主I/O線705-a及主I/O線705-b可代表單個I/O線(例如，一磚多工器匯流排341之一部分，或經組態以選擇性地耦合或映射至一磚多工器匯流排341之一匯流排線，如參考圖3所描述)。驅動器720-a及驅動器720-b可與主I/O線705-a耦合。驅動器720-c及驅動器720-d可與主I/O線705-b耦合。驅動器720-a可與本端I/O線710-a耦合，驅動器720-b可與本端I/O線710-b耦合，驅動器720-c可與本端I/O線710-c耦合，且驅動器720-d可與本端I/O線710-d耦合。在一些實例中，主I/O線705-a可經定位於子陣列702-a之記憶體胞下方，且主I/O線705-b可經定位於子陣列702-a之記憶體胞上方。在其他實例中，主I/O線705-a可經定位於子陣列702-a之記憶體胞上方，且主I/O線705-b可經定位於子陣列702-a之記憶體胞下方。在又其他實例中，主I/O

線705-a及主I/O線705-b兩者可經定位於子陣列702-a之記憶體胞上方或下方。

【0162】 本端I/O線710可各與複數個感測組件715耦合。例如，本端I/O線710-a可與複數個感測組件715-a耦合，本端I/O線710-b可與複數個感測組件715-b耦合，本端I/O線710-c可與複數個感測組件715-c耦合，且本端I/O線710-d可與複數個感測組件715-d耦合。

【0163】 複數個感測組件715-a、715-b、715-c及715-d可各經組態以自子陣列702-a感測資料且可各包含與子陣列702-a相關聯之任何數目(例如，四個)個別感測組件730。如本文中所描述，經組態以自一子陣列感測資料之任何感測組件亦可經組態以支援將資料寫入至該子陣列。例如，給定複數個感測組件715之四個感測組件730之各者可包含任何數目(例如，五個)個別感測放大器(例如，參考圖3所描述之感測放大器325)。在一些情況中，複數個感測組件715-a、複數個感測組件715-b、複數個感測組件715-c及複數個感測組件715-d可全部經定位於子陣列702-a之記憶體胞下方或上方。複數個感測組件715-a、715-b、715-c及715-d可各與一相同位址範圍(例如，自四至七之行選擇值)相關聯。例如，各行選擇值四、五、六或七可指示複數個感測組件715-a中之四個感測組件730之一者、複數個感測組件715-b中之四個感測組件730之一者、複數個感測組件715-c中之四個感測組件730之一者及複數個感測組件715-d中之四個感測組件730之一者。

【0164】 子陣列702-b可包含主I/O線705-c及主I/O線705-d之一部分或以其他方式與主I/O線705-c及主I/O線705-d相關聯，主I/O線705-c及主I/O線705-d兩者可至少部分地橫越子陣列702-b。在一些情況中，主I/O線

705-c及主I/O線705-d可代表單個I/O線(例如，一磚多工器匯流排341之一部分，或經組態以選擇性地耦合或映射至一磚多工器匯流排341之一匯流排線，如參考圖3所描述)。驅動器720-e及驅動器720-f可與主I/O線705-c耦合。驅動器720-g及驅動器720-h可與主I/O線705-d耦合。驅動器720-e可與本端I/O線710-e耦合，驅動器720-f可與本端I/O線710-f耦合，驅動器720-g可與本端I/O線710-g耦合，且驅動器720-h可與本端I/O線710-h耦合。在一些實例中，主I/O線705-c可經定位於子陣列702-b之記憶體胞下方，且主I/O線705-d可經定位於子陣列702-b之記憶體胞上方。在其他實例中，主I/O線705-c可經定位於子陣列702-b之記憶體胞上方，且主I/O線705-d可經定位於子陣列702-b之記憶體胞下方。在又其他實例中，主I/O線705-c及主I/O線705-d兩者可經定位於子陣列702-b之記憶體胞上方或下方。

【0165】 本端I/O線710可各與複數個感測組件715耦合。例如，本端I/O線710-e可與複數個感測組件715-e耦合，本端I/O線710-f可與複數個感測組件715-f耦合，本端I/O線710-g可與複數個感測組件715-g耦合，且本端I/O線710-h可與複數個感測組件715-h耦合。

【0166】 複數個感測組件715-e、715-f、715-g及715-h可各經組態以自子陣列702-b感測資料且可各包含與子陣列702-b相關聯之任何數目(例如，四個)感測組件730。例如，給定複數個感測組件715之四個感測組件730之各者可包含任何數目(例如，五個)個別感測放大器(例如，參考圖3所描述之感測放大器325)。在一些情況中，複數個感測組件715-e、複數個感測組件715-f、複數個感測組件715-g及複數個感測組件715-h可全部經定位於子陣列702-b之記憶體胞下方或上方。複數個感測組件715-e、

715-f、715-g及715-h可各與一相同位址範圍(例如，自零至三之行選擇值)相關聯。例如，各行選擇值零、一、二或三可指示複數個感測組件715-e中之四個感測組件730之一者、複數個感測組件715-f中之四個感測組件730之一者、複數個感測組件715-g中之四個感測組件730之一者及複數個感測組件715-h中之四個感測組件730之一者。

【0167】 一行位址(例如，行選擇值)可包含於一存取命令中或基於一存取命令以其他方式來判定，且該行位址可用來耦合一特定感測組件730與一主I/O線705。圖7可繪示其中該位址指示一行選擇值二(例如，行位址二)之一實例中之資料流以及經啟動之感測組件730及驅動器720，其等通常可代表當一行位址對應於子陣列702-b時之資料流以及經啟動之感測組件730及驅動器720。

【0168】 在一行選擇值二之實例中，可啟動複數個感測組件715-e之感測組件730-a，可啟動複數個感測組件715-g之感測組件730-b，可啟動複數個感測組件715-h之感測組件730-d，且可啟動複數個感測組件715-f之感測組件730-c。其他感測組件730可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態。驅動器720-g、720-e、720-d及720-b亦可被啟動(且因此可各將一對應本端I/O線710耦合至一對應主I/O線705)。驅動器720-f、720-h、720-a及720-b可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態(且因此可各將一對應本端I/O線710與一對應主I/O線705解耦合(例如，電隔離))。

【0169】 因此，感測組件730-a可與本端I/O線710-e及主I/O線705-c耦合(例如，經由驅動器720-e)。可基於耦合感測組件730-a與本端I/O線710-e及主I/O線705-c而與主機裝置交換與感測組件730-a相關聯(例如，

使用感測組件730-a讀取或寫入)之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器720-e。感測組件730-a及主I/O線705-c可基於啟動驅動器720-e而耦合。在此等情況中，感測組件730-a可經由經啟動之資訊路徑735-a與主機裝置交換資料。

【0170】 類似地，感測組件730-b可與本端I/O線710-g及主I/O線705-d耦合(例如，經由驅動器720-g)。可基於耦合感測組件730-b與本端I/O線710-g及主I/O線705-d而與主機裝置交換與感測組件730-b相關聯之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器720-g。感測組件730-b及主I/O線705-d可基於啟動驅動器720-g而耦合。在此等情況中，感測組件730-b可經由經啟動之資訊路徑735-b與主機裝置交換資料。在一些情況中，可同時啟動感測組件730-a及感測組件730-b。

【0171】 可各基於對應於一行選擇值二(例如，在對應於子陣列702-b之一範圍內之一值)之存取命令撤銷啟動驅動器720-f及驅動器720-h。在一些情況中，可基於在相同主I/O線705-c上啟動驅動器720-e而撤銷啟動驅動器720-f。可基於在相同主I/O線705-d上啟動驅動器720-g而撤銷啟動驅動器720-h。

【0172】 在一些情況中，子陣列702-a及子陣列702-b可彼此相鄰(例如，在一記憶體庫內、在一記憶體區段中相鄰)。在此等情況中，一或多個分流器725可耦合子陣列702-a與子陣列702-b。例如，分流器725-a可耦合驅動器720-d與驅動器720-f (例如，為驅動器720-d及驅動器720-f提供一共同或以其他方式共用之I/O線或匯流排)。分流器725-b可耦合驅動器720-b與驅動器720-h。分流器725-a可使本端I/O線710-d及本端I/O線710-f短路，且分流器725-b可使本端I/O線710-b及本端I/O線710-h短路。在一

些情況中，一分流器725可為硬連線的(例如，經由一或多個永久性導電路徑，該一或多個永久性導電路徑可各在一經耦合之本端I/O線710內耦合一或多個個別導電區塊)。在一些情況中，耦合至一分流器725之兩個本端I/O線710可被視為單個I/O線，儘管為了清晰地繪示本發明之概念，其等可稱為已耦合或分流在一起之單獨本端I/O線710。

【0173】 分流器725-a及分流器725-b可各包括一雙向資訊路徑，該雙向資訊路徑經組態以基於一存取命令(例如，基於回應於存取命令而啟動哪些感測組件730及驅動器720)在一第一方向或一第二方向上載送資料。例如，分流器725-a可經組態以當撤銷啟動驅動器720-f並啟動驅動器720-d時在子陣列702-b與主I/O線705-b之間載送資料，且當撤銷啟動驅動器720-d並啟動驅動器720-f時在子陣列702-a與主I/O線705-c之間載送資料。類似地，分流器725-b可經組態以當撤銷啟動驅動器720-h並啟動驅動器720-b時在子陣列702-b與主I/O線705-a之間載送資料，且當撤銷啟動驅動器720-b並啟動驅動器720-h時在子陣列702-a與主I/O線705-d之間載送資料。

【0174】 因此，若位址範圍指示一行選擇值二，則感測組件730-c可經由分流器725-a與主I/O線705-b耦合。在撤銷啟動驅動器720-f之情況中，感測組件730-c及因此子陣列702-b可借用子陣列702-a之主I/O線705-b以與主機裝置交換資料。可基於對應於一行選擇值二之存取命令啟動驅動器720-d，由此允許分流器725-a在感測組件730-c與主I/O線705-b之間路由資料。即，感測組件730-c及主I/O線705-b可基於啟動驅動器720-d而耦合。在此等情況中，感測組件730-c可經由經啟動之資訊路徑735-c與主機裝置交換資料。例如，可自子陣列702-b讀取資料但可經由一主I/O線路

由資料，該主I/O線經由經啟動之資訊路徑735-c至少部分地橫越子陣列702-a (且可不橫越子陣列702-b)。

【0175】 類似地，若位址範圍指示一行選擇值二，則感測組件730-d可經由分流器725-b與主I/O線705-a耦合。在撤銷啟動驅動器720-h之情況中，感測組件730-d及因此子陣列702-b可借用子陣列702-a之主I/O線705-a以與主機裝置交換資料。可基於對應於一行選擇值二之存取命令啟動驅動器720-b，由此允許分流器725-b在感測組件730-d與主I/O線705-a之間路由資料。即，感測組件730-d及主I/O線705-a可基於啟動驅動器720-b而耦合。在此等情況中，感測組件730-d可經由經啟動之資訊路徑735-d與主機裝置交換資料。例如，可自子陣列702-b讀取資料但可經由一主I/O線路由資料，該主I/O線經由經啟動之資訊路徑735-d至少部分地橫越子陣列702-a。在一些情況中，可同時啟動感測組件730-c及感測組件730-d。另外或替代地，可各同時啟動感測組件730-a、730-b、730-c及730-d。

【0176】 基於存取命令中指示之位址，可各撤銷啟動複數個感測組件715-a、715-b、715-c及715-d。例如，複數個感測組件715-a、715-b、715-c及715-d可對應於不包含存取命令中指示之位址之一位址範圍。在此等情況中，可撤銷啟動與複數個感測組件715-a耦合之驅動器720-a，且可撤銷啟動與複數個感測組件715-c耦合之驅動器720-c。

【0177】 圖8繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列800之態樣之一實例。記憶體陣列800可包含子陣列802-a及子陣列802-b、主I/O線805、本端I/O線810、複數個感測組件815及驅動器820。記憶體陣列800亦可包含分流器825。子陣列

802、主I/O線805、本端I/O線810、感測組件815及驅動器820可分別為如參考圖5至圖7所描述之子陣列、主I/O線、本端I/O線、感測組件及驅動器之實例。記憶體陣列800之態樣可相同或類似於參考圖7所描述之記憶體陣列700。記憶體陣列800可出於至少本文中所描述之原因而繪示根據一替代組態或案例(例如，與記憶體陣列700之組態或案例相比)之操作。

【0178】 一行位址(例如，行選擇值)可包含於一存取命令中或基於一存取命令以其他方式來判定，且該行位址可用來耦合一特定感測組件830與一主I/O線805。圖8可繪示其中該位址指示一行選擇值七(例如，行位址七)之一實例中之資料流以及經啟動之感測組件830及驅動器820，其等通常可代表當一行位址對應於子陣列702-a時之資料流以及經啟動之感測組件730及驅動器720。

【0179】 在一行選擇值七之實例中，可啟動複數個感測組件815-a之感測組件830-a，可啟動複數個感測組件815-c之感測組件830-b，可啟動複數個感測組件815-b之感測組件830-d，且可啟動複數個感測組件815-d之感測組件830-c。其他感測組件830可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中。驅動器820-a、820-c、820-f及820-h亦可被啟動(且因此可各將一對應本端I/O線810耦合至一對應主I/O線805)。驅動器820-b、820-d、820-e及820-g可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中(且因此可各將一對應本端I/O線810與一對應主I/O線805解耦合(例如，電隔離))。

【0180】 因此，感測組件830-a可與本端I/O線810-a及主I/O線805-a耦合(例如，經由驅動器820-a)。可基於耦合感測組件830-a與本端I/O線810-a及主I/O線805-a而與主機裝置交換與感測組件830-a相關聯(例如，

使用感測組件830-a讀取或寫入)之資料。在一些情況中，可基於對應於一行選擇值七之存取命令啟動驅動器820-a。感測組件830-a及主I/O線805-a可基於啟動驅動器820-a而耦合。在此等情況中，感測組件830-a可經由經啟動之資訊路徑835-a與主機裝置交換資料。

【0181】 類似地，感測組件830-b可與本端I/O線810-c及主I/O線805-b耦合(例如，經由驅動器820-c)。可基於耦合感測組件830-b與本端I/O線810-c及主I/O線805-b而與主機裝置交換與感測組件830-b相關聯之資料。在一些情況中，可基於對應於一行選擇值七之存取命令啟動驅動器820-c。感測組件830-b及主I/O線805-b可基於啟動驅動器820-c而耦合。在此等情況中，感測組件830-b可經由經啟動之資訊路徑835-b與主機裝置交換資料。

【0182】 驅動器820-b及驅動器820-d可各基於對應於一行選擇值七(例如，在對應於子陣列802-a之一範圍內之一值)之存取命令撤銷啟動。在一些情況中，驅動器820-b可基於在相同主I/O線805-a上啟動驅動器820-a而撤銷啟動。驅動器820-d可基於在相同主I/O線805-b上啟動驅動器820-c而撤銷啟動。

【0183】 分流器825-a可經組態以當撤銷啟動驅動器820-d並啟動驅動器820-f時在子陣列802-a與主I/O線805-c之間載送資料，且當撤銷啟動驅動器820-f並啟動驅動器820-d時在子陣列802-b與主I/O線805-b之間載送資料。類似地，分流器825-b可經組態以當撤銷啟動驅動器820-b並啟動驅動器820-h時在子陣列802-a與主I/O線805-d之間載送資料，且當撤銷啟動驅動器820-h並啟動驅動器820-b時在子陣列702-b與主I/O線705-a之間載送資料。

【0184】 因此，若位址範圍指示一行選擇值七，則感測組件830-c可經由分流器825-a與主I/O線805-c耦合。在撤銷啟動驅動器820-d之情況中，感測組件830-c及因此子陣列802-a可借用子陣列802-b之主I/O線805-c以與主機裝置交換資料。可基於對應於一行選擇值七之存取命令啟動驅動器820-f，由此允許分流器825-a在感測組件830-c與主I/O線805-c之間路由資料。即，感測組件830-c及主I/O線805-c可基於啟動驅動器820-f而耦合。在此等情況中，感測組件830-c可經由經啟動之資訊路徑835-c與主機裝置交換資料。

【0185】 類似地，若位址範圍指示一行選擇值七，則感測組件830-d可經由分流器825-b與主I/O線805-d耦合。在撤銷啟動驅動器820-b之情況中，感測組件830-d及因此子陣列802-a可借用子陣列802-b之主I/O線805-d以與主機裝置交換資料。可基於對應於一行選擇值七之存取命令啟動驅動器820-h，由此允許分流器825-b在感測組件830-d與主I/O線805-d之間路由資料。即，感測組件830-d及主I/O線805-d可基於啟動驅動器820-h而耦合。

【0186】 基於存取命令中指示之位址，可各撤銷啟動複數個感測組件815-e、815-f、815-g及815-h。例如，複數個感測組件815-e、815-f、815-g及815-h可對應於不包含存取命令中指示之位址之一位址範圍。在此等情況中，可撤銷啟動與複數個感測組件815-e耦合之驅動器820-e，且可撤銷啟動與複數個感測組件815-g耦合之驅動器820-g。

【0187】 因此，可由相鄰(例如，鄰近)子陣列共用一或多個本端I/O線。此可允許共用至少一個本端I/O線之子陣列借用主I/O線。當自一經存取之子陣列讀取資料或將資料寫入至一經存取之子陣列時，其可至少部分

地由不橫越該經存取之子陣列而橫越一鄰近子陣列之一主I/O線進行傳達。即，一主I/O線有時可載送自由主I/O線橫越之一子陣列讀取或寫入至由主I/O線橫越之一子陣列之資料，但有時可載送自未由主I/O線橫越之一子陣列讀取或寫入至未由主I/O線橫越之一子陣列之資料。

【0188】 圖9繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列900之態樣之一實例。記憶體陣列900可包含子陣列902-a及子陣列902-b、主I/O線905、本端I/O線910、複數個感測組件915及驅動器920。在一些實例中，子陣列902可為參考圖4所描述之記憶體磚400之一實例或以其他方式與參考圖4所描述之記憶體磚400共用特定特性。例如，子陣列902-a及子陣列902-b可包含於諸如記憶體陣列500之一陣列內之一相同庫中。記憶體陣列900亦可包含分流器925，該分流器925可經組態以將本端I/O線910耦合(例如，一起合併、組合、接合)至不同(例如，相鄰)子陣列902。子陣列902、主I/O線905、本端I/O線910、感測組件915及驅動器920可分別為如參考圖5至圖8所描述之子陣列及主I/O線、本端I/O線、感測組件及驅動器之實例。記憶體陣列900之態樣可相同或類似於一記憶體陣列700或800之子集。記憶體陣列900可出於至少本文中所描述之原因而繪示根據一替代組態(例如，與記憶體陣列700或800之子集之組態相比)之操作。

【0189】 複數個感測組件915可經配置於一或多個記憶體磚之各種層或層級中。例如，複數個感測組件915-a及複數個感測組件915-b兩者可經定位於子陣列902-a的記憶體胞下方或上方，複數個感測組件915-c可經定位於一相鄰子陣列(未展示)(例如，一第一相鄰庫中及包含子陣列902-a之一子陣列行內之一子陣列)的記憶體胞下方或上方，且複數個感測組件

915-d可經定位於另一相鄰子陣列(未展示)(例如，一第二相鄰庫中及包含子陣列902-a之子陣列行內的一子陣列，其中包含子陣列902-a及902-b之庫在第一相鄰庫與第二相鄰庫之間)之子陣列902-a的記憶體胞下方或上方。在此等情況中，可自相鄰於子陣列902-a之一庫中之一子陣列借用複數個感測組件915以與主機裝置交換資料。複數個感測組件915-a、915-b、915-c及915-d可各與包含行選擇值四、五、六或七之一位址範圍內的行位址相關聯。

【0190】 在一些情況中，複數個感測組件915-g及複數個感測組件915-h兩者可經定位於子陣列902-b的記憶體胞下方或上方，複數個感測組件915-e可經定位於一相鄰子陣列(未展示)(例如，第一相鄰庫中及包含子陣列902-b之一子陣列行內的一子陣列)的記憶體胞下方或上方，且複數個感測組件915-f可經定位於另一相鄰子陣列(未展示)(例如，第二相鄰庫中及包含子陣列902-b之子陣列行內的一子陣列，其中包含子陣列902-a及902-b之庫在第一相鄰庫與第二庫之間)的記憶體胞上方。在此等情況中，可自相鄰於子陣列902-b之一庫中之一子陣列借用複數個感測組件915以與主機裝置交換資料。複數個感測組件915-e、915-f、915-g及915-h可各與包含行選擇值零、一、二或三之一位址範圍內的行位址相關聯。

【0191】 一行位址(例如，行選擇值)可被包含於一存取命令中或基於一存取命令以其他方式來判定，且該行位址可用來耦合一特定感測組件930與一主I/O線905。圖9可繪示其中該位址指示一行選擇值七(例如，行位址七)之一實例中的資料流以及經啟動之感測組件930及驅動器920。

【0192】 在一行選擇值七之實例中，可啟動複數個感測組件915-a之感測組件930-a，可啟動複數個感測組件915-c之感測組件930-b，可啟

動複數個感測組件915-b之感測組件930-d，且可啟動複數個感測組件915-d之感測組件930-c。其他感測組件930可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中。驅動器920-a、920-c、920-f及920-h亦可被啟動(且因此可各將一對應本端I/O線910耦合至一對應主I/O線905)。驅動器920-b、920-d、920-e及920-g可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中(且因此可各將一對應本端I/O線910與一對應主I/O線905解耦合(例如，電隔離))。

【0193】 因此，感測組件930-a可與本端I/O線910-a及主I/O線905-a耦合(例如，經由驅動器920-a)。可基於耦合感測組件930-a與本端I/O線910-a及主I/O線905-a而與主機裝置交換與感測組件930-a相關聯(例如，使用感測組件930-a讀取或寫入)之資料。在一些情況中，可基於對應於一行選擇值七之存取命令啟動驅動器920-a。感測組件930-a及主I/O線905-a可基於啟動驅動器920-a而耦合。在此等情況中，感測組件930-a可經由經啟動之資訊路徑935-a與主機裝置交換資料。

【0194】 類似地，感測組件930-b可與本端I/O線910-c及主I/O線905-b耦合(例如，經由驅動器920-c)。可基於耦合感測組件930-b與本端I/O線910-c及主I/O線905-b而與主機裝置交換與感測組件930-b相關聯之資料。在一些情況中，可基於對應於一行選擇值七之存取命令啟動驅動器920-c。感測組件930-b及主I/O線905-b可基於啟動驅動器920-c而耦合。在此等情況中，感測組件930-b可經由經啟動之資訊路徑935-b與主機裝置交換資料。

【0195】 驅動器920-b及驅動器920-d可各基於對應於一行選擇值七(例如，在對應於子陣列902-a之一範圍內之一值)之存取命令撤銷啟動。

在一些情況中，驅動器920-b可基於在相同主I/O線905-a上啟動驅動器920-a而撤銷啟動。驅動器920-d可基於在一相同主I/O線905-b上啟動驅動器920-c而撤銷啟動。

【0196】 分流器925-a可經組態以當撤銷啟動驅動器920-d並啟動驅動器920-f時在子陣列902-a與主I/O線905-c之間載送資料，且當撤銷啟動驅動器920-f並啟動驅動器920-d時在子陣列902-b與主I/O線905-b之間載送資料。類似地，分流器925-b可經組態以當撤銷啟動驅動器920-b並啟動驅動器920-h時在子陣列902-a與I/O線905-d之間載送資料，且當撤銷啟動驅動器920-h並啟動驅動器920-b時在子陣列902-b與主I/O線905-a之間載送資料。

【0197】 因此，若位址範圍指示一行選擇值七，則感測組件930-c可經由分流器925-a與主I/O線905-c耦合。在撤銷啟動驅動器920-d之情況中，感測組件930-c及因此子陣列902-a可借用于陣列902-b之主I/O線905-c以與主機裝置交換資料。可基於對應於一行選擇值七之存取命令啟動驅動器920-f，由此允許分流器925-a在感測組件930-c與主I/O線905-c之間路由資料。即，感測組件930-c及主I/O線905-c可基於啟動驅動器920-f而耦合。在此等情況中，感測組件930-c可經由經啟動之資訊路徑935-c與主機裝置交換資料。

【0198】 類似地，若位址範圍指示一行選擇值七，則感測組件930-d可經由分流器925-b與主I/O線905-d耦合。在撤銷啟動驅動器920-b之情況中，感測組件930-d及因此子陣列902-a可借用于陣列902-b之主I/O線905-d以與主機裝置交換資料。可基於對應於一行選擇值七之存取命令啟動驅動器920-h，且分流器925-b在感測組件930-d與主I/O線905-d之間路

由資料。即，感測組件930-d及主I/O線905-d可基於啟動驅動器920-h而耦合。

【0199】基於存取命令中指示之位址，可撤銷啟動複數個感測組件915-e、915-f、915-g及915-h之各者。例如，複數個感測組件915-e、915-f、915-g及915-h可對應於不包含存取命令中指示之位址之一位址範圍。在此等情況中，可撤銷啟動與複數個感測組件915-e耦合之驅動器920-e，且可撤銷啟動與複數個感測組件915-g耦合之驅動器920-g。

【0200】圖10繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1000之態樣之一實例。記憶體陣列1000可包含子陣列1002-a及子陣列1002-b、主I/O線1005、本端I/O線1010、複數個感測組件1015及驅動器1020。記憶體陣列1000亦可包含分流器1025。子陣列1002、主I/O線1005、本端I/O線1010、感測組件1015及驅動器1020可分別為如參考圖5至圖9所描述之子陣列、主I/O線、本端I/O線、感測組件及驅動器之實例。記憶體陣列1000之態樣可類似於一記憶體陣列700、800或900之子集。記憶體陣列1000可出於至少本文中所描述之原因而繪示根據一替代組態(例如，與一記憶體陣列700、800或900之子集之組態相比)之操作。

【0201】一行位址(例如，行選擇值)可包含於一存取命令中或基於一存取命令以其他方式來判定，且該行位址可用來耦合一特定感測組件1030與一主I/O線1005。圖10可繪示其中該位址指示一行選擇值二(例如，行位址二)之一實例中之資料流以及經啟動之感測組件1030及驅動器1020。該位址指示一行選擇值二(例如，行位址二)，其通常可代表當一行位址對應於子陣列1002-b時之資料流以及經啟動之感測組件1030及驅動

器1020。

【0202】 在一行選擇值二之實例中，可啟動複數個感測組件1015-e之感測組件1030-a，可啟動複數個感測組件1015-g之感測組件1030-b，可啟動複數個感測組件1015-h之感測組件1030-d，且可啟動複數個感測組件1015-f之感測組件1030-c。其他感測組件1030可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中。驅動器1020-g、1020-e、1020-d及1020-b亦可被啟動(且因此可各將一對應本端I/O線1010耦合至一對應主I/O線1005)。驅動器1020-f、1020-h、1020-a及1020-b可被撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動狀態中(且因此可各將一對應本端I/O線1010與一對應主I/O線1005解耦合(例如，電隔離))。

【0203】 因此，感測組件1030-a可與本端I/O線1010-e及主I/O線1005-c耦合(例如，經由驅動器1020-e)。可基於耦合感測組件1030-a與本端I/O線1010-e及主I/O線1005-c而與主機裝置交換與感測組件1030-a相關聯(例如，使用感測組件1030-a讀取或寫入)之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1020-e。感測組件1030-a及主I/O線1005-c可基於啟動驅動器1020-e而耦合。在此等情況中，感測組件1030-a可經由經啟動之資訊路徑1035-a與主機裝置交換資料。

【0204】 類似地，感測組件1030-b可與本端I/O線1010-g及主I/O線1005-d耦合(例如，經由驅動器1020-g)。可基於耦合感測組件1030-b與本端I/O線1010-g及主I/O線1005-d而與主機裝置交換與感測組件1030-b相關聯之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1020-g。感測組件1030-b及主I/O線1005-d可基於啟動驅動器1020-g而耦合。在此等情況中，感測組件1030-b可經由經啟動之資訊路徑1035-b

與主機裝置交換資料。

【0205】 驅動器1020-f及驅動器1020-h可各基於對應於一行選擇值二之存取命令(例如，在對應於子陣列1002-b之一範圍內之一值)而撤銷啟動。在一些情況中，驅動器1020-f可基於在相同主I/O線1005-c上啟動驅動器1020-e而撤銷啟動。驅動器1020-h可基於在相同主I/O線1005-d上啟動驅動器1020-g而撤銷啟動。

【0206】 在一些實例中，分流器1025-a可經組態以當撤銷啟動驅動器1020-f並啟動驅動器1020-d時在子陣列1002-b與主I/O線1005-b之間載送資料，且當撤銷啟動驅動器1020-d並啟動驅動器1020-f時在子陣列1002-a與主I/O線1005-c之間載送資料。類似地，分流器1025-b可經組態以當撤銷啟動驅動器1020-h並啟動驅動器1020-b時在子陣列1002-b與主I/O線1005-a之間載送資料，且當撤銷啟動驅動器1020-b並啟動驅動器1020-h時在子陣列1002-a與主I/O線1005-d之間載送資料。

【0207】 因此，若位址範圍指示一行選擇值二，則感測組件1030-c可經由分流器1025-a與主I/O線1005-b耦合。在撤銷啟動驅動器1020-f之情況中，感測組件1030-c及因此子陣列1002-b可借用子陣列1002-a之主I/O線1005-b以與主機裝置交換資料。可基於對應於一行選擇值二之存取命令啟動驅動器1020-d，由此允許分流器1025-a在感測組件1030-c與主I/O線1005-b之間路由資料。即，感測組件1030-c及主I/O線1005-b可基於啟動驅動器1020-d而耦合。在此等情況中，感測組件1030-c可經由經啟動之資訊路徑1035-c與主機裝置交換資料。

【0208】 類似地，若位址範圍指示一行選擇值二，則感測組件1030-d可經由分流器1025-b與主I/O線1005-a耦合。在撤銷啟動驅動器

1020-h之情況中，感測組件1030-d及因此子陣列1002-a可借用于陣列1002-a之主I/O線1005-a以與主機裝置交換資料。可基於對應於一行選擇值二之存取命令啟動驅動器1020-b，由此允許分流器1025-b在感測組件1030-d與主I/O線1005-a之間路由資料。即，感測組件1030-d及主I/O線1005-a可基於啟動驅動器1020-b而耦合。

【0209】基於存取命令中指示之位址，可撤銷啟動複數個感測組件1015-a、1015-b、1015-c及1015-d之各者。例如，複數個感測組件1015-a、1015-b、1015-c及1015-d可對應於不包含存取命令中指示之位址之一位址範圍。在此等情況中，可撤銷啟動與複數個感測組件1015-a耦合之驅動器1020-a，且可撤銷啟動與複數個感測組件1015-c耦合之驅動器1020-c。

【0210】因此，在一些情況中，可組合相鄰(例如，鄰近)子陣列對一或多個本端I/O線之共用與相鄰(例如，鄰近)庫中之子陣列所包含之一或多個感測組件之共用。當自一經存取之子陣列讀取資料或將資料寫入至一經存取之子陣列時，其可至少部分地由不橫越該經存取之子陣列而橫越一鄰居子陣列之一主I/O線進行傳達，且亦可至少部分地使用一不同子陣列或庫中(或下方或上方)之一感測組件進行讀取或寫入。

【0211】圖11繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1100之態樣之一實例。記憶體陣列1100可包含子陣列1102-a及子陣列1102-b (例如，記憶體磚、記憶體區塊)、主I/O線1105、本端I/O線1110、複數個感測組件1115及驅動器1120。記憶體陣列1100亦可包含分流器1125。子陣列1102、主I/O線1105、本端I/O線1110、感測組件1115及驅動器1120可分別為如參考圖5

至圖10所描述之子陣列、主I/O線、本端I/O線、感測組件及驅動器之實例。記憶體陣列1100之態樣可相同或類似於一記憶體陣列700、800、900或1000之子集。記憶體陣列1100可出於至少本文中所描述之原因而繪示根據一替代組態或模式(例如，與一記憶體陣列700、800、900或1000之子集之組態或模式相比)之操作。

【0212】 例如，包含記憶體陣列1100之一記憶體裝置可接收以一降低功率模式操作記憶體陣列1100 (或記憶體陣列)之一命令。在一些情況中，降低功率模式可對應於一縮減頁大小且可稱為縮減頁模式。當以降低功率模式操作時，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一子集，同時撤銷啟動經啟動之庫中之其他子陣列或(例如，若已被撤銷啟動)將此等其他子陣列維持於一撤銷啟動模式中。例如，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一半(或某個其他部分)。

【0213】 在一些情況中，一可定址行位址範圍可被劃分為子集(例如，各條總可定址範圍之一子集之非重疊範圍)，且該行位址範圍之各子集可對應於記憶體陣列之各庫中之子陣列之一各自子集。例如，若總可定址行位址範圍係零至七(0:7)，且庫中之子陣列被劃分為兩個子集，則零至三(0:3)之一第一位址範圍可對應於第一子陣列子集中之子陣列，且四至七(4:7)之一第二位址範圍可對應於第二子陣列子集中之子陣列。當記憶體裝置以降低功率模式操作記憶體陣列且接收相關聯於(例如，包含)第一範圍內之一行位址值之一存取命令時，記憶體裝置可僅啟動一庫內之第一子陣列子集，且可將該庫內之第二(例如，其他)子陣列子集撤銷啟動或維持於一撤銷啟動模式中。類似地，當記憶體裝置以降低功率模式操作記憶體陣列且接收相關聯於(例如，包含)第二範圍內之一行位址值之一存取

命令時，記憶體裝置可僅啟動一庫內之第二子陣列子集，且可將該庫內之第一(例如，其他)子陣列子集撤銷啟動或維持於一撤銷啟動模式中。

【0214】 在一些情況中，與存取命令相關聯(例如，作為一命令序列之部分而在前面)之一啟動命令(例如，一ACT命令)可指示相關聯(例如，即將來臨之)存取命令之一位址範圍。例如，啟動命令可指示零至三(0:3)之第一位址範圍，且接著存取命令可與一行選擇值二(或零至三之範圍內之任何其他值)相關聯。作為另一實例，啟動命令可指示四至七(4:7)之第二位址範圍，且接著存取命令可與一行選擇值五(或四至七之範圍內之任何其他值)相關聯。在一些情況中，啟動命令可直接指示位址範圍(例如，可指定端點或至少一個端點及位址範圍之一大小)。在其他情況中，啟動命令可間接指示位址範圍。例如，包含於啟動命令中之一位元可指示該位址範圍是否對應於第一位址範圍或一第二位址範圍，諸如總可定址範圍之一前(例如，下)半部或總可定址範圍之一後(例如，上)半部。經組態以指示總可定址範圍內之任何其他數目個範圍之一者之位元之其他數目亦係可能的(例如，兩個位元可指示總可定址範圍內之四個範圍(例如，子集)中之一者)。

【0215】 在一些情況中，啟動命令可包含以降低功率模式操作記憶體陣列之命令。在其他情況中，可獨立於啟動命令(例如，在啟動命令之前)接收以降低功率模式操作記憶體陣列之命令。可在以降低功率模式操作記憶體陣列時接收任何數目個啟動命令及相關聯存取命令。

【0216】 圖11可繪示其中該位址指示一行選擇值七(例如，行位址七)之一實例中之資料流以及經啟動之感測組件1130及驅動器1120，其等通常可代表當一行位址對應於子陣列1102-a時之資料流以及經啟動之感測

組件1130及驅動器1120，且可相同於參考圖9所描述之資料流以及經啟動之感測組件及驅動器。然而，基於降低功率模式以及對應於子陣列1102-a之行位址(例如，基於包含對應於子陣列1102-a之行位址之一經指示之位址範圍)，可啟動子陣列1102-a，且可將子陣列1102-b撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動模式中。可類似地操作經由各自分流器1125耦合且在相同於子陣列1102-a及1102-b之庫內之其他對子陣列，其中經耦合之子陣列之一者被啟動且另一者被撤銷啟動，使得庫中之子陣列之一半被啟動且一半被撤銷啟動。

【0217】藉由啟動子陣列1102-a且撤銷啟動子陣列1102-b，與如參考圖9所描述之記憶體陣列900之頁大小相比，記憶體陣列1100之子集可將頁大小減小一半。例如，與由記憶體陣列900感測之位元之數目相比，記憶體陣列1100可感測位元量之一半(例如，未感測原本將共同或同時由經啟動之子陣列1102-a感測或存取之經撤銷啟動子陣列1102-b之記憶體胞)。此連同與經撤銷啟動之子陣列1102-b相關聯之各種電路或其他組件之撤銷啟動一起可提供功率節省及其他益處。

【0218】圖12繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1200之態樣之一實例。記憶體陣列1200可包含子陣列1202-a及子陣列1202-b、主I/O線1205、本端I/O線1210、複數個感測組件1215及驅動器1220。記憶體陣列1200亦可包含分流器1225。子陣列1202、主I/O線1205、本端I/O線1210、感測組件1215及驅動器1220可分別為如參考圖5至圖11所描述之子陣列及主I/O線、本端I/O線、感測組件及驅動器之實例。記憶體陣列1200之態樣可類似於一記憶體陣列700、800、900或1000或記憶體陣列1100之子集。記憶體陣列

1200可出於至少本文中所描述之原因而繪示根據一替代組態或模式(例如，與記憶體陣列700、800、900或1000或記憶體陣列1100之子集之組態或模式相比)之操作。

【0219】圖12可繪示其中該位址指示一行選擇值二(例如，行位址二)之一實例中之資料流以及經啟動之感測組件1230及驅動器1220，其等通常可代表當一行位址對應於子陣列1202-b時之資料流以及經啟動之感測組件1230及驅動器1220，且可相同於參考圖10所描述之資料流以及經啟動之感測組件及驅動器。然而，基於降低功率模式以及對應於子陣列1202-b之行位址(例如，基於包含對應於子陣列1202-b之行位址之一經指示之位址範圍)，可啟動子陣列1202-b，且可將子陣列1202-a撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動模式中。可類似地操作經由各自分流器1225耦合且在相同於子陣列1202-a及1202-b之庫內之其他對子陣列，其中經耦合之子陣列之一者被啟動且另一者被撤銷啟動，使得該庫中之子陣列之一半被啟動且一半被撤銷啟動。

【0220】藉由啟動子陣列1202-b且撤銷啟動子陣列1202-a，與如參考圖10所描述之記憶體陣列1000之頁大小相比，記憶體陣列1200可將頁大小減小一半。例如，與由記憶體陣列1000感測之位元之數目相比，記憶體陣列1200可感測位元量之一半(例如，未感測原本將共同或同時由經啟動之子陣列1202-b感測或存取之經撤銷啟動子陣列1202-a之記憶體胞)。此連同與經撤銷啟動之子陣列1002-a相關聯之各種電路或其他組件之撤銷啟動一起可提供功率節省及其他益處。

【0221】因此，在一些情況中，相鄰(例如，相鄰)子陣列對一或多個本端I/O線之共用(是否與相鄰(例如，鄰近)庫中之子陣列所包含之一或

多個感測組件之共用組合)可支援一縮減頁大小之使用，此可對應於一縮減頁模式或降低功率模式，其中一經啟動之庫內之一或多個未經存取之子陣列可保持撤銷啟動。

【0222】圖13繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1300之態樣之一實例。記憶體陣列1300可包含子陣列1305-a、1305-b、1305-c及1305-d。子陣列1305可為參考圖3至圖12所描述之子陣列或磚之實例。例如，子陣列1305可為參考圖4所描述之記憶體磚400之一實例或以其他方式與參考圖4所描述之記憶體磚400共用特定特性。

【0223】子陣列1305-a及子陣列1305-b可包含於一庫之一子集1310-a中。子集1310-a之態樣可類似於記憶體陣列1100，且子集1310-a之操作可類似於記憶體陣列1100之操作(例如，如參考圖11所描述)。子陣列1305-c及子陣列1305-d可包含於庫之一子集1310-b中。子集1310-b之態樣可類似於記憶體陣列1200，且子集1310-b之操作可類似於記憶體陣列1200之操作(例如，如參考圖12所描述)。

【0224】在一些記憶體陣列中，不同子集中之子陣列可在一庫內交替，使得庫中對應於一總位址範圍之一下半部(例如，0:3)之子陣列可在庫中對應於一總位址範圍之一上半部(例如，4:7)之兩個緊鄰子陣列之間。因此，當以一降低功率模式操作時，子陣列可根據每隔一個或交替啟動型樣來操作(例如，跨庫接通、關斷、接通、關斷、接通、關斷、接通、關斷…)

【0225】然而，圖13可繪示其中在不同子集1310中但對應於一相同位址範圍(例如，一相同行選擇值範圍)之子陣列1305經定位成彼此相鄰之

一實例。例如，子陣列1305-b及1305-c兩者可對應於一相同位址範圍(例如，一總位址範圍之一下半部，諸如0:3)。子陣列1305-a及1305-d兩者亦可對應於一相同位址範圍(例如，一總位址範圍之一上半部，諸如4:7)，且一或兩個子陣列亦可為在該庫內亦對應於相同位址範圍(例如，4:7)之相鄰另一子陣列(未展示)。

【0226】 因為可同時啟動或撤銷啟動對應於一相同位址範圍之子陣列，所以將在不同子集1310中但對應於一相同位址範圍之子陣列1305定位成彼此相鄰可允許增加功率節省及其他益處。例如，在一些情況中，諸如子陣列1305-b及1305-c之相鄰子陣列可共用(例如，借用、存取、選擇性地耦合至或以其他方式利用)一或多個組件。例如，一組感測組件1315-b及一組感測組件1315-c可共用一或多個共同電路態樣，諸如驅動器、電壓參考、鎖存器或其他組件。作為另一實例，一或多個時序電路可經組態以產生用於操作子陣列1305-b及1305-c之態樣(例如，用於對子陣列1305-b及1305-c執行啟動、存取、預充電或其他命令，且子陣列1305-b及1305-c可共用此等時序電路之一或多個態樣)之時序信號(其等在一些情況中可稱為相位)。作為另一實例，子陣列1305-b及1305-c可共用字線驅動器以在子陣列1305-b及1305-c內啟動字線(例如，增加字線之電壓(例如，如被指示為由啟動命令啟動)。因此，將在不同子集1310中但對應於一相同位址範圍之子陣列1305定位成彼此相鄰可允許當以降低功率模式時撤銷啟動增加數量個組件(例如，與其中未同時撤銷啟動兩個相鄰子陣列之一交替型樣相比)，且因此，除其他益處外，亦可增加節省功率。

【0227】 圖13可繪示其中該位址指示一行選擇值七(例如，行位址七)之一實例中之資料流以及經啟動之感測組件及驅動器，其等通常可代

表當一行位址對應於子陣列1305-a及1305-d時之資料流以及經啟動之感測組件及驅動器。子集1310-a之資料流可相同於參考圖9所描述之資料流，且子集1310-b之資料流可為其鏡像版本。然而，基於降低功率模式以及對應於子陣列1305-a及1305-d之行位址(例如，基於包含對應於子陣列1305-a及1305-d之行位址之一經指示之位址範圍)，可啟動子陣列1305-a及1305-d，且可將子陣列1305-b及1305-c撤銷啟動或(例如，若已被撤銷啟動)維持於一撤銷啟動模式中。可類似地操作經由各自分流器耦合且在相同於子陣列1305-a、1305-b、1305-c及1305-d之庫內之其他對子陣列，其中經耦合子陣列之一者被啟動且另一者被撤銷啟動，使得該庫中之子陣列之一半被啟動且一半被撤銷啟動，其中經撤銷啟動之子陣列相鄰於另一經撤銷啟動之子陣列。

【0228】 例如，可基於對應於子陣列1305-a、子陣列1305-d或兩者之存取命令撤銷啟動子陣列1305-b及子陣列1305-c。在一些情況中，經撤銷啟動之子陣列1305-b可相鄰於經撤銷啟動之子陣列1305-c。在此等情況中，可撤銷啟動在子陣列1305-b與子陣列1305-c之間共用之共同電路。在此等實例中，可撤銷啟動各與子陣列1305-b相關聯之一組感測組件1315-a及一組感測組件1315-b。亦可撤銷啟動各與子陣列1305-c相關聯之一組感測組件1315-c及一組感測組件1315-d。在一些實例中，(例如，一控制匯流排366之)單個控制信號可支援撤銷啟動該組感測組件1315-a、1315-b、1315-c及1315-d。

【0229】 圖14繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1400之態樣之一實例。記憶體陣列1400可包含子陣列1405-a、1405-b、1405-c及1405-d。子陣列1405可為

參考圖3至圖13所描述之子陣列或磚之實例。例如，子陣列1405可為參考圖4所描述之記憶體磚400之一實例或以其他方式與參考圖4所描述之記憶體磚400共用特定特性。

【0230】一子集1410-a可包含子陣列1405-a及子陣列1405-b。子集1410-a之態樣可類似於記憶體陣列1200，且子集1410-a之操作可類似於記憶體陣列1200之操作(例如，如參考圖12所描述)。一子集1410-b可包含子陣列1405-c及子陣列1405-d。子集1410-b之態樣可類似於記憶體陣列1100，且子集1410-b之操作可類似於記憶體陣列1100之操作(例如，如參考圖11所描述)。

【0231】圖14可繪示其中該位址指示一行選擇值二(例如，行位址二)之一實例中之資料流以及經啟動之感測組件及驅動器，其等通常可代表當一行位址對應於子陣列1405-b及1405-c時之資料流以及經啟動之感測組件及驅動器。子集1410-a之資料流可相同於參考圖10所描述之資料流，且子集1410-b之資料流可為其鏡像版本。然而，基於降低功率模式以及對應於子陣列1405-b及1405-c之行位址(例如，基於包含對應於子陣列1405-b及1405-c之行位址之一經指示之位址範圍)，可啟動子陣列1405-b及1405-c，且可將子陣列1405-a及1405-d撤銷啟動或(若已被撤銷啟動)維持於一撤銷啟動模式中。可類似地操作經由各自分流器耦合且在相同於子陣列1405-a、1405-b、1405-c及1405-d之庫內之其他對子陣列，其中經耦合之子陣列之一者被啟動且另一者被撤銷啟動，使得該庫中之子陣列之一半被啟動及一半被撤銷啟動，其中經撤銷啟動之子陣列與另一經撤銷啟動之子陣列相鄰。

【0232】例如，可基於對應於子陣列1405-b、子陣列1405-c或兩者

之存取命令撤銷啟動子陣列1405-a及子陣列1405-d。在一些情況中，經撤銷啟動之子陣列1405-a可不相鄰於經撤銷啟動之子陣列1405-d (即，子陣列1405-a可相鄰於經啟動之子陣列1405-b且子陣列1405-d可相鄰於經啟動之子陣列1405-c)。在此等實例中，可撤銷啟動各與子陣列1405-a相關聯之一組感測組件1415-a及一組感測組件1415-b。亦可撤銷啟動各與子陣列1405-d相關聯之一組感測組件1415-c及一組感測組件1415-d。在一些實例中，(例如，一控制匯流排366之)單個控制信號可支援撤銷啟動該組感測組件1415-a、1415-b、1415-c及1415-d。

【0233】 圖15繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1500之態樣之一實例。記憶體陣列1500可包含子陣列1505、主I/O線1510、驅動器1515及感測組件1520。子陣列1505、主I/O線1510、驅動器1515及感測組件1520可分別為如參考圖5至圖14所描述之子陣列、主I/O線、驅動器及感測組件之實例。例如，子陣列1505可為參考圖4所描述之記憶體磚400之一實例或以其他方式與參考圖4所描述之記憶體磚400共用特定特性。

【0234】 子陣列1505-b可相鄰於子陣列1505-a，且子陣列1505-a可相鄰於子陣列1505-c。在此等情況中，子陣列1505-a可在子陣列1505-b與子陣列1505-c之間。子陣列1505-a、1505-b及1505-c可各在記憶體陣列1500之一不同行中，且在記憶體陣列1500之相同行(例如，庫、區段)中。在一些情況中，當啟動包含子陣列1505-a、1505-b及1505-c之庫時，可啟動包含子陣列1505-a、1505-b及1505-c之記憶體陣列1500之整個列，而可撤銷啟動記憶體陣列1500之其他列(例如，庫)。

【0235】 子陣列1505之各行可與一對對應主I/O線1510相關聯(例

如，經組態以與一對對應主I/O線1510選擇性地耦合)，子陣列1505及主I/O線1510兩者可橫越子陣列1505之行。例如，子陣列1505-a可與橫越子陣列1505-a之一主I/O線1510-a及一主I/O線1510-b相關聯(例如，經組態以與一主I/O線1510-a及一主I/O線1510-b選擇性地耦合)。在一些情況中，一主I/O線1510可代表單個I/O線(例如，一磚多工器匯流排341之一部分，或經組態以選擇性地耦合或映射至一磚多工器匯流排341之一匯流排線)。

【0236】 各子陣列1505可與一對驅動器1515及一對本端I/O線相關聯(例如，包含、上覆於、下伏於一對驅動器1515及一對本端I/O線)。該對之一第一驅動器1515可與由對應子陣列1505及相同庫內之一第一鄰近子陣列1505共用(例如，至少部分地橫越且可用來載送對應子陣列1505及相同庫內之一第一鄰近子陣列1505之資料)之一第一本端I/O線耦合。該對之一第二驅動器1515可與由對應子陣列1505及相同庫內之一第二鄰近子陣列1505共用(例如，至少部分地橫越且可用來載送對應子陣列1505及相同庫內之一第二鄰近子陣列1505之資料)之一第二本端I/O線耦合。對應子陣列1505可經定位於第一鄰近子陣列1505與第二鄰近子陣列1505之間。因此，例如，子陣列1505可與一左鄰近子陣列1505共用至少一個本端I/O線且與一右鄰近子陣列1505共用至少一個本端I/O線。

【0237】 經共用之本端I/O線之各者可與兩組複數個感測組件耦合，一組複數個感測組件經組態以當存取對應子陣列1505時使用，且另一組複數個感測組件經組態以當存取鄰近子陣列1505時使用。

【0238】 此外，在一些情況中，可由一相鄰庫中(例如，上方或下方，在如圖15中所繪示之頁上)之對應(例如，上覆、下伏)子陣列1505及

一鄰近子陣列1505共用複數個感測組件。因此，複數個感測組件可為可操作的(例如，使用多工或其他切換電路及互連件)以支援相鄰庫中之對應子陣列1505或鄰近子陣列1505中之存取操作。

【0239】 可使用子陣列1505-a、1505-b及1505-c作為實例來繪示及解釋此等及其他概念。驅動器1515-a可對應於子陣列1505-a上方之一子陣列1505且可與主I/O線1510-a耦合。驅動器1515-a可與一本端I/O線耦合，該本端I/O線繼而可與包含感測組件1520-a之複數個感測組件(例如，對應於行選擇值零、一、二或三之複數個感測組件)耦合。包含感測組件1520-a之複數個感測組件可與子陣列1505-a上方之子陣列相關聯，但可經組態以自子陣列1505-a上方之子陣列或自子陣列1505-a感測資料。本端I/O線亦可與不同複數個感測組件(例如，對應於行選擇值四、五、六或七)耦合。不同複數個感測組件可與子陣列1505-c上方之子陣列相關聯，但可經組態以自子陣列1505-c上方之子陣列或自子陣列1505-c感測資料。

【0240】 驅動器1515-b可對應於子陣列1505-a下方之一子陣列1505且可與主I/O線1510-b耦合。驅動器1515-b可與一本端I/O線耦合，該本端I/O線繼而可與包含感測組件1520-b之複數個感測組件(例如，對應於行選擇值零、一、二或三之複數個感測組件)耦合。包含感測組件1520-b之複數個感測組件可與子陣列1505-a下方之子陣列相關聯，但可經組態以自子陣列1505-a下方之子陣列1505或自子陣列1505-a感測資料。本端I/O線亦可與不同複數個感測組件(例如，對應於行選擇值四、五、六或七)耦合。不同複數個感測組件可與子陣列1505-a下方之子陣列相關聯，但可經組態以自子陣列1505-b下方之子陣列1505或自子陣列1505-b感測資料。

【0241】 複數個感測組件(例如，包含感測組件1520-a及感測組件

1520-b)可各與指示一行選擇值零、一、二或三之一位址範圍(例如，一行位址範圍之一第一子集)相關聯。例如，感測組件1520-a及感測組件1520-b可各回應於一行選擇值二而啟動。

【0242】子陣列1505-b可與至少一主I/O線1510-c相關聯(例如，由至少一主I/O線1510-c橫越)。驅動器1515-c可與主I/O線1510-c耦合。驅動器1515-c可與一本端I/O線耦合，該本端I/O線繼而可與包含感測組件1520-c之複數個感測組件耦合。包含感測組件1520-c之複數個感測組件可與子陣列1505-a相關聯，但可經組態以自子陣列1505-a或自子陣列1505-a下方之子陣列感測資料。複數個感測組件可各與指示一行選擇值零、一、二或三之一位址範圍(例如，一行位址範圍之一第一子集)相關聯。例如，感測組件1520-c可指示一行選擇值二。在一些情況中，主I/O線1510-c亦可與不同複數個感測組件(例如，指示一行選擇值四、五、六或七)耦合。不同複數個感測組件可與子陣列1505-b相關聯，但可經組態以自子陣列1505-b或自子陣列1505-b下方之子陣列感測資料。

【0243】子陣列1505-c可與至少一主I/O線1510-d相關聯(例如，由至少一主I/O線1510-d橫越)。驅動器1515-d可與主I/O線1510-d耦合。驅動器1515-d可與一本端I/O線耦合，該本端I/O線繼而可與包含感測組件1520-d之複數個感測組件耦合。包含感測組件1520-d之複數個感測組件可與子陣列1505-a相關聯，但可經組態以自子陣列1505-a或自子陣列1505-a上方之子陣列感測資料。複數個感測組件可各與指示一行選擇值零、一、二或三之一位址範圍(例如，一行位址範圍之一第一子集)相關聯。例如，感測組件1520-d可指示一行選擇值二。在一些情況中，主I/O線1510-d亦可與不同複數個感測組件(例如，指示一行選擇值四、五、六或七)耦合。

不同複數個感測組件可與子陣列1505-c相關聯，但可經組態以自子陣列1505-c或自子陣列1505-c上方之子陣列感測資料。

【0244】 一行位址(例如，行選擇值)可包含於一存取命令中或基於一存取命令以其他方式來判定，且該行位址可用來耦合一特定感測組件1520與一主I/O線1510。圖15可繪示其中該位址指示一行選擇值二且可啟動複數個感測組件之感測組件1520-a、1520-b、1520-c及1520-d之一實例中之資料流以及經啟動之感測組件1520及驅動器1515。

【0245】 在一行選擇值二之實例中，感測組件1520-a可與主I/O線1510-a耦合，且可基於耦合感測組件1520-a與主I/O線1510-a而與主機裝置交換與感測組件1520-a相關聯之資料。感測組件1520-a可包含於子陣列1505-a上方之磚(例如，子陣列)中，但當啟動(例如，存取)子陣列1505-a時可借用感測組件1520-a。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1515-a。在一些實例中，可基於庫啟動(例如，基於用於包含子陣列1505-a之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1515-a。感測組件1520-a及主I/O線1510-a可基於啟動驅動器1515-a而耦合。在此等情況中，感測組件1520-a可經由經啟動之路徑1525-a與主機裝置交換資料。

【0246】 繼續一行選擇值二之實例，感測組件1520-b可與主I/O線1510-b耦合，且可基於耦合感測組件1520-b與主I/O線1510-b而與主機裝置交換與感測組件1520-b相關聯之資料。感測組件1520-b可包含於子陣列1505-a下方之磚(例如，子陣列)中，但當啟動(例如，存取)子陣列1505-a時可借用感測組件1520-b。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1515-b。在一些實例中，可基於庫啟動(例如，基於

用於包含子陣列1505-a之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1515-b。感測組件1520-b及主I/O線1510-b可基於啟動驅動器1515-b而耦合。在此等情況中，感測組件1520-b可經由經啟動之路徑1525-b與主機裝置交換資料。

【0247】 進一步繼續一行選擇值二之實例，感測組件1520-c可與主I/O線1510-c耦合，且可基於耦合感測組件1520-c與主I/O線1510-c而與主機裝置交換與感測組件1520-c相關聯之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1515-c。在一些實例中，可基於庫啟動(例如，基於用於包含子陣列1505-a之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1515-c。感測組件1520-c及主I/O線1510-c可基於啟動驅動器1515-c而耦合。在此等情況中，感測組件1520-c可經由經啟動之路徑1525-c與主機裝置交換資料。例如，感測組件1520-c可自子陣列1505-a感測資料且經由經啟動之路徑1525-c將資料路由至相鄰子陣列1505-b。

【0248】 進一步繼續一行選擇值二之實例，感測組件1520-d可與主I/O線1510-d耦合，且可基於耦合感測組件1520-d與主I/O線1510-d而與主機裝置交換與感測組件1520-d相關聯之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1515-d。在一些實例中，可基於庫啟動(例如，基於用於包含子陣列1505-a之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1515-d。感測組件1520-d及主I/O線1510-d可基於啟動驅動器1515-d而耦合。在此等情況中，感測組件1520-d可經由經啟動之路徑1525-d與主機裝置交換資料。例如，感測組件1520-d可自子陣列1505-d感測資料且經由經啟動之路徑1525-d將資料路由至相鄰子陣列

1505-c。

【0249】 記憶體陣列1500之組態可繪示記憶體陣列1500中之驅動器之一數目之一減少(例如，相對於圖7至圖14中所繪示之組態)。例如，各主I/O線可依照經橫越之子陣列1505耦合至一個驅動器1515，而非兩個。針對一些行選擇值，可基於包含被啟動之感測組件1520-a之複數個感測組件啟動驅動器1515-a，其中感測組件1520-a可經組態以自子陣列1505-a感測資料。針對其他行選擇值，可基於被啟動之不同複數個感測組件(例如，指示行選擇值四、五、六及七)啟動驅動器1515-a，其中不同複數個感測組件可經組態以自子陣列1505-c感測資料。

【0250】 因此，可基於自一個以上子陣列(例如，子陣列1505-a及子陣列1505-c)感測之資料啟動單個驅動器(例如，驅動器1515-a)。在各項其他實例中，可基於自子陣列1505-a及子陣列1505-b感測之資料啟動驅動器1515-b，可基於自子陣列1505-a及子陣列1505-b感測之資料啟動驅動器1515-c，且可基於自子陣列1505-a及子陣列1505-c感測之資料啟動驅動器1515-d。

【0251】 在一些情況中，子陣列1505-e可在一側上相鄰於子陣列1505-d且在另一側上不相鄰於另一子陣列。因為在一側上可不存在與子陣列1505-e耦合之驅動器或I/O線，所以可實施一迴路1530。在此等情況中，迴路1530可經實施以使用驅動器1515-e循環或路由包含感測組件1520-e之複數個感測組件。實施迴路1530可減少記憶體陣列1500中之驅動器之數目且允許啟動驅動器1515-e，而不管是否啟動包含感測組件1520-e之複數個感測組件或是否啟動不同複數個感測組件(例如，指示一行選擇值四、五、六及七)。迴路1530可在記憶體陣列1500之行中存在之

交替子陣列中實施，該等交替子陣列可相鄰於相鄰行中之單個子陣列。

【0252】子陣列1505-e不相鄰於另一子陣列之邊緣可經組態以將感測組件循環至一驅動器以自子陣列1505-e感測資料。例如，感測組件1520-e可與主I/O線1510-e耦合，且可基於經由迴路1530耦合感測組件1520-e與主I/O線1510-e而與主機裝置交換與感測組件1520-e相關聯之資料。在一些情況中，可基於對應於一行選擇值二之存取命令啟動驅動器1515-e。在一些實例中，可基於庫啟動(例如，基於包含用於子陣列1505-e之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1515-e。感測組件1520-e及主I/O線1510-e可基於啟動驅動器1515-e而耦合。在此等情況中，感測組件1520-e可經由經啟動之路徑1525-e與主機裝置交換資料。

【0253】因此，子陣列1505之各行及因此一庫內之各子陣列1505可由一對各自主I/O線橫越。在該對各自主I/O線內，一第一主I/O線可與兩組感測組件耦合，一組感測組件經組態以自經橫越之子陣列1505 (及可能亦一鄰近庫中之一鄰近子陣列1505)感測資料，且另一組感測組件經組態以自相同庫中之一相鄰子陣列1505 (及可能亦一鄰近庫中相鄰於相鄰子陣列1505之一子陣列1505)感測資料。

【0254】圖16繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1600之態樣之一實例。記憶體陣列1600可包含子陣列1605、主I/O線1610、驅動器1615及感測組件1620。子陣列1605、主I/O線1610、驅動器1615及感測組件1620可分別為如參考圖5至圖15所描述之子陣列、主I/O線、驅動器及感測組件之實例。記憶體陣列1600之態樣可類似或相同於記憶體陣列1500。記憶體陣列1600可出於至少本文中所描述之原因而繪示根據一替代組態(例如，與記憶體陣列

1500之組態相比)之操作。

【0255】 在一些情況中，包含記憶體陣列1600之一記憶體裝置可接收以一降低功率模式操作記憶體陣列1600之一命令。可基於以降低功率模式操作記憶體陣列1600而撤銷啟動子陣列1605-b及子陣列1605-c。在一些情況中，降低功率模式可對應於一縮減頁大小且可稱為縮減頁模式。當以降低功率模式操作時，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一子集，同時撤銷啟動經啟動之庫中之其他子陣列或(例如，若已被撤銷啟動)將此等其他子陣列維持於一撤銷啟動模式中。例如，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一半(或某個其他f部分)。

【0256】 例如，針對一行選擇值二，資料流及驅動器啟動可相同於參考圖15所描述。然而，當記憶體陣列1600處於降低功率模式時，子陣列1605-b及子陣列1605-c (及與相同於子陣列1605-b及子陣列1605-c之一行位址範圍相關聯之其他子陣列1605)可經組態以在可啟動子陣列1605-a (及相同於子陣列1605-a之一行位址範圍相關聯之其他子陣列1605)時保持撤銷啟動。經啟動之庫中之一些子陣列1605保持撤銷啟動可在縮減頁模式(例如，降低功率模式)期間節省功率。

【0257】 藉由啟動(例如，子陣列1605之一列之)一些子陣列1605且撤銷啟動一些子陣列1605，與如參考圖15所描述之記憶體陣列1500之頁大小相比，記憶體陣列1600可將頁大小減小一半。例如，與由記憶體陣列1500感測之位元之數目相比，記憶體陣列1600可感測位元量之一半(例如，未感測原本將共同或同時由經啟動之子陣列1605感測或存取之經撤銷啟動之子陣列1605之記憶體胞)。

【0258】 在一些情況中，記憶體陣列1500可接收指示對應於子陣列1605-a之存取命令之一位址範圍之一啟動命令。可在記憶體陣列1500接收以一降低功率模式操作之命令之後接收啟動命令。可基於對應於子陣列1605-a之一存取命令之位址範圍啟動包含子陣列1605-a之一組子陣列1605。

【0259】 在一些實例中，包含子陣列1605-b及子陣列1605-c之一組子陣列1605可各基於對應於子陣列1605-a之存取命令之位址範圍維持於一撤銷啟動模式中。在此等情況中，可能無法自與子陣列1605-b及子陣列1605-c相關聯之複數個感測組件感測資料。例如，存取命令中指示之位址範圍可不指示一行選擇值四、五、六或七。

【0260】 然而，即使分別撤銷啟動子陣列1605-c及子陣列1605-b，當以降低功率模式啟動子陣列1605-a時亦可啟動驅動器1615-c及驅動器1615-d。在此等情況中，仍可啟動主I/O線1610-c及主I/O線1610-d以經由與主I/O線1610-c耦合之驅動器1615-c及經由與主I/O線1610-d耦合之驅動器1615-d與主機裝置交換資料。據此，儘管撤銷啟動一定數目個子陣列1605，但記憶體陣列1600仍可支援相同於其中未撤銷啟動子陣列1605之一組態之數量個位元之資料交換 (例如，經由一資料路徑350)。

【0261】 圖17繪示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體陣列1700之態樣之一實例。記憶體陣列1500可包含子陣列1705、主I/O線1710、驅動器1715及感測組件1720。子陣列1705、主I/O線1710、驅動器1715及感測組件1720可分別為如參考圖5至圖16所描述之子陣列、主I/O線、驅動器及感測組件之實例。記憶體陣列1700之態樣可類似或相同於記憶體陣列1500。記憶體陣列1700可出於

至少本文中所描述之原因而繪示根據一替代組態(例如，與記憶體陣列1500或1600之組態相比)之操作。

【0262】 圖17可繪示其中位址範圍指示一行選擇值五且可啟動複數個感測組件之感測組件1720-a、1720-b、1720-c及1720-d之一實例中之資料流以及經啟動之感測組件1720及驅動器1715。

【0263】 在一行選擇值五之實例中，可基於對應於一行選擇值五之存取命令啟動驅動器1715-a、1715-b、1715-c及1715-d。在一些實例中，可基於庫啟動(例如，基於用於包含子陣列1705-b、1705-c之庫之一啟動命令)、借用啟動或其等組合啟動驅動器1715-a、1715-b、1715-c及1715-d。感測組件1720-a及主I/O線1710-a可基於啟動驅動器1715-a而耦合。在此等情況中，感測組件1720-a可經由經啟動之路徑1725-a與主機裝置交換資料。例如，感測組件1720-a可自子陣列1705-b感測資料且經由經啟動之路徑1725-a將資料路由至相鄰子陣列1705-a。

【0264】 繼續一行選擇值五之實例，感測組件1720-b及主I/O線1710-b可基於啟動驅動器1715-b而耦合。在此等情況中，感測組件1720-b可經由經啟動之路徑1725-b與主機裝置交換資料。例如，感測組件1720-b可自子陣列1705-c感測資料且經由經啟動之路徑1725-b將資料路由至相鄰子陣列1705-a。

【0265】 進一步繼續一行選擇值五之實例，感測組件1720-c及主I/O線1710-c可基於啟動驅動器1715-c而耦合。在此等情況中，感測組件1720-c可經由經啟動之路徑1725-c與主機裝置交換資料。例如，感測組件1720-c可自子陣列1705-c感測資料且經由經啟動之路徑1725-c透過子陣列1705-c路由資料。

【0266】 進一步繼續一行選擇值五之實例，感測組件1720-d及主I/O線1710-d可基於啟動驅動器1715-d而耦合。在此等情況中，感測組件1720-d可經由經啟動之路徑1725-d與主機裝置交換資料。例如，感測組件1720-d可自子陣列1705-b感測資料且經由經啟動之路徑1725-d透過子陣列1705-b路由資料。

【0267】 在一些情況中，包含記憶體陣列1700之一記憶體裝置可接收以一降低功率模式操作記憶體陣列1700之一命令。可基於以降低功率模式操作記憶體陣列1700而撤銷啟動子陣列1705-a。在一些情況中，降低功率模式可對應於一縮減頁大小且可稱為縮減頁模式。當以降低功率模式操作時，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一子集，同時撤銷啟動經啟動之庫中之其他子陣列或(例如，若已被撤銷啟動)將此等其他子陣列維持於一撤銷啟動模式中。例如，記憶體裝置可經組態以僅啟動一經啟動之庫中之子陣列之一半(或某個其他部分)。

【0268】 例如，當記憶體陣列1700處於降低功率模式時，子陣列1705-b及子陣列1705-c (及與相同於子陣列1705-b及子陣列1705-c之一行位址範圍相關聯之其他子陣列1705)可經組態以被啟動，而子陣列1705-a (及與相同於子陣列1705-a之一行位址範圍相關聯之其他子陣列1705)可經組態以保持撤銷啟動。經啟動之庫中之一些子陣列1705保持撤銷啟動可在縮減頁模式(例如，降低功率模式)期間節省功率。

【0269】 藉由啟動(例如，子陣列1705之一列之)一些子陣列1705且撤銷啟動一些子陣列1705，與參考圖15所描述之記憶體陣列1500之頁大小相比，記憶體陣列1700可將頁大小減小一半。例如，與由記憶體陣列1500感測之位元之數目相比，記憶體陣列1700可感測位元量之一半(例

如，未感測原本將共同或同時由經啟動之子陣列1705感測或存取之經撤銷啟動之子陣列1705之記憶體胞)。

【0270】 在一些情況中，記憶體陣列1700可接收指示對應於子陣列1705-b及子陣列1705-c之存取命令之一位址範圍之一啟動命令。可在記憶體陣列1700接收以一降低功率模式操作之命令之後接收啟動命令。可基於對應於子陣列1705-b及子陣列1705-c之一存取命令之位址範圍啟動包含子陣列1705-b及子陣列1705-c之一組子陣列1605。

【0271】 在一些實例中，包含子陣列1705-a之一組子陣列1605基於對應於子陣列1705-b及子陣列1705-c之存取命令之位址範圍維持於一撤銷啟動模式中。在此等情況中，可能無法自與子陣列1705-a相關聯之複數個感測組件感測資料。例如，存取命令中指示之位址範圍可不指示一行選擇值零、一、二或三。

【0272】 然而，即使撤銷啟動子陣列1705-a，當以降低功率模式啟動子陣列1705-b及子陣列1705-c時亦可啟動驅動器1715-a及驅動器1715-b。在此等情況中，仍可啟動主I/O線1710-a及主I/O線1710-b以經由與主I/O線1710-a耦合之驅動器1715-a及經由與主I/O線1710-b耦合之驅動器1715-b與主機裝置交換資料。據此，儘管撤銷啟動一定數目個子陣列1705，但記憶體陣列1700仍可支援相同於其中未撤銷啟動子陣列1705之一組態之數量個位元之資料交換(例如，經由一資料路徑350)。

【0273】 因此，當一行選擇值在一總行位址範圍內之一個範圍內時，一主I/O線可載送由主I/O線橫越之一子陣列之資料，但當該行選擇值在該總行位址範圍內之一第二範圍內時，主I/O線可載送一鄰近子陣列之資料。一本端I/O線可與主I/O線耦合(例如，經由一對應驅動器)，且該本

端I/O線可與至少兩組感測組件耦合，一組感測組件經組態以自經橫越之子陣列感測資料，且一組感測組件經組態以自鄰近子陣列感測資料。此外，在一些情況中，當主I/O線載送鄰近子陣列之資料時，可出於功率節省及其他益處而撤銷啟動經橫越之子陣列。

【0274】 圖18展示根據如本文中所揭示之實例之支援記憶體子陣列之輸入/輸出線共用之一記憶體裝置1805之一方塊圖1800。記憶體裝置1805可為如參考圖5至圖17所描述之一記憶體陣列之一實例。記憶體裝置1805可包含一命令組件1810、一啟動組件1815、一耦合組件1820及一資料組件1825。此等模組之各者可彼此直接或間接通信(例如，經由一或多個匯流排)。

【0275】 命令組件1810可在包含一第一子陣列及一第二子陣列之一記憶體裝置處接收與第一子陣列之資料相關聯之一存取命令。在一些實例中，命令組件1810可在接收存取命令之前接收將存取命令之一位址範圍指示為對應於第一子陣列之一啟動命令。在一些實例中，命令組件1810可在接收啟動命令之前接收以一降低功率模式操作記憶體裝置之一命令。在一些實例中，命令組件1810可識別包含於存取命令中之一行位址，其中耦合第一感測組件與第一I/O線且耦合第二感測組件與第二I/O線係基於識別行位址。

【0276】 啟動組件1815可基於接收存取命令啟動與第一子陣列耦合之一第一感測組件及與第一子陣列耦合之一第二感測組件。在一些實例中，啟動組件1815可啟動與第一I/O線耦合之一第一驅動器，其中耦合第一感測組件與第一I/O線係基於啟動第一驅動器。在一些實例中，啟動組件1815可啟動與第二I/O線耦合之一第二驅動器，其中耦合第二感測組件

與第二I/O線係基於啟動第二驅動器。在一些實例中，啟動組件1815可基於對應於第一子陣列之存取命令之位址範圍啟動第一子陣列。

【0277】 在一些實例中，啟動組件1815可基於對應於第一子陣列之位址範圍啟動與第一I/O線耦合之一第一驅動器，其中耦合第一感測組件與第一I/O線係基於啟動第一驅動器。在一些實例中，啟動組件1815可基於對應於第一子陣列之位址範圍啟動與第二I/O線耦合之一第二驅動器，其中耦合第二感測組件與第二I/O線係基於啟動第二驅動器。在一些情況中，位址範圍對應於用於啟動之庫內之該組子陣列之一子集，該子集包含第一子陣列。在一些實例中，啟動組件1815可基於識別行位址而啟動第一感測組件及第二感測組件。

【0278】 啟動組件1815可至少部分地基於對應於第一子陣列之存取命令之位址範圍將第二子陣列維持於一撤銷啟動模式中，同時耦合第一感測組件與第一I/O線且耦合第二感測組件與第二I/O線。在一些實例中，啟動組件1815可基於以降低功率模式操作記憶體裝置而將第二子陣列維持於一撤銷啟動模式中。

【0279】 在一些實例中，啟動組件1815可基於對應於第一子陣列之位址範圍將一第三驅動器維持於一撤銷啟動模式中，其中第三驅動器與第一I/O線及第二驅動器耦合。在一些實例中，啟動組件1815可基於對應於第一子陣列之存取命令將與第二子陣列耦合之一或多個感測組件、與第二子陣列耦合之時序電路、與第二子陣列耦合之一或多個存取線驅動器或任何其他組合維持於一撤銷啟動模式中。

【0280】 耦合組件1820可基於接收存取命令而耦合第一感測組件與至少部分地橫越記憶體裝置之第一子陣列之一第一I/O線且耦合第二感測

組件與至少部分地橫越記憶體裝置之第二子陣列之一第二I/O線。在一些情況中，第一子陣列及第二子陣列包含於記憶體裝置之一庫內之一組子陣列中。在一些情況中，第一I/O線未橫越第二子陣列，且其中第二I/O線未橫越第一子陣列。

【0281】 資料組件1825可基於耦合第一感測組件與第一I/O線且耦合第二感測組件與第二I/O線而接收或傳輸第一子陣列之資料。在一些實例中，資料組件1825可基於啟動第二驅動器且撤銷啟動第三驅動器而在第二感測組件與第二I/O線之間交換資料。在一些情況中，分流器包含一雙向資料路徑，該雙向資料路徑經組態以當啟動第二驅動器時將資料自第一子陣列載送至第二I/O線且當啟動第三驅動器時將資料自第二子陣列載送至第一I/O線。

【0282】 圖19展示繪示根據本發明之支援記憶體子陣列之輸入/輸出線共用之一方法或若干方法1900之一流程圖。方法1900之操作可由如本文中所描述之一記憶體陣列或其組件來實施。例如，方法1900之操作可由如參考圖18所描述之一記憶體陣列來執行。在一些實例中，一記憶體陣列可執行一指令集以控制記憶體陣列之功能元件來執行所描述功能。另外或替代地，一記憶體陣列可使用專用硬體執行所描述功能。

【0283】 在1905處，記憶體陣列可在包含一第一子陣列及一第二子陣列之一記憶體裝置處接收與第一子陣列之資料相關聯之一存取命令。1905之操作可根據本文中所描述之方法來執行。在一些實例中，1905之操作可由如參考圖18所描述之一命令組件來執行。

【0284】 在1910處，記憶體陣列可基於接收存取命令而啟動與第一子陣列耦合之一第一感測組件及與第一子陣列耦合之一第二感測組件。

1910之操作可根據本文中所描述之方法來執行。在一些實例中，1910之操作可由如參考圖18所描述之一啟動組件來執行。

【0285】 在1915處，記憶體陣列可基於接收存取命令而耦合第一感測組件與至少部分地橫越記憶體裝置之第一子陣列之一第一I/O線且耦合第二感測組件與至少部分地橫越記憶體裝置之第二子陣列之一第二I/O線。1915之操作可根據本文中所描述之方法來執行。在一些實例中，1915之操作可由如參考圖18所描述之一耦合組件來執行。

【0286】 在1920處，記憶體陣列可基於耦合第一感測組件與第一I/O線且耦合第二感測組件與第二I/O線而接收或傳輸第一子陣列之資料。1920之操作可根據本文中所描述之方法來執行。在一些實例中，1920之操作可由如參考圖18所描述之一資料組件來執行。

【0287】 在一些實例中，如本文中所描述之一設備可執行一方法或若干方法，諸如方法1900。該設備可包含用於以下操作之特徵、構件或指令(例如，儲存可由一處理器執行之指令之一非暫時性電腦可讀媒體)：在包含一第一子陣列及一第二子陣列之一記憶體裝置處接收與第一子陣列之資料相關聯之一存取命令；基於接收存取命令而啟動與第一子陣列耦合之一第一感測組件及與第一子陣列耦合之一第二感測組件；基於接收存取命令而耦合第一感測組件與至少部分地橫越記憶體裝置之第一子陣列之一第一I/O線並耦合第二感測組件與至少部分地橫越記憶體裝置之第二子陣列之一第二I/O線；及基於耦合第一感測組件與第一I/O線並耦合第二感測組件與第二I/O線而接收或傳輸第一子陣列之資料。

【0288】 本文中所描述之方法1900及設備之一些實例可進一步包含用於啟動與第一I/O線耦合之一第一驅動器(其中耦合第一感測組件與第一

I/O線可基於啟動第一驅動器)，且啟動與第二I/O線耦合之一第二驅動器(其中耦合第二感測組件與第二I/O線可基於啟動第二驅動器)之操作、特徵、構件或指令。

【0289】 本文中所描述之方法1900及設備之一些實例可進一步包含用於基於啟動第二驅動器且撤銷啟動第三驅動器而在第二感測組件與第二I/O線之間交換資料之操作、特徵、構件或指令。

【0290】 在本文中所描述之方法1900及設備之一些實例中，分流器包含一雙向資料路徑，該雙向資料路徑經組態以當可啟動第二驅動器時將資料自第一子陣列載送至第二I/O線且當可啟動第三驅動器時將資料自第二子陣列載送至第一I/O線。

【0291】 本文中所描述之方法1900及設備之一些實例可進一步包含用於以下操作之操作、特徵、構件或指令：在接收存取命令之前接收將存取命令之一位址範圍指示為對應於第一子陣列之一啟動命令；基於對應於第一子陣列之存取命令之位址範圍啟動第一子陣列，且至少部分地基於對應於第一子陣列之存取命令之位址範圍將第二子陣列維持於一撤銷啟動模式中，同時耦合第一感測組件與第一I/O線並耦合第二感測組件與第二I/O線。

【0292】 本文中所描述之方法1900及設備之一些實例可進一步包含用於在接收啟動命令之前接收以一降低功率模式操作記憶體裝置之一命令之操作、特徵、構件或指令，其中將第二子陣列維持於撤銷啟動模式中係基於以降低功率模式操作記憶體裝置。

【0293】 在本文中所描述之方法1900及設備之一些實例中，第一子陣列及第二子陣列可包含於記憶體裝置之一庫內之一組子陣列中，且位址

範圍可對應於用於啟動之庫內之該組子陣列之一子集，該子集包含第一子陣列。

【0294】 本文中所描述之方法1900及設備之一些實例可進一步包含用於基於對應於第一子陣列之位址範圍啟動與第一I/O線耦合之一第一驅動器(其中耦合第一感測組件與第一I/O線可基於啟動第一驅動器)且基於對應於第一子陣列之位址範圍啟動與第二I/O線耦合之一第二驅動器(其中耦合第二感測組件與第二I/O線可基於啟動第二驅動器)之操作、特徵、構件或指令。

【0295】 本文中所描述之方法1900及設備之一些實例可進一步包含用於基於對應於第一子陣列之位址範圍將一第三驅動器維持於一撤銷啟動模式中(其中第三驅動器可與第一I/O線及第二驅動器耦合)之操作、特徵、構件或指令。

【0296】 本文中所描述之方法1900及設備之一些實例可進一步包含用於至少部分地基於對應於第一子陣列之位址範圍將與第二子陣列耦合之一感測組件、與第二子陣列耦合之時序電路、與第二子陣列耦合之一存取線驅動器或其等任何組合維持於一撤銷啟動模式中之操作、特徵、構件或指令。

【0297】 本文中所描述之方法1900及設備之一些實例可進一步包含用於識別包含於存取命令中之一行位址之操作、特徵、構件或指令，其中耦合第一感測組件與第一I/O線且耦合第二感測組件與第二I/O線可基於識別行位址。

【0298】 本文中所描述之方法1900及設備之一些實例可進一步包含用於啟動第一感測組件及第二感測組件可基於識別行位址之操作、特徵、

構件或指令。

【0299】 在本文中所描述之方法1900及設備之一些實例中，第一I/O線未橫越第二子陣列，且其中第二I/O線未橫越第一子陣列。

【0300】 應注意，上文所描述之方法描述可能的實施方案，且可重新配置或以其他方式修改操作及步驟，且其他實施方案亦係可能的。此外，可組合來自兩種或更多種方法之部分。

【0301】 描述一種設備。該設備可包含：一記憶體陣列，其包含一第一子陣列及一第二子陣列；一第一I/O線，其至少部分地橫越該第一子陣列；一第二I/O線，其至少部分地橫越該第二子陣列；一第一驅動器，其與該第一I/O線耦合；一第二驅動器，其與該第二I/O線耦合；及一分流器，其與該第一驅動器及該第二驅動器耦合且經組態以當啟動該第二驅動器時將資料自該第一子陣列載送至該第二I/O線且當啟動該第一驅動器時將資料自該第二子陣列載送至該第一I/O線。

【0302】 在一些實例中，一第一感測組件與該分流器耦合並經組態以自該第一子陣列感測資料，其中該第二驅動器可經組態以基於該第一感測組件被啟動而啟動，且一第二感測組件與該分流器耦合並經組態以自該第二子陣列感測資料，其中該第一驅動器可經組態以基於該第二感測組件被啟動而啟動。

【0303】 在一些實例中，該第一驅動器可經組態以基於指示一第一範圍內之行位址之命令而啟動，且該第二驅動器可經組態以基於指示一第二範圍內之行位址之命令而啟動。

【0304】 一些實例可進一步包含該第一子陣列或該第二子陣列之一者可經組態以當該裝置可處於一降低功率模式時啟動，及該第一子陣列或

該第二子陣列之另一者可經組態以當該裝置可處於該降低功率模式時撤銷啟動。

【0305】 在一些實例中，該第一驅動器可經組態以當該第二子陣列可以該降低功率模式啟動時啟動，且該第二驅動器可經組態以當該第一子陣列可以該降低功率模式啟動時啟動。

【0306】 在一些實例中，該裝置可經組態以基於指示一縮減頁大小之一命令進入該降低功率模式。

【0307】 在一些實例中，該第一子陣列及該第二子陣列可在該記憶體陣列之一庫中，且其中該裝置可經組態以當該裝置可處於該降低功率模式時撤銷啟動包含於該庫中之子陣列之一部分。

【0308】 在一些實例中，該記憶體陣列包含經配置為列及行之一組子陣列，該第一I/O線橫越包含該第一子陣列之一第一行中之第一組子陣列，該第二I/O線橫越包含該第二子陣列之一第二行中之第二組子陣列，且該第一子陣列及該第二子陣列可在一相同列中。

【0309】 在一些實例中，該分流器可經組態以當可撤銷啟動該第一驅動器時將資料自該第一子陣列載送至該第二I/O線且當可撤銷啟動該第二驅動器時將資料自該第二子陣列載送至該第一I/O線。

【0310】 描述一種設備。該設備可包含：一記憶體陣列，其包含複數個子陣列，其中該複數個子陣列之一第一子陣列在該複數個子陣列之一第二子陣列與該複數個子陣列之一第三子陣列之間；及複數個I/O線，其中該複數個I/O線之一第一I/O線及該複數個I/O線之一第二I/O線至少部分地橫越該第一子陣列，該第一I/O線與經組態以自該第一子陣列感測資料之第一組感測組件及經組態以自該第二子陣列感測資料之第二組感測組件

耦合，且該第二I/O線與經組態以自該第一子陣列感測資料之第三組感測組件及經組態以自該第三子陣列感測資料之第四組感測組件耦合。

【0311】 在一些實例中，該第一組感測組件及該第三組感測組件對應於一行位址範圍之一第一子集，且該第二組感測組件及該第四組感測組件對應於該行位址範圍之一第二子集。

【0312】 在一些實例中，該裝置可經組態以當該裝置可處於一第一功率模式時啟動該複數個子陣列之一第一子集或該複數個子陣列之一第二子集之一者，該裝置可經組態以當該裝置可處於該第一功率模式時撤銷啟動該複數個子陣列之該第一子集或該複數個子陣列之該第二子集之另一者，該第一子陣列可在該第一子集中，且該第二子陣列及該第三子陣列可在該第二子集中。

【0313】 本文中所描述之資訊及信號可使用多種不同科技及技術之任一者來表示。例如，可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及晶片可由電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其等任何組合來表示。一些圖式可將信號繪示為單個信號；然而，一般技術者將理解，信號可表示一信號匯流排，其中該匯流排可具有多種位元寬度。

【0314】 術語「電子通信」、「導電接觸」、「經連接」及「經耦合」可指組件之間的一關係，其支援組件之間的信號流。若組件之間存在任何導電路徑以可在任何時間支援組件之間的信號流，則組件被視為彼此電子通信(或彼此導電接觸或連接或耦合)。在任何給定時間，彼此電子通信(或彼此導電接觸或連接或耦合)之組件之間的導電路徑可基於包含所連接組件之裝置之操作而為一開路或閉路。所連接組件之間的導電路徑可為組

件之間的一直接導電路徑或所連接組件之間的導電路徑可為可包含中間組件(諸如開關、電晶體或其他組件)之一間接導電路徑。在一些情況中，所連接組件之間的信號流可使用一或多個中間組件(諸如開關或電晶體)中斷一段時間。

【0315】 術語「耦合」指代自組件之間的一開路關係(其中信號當前無法透過一導電路徑在組件之間傳達)移動至組件之間的一閉路關係(其中信號可透過導電路徑在組件之間傳達)之條件。當一組件(諸如一控制器)與其他組件耦合在一起時，組件起始一變化以允許信號透過先前不允許信號流動之一導電路徑在其他組件之間流動。

【0316】 術語「經隔離」指代組件之間的一關係，其中信號當前無法在組件之間流動。若組件之間存在一開路，則組件彼此隔離。例如，由定位於組件之間的一開關分離之兩個組件在開關斷開時彼此隔離。當一控制器使兩個組件彼此隔離時，控制器產生一變化，其使用先前允許信號流動之一導電路徑防止信號在組件之間流動。

【0317】 本文中使用的術語「層」指代一幾何結構之一階層或薄片。各層可具有三個維度(例如，高度、寬度及深度)且可覆蓋一表面之至少一部分。例如，一層可為其中兩個維度大於一第三維度之一三維結構，例如一薄膜。層可包含不同元件、組件及/或材料。在一些情況中，一個層可由兩個或更多個次層組成。在一些附圖中，出於繪示目的而描繪一三維層之兩個維度。

【0318】 如本文中所使用，術語「短路」指代組件之間的一關係，其中經由在兩個討論中組件之間啟動單個中間組件來在該等組件之間建立一導電路徑。例如，短接至一第二組件之一第一組件可在該兩個組件之間

的一開關閉合時與第二組件交換信號。因此，短路可為使電荷能夠在電子通信中之組件(或線)之間流動之一動態操作。

【0319】 本文中所論述之裝置(包含一記憶體陣列)可形成於一半導體基板(諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等)上。在一些情況中，基板係一半導體晶圓。在其他情況中，基板可為一絕緣體上矽(SOI)基板(諸如玻璃上矽(SOG)或藍寶石上矽(SOP))或另一基板上之半導體材料之磊晶層。可透過使用各種化學物種(包含但不限於磷、硼或砷)摻雜來控制基板或基板之子區之導電率。可藉由離子植入或藉由任何其他摻雜方法在基板之初始形成或生長期間執行摻雜。

【0320】 本文中所論述之一切換組件或一電晶體可表示一場效電晶體(FET)且包括包含一源極、汲極及閘極之三終端裝置。該等終端可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可為導電的且可包括一重度摻雜(例如，簡併)半導體區。可藉由一輕度摻雜半導體區或通道分離源極及汲極。若通道係n型(即，多數載子係電子)，則FET可稱為n型FET。若通道係p型(即，多數載子係電洞)，則FET可稱為p型FET。通道可藉由一絕緣閘極氧化物封端。可藉由將一電壓施加至閘極而控制通道導電率。例如，分別將一正電壓或負電壓施加至一n型FET或一p型FET可導致通道變成導電的。當將大於或等於一電晶體之臨限電壓之一電壓施加至電晶體閘極時，可「接通」或「啟動」該電晶體。當施加小於電晶體之臨限電壓之一電壓至電晶體閘極時，可「關斷」或「撤消啟動」該電晶體。

【0321】 本文中陳述之描述結合隨附圖式描述例示性組態且不表示可實施或在發明申請專利範圍之範疇內之全部實例。本文中使用之術語

「例示性」意謂「充當一實例、例項或圖解」且非「較佳」或「優於其他實例」。詳細地描述包含特定細節以提供對所描述技術之一理解。然而，可在無此等特定細節之情況下實踐此等技術。在一些例項中，以方塊圖形式展示熟知結構及裝置以避免模糊所描述實例之概念。

【0322】在附圖中，類似組件或特徵可具有相同參考標籤。此外，可藉由在參考標籤後加一破折號及區分類似組件之一第二標籤來區分相同類型之各種組件。當僅在說明書中使用第一參考標籤時，描述可適用於具有相同第一參考標籤之類似組件之任一者，而無關於第二參考標籤。

【0323】結合本文中之揭示內容描述之各種闡釋性組塊及模組可使用經設計以執行本文中所描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘極或電晶體邏輯、離散硬體組件或其等之任何組合來實施或執行。一通用處理器可為一微處理器，但在替代方案中，處理器可為任何處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如DSP及微處理器之一組合、多個微處理器、結合DSP核心之一或多個微處理器或任何其他此組態)。

【0324】可在硬體、由一處理器執行之軟體、韌體或其任何組合中實施本文中所描述之功能。若在由一處理器執行之軟體中實施，則可將功能作為一或多個指令或碼儲存於一電腦可讀媒體上或經由一電腦可讀媒體傳輸。其他實例及實施方案係在本發明及隨附發明申請專利範圍之範疇內。例如，歸因於軟體之性質，可使用由一處理器執行之軟體、硬體、韌體、硬接線或此等之任意者之組合來實施上文描述之功能。實施功能之特徵亦可實體上定位在各種位置處，包含經分佈使得在不同實體位置處實施

功能之部分。再者，如本文中(包含在發明申請專利範圍中)使用，如一物項清單(例如，以諸如「至少一者」或「一或多者」之一片語開始之一物項清單)中使用之「或」指示一包含清單，使得例如 A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。再者，如本文中使用，片語「基於」不應被解釋為對一條件閉集之一參考。例如，在不脫離本發明之範疇之情況下，描述為「基於條件A」之一例示性步驟可基於條件A及條件B兩者。換言之，如本文中使用，片語「基於」應以相同於片語「至少部分地基於」之方式來解釋。

【0325】 提供本文中之描述以使熟習此項技術者能夠製成或使用本發明。熟習此項技術者將明白對本發明之各種修改，且在不脫離本發明之範疇之情況下，本文中定義之通用原理可應用於其他變動。因此，本發明不限於本文中所描述之實例及設計，而應符合與本文中所揭示之原則及新穎特徵一致之最廣範疇。

【符號說明】

【0326】

100:系統

105:外部記憶體控制器

110:記憶體裝置

115:通道

120:處理器

125:基本輸入/輸出系統(BIOS)組件

130:周邊組件

135:輸入/輸出(I/O)控制器

140:匯流排

145:輸入

150:輸出

155:裝置記憶體控制器

160-a:記憶體晶粒

160-b:記憶體晶粒

160-*N*:記憶體晶粒

165-a:本端記憶體控制器

165-b:本端記憶體控制器

165-*N*:本端記憶體控制器

170-a:記憶體陣列

170-b:記憶體陣列

170-*N*:記憶體陣列

186:命令及位址(CA)通道

188:時脈信號(CK)通道

190:資料(DQ)通道

192:其他通道

200:記憶體晶粒

205:記憶體胞

205-b-11至205-b-km:記憶體胞

210:字線

210-b-1至210-b-k:字線

215:數位線

215-a-11至215-a-1m:數位線
215-b-1至215-b-m:數位線
220:板極線
225:列解碼器
230:行解碼器
235:板極驅動器
240:電容器
245:切換組件
250:感測組件
255:參考信號
260:輸入/輸出組件
265:本端記憶體控制器
265-a:本端記憶體控制器
266-a:控制匯流排
300:記憶體佈局
310-a-1至310-a-q:磚路徑
311-a-1至311-a-q:磚匯流排
315-a-1:數位線多工器
320-a-1至320-a-q:感測放大器陣列
325-a-11至325-a-1n:感測放大器
340:磚多工器
341:磚多工器匯流排
350:資料路徑

351:資料路徑匯流排
360:資料感測放大器組件
365:冗餘修復組件
370:錯誤校正組件
400:記憶體磚
401:厚度方向
410:陣列層級
420:路由層級
425:路由層級
430:基板
450:電路層級
451:俯視圖
460-a:字線解碼器部分
460-b:字線解碼器部分
465-a:字線驅動器部分
465-b:字線驅動器部分
470-a:數位線解碼器部分
470-b:數位線解碼器部分
475-a:數位線驅動器部分
475-b:數位線驅動器部分
480:區域
500:記憶體陣列
505-a:子陣列

505-b:子陣列
510-a:主I/O線
510-b:主I/O線
515-a:子陣列
515-b:子陣列
520:目標記憶體庫
600:子陣列
605:主I/O線
610-a:本端I/O線
610-b:本端I/O線
615-a:感測組件
615-b:感測組件
620-a:驅動器
620-b:驅動器
625:感測組件
625-a:感測組件
700:記憶體陣列
702-a:子陣列
702-b:子陣列
705-a:主I/O線
705-b:主I/O線
705-c:主I/O線
705-d:主I/O線

710-a:本端I/O線

710-b:本端I/O線

710-c:本端I/O線

710-d:本端I/O線

710-e:本端I/O線

710-f:本端I/O線

710-g:本端I/O線

710-h:本端I/O線

715-a:感測組件

715-b:感測組件

715-c:感測組件

715-d:感測組件

715-e:感測組件

715-f:感測組件

715-g:感測組件

715-h:感測組件

720-a:驅動器

720-b:驅動器

720-c:驅動器

720-d:驅動器

720-e:驅動器

720-f:驅動器

720-g:驅動器

720-h:驅動器
725-a:分流器
725-b:分流器
730-a:感測組件
730-b:感測組件
730-c:感測組件
730-d:感測組件
735-a:經啟動之資訊路徑
735-b:經啟動之資訊路徑
735-c:經啟動之資訊路徑
735-d:經啟動之資訊路徑
800:記憶體陣列
802-a:子陣列
802-b:子陣列
805-a:主I/O線
805-b:主I/O線
805-c:主I/O線
805-d:主I/O線
810-a:本端I/O線
810-c:本端I/O線
815-a:感測組件
815-b:感測組件
815-c:感測組件

815-d:感測組件
815-e:感測組件
815-f:感測組件
815-g:感測組件
815-h:感測組件
820-a:驅動器
820-b:驅動器
820-c:驅動器
820-d:驅動器
820-e:驅動器
820-f:驅動器
820-g:驅動器
820-h:驅動器
825-a:分流器
825-b:分流器
830-a:感測組件
830-b:感測組件
830-c:感測組件
830-d:感測組件
835-a:經啟動之資訊路徑
835-b:經啟動之資訊路徑
835-c:經啟動之資訊路徑
900:記憶體陣列

902-a:子陣列
902-b:子陣列
905-a:主I/O線
905-b:主I/O線
905-c:主I/O線
905-d:主I/O線
910-a:本端I/O線
910-c:本端I/O線
915-a:感測組件
915-b:感測組件
915-c:感測組件
915-d:感測組件
915-e:感測組件
915-f:感測組件
915-g:感測組件
915-h:感測組件
920-a:驅動器
920-b:驅動器
920-c:驅動器
920-d:驅動器
920-e:驅動器
920-f:驅動器
920-g:驅動器

920-h:驅動器

925-a:分流器

925-b:分流器

930-a:感測組件

930-b:感測組件

930-c:感測組件

930-d:感測組件

935-a:經啟動之資訊路徑

935-b:經啟動之資訊路徑

935-c:經啟動之資訊路徑

1000:記憶體陣列

1002-a:子陣列

1002-b:子陣列

1005-a:主I/O線

1005-b:主I/O線

1005-c:主I/O線

1005-d:主I/O線

1010-e:本端I/O線

1010-g:本端I/O線

1015-a:感測組件

1015-b:感測組件

1015-c:感測組件

1015-d:感測組件

1015-e:感測組件
1015-f:感測組件
1015-g:感測組件
1015-h:感測組件
1020-a:驅動器
1020-b:驅動器
1020-c:驅動器
1020-d:驅動器
1020-e:驅動器
1020-f:驅動器
1020-g:驅動器
1020-h:驅動器
1025-a:分流器
1025-b:分流器
1030-a:感測組件
1030-b:感測組件
1030-c:感測組件
1030-d:感測組件
1035-a:經啟動之資訊路徑
1035-b:經啟動之資訊路徑
1035-c:經啟動之資訊路徑
1100:記憶體陣列
1102-a:子陣列

1102-b:子陣列

1200:記憶體陣列

1202-a:子陣列

1202-b:子陣列

1300:記憶體陣列

1305-a:子陣列

1305-b:子陣列

1305-c:子陣列

1305-d:子陣列

1310-a:子集

1310-b:子集

1315-a:感測組件

1315-b:感測組件

1315-c:感測組件

1315-d:感測組件

1400:記憶體陣列

1405-a:子陣列

1405-b:子陣列

1405-c:子陣列

1405-d:子陣列

1410-a:子集

1410-b:子集

1415-a:感測組件

1415-b:感測組件

1415-c:感測組件

1415-d:感測組件

1500:記憶體陣列

1505-a:子陣列

1505-b:子陣列

1505-c:子陣列

1505-d:子陣列

1505-e:子陣列

1510-a:主I/O線

1510-b:主I/O線

1510-c:主I/O線

1510-d:主I/O線

1510-e:主I/O線

1515-a:驅動器

1515-b:驅動器

1515-c:驅動器

1515-d:驅動器

1515-e:驅動器

1520-a:感測組件

1520-b:感測組件

1520-c:感測組件

1520-d:感測組件

1520-e:感測組件

1525-a:經啟動之路徑

1525-b:經啟動之路徑

1525-c:經啟動之路徑

1525-d:經啟動之路徑

1525-e:經啟動之路徑

1530:迴路

1600:記憶體陣列

1605-a:子陣列

1605-b:子陣列

1605-c:子陣列

1610-c:主I/O線

1610-d:主I/O線

1615-c:驅動器

1615-d:驅動器

1700:記憶體陣列

1705-a:子陣列

1705-b:子陣列

1705-c:子陣列

1710-a:主I/O線

1710-b:主I/O線

1710-c:主I/O線

1710-d:主I/O線

1715-a:驅動器

1715-b:驅動器

1715-c:驅動器

1715-d:驅動器

1720-a:感測組件

1720-b:感測組件

1720-c:感測組件

1720-d:感測組件

1725-a:經啟動之路徑

1725-b:經啟動之路徑

1725-c:經啟動之路徑

1725-d:經啟動之路徑

1800:方塊圖

1805:記憶體裝置

1810:命令組件

1815:啟動組件

1820:耦合組件

1825:資料組件

1900:方法

1905:操作

1910:操作

1915:操作

1920:操作

【發明申請專利範圍】

【請求項1】

一種操作記憶體裝置之方法，其包括：

在包括一第一子陣列及一第二子陣列之一記憶體裝置處，接收與該第一子陣列之資料相關聯之一存取命令；

至少部分地基於接收該存取命令，啟動與該第一子陣列耦合之一第一感測組件及與該第一子陣列耦合之一第二感測組件；

啟動與一第一輸入/輸出(I/O)線耦合之一第一驅動器；

啟動與一第二I/O線耦合之一第二驅動器；

至少部分地基於接收該存取命令，耦合該第一感測組件與至少部分地橫越該記憶體裝置之該第一子陣列之該第一I/O線，且耦合該第二感測組件與至少部分地橫越該記憶體裝置之該第二子陣列之該第二I/O線，其中耦合該第一感測組件與該第一I/O線係至少部分地基於啟動該第一驅動器，且其中耦合該第二感測組件與該第二I/O線係至少部分地基於啟動該第二驅動器；及

至少部分地基於耦合該第一感測組件與該第一I/O線且耦合該第二感測組件與該第二I/O線而接收或傳輸該第一子陣列之該資料。

【請求項2】

如請求項1之方法，其中該第二驅動器係經由一分流器與一第三驅動器耦合，且其中該第三驅動器係與該第一I/O線耦合，其進一步包括：

至少部分地基於啟動該第二驅動器且撤銷啟動該第三驅動器而在該第二感測組件與該第二I/O線之間交換資料。

【請求項3】

如請求項2之方法，其中該分流器包括一雙向資料路徑，該雙向資料路徑經組態以當啟動該第二驅動器時將資料自該第一子陣列載送至該第二I/O線，且當啟動該第三驅動器時將資料自該第二子陣列載送至該第一I/O線。

【請求項4】

如請求項1之方法，進一步包括：

在接收該存取命令之前，接收將該存取命令之一位址範圍指示為對應於該第一子陣列之一啟動命令；

至少部分地基於對應於該第一子陣列之該存取命令之該位址範圍來啟動該第一子陣列；及

至少部分地基於對應於該第一子陣列之該存取命令之該位址範圍，將該第二子陣列維持於一撤銷啟動模式中，同時耦合該第一感測組件與該第一I/O線，且耦合該第二感測組件與該第二I/O線。

【請求項5】

如請求項4之方法，進一步包括：

在接收該啟動命令之前，接收以一降低功率模式操作該記憶體裝置之一命令，其中將該第二子陣列維持於該撤銷啟動模式中係至少部分地基於以該降低功率模式來操作該記憶體裝置。

【請求項6】

如請求項4之方法，其中：

該第一子陣列及該第二子陣列係包含於該記憶體裝置之一庫內之複數個子陣列中；且

該位址範圍對應於用於啟動之該庫內之該複數個子陣列之一子集，

該子集包含該第一子陣列。

【請求項7】

如請求項4之方法，進一步包括：

至少部分地基於對應於該第一子陣列之該位址範圍來啟動與該第一I/O線耦合之該第一驅動器；及

至少部分地基於對應於該第一子陣列之該位址範圍來啟動與該第二I/O線耦合之一該第二驅動器。

【請求項8】

如請求項7之方法，進一步包括：

至少部分地基於對應於該第一子陣列之該位址範圍，將一第三驅動器維持於一撤銷啟動模式中，其中該第三驅動器係與該第一I/O線及該第二驅動器耦合。

【請求項9】

如請求項4之方法，進一步包括：

至少部分地基於對應於該第一子陣列之該位址範圍，將與該第二子陣列耦合之一組感測組件、與該第二子陣列耦合之一時序電路、與該第二子陣列耦合之一存取線驅動器或其等任何組合維持於一撤銷啟動模式中。

【請求項10】

如請求項1之方法，進一步包括：

識別經包含於該存取命令中之一行位址，其中耦合該第一感測組件與該第一I/O線且耦合該第二感測組件與該第二I/O線係至少部分地基於識別該行位址。

【請求項11】

如請求項10之方法，其中：

啟動該第一感測組件及該第二感測組件係至少部分地基於識別該行位址。

【請求項12】

如請求項1之方法，其中該第一I/O線未橫越該第二子陣列，且其中該第二I/O線未橫越該第一子陣列。

【請求項13】

一種記憶體裝置，其包括：

一記憶體陣列，其包括一第一子陣列及一第二子陣列；

一第一輸入/輸出(I/O)線，其至少部分地橫越該第一子陣列；

一第二I/O線，其至少部分地橫越該第二子陣列；

一第一驅動器，其係與該第一I/O線耦合；

一第二驅動器，其係與該第二I/O線耦合；及

一分流器，其係與該第一驅動器及該第二驅動器耦合，且經組態以當啟動該第二驅動器時，將資料自該第一子陣列載送至該第二I/O線，且當啟動該第一驅動器時，將資料自該第二子陣列載送至該第一I/O線。

【請求項14】

如請求項13之裝置，進一步包括：

一第一感測組件，其係與該分流器耦合，且經組態以自該第一子陣列感測資料，其中該第二驅動器經組態以至少部分地基於該第一感測組件被啟動而啟動；及

一第二感測組件，其係與該分流器耦合，且經組態以自該第二子陣列感測資料，其中該第一驅動器經組態以至少部分地基於該第二感測組件

被啟動而啟動。

【請求項15】

如請求項13之裝置，其中：

該第一驅動器經組態以至少部分地基於指示一第一範圍內之行位址之命令而啟動；且

該第二驅動器經組態以至少部分地基於指示一第二範圍內之行位址之命令而啟動。

【請求項16】

如請求項13之裝置，其中：

該第一子陣列或該第二子陣列之一者經組態以當該裝置處於一降低功率模式中時啟動；且

該第一子陣列或該第二子陣列之另一者經組態以當該裝置處於該降低功率模式中時撤銷啟動。

【請求項17】

如請求項16之裝置，其中：

該第一驅動器經組態以當該第二子陣列以該降低功率模式啟動時啟動；且

該第二驅動器經組態以當該第一子陣列以該降低功率模式啟動時啟動。

【請求項18】

如請求項16之裝置，其中該裝置經組態以至少部分地基於指示一縮減頁大小之一命令而進入該降低功率模式。

【請求項19】

如請求項16之裝置，其中該第一子陣列及該第二子陣列係在該記憶體陣列之一庫中，且其中該裝置經組態以當該裝置處於該降低功率模式時撤銷啟動經包含於該庫中之子陣列的一部分。

【請求項20】

如請求項13之裝置，其中：

該記憶體陣列包括經配置為列及行之複數個子陣列；

該第一I/O線橫越包含該第一子陣列之一第一行中之第一複數個子陣列；

該第二I/O線橫越包含該第二子陣列之一第二行中之第二複數個子陣列；且

該第一子陣列及該第二子陣列係在一相同列中。

【請求項21】

如請求項13之裝置，其中該分流器經組態以當撤銷啟動該第一驅動器時，將資料自該第一子陣列載送至該第二I/O線，且當撤銷啟動該第二驅動器時，將資料自該第二子陣列載送至該第一I/O線。

【請求項22】

一種記憶體裝置，其包括：

一記憶體陣列，其包括複數個子陣列，其中該複數個子陣列之一第一子陣列係在該複數個子陣列之一第二子陣列與該複數個子陣列之一第三子陣列之間；

複數個輸入/輸出(I/O)線，其中；

該複數個I/O線之一第一I/O線及該複數個I/O線之一第二I/O線至少部分地橫越該第一子陣列；

該第一I/O線係與經組態以自該第一子陣列感測資料之一第一組感測組件及經組態以自該第二子陣列感測資料之一第二組感測組件耦合；且

該第二I/O線係與經組態以自該第一子陣列感測資料之一第三組感測組件及經組態以自該第三子陣列感測資料之一第四組感測組件耦合。

【請求項23】

如請求項22之裝置，其中：

該第一組感測組件及該第三組感測組件對應於一行位址範圍之一第一子集；且

該第二組感測組件及該第四組感測組件對應於該行位址範圍之一第二子集。

【請求項24】

如請求項22之裝置，其中：

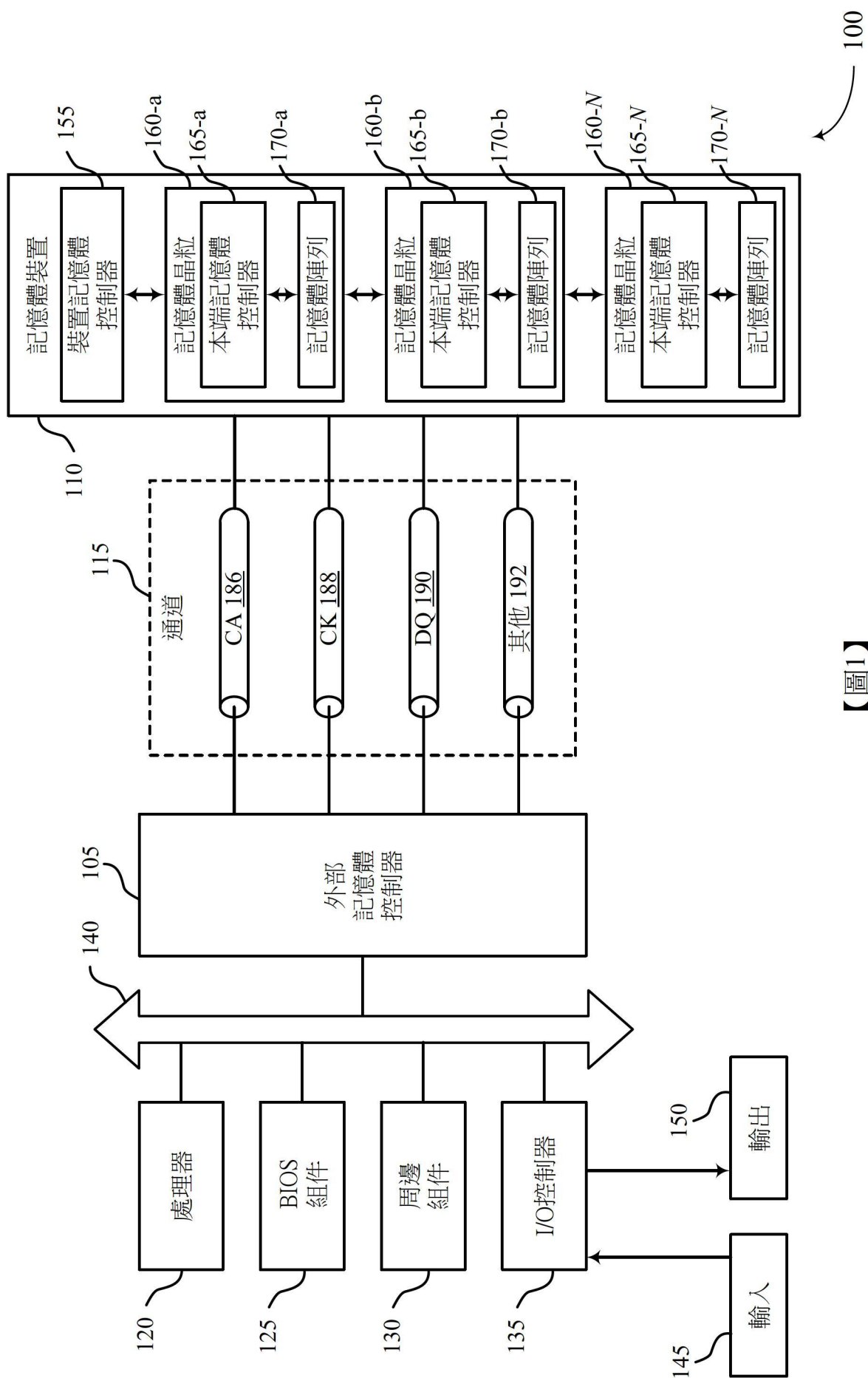
該裝置經組態以當該裝置處於一第一功率模式中時啟動該複數個子陣列中之一第一子集或該複數個子陣列中之一第二子集之一者；

該裝置經組態以當該裝置處於該第一功率模式中時撤銷啟動該複數個子陣列中之該第一子集或該複數個子陣列中之該第二子集之另一者；

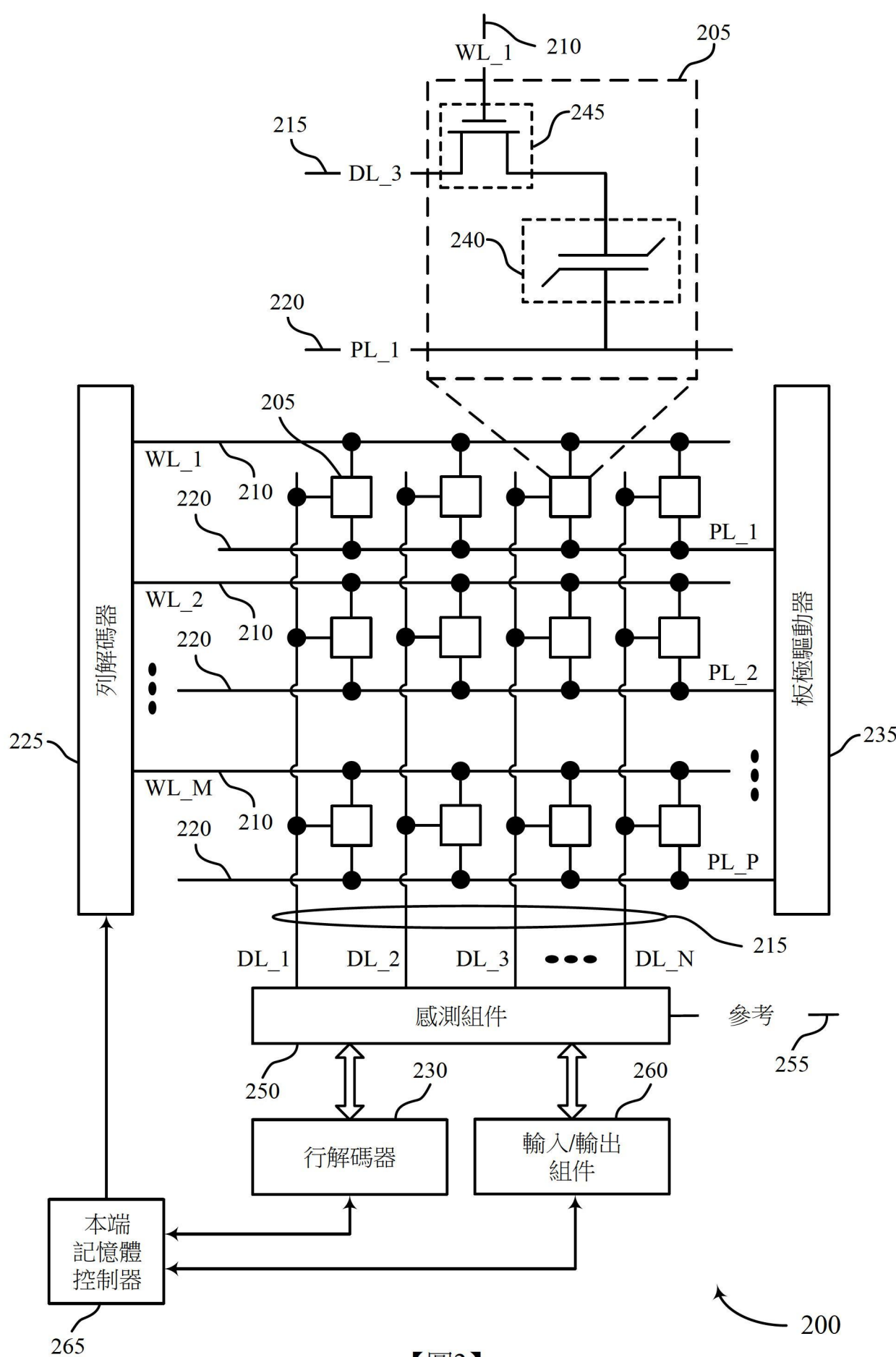
該第一子陣列係在該第一子集中；且

該第二子陣列及該第三子陣列係在該第二子集中。

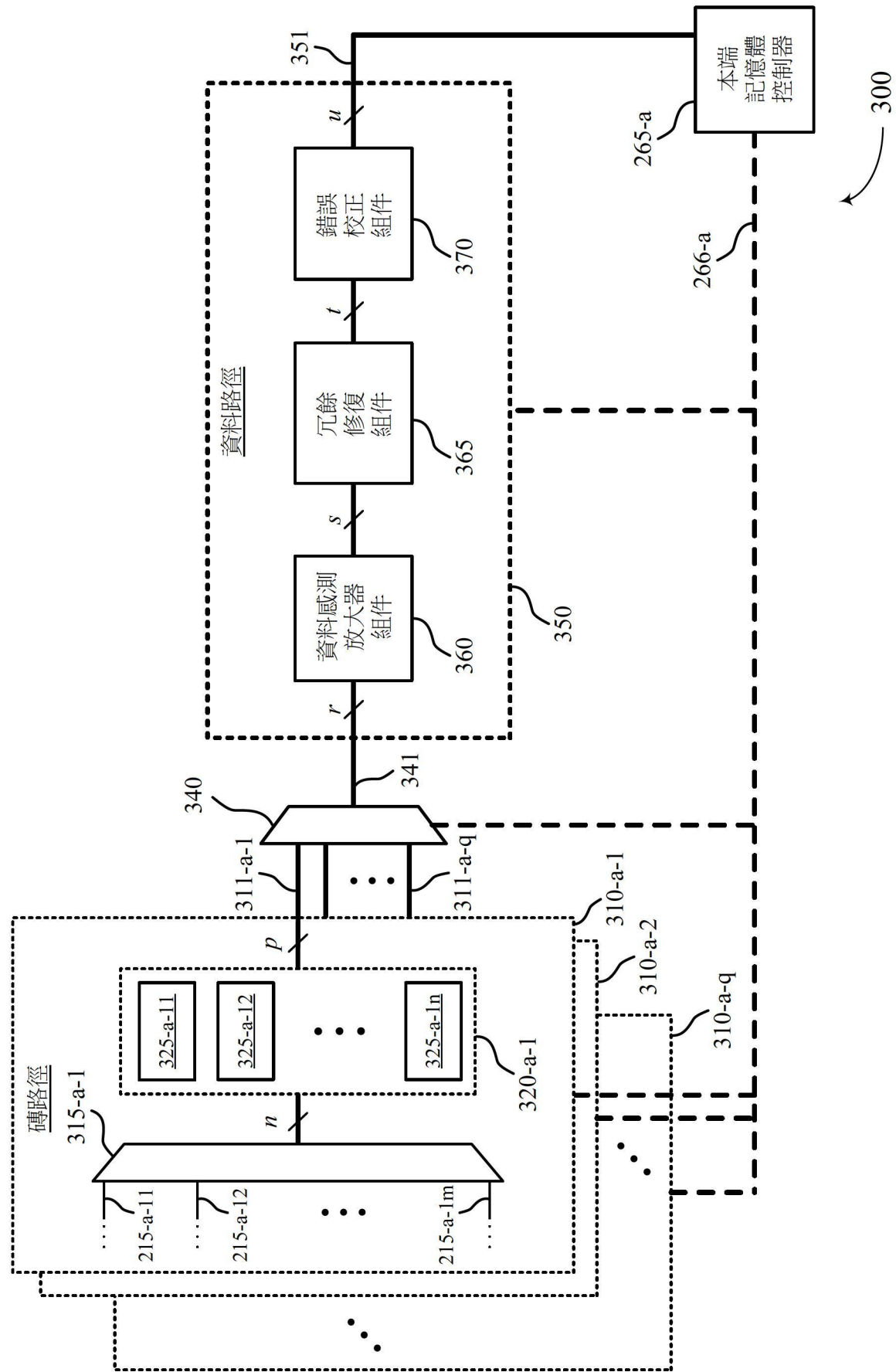
【發明圖式】



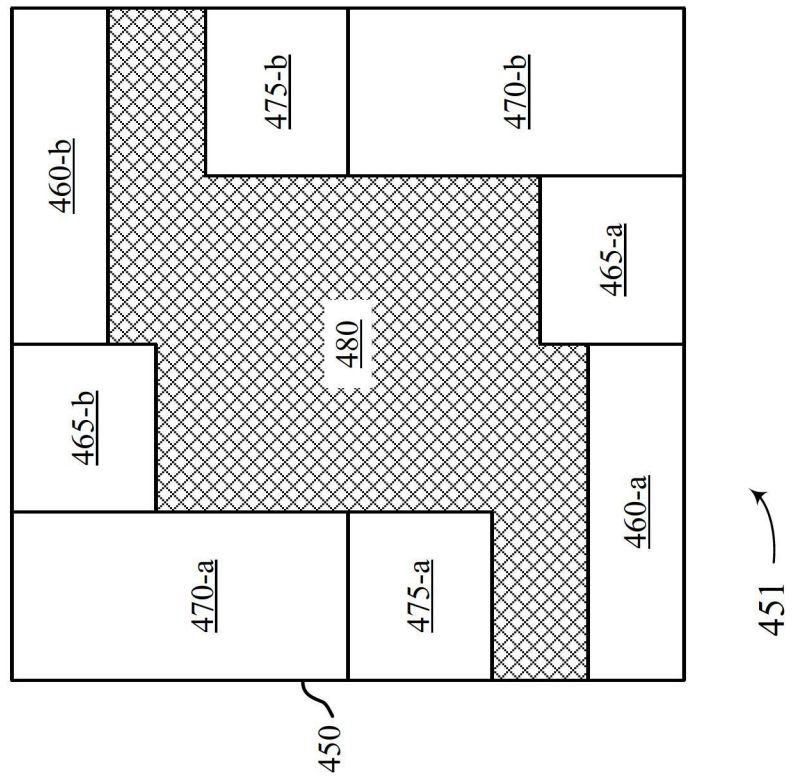
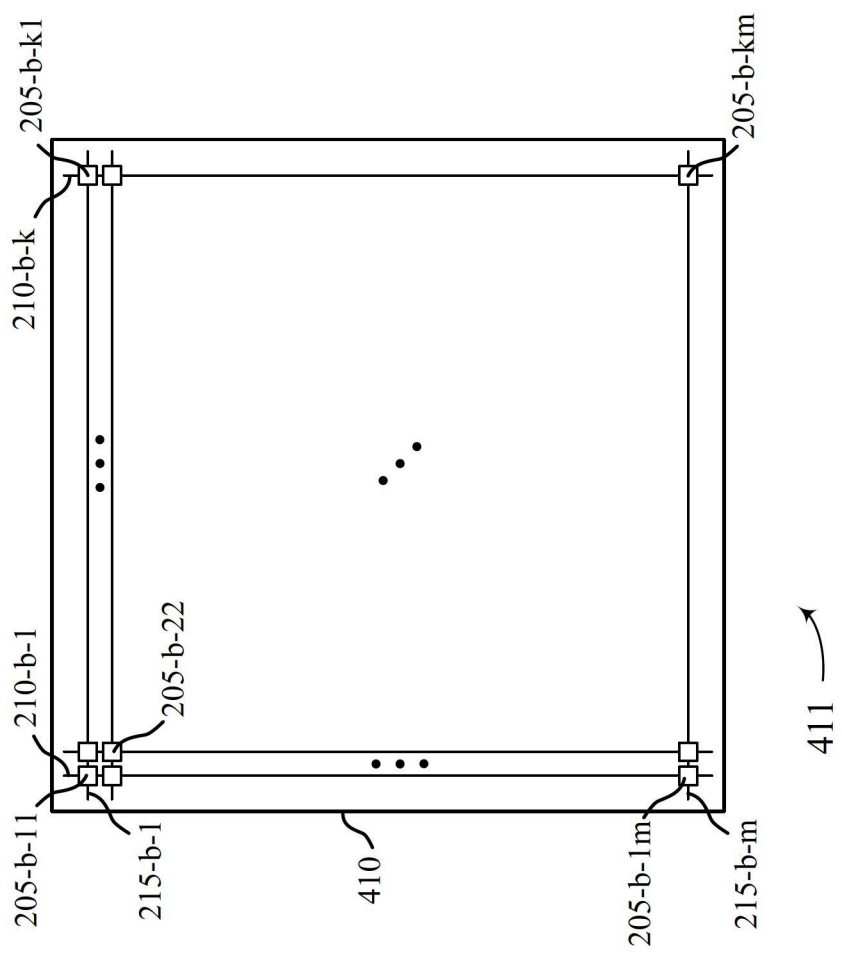
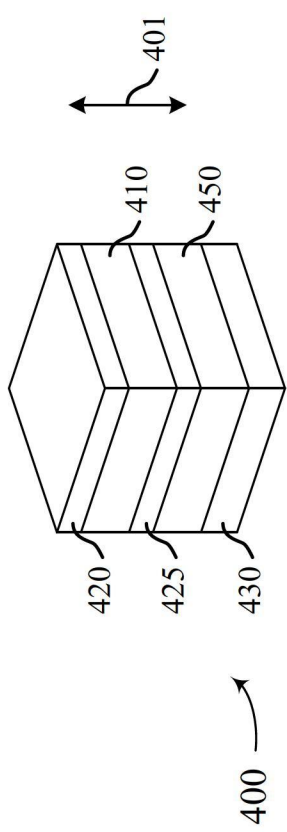
【圖1】



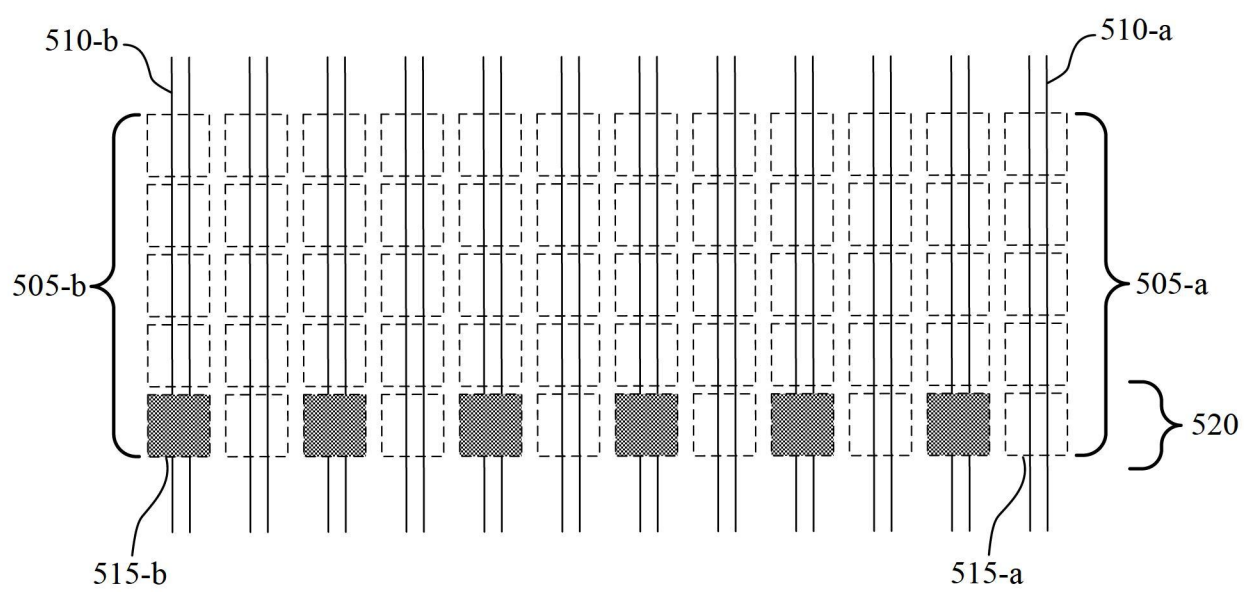
【圖2】



【圖3】

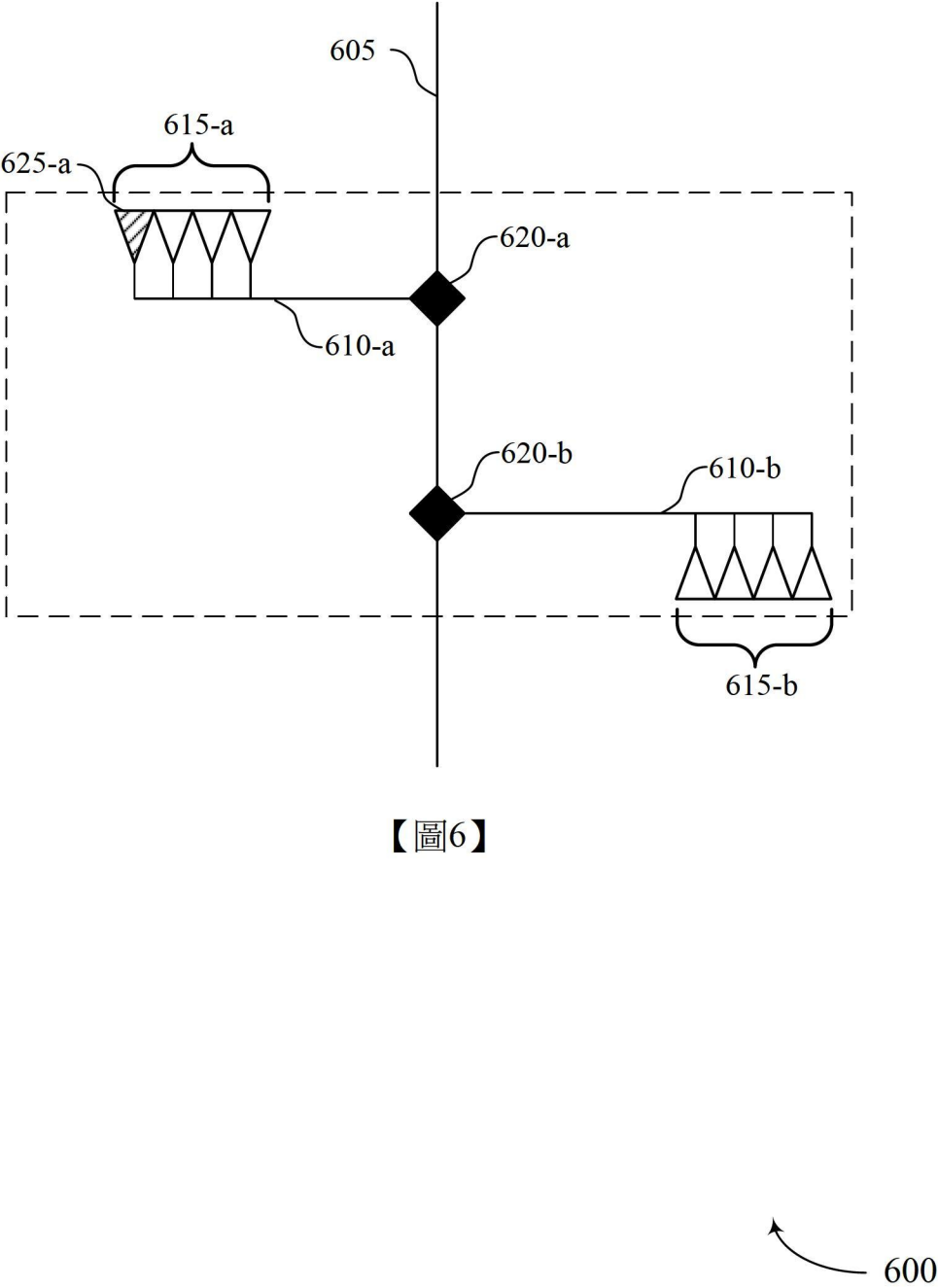


【圖4】

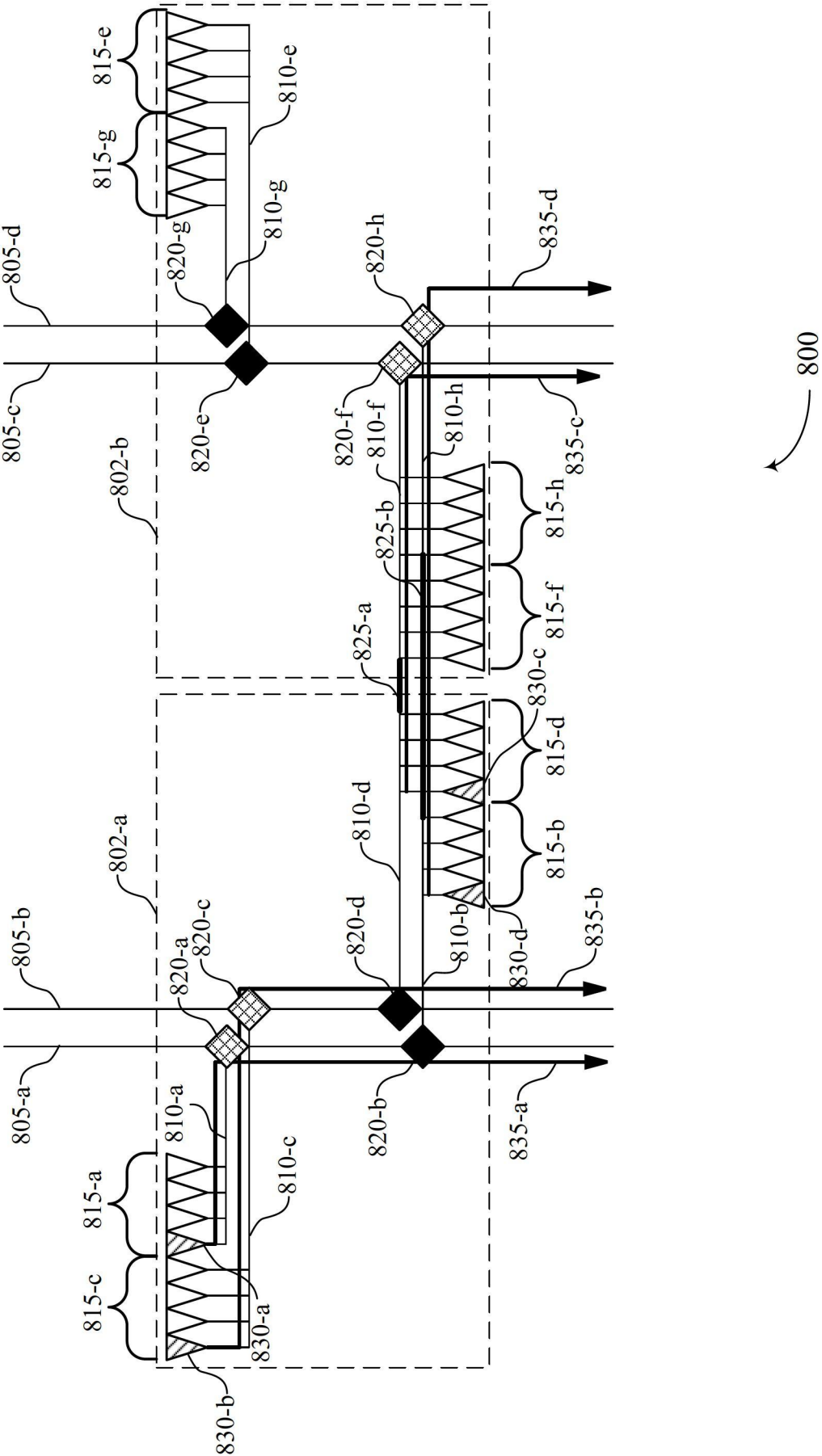


【圖5】

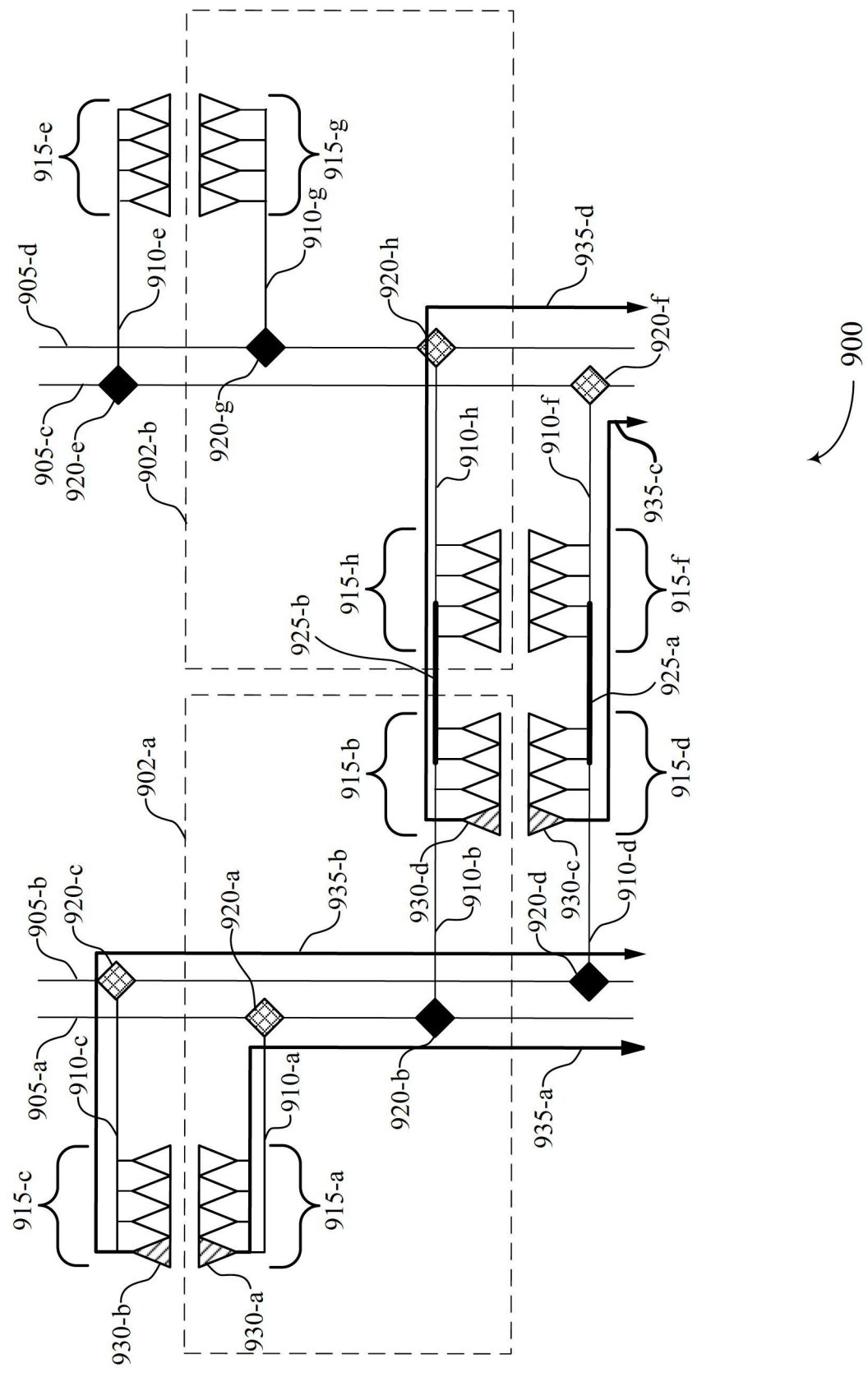
500







【圖8】



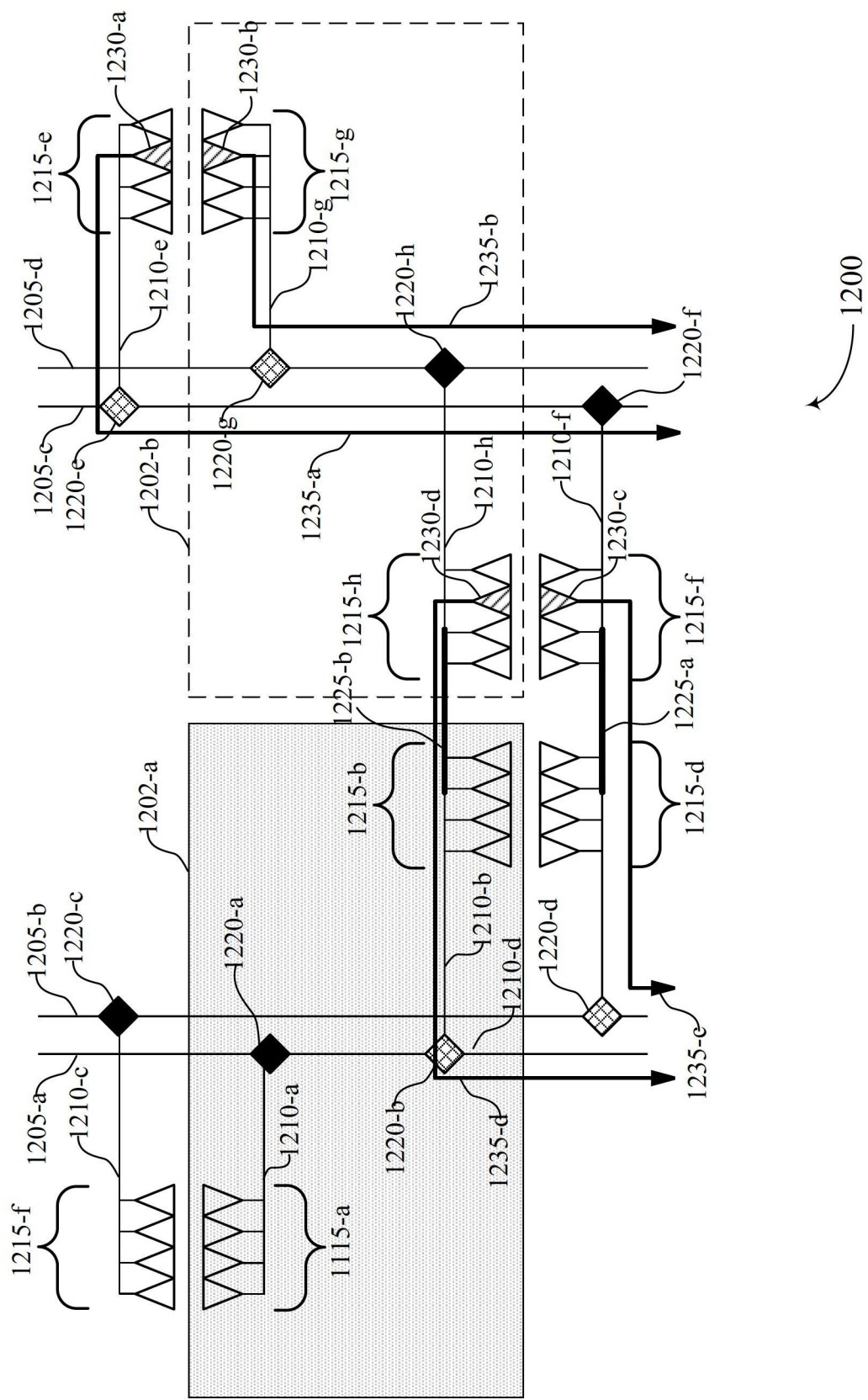
【圖9】



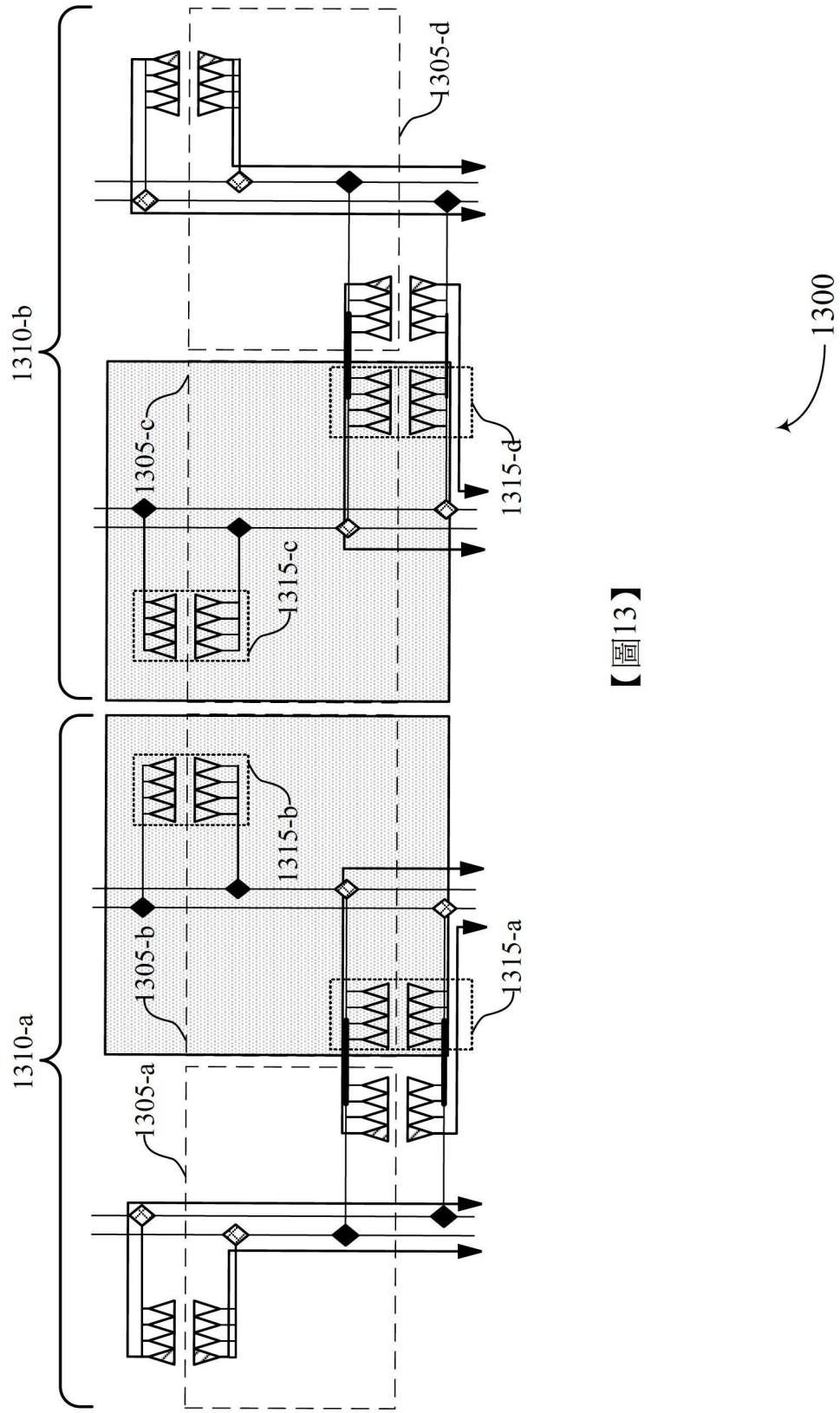
【圖10】



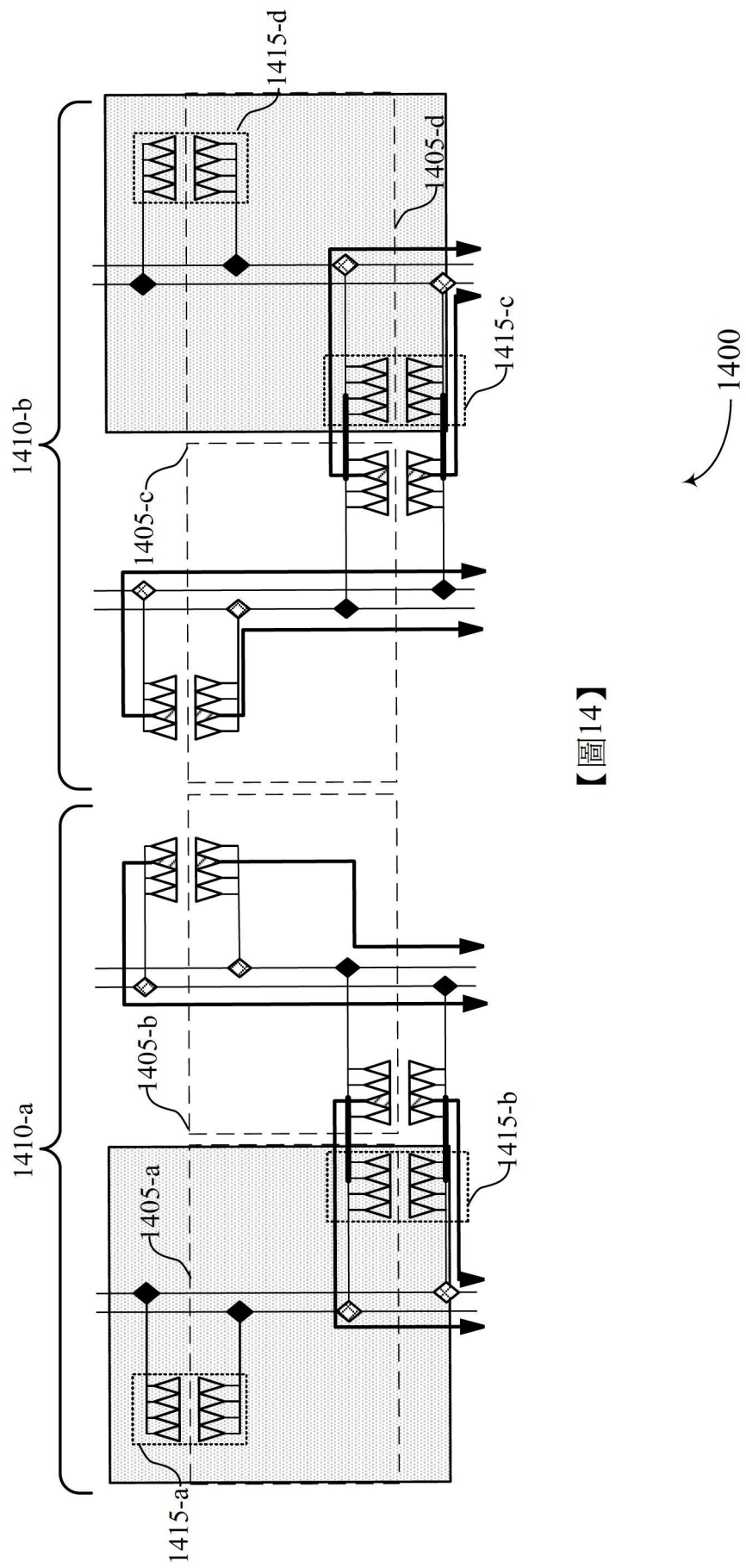
【11回】



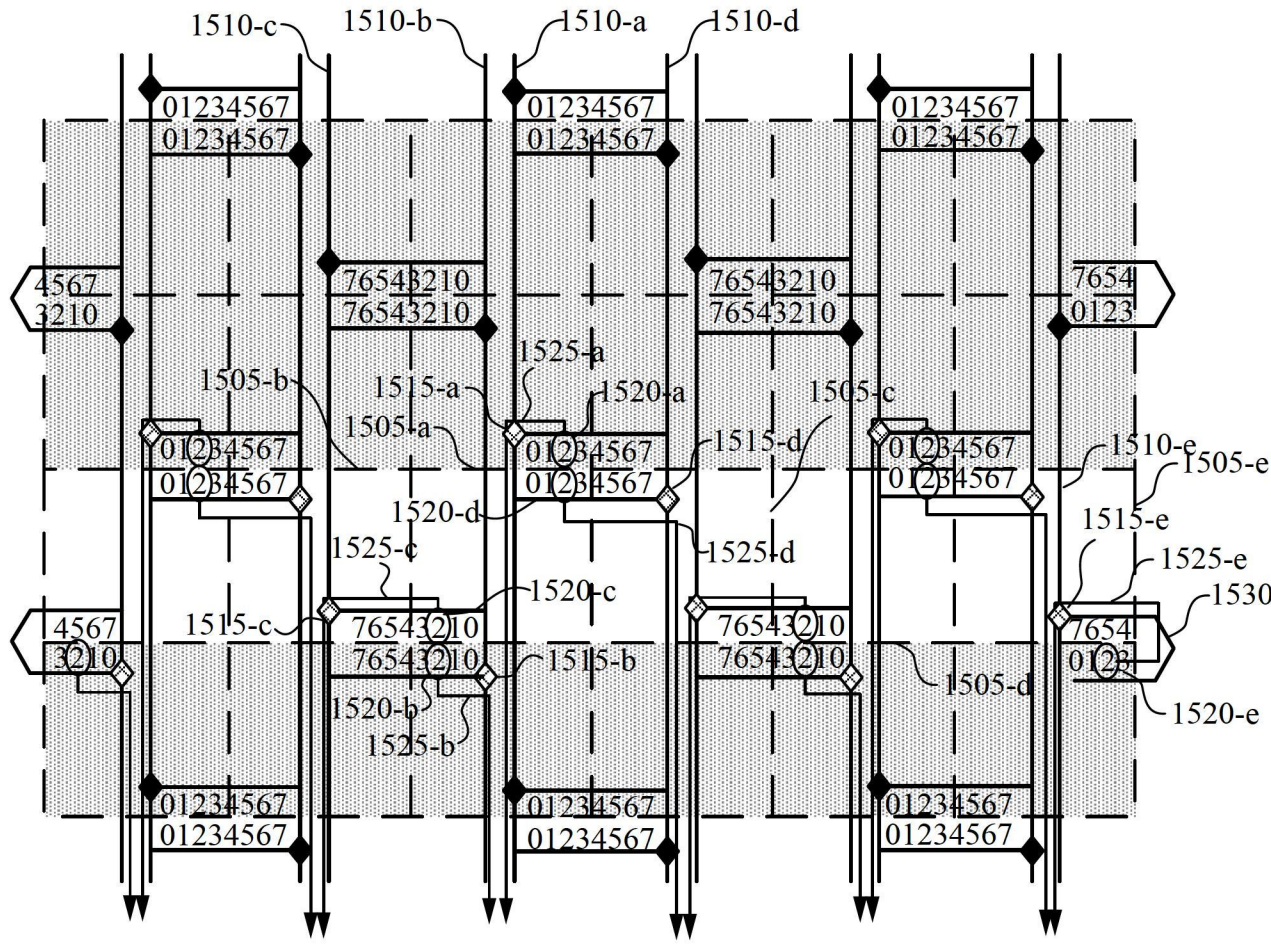
【圖12】



【圖13】

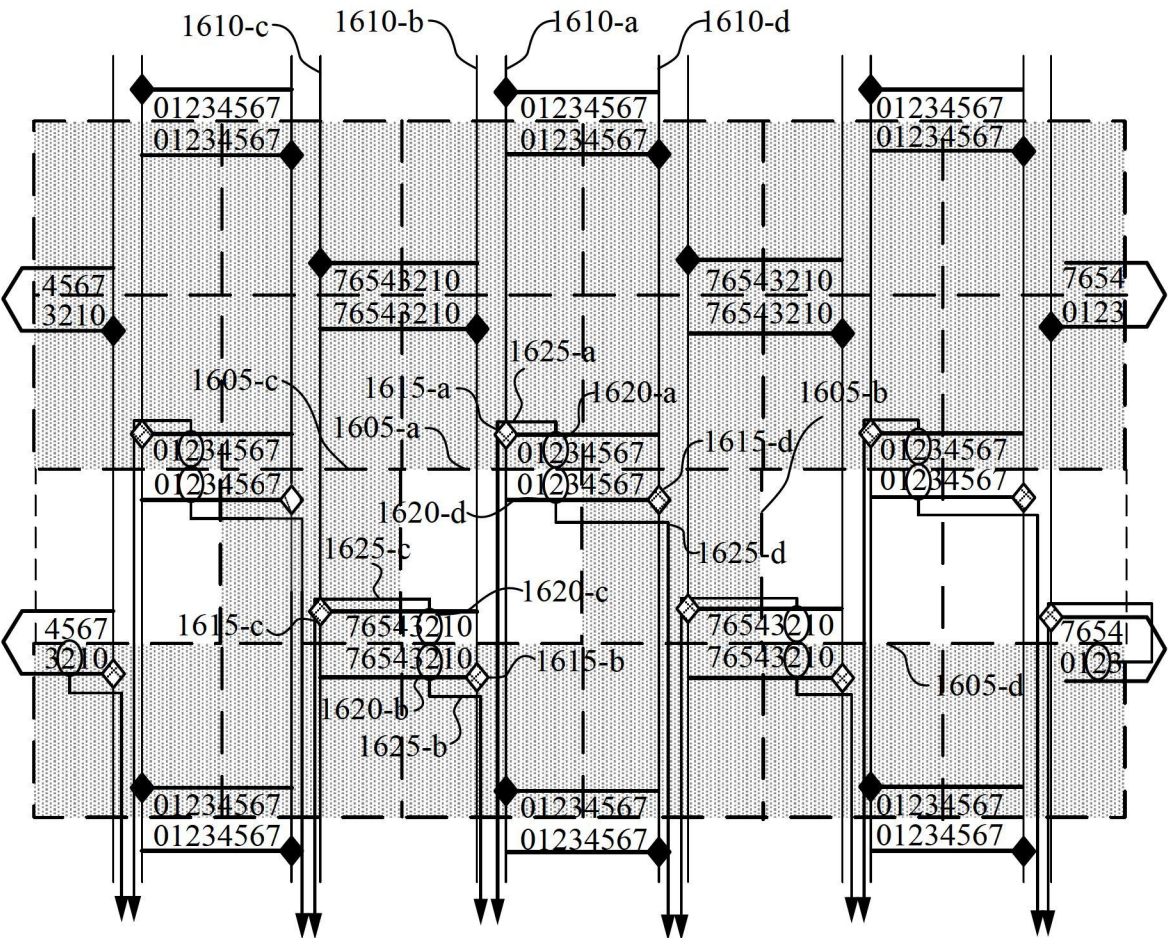


【圖 14】



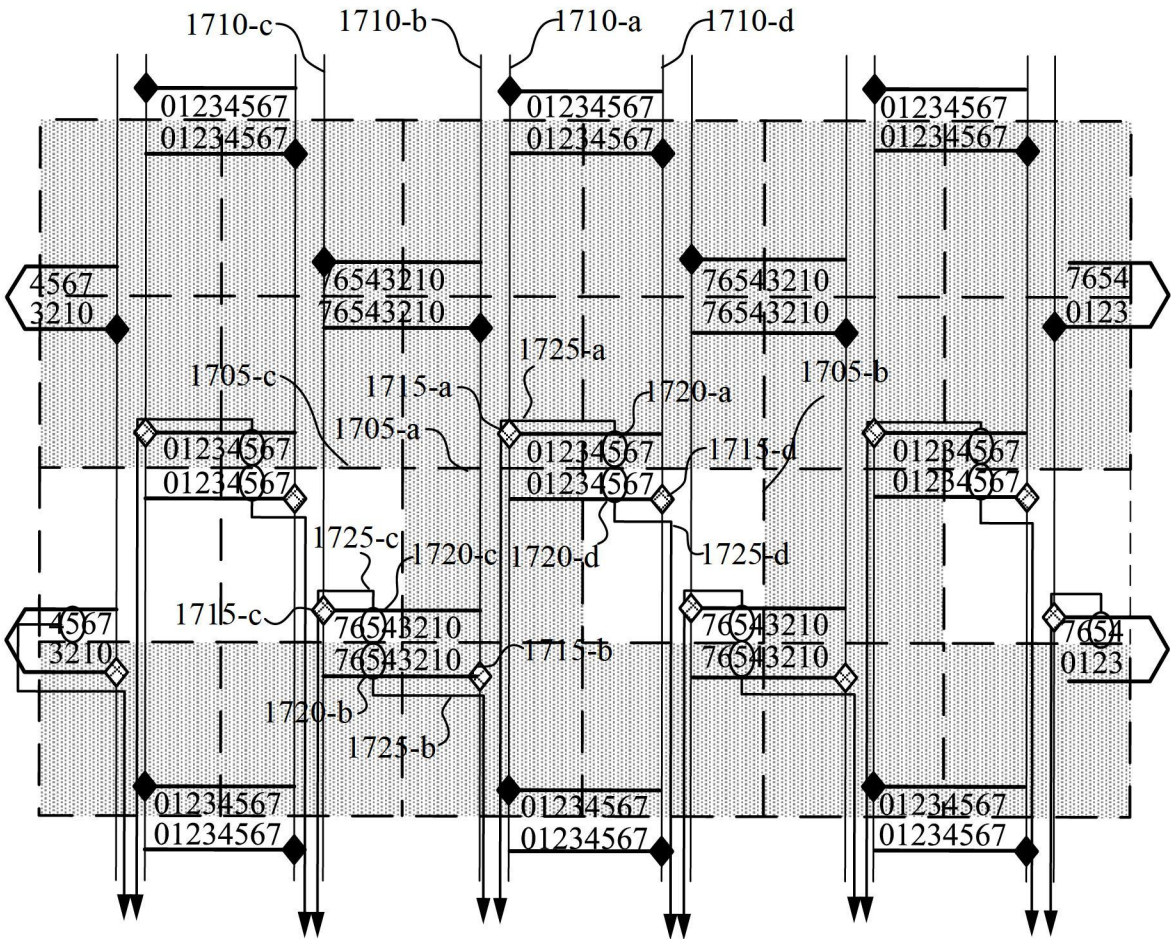
【圖15】

1500

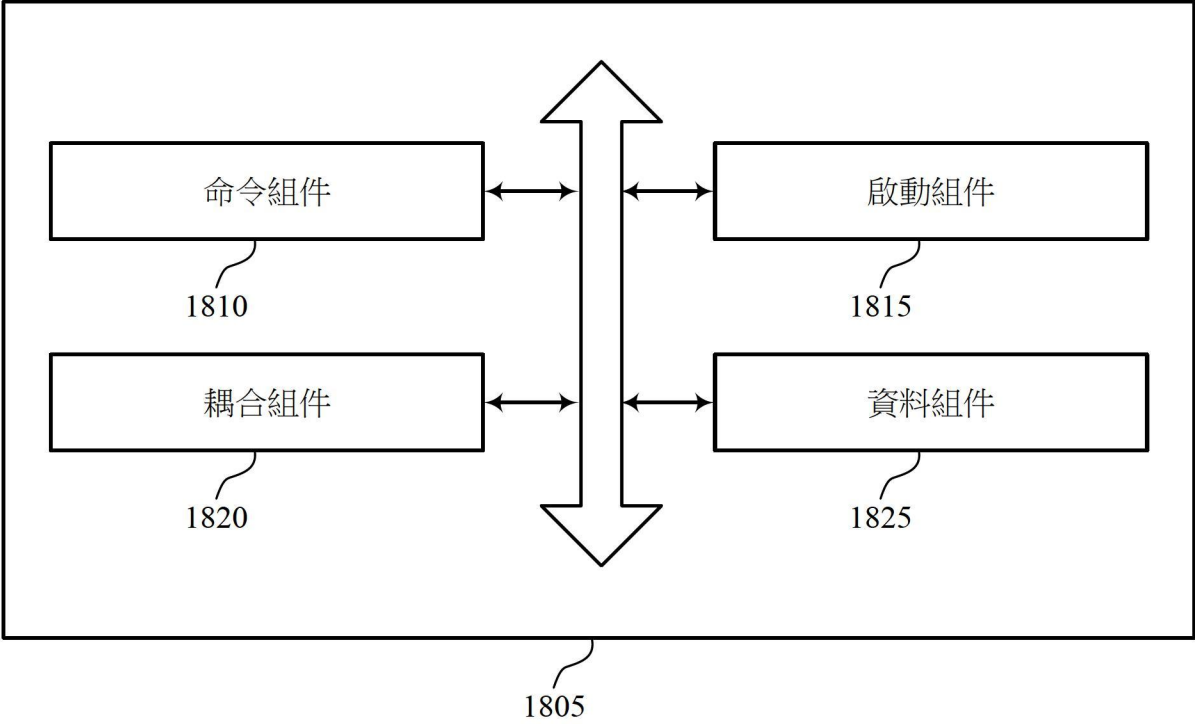


【圖16】

1600

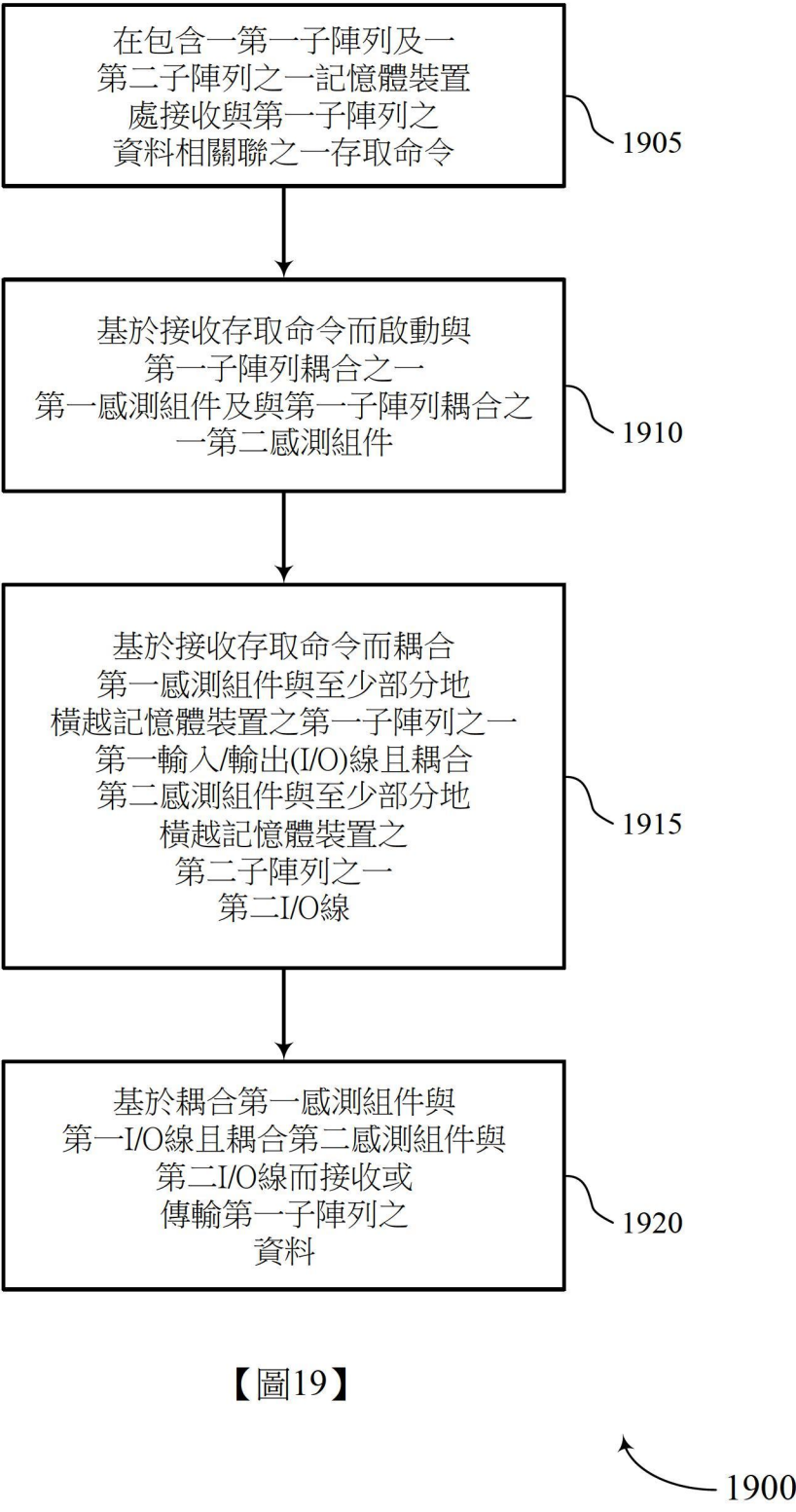


【圖17】



【圖18】

1800



【圖19】