

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年9月27日 (27.09.2007)

PCT

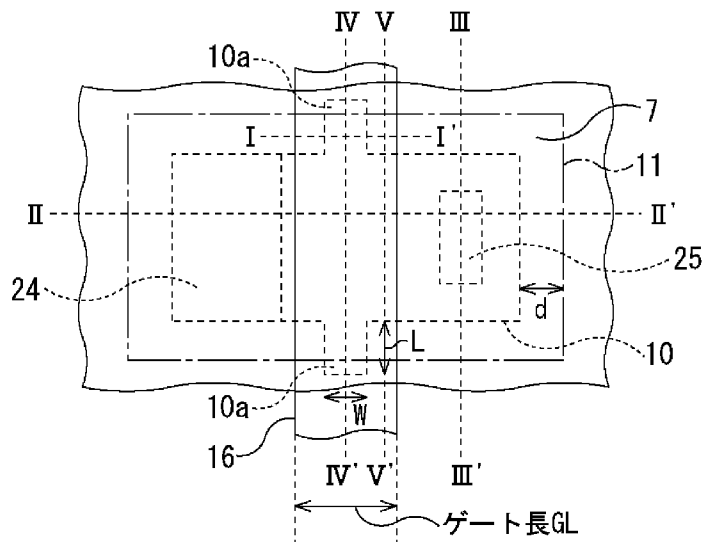
(10) 国際公開番号  
WO 2007/108104 A1

- (51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2006/305596
- (22) 国際出願日: 2006年3月20日 (20.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 刀禰 早千重
- (74) 代理人: 國分孝悦 (KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 池袋TGMホーメストビル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS FABRICATION PROCESS

(54) 発明の名称: 半導体装置及びその製造方法



GL GATE LENGTH

(57) Abstract: An STI isolation structure (7) is recessed under a gate electrode (16) such that an element region (10) has a pair of protrusions (10a) protruding outward from a portion under the gate electrode (16). On the surface layer of the protrusion (10a), a surface layer conductive region is formed by introducing impurities having a conductivity type opposite to that of a source region (24) and a drain region (25), e.g. a channel doze region (22) is formed on the surface layer of a silicon element region (10) including the protrusion (10a) under the gate electrode (16). With such an arrangement, variation and degradation in transistor characteristics are suppressed regardless of the process for fabricating the isolation structure and its process position, and a high breakdown voltage is achieved relatively easily and surely.

(57) 要約: STI素子分離構造(7)は、素子領域(10)がゲート電極(16)下の部分において外方へ向かって突出する一対の突出部(10a)を有す

[続葉有]



WO 2007/108104 A1



LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

るように、ゲート電極 (16) 下の部分で凹形状に形成されている。突出部 (10a) の表層に、例えばソース領域 (24) 及びドレイン領域 (25) と反対導電型の不純物を導入して表層導電領域、例えばゲート電極 (16) 下における突出部 (10a) を含むシリコン素子領域 (10) の表層にチャネルドーズ領域 (22) が形成されている。この構成により、素子分離構造の形成方法及びその工程位置に依らずにトランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する。

## 明 細 書

### 半導体装置及びその製造方法

#### 技術分野

[0001] 本発明は、高耐圧を要求される半導体装置及びその製造方法に関し、特に少なくともドレインがオフセット構造を有するトランジスタ構造の半導体装置を対象とする。

#### 背景技術

[0002] 近年、有機EL、LCD、PDP、MEMS等に代表されるディスプレイ等に使用される表示素子や、プリンタの各種ドライバ及びDCコンバータ等として使用される半導体素子において、高い耐圧が要求されている。

[0003] 高耐圧の半導体素子として、MOSトランジスタを例示して説明する。

図22及び図23A～図23Dは、従来の高耐圧のMOSトランジスタを示す概略図である。ここで、図22が平面図であり、図23Aが図22の破線I-I'に沿った断面図、図23Bが図22の破線II-II'に沿った断面図、図23Cが図22の破線III-III'に沿った断面図、図23Dが図22の破線IV-IV'に沿った断面図である。

[0004] このMOSトランジスタでは、半導体基板100上に素子分離構造、ここではフィールド酸化膜102がLOCOS法により形成されて矩形の素子領域103が画定される。ここで、半導体基板100の表層において、素子領域103を含むようにウェル101が形成されている。

[0005] 更に、素子領域103を横切るように、帯状のゲート電極105が素子領域103上でゲート絶縁膜104を介してパターン形成され、ゲート電極105の両側面にはサイドウォール絶縁膜111が形成されており、ゲート電極105の両側における素子領域103の表層には、不純物が低濃度に導入されてなる一対のLDD領域106が形成され、LDD領域106と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース領域107及びドレイン領域108が形成されている。

[0006] また、半導体基板100のフィールド酸化膜102の直下には、フィールド酸化膜102を介して隣接する半導体素子との間で不純物領域間の電荷流出を防止するため、ソース領域107及びドレイン領域108と反対導電型の不純物が導入されてなるチャネ

ルストップ領域109が形成されている。

[0007] ここで、ドレイン領域108は、当該MOSトランジスタの高耐圧を確保するため、LDD領域106の端部から所定距離だけオフセットされるように形成されている。このオフセットに伴い、チャンネルストップ領域109もLDD領域106の端部から所定距離だけ離間させ、高耐圧を確保している。

[0008] 特許文献1:特開平6-216380号公報  
特許文献2:特開2004-207499号公報

#### 発明の開示

[0009] 従来の高耐圧のMOSトランジスタにおいて、チャンネルストップ領域109を形成する場合、図22に示すように、素子領域103を当該素子領域103よりも広く、その端部から一定距離離れたところまでレジストマスク110で覆った状態で、半導体基板100にイオン注入する。従って、図23A及び図23Dに示すように、ゲート電極105下における素子領域103の端部とレジストマスク110(チャンネルストップ領域109の形成後に除去される)の端部との間の領域103a下では、フィールド酸化膜102を介した半導体基板100にはウェル101のみが存在する状態となる。

[0010] この場合、電子の通路となる部分では不純物濃度の低い状態であるため、当該MOSトランジスタに高電圧を印加することにより耐圧の劣化を招く。この耐圧劣化に起因して、図24に示すように、ドレイン電圧に対するドレイン電流特性においていわゆるハンプが発生し、MOSトランジスタの閾値電圧が本来要求される値に比べて低下するという問題が生じる。

[0011] この問題に対処すべく、特許文献1, 2に示すように、図22における素子領域103の領域103aに相当する部位に、ウェルよりも不純物濃度が高い不純物領域を形成するための対策が提案されている。

[0012] 特許文献1では、素子領域において、ソース/ドレイン領域を囲むようにこれらと反対導電型の不純物を導入してなる矩形リング状の不純物領域を設けるMOSトランジスタの構成が開示されている。しかしながらこの技術では、ゲート電極のゲート幅に相当する部分とチャンネルストップ領域とが重なるため、トランジスタ特性の劣化を来すことになる。

- [0013] 特許文献2では、チャンネルストップ領域を形成するときのレジストマスクを、図22における素子領域103の領域103aに相当する部分を露出するように凹状に形成する。このレジストマスクを用いて不純物を導入することにより、領域103aに相当する部分の素子分離構造下にもチャンネルストップ領域を形成することができる。
- [0014] 特許文献2の技術によれば、図24に示したハンプについては改善される。しかしながら、素子分離構造の形成後にチャンネルストップ領域を形成するためのイオン注入を行う場合には、素子分離構造を透過し、その底部付近に不純物濃度のピークが位置するように高い加速エネルギーで注入する必要がある。結果として、ゲート電極のゲート幅に相当する部分の下部に不純物濃度の高い領域が形成されてしまう。この高不純物濃度の領域の存在により、トランジスタ特性に変動を来すことになる。当該領域の形成形態は製造ばらつきにより不安定であり、トランジスタ特性の変動を制御することができないという問題がある。
- [0015] この場合、安定したトランジスタ特性を得るためには、素子分離構造の形成法をLOCOS法に限定し、フィールド酸化膜を形成する際の耐酸化膜のパターンがあり、且つフィールド酸化を行う前にチャンネルストップ領域を形成する必要があった。
- [0016] このように、高耐圧のMOSTランジスタを実現するための従来の技術では、トランジスタ特性に変動劣化を制御抑制することが困難であり、素子分離構造の選択及びその形成工程の位置を限定しなければならないという問題がある。
- [0017] 本発明は、上記の問題に鑑みてなされたものであり、素子分離構造の形成方法及びその工程位置に依らずにトランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高い半導体装置及びその製造方法を提供することを目的とする。
- [0018] 本発明の半導体装置は、半導体基板表面の素子分離領域に形成されて、当該半導体基板上で素子領域を画定する素子分離構造と、前記素子領域を横切るように形成されたゲート電極と、前記ゲート電極の両側における前記素子領域に不純物が導入されてなる一対の導電領域とを含み、前記各導電領域は、それぞれ低濃度領域と当該低濃度領域よりも不純物濃度の高い高不純物領域とが重畳されてなり、前記各導電領域の少なくとも一方は、前記高不純物領域が前記低濃度領域内で当該低濃

度領域の端部からオフセットされた状態に形成されており、前記素子分離構造は、前記素子領域が前記ゲート電極下の部分においてゲート長よりも狭幅で外方へ向かって突出する突出部を有するように、前記ゲート電極下の部分で凹形状に形成され、前記突出部の表層に、前記導電領域とは反対導電型の不純物が導入されてなる表層導電領域が形成されている。

[0019] 本発明の半導体装置の製造方法は、半導体基板表面の素子分離領域に、当該半導体基板上で素子領域を画定する素子分離構造を形成する工程と、前記素子領域を横切るようにゲート電極を形成する工程と、前記ゲート電極の両側における前記素子領域に不純物を導入し、一对の導電領域を形成する工程とを含み、前記各導電領域を、それぞれ低濃度領域と当該低濃度領域よりも不純物濃度の高い高不純物領域とが重畳されてなり、前記各導電領域の少なくとも一方は、前記高不純物領域が前記低濃度領域内で当該低濃度領域の端部からオフセットされた状態に形成し、前記素子分離構造を、前記素子領域が前記ゲート電極下の部分においてゲート長よりも狭幅で外方へ向かって突出する突出部を有するように、前記ゲート電極下の部分で凹形状に形成し、前記突出部の表層に、前記導電領域とは反対導電型の不純物を導入して表層導電領域を形成する。

#### 図面の簡単な説明

[0020] [図1]図1は、第1の実施形態による高耐圧のMOSトランジスタの構成を示す概略平面図である。

[図2A]図2Aは、図1の破線I-I'に沿った概略断面図である。

[図2B]図2Bは、図1の破線II-II'に沿った概略断面図である。

[図2C]図2Cは、図1の破線III-III'に沿った概略断面図である。

[図2D]図2Dは、図1の破線IV-IV'に沿った概略断面図である。

[図2E]図2Eは、図1の破線V-V'に沿った概略断面図である。

[図3A]図3Aは、第1の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図3B]図3Bは、第1の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図3C]図3Cは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図3D]図3Dは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図4A]図4Aは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図4B]図4Bは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図4C]図4Cは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図5A]図5Aは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図5B-1]図5B-1は、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図5B-2]図5B-2は、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図6A]図6Aは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図6B]図6Bは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図6C]図6Cは、第1の実施形態による高耐压のMOSトランジスタの製造方法を示す概略断面図である。

[図7]図7は、第2の実施形態による高耐压のMOSトランジスタの構成を示す概略平面図である。

[図8A]図8Aは、図7の破線I-I'に沿った概略断面図である。

[図8B]図8Bは、図7の破線II-II'に沿った概略断面図である。

[図8C]図8Cは、図7の破線III-III'に沿った概略断面図である。

[図8D]図8Dは、図7の破線IV-IV'に沿った概略断面図である。

[図9A]図9Aは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図9B]図9Bは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図9C]図9Cは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図10A]図10Aは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図10B-1]図10B-1は、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図10B-2]図10B-2は、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図11A]図11Aは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図11B]図11Bは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図11C]図11Cは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図12A]図12Aは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図12B]図12Bは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図12C]図12Cは、第2の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図13]図13は、第3の実施形態による高耐圧のMOSトランジスタの構成を示す概略平面図である。

[図14A]図14Aは、図13の破線I-I'に沿った概略断面図である。

[図14B]図14Bは、図13の破線II-II'に沿った概略断面図である。

[図14C]図14Cは、図13の破線III－III'に沿った概略断面図である。

[図14D]図14Dは、図13の破線IV－IV'に沿った概略断面図である。

[図14E]図14Eは、図13の破線V－V'に沿った概略断面図である。

[図15A]図15Aは、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図15B]図15Bは、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図15C]図15Cは、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図15D]図15Dは、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図16A-1]図16A-1は、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図16A-2]図16A-2は、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図16B-1]図16B-1は、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図16B-2]図16B-2は、第3の実施形態による高耐圧のMOSトランジスタの製造方法を示す概略断面図である。

[図17]図17は、第4の実施形態による高耐圧のMOSトランジスタの構成を示す概略平面図である。

[図18A]図18Aは、図17の破線I－I'に沿った概略断面図である。

[図18B]図18Bは、図17の破線II－II'に沿った概略断面図である。

[図18C]図18Cは、図17の破線III－III'に沿った概略断面図である。

[図18D]図18Dは、図17の破線IV－IV'に沿った概略断面図である。

[図19]図19は、第4の実施形態による高耐圧のMOSトランジスタの構成における他の例を示す概略平面図である。

[図20]図20は、第5の実施形態による高耐圧のMOSトランジスタの構成を示す概略

平面図である。

[図21A]図21Aは、図20の破線I-I'に沿った概略断面図である。

[図21B]図21Bは、図20の破線II-II'に沿った概略断面図である。

[図22]図22は、従来の実施形態による高耐圧のMOSトランジスタの構成を示す概略平面図である。

[図23A]図23Aは、図22の破線I-I'に沿った概略断面図である。

[図23B]図23Bは、図22の破線II-II'に沿った概略断面図である。

[図23C]図23Cは、図22の破線III-III'に沿った概略断面図である。

[図23D]図23Dは、図22の破線IV-IV'に沿った概略断面図である。

[図24]図24は、ゲート電極とドレイン電流との関係を示す特性図である。

### 発明を実施するための最良の形態

[0021] 一本発明の基本骨子—

本発明者は、素子分離構造の形成方法及びその工程位置に依らずにトランジスタ特性の変動劣化を抑止すべく鋭意検討を重ねた結果、以下の主要構成に想到した。即ち、素子分離構造を、素子領域がゲート電極下の部分においてゲート長よりも狭幅で外方へ向かって突出する突出部を有するように、ゲート電極下の部分で凹形状に形成する。そして、突出部の表層に、例えばソース/ドレイン領域となる導電領域と反対導電型の不純物を導入して表層導電領域を形成する。

[0022] 本発明では、素子領域におけるゲート電極下の部分について、少なくとも突出部に表層導電領域を形成することにより、十分な閾値電圧を確保することができる。その一方で、突出部はゲート長よりも幅狭に形成されているため、素子領域の一部ではあるが活性領域としては機能しない。そのため、素子分離構造下にチャンネルストップ領域を形成し、このチャンネルストップ領域の端部が素子分離構造の端部から突き出たとしても、ゲート電極のゲート幅に相当する部分の下部にはチャンネルストップ領域は存することなく(チャンネルストップ領域の端部がゲート幅に相当する部分に達することなく)、ゲート電極のゲート幅に相当する部分とチャンネルストップ領域の端部とは離間した状態で保たれる。従って、トランジスタ特性の変動劣化が抑止され、安定した十分なトランジスタ特性を得ることができる。

[0023] 一本発明を適用した具体的な緒実施形態—

以下、本発明を高耐圧のMOSトランジスタ、ここではN型のMOSトランジスタに適用した適用した具体的な緒実施形態について、図面を参照しながら詳細に説明する。

[0024] [第1の実施形態]

(MOSトランジスタの構成)

図1及び図2A～図2Eは、第1の実施形態による高耐圧のMOSトランジスタの構成を示す概略図である。ここで、図1が平面図であり、図2Aが図1の破線I-I'に沿った断面図、図2Bが図1の破線II-II'に沿った断面図、図2Cが図1の破線III-III'に沿った断面図、図2Dが図1の破線IV-IV'に沿った断面図、図2Eが図1の破線V-V'に沿った断面図である。

[0025] このMOSトランジスタでは、シリコン半導体基板1上に素子分離構造、ここではSTI (Shallow

Trench Isolation) 法によるSTI素子分離構造7が形成され、半導体基板1上で素子領域10が画定される。ここで、半導体基板1の表層において、素子領域10を含むようにウェル21が形成されている。

[0026] 更に、素子領域10を横切るように、帯状のゲート電極16が素子領域10上でゲート絶縁膜14を介してパターン形成され、ゲート電極16の両側面にはサイドウォール絶縁膜18が形成されており、ゲート電極16の両側における素子領域10の表層には、不純物が低濃度に導入されてなる一対のLDD領域19が形成され、LDD領域19と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース領域24及びドレイン領域25が形成されている。

[0027] また、半導体基板1のSTI素子分離構造7の直下には、STI素子分離構造7を介して隣接するMOSトランジスタ等との間で不純物領域間の電荷流出を防止するため、ソース領域24及びドレイン領域25と反対導電型の不純物が導入されてなるチャンネルストップ領域23が形成されている。

[0028] ここで、ドレイン領域25は、当該MOSトランジスタの高耐圧を確保するため、LDD領域19の端部から所定距離だけオフセットされるように形成されている。このオフセッ

トに伴い、チャンネルストップ領域23もLDD領域19の端部から所定距離だけ離間させ、高耐圧を確保している。

[0029] 本実施形態において、STI素子分離構造7は、素子領域10がゲート電極16下の部分において外方へ向かって突出する一对の突出部10aを有するように、ゲート電極16下の部分で凹形状に形成されている。

[0030] 突出部10aは、その幅 $W$ が、ゲート電極16のゲート長 $G_L$ よりも狭幅で且つ所期の形状に形成できる寸法以上(即ち、使用するプロセスのテクノロジーで許容できる最小寸法(例えば $0.18\mu\text{m}$ )以上)とされている。また、その長さ $L$ が、少なくとも素子領域10と後述するチャンネルストップ領域23を形成するためのレジストマスク11との距離 $d$ 以上であり、素子領域10の形成用のパターンとゲート電極16の形成用のパターンとの位置合わせ精度を満たすように余裕を見込んだ寸法、例えば $0.6\mu\text{m}$ 以上とされている。

[0031] そして、突出部10aの表層に、例えばソース領域24及びドレイン領域25と反対導電型の不純物を導入して表層導電領域が形成されている。本実施形態では、この表層導電領域として、ゲート電極16下における突出部10aを含むシリコン素子領域10の表層にチャンネルドーズ領域22が形成されている。

[0032] 本実施形態では、ゲート電極16下におけるウェル21内にチャンネルドーズ領域22を形成することにより、十分な閾値電圧を確保することができる。その一方で、図1に示すように、突出部10aはゲート長よりも幅狭に形成されているため、素子領域10の一部ではあるが活性領域としては機能しない。そのため、図2Dに示すように、STI素子分離構造7下に形成されたチャンネルストップ領域23について、このチャンネルストップ領域23の端部がSTI素子分離構造7の端部から突き出たとしても、ゲート電極16のゲート幅 $G_w$ に相当する部分の下部にはチャンネルストップ領域23は存することなく(チャンネルストップ領域23の端部がゲート幅 $G_w$ に相当する部分に達することなく)、ゲート電極16のゲート幅 $G_w$ に相当する部分とチャンネルストップ領域23の端部とは離間した状態で保たれる。従って、このMOSTランジスタによれば、ランジスタ特性の変動劣化が抑止され、安定した十分なランジスタ特性を得ることができる。

[0033] (MOSTランジスタの製造方法)

図3A～図6Cは、本実施形態による高耐圧のMOSトランジスタの製造方法を工程順に示す概略断面図である。ここで、図3A～図6Cのうち、図5B-2を除く各図が図1の破線II-II'に沿った断面図、図5B-2が図1の破線IV-IV'に沿った断面図に対応する。

[0034] 先ず、図3Aに示すように、シリコン半導体基板1上に絶縁膜2を介して耐酸化材料膜3を形成する。

詳細には、半導体基板1の表面に熱酸化法により膜厚30nm程度の絶縁膜2を形成した後、耐酸化材料、例えば窒化シリコンをCVD法により堆積し、膜厚100nm程度の耐酸化材料膜3を形成する。

[0035] 続いて、図3Bに示すように、素子分離領域に分離溝4を形成する。

詳細には、先ず、耐酸化材料膜3及び絶縁膜2を、半導体基板1の素子領域10となる部分を覆って素子分離領域が露出するように、リソグラフィ及びドライエッチングによりパターニングする。

[0036] そして、パターニングされた耐酸化材料膜3及び絶縁膜2又は上記のパターニングで使用した不図示のレジストをマスクとして、半導体基板1を深さ200nm～500nm程度にドライエッチングし、半導体基板1の素子分離領域に分離溝4を形成する。ここで、分離溝4は、図1のように平面視した場合、素子領域10がゲート電極16の形成部位下において外方へ向かって突出する一对の突出部10aを有するように、ゲート電極16の形成部位下で凹形状に形成される。

[0037] 続いて、図3Cに示すように、分離溝4の内壁に絶縁膜5を形成した後、全面に絶縁物6を堆積する。

詳細には、先ず、分離溝4の内壁面をウェット酸化し、膜厚20nm程度の絶縁膜5を形成する。

そして、分離溝4を埋め込む厚みに、半導体基板1の全面に絶縁物6、ここではシリコン酸化膜を膜厚300nm～800nm程度にCVD法により堆積する。

[0038] 続いて、図3Dに示すように、STI素子分離構造7を形成する。

詳細には、耐酸化材料膜3を研磨ストッパーとして用いて、絶縁物6をCMP (Chemical

Mechanical Polishing) 法により研磨して平坦化する。そして、残存した耐酸化材料膜3及び絶縁膜2を除去することにより、分離溝4を絶縁物6で充填するSTI素子分離構造7を形成する。このSTI素子分離構造7により、半導体基板1上で素子領域10が画定される。ここで、STI素子分離構造7は、図1のように平面視した場合、素子領域10がゲート電極16の形成部位下において外方へ向かって突出する一对の突出部10aを有するように、ゲート電極16の形成部位下で凹形状に形成される。その後、熱酸化法により半導体基板1上に再び絶縁膜2を形成する。

[0039] 続いて、図4Aに示すように、半導体基板1にウェルを形成するための不純物を導入する。

詳細には、先ず、半導体基板1上の素子領域10及びその周辺のSTI素子分離構造7の一部を露出させるように、レジストマスク8を形成する。そして、レジストマスク8を用いて、レジストマスク8から露出する部分の下部に相当する半導体基板1内に、P型不純物、ここではホウ素( $B^+$ )をイオン注入する。イオン注入の条件としては、加速エネルギーを200keV~500keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域9が形成される。レジストマスク8は、灰化处理等により除去される。

[0040] 続いて、図4Bに示すように、半導体基板1にチャネルストップ領域を形成するための不純物を導入する。

詳細には、先ず、素子領域10の全面、及びSTI素子分離構造7上で素子領域10と所定距離だけ離間して当該素子領域10を囲むように、レジストマスク11を形成する。このレジストマスク11により、STI素子分離構造7上でリング状の部分が露出することになる。そして、レジストマスク11を用いて、レジストマスク11から露出する部分の下部に相当する半導体基板1内に、P型不純物、ここではホウ素( $B^+$ )をイオン注入する。イオン注入の条件としては、加速エネルギーを70keV~180keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ とする。このイオン注入により、レジストマスク11の開口部分でSTI素子分離構造7の直下の部分にP型不純物領域12が形成される。レジストマスク11は、灰化处理等により除去される。

[0041] 続いて、図4Cに示すように、半導体基板1にチャネルドーズ領域を形成するための

不純物を導入する。

詳細には、先ず、素子領域10のゲート電極16の形成部位を露出させるように、レジストマスク26を形成する。そして、レジストマスク26を用いて、レジストマスク26から露出する部分の下部に相当する半導体基板1の表層(ここでは表面近傍)に、P型不純物、ここではホウ素( $B^+$ )をイオン注入する。イオン注入の条件としては、加速エネルギーを10keV~50keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域13が形成される。レジストマスク26は、灰化处理等により除去される。

[0042] 続いて、図5Aに示すように、アニール処理によりウェル21、チャンネルドーズ領域22及びチャンネルストップ領域23を形成した後、ゲート絶縁膜14及びゲート電極材料膜15を形成する。

詳細には、先ず、例えば1100°C~1200°Cで0.5時間~9時間程度のアニール処理を実行し、半導体基板1内にイオン注入されたP型不純物領域9, 12, 13を活性化する。このアニール処理により、ウェル21、チャンネルドーズ領域22及びチャンネルストップ領域23を形成する。

[0043] そして、絶縁膜2をウェット処理等により除去した後、熱酸化により素子領域10にゲート絶縁膜14を膜厚20nm程度に形成する。その後、CVD法により全面にゲート電極材料膜15、ここでは多結晶シリコン膜を膜厚300nm程度に堆積する。

[0044] 続いて、図5B-1及び図5B-2に示すように、ゲート電極16をパターン形成する。

詳細には、ゲート電極材料膜15をリソグラフィ及びドライエッチングにより電極形状にパターニングし、ゲート電極16を形成する。ここで、ゲート電極16は、下部にチャンネルドーズ領域22が存し、素子領域の突出部10aを下部に含むようにパターン形成される。

[0045] 続いて、図6Aに示すように、一对のLDD領域となる不純物を導入する。

詳細には、素子領域10及びSTI素子分離構造7の一部を露出させるレジストマスク27を形成し、このレジストマスク27を用いて、素子領域10におけるゲート電極16の両側の部分にN型不純物、ここではリン( $P^+$ )をイオン注入する。イオン注入の条件としては、加速エネルギーを70keV~150keV、ドーズ量を $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{13}$

／ $\text{cm}^2$ とする。このイオン注入により、N型不純物領域17が形成される。レジストマスク27は灰化処理等により除去される。

[0046] 続いて、図6Bに示すように、アニール処理により一对のLDD領域19を形成した後、ゲート電極16の両側面にサイドウォール絶縁膜18を形成する。

詳細には、必要に応じて、先ず、例えば $900^{\circ}\text{C}$ ～ $1000^{\circ}\text{C}$ で10秒～20秒程度のアニール処理を実行し、N型不純物領域17のリンを活性化する。このアニール処理により、一对のLDD領域19を形成する。

[0047] そして、ゲート電極16を覆うように全面に絶縁物、ここではシリコン酸化膜(不図示)をCVD法により膜厚500nm程度に堆積する。そして、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)し、ゲート電極16の両側面のみシリコン酸化膜を残存させ、サイドウォール絶縁膜18を形成する。

[0048] 続いて、図6Cに示すように、ソース領域24及びドレイン領域25を形成する。

詳細には、先ず、ゲート電極16の一方側(ソース形成領域)における素子領域10の表面のみを露出させるレジストマスク(不図示)を形成し、このレジストマスクを用いてN型不純物、ここでは砒素( $\text{As}^+$ )をイオン注入する。イオン注入の条件としては、LDD領域19よりも高不純物濃度でLDD領域19と重畳されるように、加速エネルギーを $70\text{keV}$ ～ $120\text{keV}$ 、ドーズ量を $1 \times 10^{15} / \text{cm}^2$ ～ $1 \times 10^{16} / \text{cm}^2$ とする。

[0049] 次に、レジストマスクを灰化処理等により除去した後、ゲート電極16の他方側(ドレイン形成領域)における素子領域10の表面のみを露出させるレジストマスク(不図示)を形成し、このレジストマスクを用いてN型不純物、ここでは砒素( $\text{As}^+$ )をイオン注入する。イオン注入の条件としては、LDD領域19よりも高不純物濃度でLDD領域19と重畳されるように、加速エネルギーを $70\text{keV}$ ～ $120\text{keV}$ 、ドーズ量を $1 \times 10^{15} / \text{cm}^2$ ～ $1 \times 10^{16} / \text{cm}^2$ とする。

[0050] 上記のイオン注入の後、例えば $900^{\circ}\text{C}$ ～ $1000^{\circ}\text{C}$ で10秒～20秒程度のアニール処理を実行し、イオン注入されたリンを活性化する。このアニール処理により、ソース領域24及びドレイン領域25をそれぞれ形成する。ここで、ドレイン領域25は、当該MOSトランジスタの高耐圧を確保するため、LDD領域19の端部から所定距離だけオフセットされるように形成される。

- [0051] しかる後、層間絶縁膜やコンタクト孔、ゲート電極16、ソース領域24及びドレイン領域25と接続される各配線等(共に不図示)を順次形成し、本実施形態による高耐圧のN型MOSトランジスタを完成させる。
- [0052] 以上説明したように、本実施形態によれば、トランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高いMOSトランジスタを提供することができる。
- [0053] [第2の実施形態]  
(MOSトランジスタの構成)  
図7及び図8A～図8Dは、第2の実施形態による高耐圧のMOSトランジスタの構成を示す概略図である。ここで、図7が平面図であり、図8Aが図7の破線I-I'に沿った断面図、図8Bが図7の破線II-II'に沿った断面図、図8Cが図7の破線III-III'に沿った断面図、図8Dが図7の破線IV-IV'に沿った断面図である。
- [0054] このMOSトランジスタでは、シリコン半導体基板31上に素子分離構造、ここではLOCOS (LOCAl Oxidation of Silicon) 法によるフィールド酸化膜39が形成され、半導体基板31上で素子領域30が画定される。ここで、半導体基板31の表層において、素子領域30を含むようにウェル41が形成されている。
- [0055] 更に、素子領域30を横切るように、帯状のゲート電極47が素子領域30上でゲート絶縁膜45を介してパターン形成され、ゲート電極47の両側面にはサイドウォール絶縁膜52が形成されており、ゲート電極47の両側における素子領域30の表層には、不純物が低濃度に導入されてなる一対のLDD領域51が形成され、LDD領域51と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース領域53及びドレイン領域54が形成されている。
- [0056] また、半導体基板31のフィールド酸化膜39の直下には、フィールド酸化膜39を介して隣接するMOSトランジスタ等との間で不純物領域間の電荷流出を防止するため、ソース領域53及びドレイン領域54と反対導電型の不純物が導入されてなるチャンネルストップ領域42が形成されている。
- [0057] ここで、ドレイン領域54は、当該MOSトランジスタの高耐圧を確保するため、LDD領域51の端部から所定距離だけオフセットされるように形成されている。このオフセッ

トに伴い、チャンネルストップ領域42もLDD領域51の端部から所定距離だけ離間させ、高耐圧を確保している。

- [0058] 本実施形態において、フィールド酸化膜39は、素子領域30がゲート電極47下の部分において外方へ向かって突出する一对の突出部30aを有するように、ゲート電極47下の部分で凹形状に形成されている。
- [0059] 突出部30aは、その幅 $W$ が、ゲート電極47のゲート長 $G_L$ よりも狭幅で且つ所期の形状に形成できる寸法以上(即ち、使用するプロセスのテクノロジーで許容できる最小寸法(例えば $0.18\mu\text{m}$ )以上)とされている。また、その長さ $L$ が、少なくとも素子領域30と後述するチャンネルストップ領域42を形成するためのレジストマスク36との距離 $d$ 以上であり、素子領域30の形成用のパターンとゲート電極47の形成用のパターンとの位置合わせ精度を満たすように余裕を見込んだ寸法、例えば $0.6\mu\text{m}$ 以上とされている。
- [0060] そして、突出部30aの表層に、例えばソース領域53及びドレイン領域54と反対導電型の不純物を導入して表層導電領域が形成されている。本実施形態では、この表層導電領域として、ゲート電極47下における突出部30aを含むシリコン素子領域30の表層にチャンネルドーズ領域48が形成されている。
- [0061] 本実施形態では、ゲート電極47下におけるウェル41内にチャンネルドーズ領域48を形成することにより、十分な閾値電圧を確保することができる。その一方で、図7に示すように、突出部30aはゲート長よりも幅狭に形成されているため、素子領域30の一部ではあるが活性領域としては機能しない。そのため、図8Dに示すように、フィールド酸化膜39下に形成されたチャンネルストップ領域42について、このチャンネルストップ領域42の端部がフィールド酸化膜39の端部から突き出たとしても、ゲート電極47のゲート幅 $G_w$ に相当する部分の下部にはチャンネルストップ領域42は存することなく(チャンネルストップ領域42の端部がゲート幅 $G_w$ に相当する部分に達することなく)、ゲート電極47のゲート幅 $G_w$ に相当する部分とチャンネルストップ領域42の端部とは離間した状態で保たれる。従って、このMOSTランジスタによれば、ランジスタ特性の変動劣化が抑止され、安定した十分なランジスタ特性を得ることができる。
- [0062] (MOSTランジスタの製造方法)

図9A～図12Cは、本実施形態による高耐圧のMOSトランジスタの製造方法を工程順に示す概略断面図である。ここで、図9A～図12Cのうち、図10B-2を除く各図が図7の破線II-II'に沿った断面図、図10B-2が図7の破線IV-IV'に沿った断面図に対応する。

[0063] 先ず、図9Aに示すように、シリコン半導体基板31上に絶縁膜32を介して耐酸化材料膜33を形成する。

詳細には、半導体基板31の表面に熱酸化法により膜厚30nm程度の絶縁膜32を形成した後、耐酸化材料、例えば窒化シリコンをCVD法により堆積し、膜厚100nm程度の耐酸化材料膜33を形成する。

[0064] 続いて、図9Bに示すように、半導体基板31にウェルを形成するための不純物を導入する。

詳細には、先ず、耐酸化材料膜33を、半導体基板31の素子領域30となる部分を覆うように、リソグラフィー及びドライエッチングによりパターニングする。

[0065] 次に、半導体基板31上の素子領域30及びその周辺のフィールド酸化膜39が形成される領域の一部を露出させるように、レジストマスク34を形成する。そして、レジストマスク34を用いて、耐酸化材料膜33及び絶縁膜32を透過して、レジストマスク34から露出する部分の下部に相当する半導体基板1内に達するように、P型不純物、ここではホウ素(B<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを200keV～500keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域35が形成される。レジストマスク34は、灰化处理等により除去される。

[0066] 続いて、図9Cに示すように、半導体基板31にチャネルストップ領域を形成するための不純物を導入する。

詳細には、先ず、耐酸化材料膜33、及びフィールド酸化膜39の形成部位上で耐酸化材料膜33と所定距離だけ離間して当該耐酸化材料膜33を囲むように、レジストマスク36を形成する。このレジストマスク36により、フィールド酸化膜39の形成部位上でリング状の部分が露出することになる。そして、レジストマスク36を用いて、レジストマスク36から露出する部分の下部に相当する半導体基板31内に、P型不純物、こ

ここではホウ素(B<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを70keV~180keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ とする。このイオン注入により、レジストマスク36の開口部分に整合してP型不純物領域37が形成される。レジストマスク36は、灰化处理等により除去される。

[0067] 続いて、図10Aに示すように、アニール処理によりウェル41及びチャネルドーズ領域42を形成する。

詳細には、例えば1000~1200°Cで0.5~9時間程度のアニール処理を実行し、半導体基板31内にイオン注入されたP型不純物領域35, 37を活性化する。このアニール処理により、ウェル41及びチャネルストップ領域42を形成する。

[0068] 続いて、図10B-1及び図10B-2に示すように、素子分離領域にフィールド酸化膜39を形成する。

詳細には、耐酸化材料膜33をマスクとして用い、絶縁膜32及び半導体基板31をフィールド酸化し、素子分離領域にフィールド酸化膜39を形成する。このフィールド酸化膜39により、半導体基板31上で素子領域30が画定される。ここで、フィールド酸化膜39は、図7のように平面視した場合、素子領域30がゲート電極47の形成部位下において外方へ向かって突出する一对の突出部30aを有するように、ゲート電極47の形成部位下で凹形状に形成される。そして、耐酸化材料膜33及びその下に残存する絶縁膜32をウェット処理等により除去した後、熱酸化法により半導体基板31上に絶縁膜38を形成する。

[0069] 続いて、図11Aに示すように、半導体基板31にチャネルドーズ領域を形成するための不純物を導入する。

詳細には、先ず、素子領域30のゲート電極47の形成部位を露出させるように、レジストマスク43を形成する。そして、レジストマスク43を用いて、レジストマスク43から露出する部分の下部に相当する半導体基板31の表層(ここでは表面近傍)に、P型不純物、ここではホウ素(B<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを10keV~50keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域44が形成される。レジストマスク43は、灰化处理等により除去される。

[0070] 続いて、図11Bに示すように、ゲート絶縁膜45及びゲート電極材料膜46を形成する。

詳細には、絶縁膜38をウェット処理等により除去した後、熱酸化により素子領域30にゲート絶縁膜45を膜厚20nm程度に形成する。また、ゲート絶縁膜形成時のアニール処理によりチャンネルドーズ領域48を形成する。その後、CVD法により全面にゲート電極材料膜46、ここでは多結晶シリコン膜を膜厚300nm程度に堆積する。

[0071] また、例えば900°C～1100°Cで10分～60分程度のゲートのアニール処理により、半導体基板31内にイオン注入されたP型不純物領域44を活性化する。このアニール処理により、チャンネルドーズ領域48を形成する。

[0072] 続いて、図11Cに示すように、ゲート電極47をパターン形成する。詳細には、ゲート電極材料膜46をリソグラフィ及びドライエッチングにより電極形状にパターニングし、ゲート電極47を形成する。ここで、ゲート電極47は、下部にチャンネルドーズ領域48が存し、素子領域の突出部30aを下部に含むようにパターン形成される。

[0073] 続いて、図12Aに示すように、一对のLDD領域となる不純物を導入する。

詳細には、素子領域30及びフィールド酸化膜39の一部を露出させるレジストマスク50を形成し、このレジストマスク50を用いて、素子領域30におけるゲート電極47の両側の部分にN型不純物、ここではリン(P<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを70keV～150keV、ドーズ量を $1 \times 10^{11} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、N型不純物領域49が形成される。レジストマスク50は灰化処理等により除去される。

[0074] 続いて、図12Bに示すように、アニール処理により一对のLDD領域51を形成した後、ゲート電極47の両側面にサイドウォール絶縁膜52を形成する。

詳細には、先ず、必要に応じて、例えば900°C～1000°Cで10秒～20秒程度のアニール処理を実行し、N型不純物領域49のリンを活性化する。このアニール処理により、一对のLDD領域51を形成する。

[0075] そして、ゲート電極47を覆うように全面に絶縁物、ここではシリコン酸化膜(不図示)をCVD法により膜厚500nm程度に堆積する。そして、このシリコン酸化膜の全面を異方性ドライエッチング(エッチバック)し、ゲート電極47の両側面のみにシリコン酸化

膜を残存させ、サイドウォール絶縁膜52を形成する。

[0076] 続いて、図12Cに示すように、ソース領域53及びドレイン領域54を形成する。

詳細には、先ず、ゲート電極47の一方側(ソース形成領域)における素子領域30の表面のみを露出させるレジストマスク(不図示)を形成し、このレジストマスクを用いてN型不純物、ここでは砒素( $As^+$ )をイオン注入する。イオン注入の条件としては、LDD領域51よりも高不純物濃度でLDD領域51と重畳されるように、加速エネルギーを70keV~120keV、ドーズ量を $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ とする。

[0077] 次に、レジストマスクを灰化处理等により除去した後、ゲート電極47の他方側(ドレイン形成領域)における素子領域30の表面のみを露出させるレジストマスク(不図示)を形成し、このレジストマスクを用いてN型不純物、ここでは砒素( $As^+$ )をイオン注入する。イオン注入の条件としては、LDD領域51よりも高不純物濃度でLDD領域51と重畳されるように、加速エネルギーを70keV~120keV、ドーズ量を $1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{16} / \text{cm}^2$ とする。

[0078] 上記のイオン注入の後、例えば900°C~1000°Cで10秒~20秒程度のアニール処理を実行し、イオン注入されたリンを活性化する。このアニール処理により、ソース領域53及びドレイン領域54をそれぞれ形成する。ここで、ドレイン領域54は、当該MOSトランジスタの高耐圧を確保するため、LDD領域51の端部から所定距離だけオフセットされるように形成される。

[0079] しかる後、層間絶縁膜やコンタクト孔、ゲート電極47、ソース領域53及びドレイン領域54と接続される各配線等(共に不図示)を順次形成し、本実施形態による高耐圧のN型MOSトランジスタを完成させる。

[0080] 以上説明したように、本実施形態によれば、トランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高いMOSトランジスタを提供することができる。

[0081] [第3の実施形態]

(MOSトランジスタの構成)

図13及び図14A~図14Eは、第3の実施形態による高耐圧のMOSトランジスタの構成を示す概略図である。なお、第2の実施形態で説明したMOSトランジスタの構

成部材等に対応するものについては同符号を付す。ここで、図13が平面図であり、図14Aが図13の破線I-I'に沿った断面図、図14Bが図13の破線II-II'に沿った断面図、図14Cが図13の破線III-III'に沿った断面図、図14Dが図13の破線IV-IV'に沿った断面図、図14Eが図13の破線V-V'に沿った断面図である。

[0082] このMOSTランジスタでは、シリコン半導体基板31上に素子分離構造、ここではLOCOS (LOCAl Oxidation of Silicon) 法によるフィールド酸化膜39が形成され、半導体基板31上で素子領域30が画定される。ここで、半導体基板31の表層において、素子領域30を含むようにウェル41が形成されている。

[0083] 更に、素子領域30を横切るように、帯状のゲート電極47が素子領域30上でゲート絶縁膜45を介してパターン形成され、ゲート電極47の両側面にはサイドウォール絶縁膜52が形成されており、ゲート電極47の両側における素子領域30の表層には、不純物が低濃度に導入されてなる一対のLDD領域51が形成され、LDD領域51と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース領域53及びドレイン領域54が形成されている。

[0084] また、半導体基板31のフィールド酸化膜39の直下には、フィールド酸化膜39を介して隣接するMOSTランジスタ等との間で不純物領域間の電荷流出を防止するため、ソース領域53及びドレイン領域54と反対導電型の不純物が導入されてなるチャンネルストップ領域62が形成されている。

[0085] ここで、ドレイン領域54は、当該MOSTランジスタの高耐圧を確保するため、LDD領域51の端部から所定距離だけオフセットされるように形成されている。このオフセットに伴い、チャンネルストップ領域62もLDD領域51の端部から所定距離だけ離間させ、高耐圧を確保している。

[0086] 本実施形態において、フィールド酸化膜39は、素子領域30がゲート電極47下の部分において外方へ向かって突出する一対の突出部30aを有するように、ゲート電極47下の部分で凹形状に形成されている。

[0087] 突出部30aは、その幅Wが、ゲート電極47のゲート長 $G_L$ よりも狭幅で且つ所期の形状に形成できる寸法以上(即ち、使用するプロセスのテクノロジーで許容できる最小寸法(例えば $0.18\mu\text{m}$ )以上)とされている。また、その長さLが、少なくとも素子領

域30と後述するチャンネルストップ領域42を形成するためのレジストマスク36との距離d以上であり、素子領域30の形成用のパターンとゲート電極47の形成用のパターンとの位置合わせ精度を満たすように余裕を見込んだ寸法、例えば $0.6\mu\text{m}$ 以上とされている。

[0088] そして、突出部30aの表層に、例えばソース領域53及びドレイン領域54と反対導電型の不純物を導入して表層導電領域が形成されている。本実施形態では、この表層導電領域として、ゲート電極47下における突出部30aを含むシリコン素子領域30の表層にチャンネルドーズ領域48が形成されている。

[0089] 本実施形態では、ゲート電極47下におけるウェル41内にチャンネルドーズ領域48を形成することにより、十分な閾値電圧を確保することができる。その一方で、図13に示すように、突出部30aはゲート長よりも幅狭に形成されているため、素子領域30の一部ではあるが活性領域としては機能しない。本実施形態では、図14Dに示すように、チャンネルストップ領域62は、フィールド酸化膜39下では、当該チャンネルストップ領域62の端部62aがフィールド酸化膜39の端部から突き出るように形成される。しかしながらこの場合、ゲート電極47のゲート幅 $G_w$ に相当する部分の下部にはチャンネルストップ領域62は存することなく(チャンネルストップ領域62の端部62aがゲート幅 $G_w$ に相当する部分に達することなく)、ゲート電極47のゲート幅 $G_w$ に相当する部分とチャンネルストップ領域62の端部とは離間した状態で保たれる。従って、このMOSTランジスタによれば、ランジスタ特性の変動劣化が抑止され、安定した十分なランジスタ特性を得ることができる。

[0090] (MOSTランジスタの製造方法)

図15A～図16B-2は、本実施形態による高耐圧のMOSTランジスタの製造方法を工程順に示す概略断面図である。ここで、図15A～図16B-2のうち、図16A-2及び図16B-2を除く各図が図13の破線II-II'に沿った断面図、図16A-2及び図16B-2が図13の破線IV-IV'に沿った断面図に対応する。

[0091] 先ず、図15Aに示すように、シリコン半導体基板31上に絶縁膜32を介して耐酸化材料膜33を形成する。

詳細には、半導体基板31の表面に熱酸化法により膜厚30nm程度の絶縁膜32を

形成した後、耐酸化材料、例えば窒化シリコンをCVD法により堆積し、膜厚100nm程度の耐酸化材料膜33を形成する。

[0092] 続いて、図15Bに示すように、耐酸化材料膜33を素子領域の形状にパターニングする。

詳細には、耐酸化材料膜33を、半導体基板31の素子領域30となる部分を覆うように、リソグラフィ及びドライエッチングによりパターニングする。

[0093] 続いて、図15Bに示すように、素子分離領域にフィールド酸化膜39を形成する。

詳細には、耐酸化材料膜33をマスクとして用い、絶縁膜32及び半導体基板31をフィールド酸化し、素子分離領域にフィールド酸化膜39を形成する。このフィールド酸化膜39により、半導体基板31上で素子領域30が画定される。ここで、フィールド酸化膜39は、図13のように平面視した場合、素子領域30がゲート電極47の形成部位下において外方へ向かって突出する一对の突出部30aを有するように、ゲート電極47の形成部位下で凹形状に形成される。そして、耐酸化材料膜33及びその下に残存する絶縁膜32をウェット処理等により除去した後、熱酸化法により半導体基板31上に絶縁膜38を形成する。

[0094] 続いて、図15Dに示すように、半導体基板31にウェルを形成するための不純物を導入する。

詳細には、まず、半導体基板31上の素子領域30及びその周辺のフィールド酸化膜39の一部を露出させるように、レジストマスク34を形成する。そして、レジストマスク34を用いて、レジストマスク34の開口部に存在するフィールド酸化膜39を透過して、レジストマスク34から露出する部分の下部に相当する半導体基板1内に達するように、P型不純物、ここではホウ素( $B^+$ )をイオン注入する。イオン注入の条件としては、加速エネルギーを200keV～500keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域35が形成される。レジストマスク34は、灰化处理等により除去される。

[0095] 続いて、図16A-1、図16A-2に示すように、半導体基板31にチャネルストップ領域を形成するための不純物を導入する。

詳細には、まず、フィールド酸化膜39上で素子領域30と所定距離だけ離間して当

該素子領域突き出し部30aを除く素子領域30を囲むように、レジストマスク36を形成する。このレジストマスク36により、フィールド酸化膜39上でリング状の部分が露出することになる。そして、レジストマスク36を用いて、レジストマスク36から露出する部分でフィールド酸化膜39の直下に相当する半導体基板31内に、P型不純物、ここではホウ素(B<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを100keV~240keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{14} / \text{cm}^2$ とする。このイオン注入により、レジストマスク36の開口部分に整合してフィールド酸化膜39の直下にP型不純物領域61が形成される。

[0096] ここで、図16A-2に示すように、レジストマスク36の開口から、素子領域30の端部が(絶縁膜38を介して)露出しており、当該端部にイオン注入されたB<sup>+</sup>がP型不純物領域61の他の部分よりも深く導入される。レジストマスク36は、灰化处理等により除去される。

[0097] 続いて、図16B-1, 図16B-2に示すように、半導体基板31にチャネルドーズ領域を形成するための不純物を導入する。

詳細には、先ず、素子領域30を露出させるように、レジストマスク43を形成する。そして、レジストマスク43を用いて、レジストマスク43から露出する部分の下部に相当する半導体基板31の表層(ここでは表面近傍)に、P型不純物、ここではホウ素(B<sup>+</sup>)をイオン注入する。イオン注入の条件としては、加速エネルギーを10keV~50keV、ドーズ量を $1 \times 10^{10} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$ とする。このイオン注入により、P型不純物領域44が形成される。レジストマスク43は、灰化处理等により除去される。

[0098] しかる後、第2の実施形態と同様に、アニール処理によるウェル41、チャネルストップ領域62、及びチャネルドーズ領域48の形成や、ゲート絶縁膜45及びゲート電極47、一対のLDD領域51、サイドウォール絶縁膜52、ソース領域53及びドレイン領域54の形成等の諸工程を経て、本実施形態による高耐圧のN型MOSトランジスタを完成させる。

[0099] 以上説明したように、本実施形態によれば、トランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高いMOSトランジスタを提供することができる。

また、第2及び第3の実施形態によれば、フィールド酸化膜39の形成工程位置に依ることなく、上記の緒効果を奏することが可能となる。

[0100] [第4の実施形態]

本実施形態では、第2の実施形態とほぼ同様の構成であり、ほぼ同様の製造方法により作製されるものであるが、チャンネルストップ領域の形態が若干異なる点で相違する。本実施形態は、言わば第2の実施形態の変形例である。

[0101] 図17及び図18A～図18Dは、第4の実施形態による高耐圧のMOSTランジスタの構成を示す概略図である。ここで、図17が平面図であり、図18Aが図17の破線I-I'に沿った断面図、図18Bが図17の破線II-II'に沿った断面図、図18Cが図17の破線III-III'に沿った断面図、図18Dが図17の破線IV-IV'に沿った断面図である。

[0102] このMOSTランジスタでは、シリコン半導体基板31上に素子分離構造、ここではLOCOS (LOCAl Oxidation of Silicon) 法によるフィールド酸化膜39が形成され、半導体基板31上で素子領域30が画定される。ここで、半導体基板31の表層において、素子領域30を含むようにウェル41が形成されている。

[0103] 更に、素子領域30を横切るように、帯状のゲート電極47が素子領域30上でゲート絶縁膜45を介してパターン形成され、ゲート電極47の両側面にはサイドウォール絶縁膜52が形成されており、ゲート電極47の両側における素子領域30の表層には、不純物が低濃度に導入されてなる一対のLDD領域51が形成され、LDD領域51と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース領域53及びドレイン領域54が形成されている。

[0104] また、半導体基板31のフィールド酸化膜39の直下には、フィールド酸化膜39を介して隣接するMOSTランジスタ等との間で不純物領域間の電荷流出を防止するため、ソース領域53及びドレイン領域54と反対導電型の不純物が導入されてなるチャンネルストップ領域71が形成されている。

[0105] ここで、ドレイン領域54は、当該MOSTランジスタの高耐圧を確保するため、LDD領域51の端部から所定距離だけオフセットされるように形成されている。このオフセットに伴い、チャンネルストップ領域71もLDD領域51の端部から所定距離だけ離間させ

、高耐圧を確保している。

[0106] 本実施形態では、チャンネルストップ領域71は、図17のほぼ右半分(ドレイン領域54側)については、第2の実施形態の図7と同様にレジストマスク36の形成位置を除くフィールド酸化膜39の部分の直下に形成される。一方、図17のほぼ左半分(ソース領域53側)については、フィールド酸化膜39のほぼ全体の直下に亘り形成される。従ってこの場合、図18Aに示すように、フィールド酸化膜39における突出部30aを囲む部分のソース領域53側のみ、チャンネルストップ領域71の一部が形成される構成となる。即ち本実施形態では、第2の実施形態と同様に、フィールド酸化膜39を形成する前に、チャンネルストップ領域71を形成する。この場合、チャンネルストップ領域71の形成時には、素子領域30の形成領域に整合するように耐酸化材料膜33がパターンニングされているため、チャンネルストップのイオン注入時に耐酸化材料膜33がマスクとなって素子領域30の形成領域内への不純物の浸入が阻止される。なお、図17のほぼ右半分(ドレイン領域54側)については、ドレイン領域54により確実に高耐圧を確保するため、レジストマスク36を形成することが好適である。

[0107] なお、第3の実施形態と同様に、フィールド酸化膜39を形成した後に、チャンネルストップ領域を形成する場合には、チャンネルストップ領域71の形成時には素子領域30の形成領域に耐酸化材料膜33が存しない。従ってこの場合には、図19に示すように、図17のほぼ右半分(ドレイン領域54側)の素子領域30上を含むように、レジストマスク72を形成し、チャンネルストップのイオン注入を行うことを要する。

[0108] 本実施形態において、フィールド酸化膜39は、素子領域30がゲート電極47下の部分において外方へ向かって突出する一对の突出部30aを有するように、ゲート電極47下の部分で凹形状に形成されている。

[0109] 突出部30aは、その幅Wが、ゲート電極47のゲート長 $G_L$ よりも狭幅で且つ所期の形状に形成できる寸法以上(即ち、使用するプロセスのテクノロジーで許容できる最小寸法(例えば $0.18\mu\text{m}$ )以上)とされている。また、その長さLが、少なくとも素子領域30と後述するチャンネルストップ領域71を形成するためのレジストマスク36との距離d以上であり、素子領域30の形成用のパターンとゲート電極47の形成用のパターンとの位置合わせ精度を満たすように余裕を見込んだ寸法、例えば $0.6\mu\text{m}$ 以上とさ

れている。

[0110] そして、突出部30aの表層に、例えばソース領域53及びドレイン領域54と反対導電型の不純物を導入して表層導電領域が形成されている。本実施形態では、この表層導電領域として、ゲート電極47下における突出部30aを含むシリコン素子領域30の表層にチャンネルドーズ領域48が形成されている。

[0111] 本実施形態では、ゲート電極47下におけるウェル41内にチャンネルドーズ領域48を形成することにより、十分な閾値電圧を確保することができる。その一方で、図7に示すように、突出部30aはゲート長よりも幅狭に形成されているため、素子領域30の一部ではあるが活性領域としては機能しない。そのため、図8Dに示すように、フィールド酸化膜39下に形成されたチャンネルストップ領域71について、このチャンネルストップ領域71の端部がフィールド酸化膜39の端部から突き出たとしても、ゲート電極47のゲート幅 $G_w$ に相当する部分の下部にはチャンネルストップ領域71は存することなく(チャンネルストップ領域72の端部がゲート幅 $G_w$ に相当する部分に達することなく)、ゲート電極47のゲート幅 $G_w$ に相当する部分とチャンネルストップ領域71の端部とは離間した状態で保たれる。従って、このMOSTランジスタによれば、ランジスタ特性の変動劣化が抑止され、安定した十分なランジスタ特性を得ることができる。

[0112] 以上説明したように、本実施形態によれば、ランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高いMOSTランジスタを提供することができる。

[0113] [第5の実施形態]

本実施形態では、第1の実施形態とほぼ同様の構成であり、ほぼ同様の製造方法により作製されるものであるが、ソース領域もドレイン領域と同様にオフセット構造に形成されている点で相違する。本実施形態は、言わば第1の実施形態の変形例である。

[0114] 図20及び図21A、図21Bは、第5の実施形態による高耐圧のMOSTランジスタの構成を示す概略図である。ここで、図20が平面図であり、図21Aが図20の破線I-I'に沿った断面図、図21Bが図20の破線II-II'に沿った断面図である。

[0115] このMOSTランジスタでは、シリコン半導体基板1上に素子分離構造、ここではSTI

(Shallow

Trench Isolation)法によるSTI素子分離構造7が形成され、半導体基板1上で素子領域10が画定される。ここで、半導体基板1の表層において、素子領域10を含むようにウェル21が形成されている。

[0116] 更に、素子領域10を横切るように、帯状のゲート電極16が素子領域10上でゲート絶縁膜14を介してパターン形成されており、ゲート電極16の両側における素子領域10の表層には、不純物が低濃度に導入されてなる一対のLDD領域19が形成され、LDD領域19と各々重畳するように、これらよりも高濃度に不純物が導入されてなるソース/ドレイン領域25が形成されている。

[0117] また、半導体基板1のSTI素子分離構造7の直下には、STI素子分離構造7を介して隣接するMOSトランジスタ等との間で不純物領域間の電荷流出を防止するため、ソース/ドレイン領域25と反対導電型の不純物が導入されてなるチャネルストップ領域23が形成されている。

[0118] ここで、ソース/ドレイン領域25は、当該MOSトランジスタの高耐圧を確保するため、LDD領域19の端部から所定距離だけオフセットされるように形成されている。このオフセットに伴い、チャネルストップ領域23もLDD領域19の端部から所定距離だけ離間させ、高耐圧を確保している。

[0119] 本実施形態において、STI素子分離構造7は、素子領域10がゲート電極16下の部分において外方へ向かって突出する一対の突出部10aを有するように、ゲート電極16下の部分で凹形状に形成されている。

[0120] 突出部10aは、その幅Wが、ゲート電極16のゲート長 $G_L$ よりも狭幅で且つ所期の形状に形成できる寸法以上(即ち、使用するプロセスのテクノロジーで許容できる最小寸法(例えば $0.18\mu\text{m}$ )以上)とされている。また、その長さLが、少なくとも素子領域10と後述するチャネルストップ領域23を形成するためのレジストマスク11との距離d以上であり、素子領域10の形成用のパターンとゲート電極16の形成用のパターンとの位置合わせ精度を満たすように余裕を見込んだ寸法、例えば $0.6\mu\text{m}$ 以上とされている。

[0121] そして、突出部10aの表層に、例えばソース領域及びドレイン領域25と反対導電型

の不純物を導入して表層導電領域が形成されている。本実施形態では、この表層導電領域として、ゲート電極16下における突出部10aを含むシリコン素子領域10の表層にチャンネルドーズ領域22が形成されている。

[0122] 本実施形態では、ゲート電極16下におけるウェル21内にチャンネルドーズ領域22を形成することにより、十分な閾値電圧を確保することができる。その一方で、図20に示すように、突出部10aはゲート長よりも幅狭に形成されているため、素子領域10の一部ではあるが活性領域としては機能しない。そのため、STI素子分離構造7下に形成されたチャンネルストップ領域23について、このチャンネルストップ領域23の端部がSTI素子分離構造7の端部から突き出たとしても、ゲート電極16のゲート幅 $G_w$ に相当する部分の下部にはチャンネルストップ領域23は存することなく(チャンネルストップ領域23の端部がゲート幅 $G_w$ に相当する部分に達することなく)、ゲート電極16のゲート幅 $G_w$ に相当する部分とチャンネルストップ領域23の端部とは離間した状態で保たれる。従って、このMOSトランジスタによれば、トランジスタ特性の変動劣化が抑止され、安定した十分なトランジスタ特性を得ることができる。

[0123] 以上説明したように、本実施形態によれば、トランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高いMOSトランジスタを提供することができる。

#### 産業上の利用可能性

[0124] 本発明によれば、素子分離構造の形成方法及びその工程位置に依らずにトランジスタ特性の変動劣化を抑止し、比較的簡易且つ確実に高耐圧を実現する信頼性の高い半導体装置を提供することができる。

## 請求の範囲

- [1] 半導体基板表面の素子分離領域に形成されて、当該半導体基板上で素子領域を画定する素子分離構造と、  
前記素子領域を横切るように形成されたゲート電極と、  
前記ゲート電極の両側における前記素子領域に不純物が導入されてなる一对の導電領域と  
を含み、  
前記各導電領域は、それぞれ低濃度領域と当該低濃度領域よりも不純物濃度の高い高不純物領域とが重畳されてなり、前記各導電領域の少なくとも一方は、前記高不純物領域が前記低濃度領域内で当該低濃度領域の端部からオフセットされた状態に形成されており、  
前記素子分離構造は、前記素子領域が前記ゲート電極下の部分においてゲート長よりも狭幅で外方へ向かって突出する突出部を有するように、前記ゲート電極下の部分で凹形状に形成され、前記突出部の表層に、前記導電領域とは反対導電型の不純物が導入されてなる表層導電領域が形成されていることを特徴とする半導体装置。
- [2] 前記半導体基板の表層における少なくとも前記素子領域を包含する部分に、前記導電領域とは反対導電型の不純物が前記表層導電領域よりも低濃度に導入されてなることを特徴とする請求項1に記載の半導体装置。
- [3] 前記表層導電領域は、前記素子領域の前記ゲート電極下の部分に形成されてなるチャンネルドーズ領域であることを特徴とする請求項2に記載の半導体装置。
- [4] 前記半導体基板の前記素子分離領域下に、前記導電領域とは反対導電型の不純物が導入されてなるチャンネルストップ領域を更に含み、  
前記チャンネルストップ領域の端部が、前記ゲート電極のゲート幅として機能する部分の端部から離間していることを特徴とする請求項1に記載の半導体装置。
- [5] 前記突出部は、少なくとも前記チャンネルストップ領域に到達する長さを有することを特徴とする請求項4に記載の半導体装置。
- [6] 前記突出部下において、前記チャンネルストップ領域が前記素子分離構造の端部の

- 一部を覆うように形成されていることを特徴とする請求項5に記載の半導体装置。
- [7] 前記素子分離構造の前記突出部を囲む部分の他方の前記各導電領域側のみに、前記チャンネルストップ領域の一部が形成されていることを特徴とする請求項4に記載の半導体装置。
- [8] 前記各導電領域の双方が、前記高不純物領域が前記低濃度領域内で当該低濃度領域の端部からオフセットされた状態に形成されていることを特徴とする請求項1に記載の半導体装置。
- [9] 半導体基板表面の素子分離領域に、当該半導体基板上で素子領域を画定する素子分離構造を形成する工程と、  
前記素子領域を横切るようにゲート電極を形成する工程と、  
前記ゲート電極の両側における前記素子領域に不純物を導入し、一对の導電領域を形成する工程と  
を含み、  
前記各導電領域を、それぞれ低濃度領域と当該低濃度領域よりも不純物濃度の高い高不純物領域とが重畳されてなり、前記各導電領域の少なくとも一方は、前記高不純物領域が前記低濃度領域内で当該低濃度領域の端部からオフセットされた状態に形成し、  
前記素子分離構造を、前記素子領域が前記ゲート電極下の部分においてゲート長よりも狭幅で外方へ向かって突出する突出部を有するように、前記ゲート電極下の部分で凹形状に形成し、前記突出部の表層に、前記導電領域とは反対導電型の不純物を導入して表層導電領域を形成することを特徴とする半導体装置の製造方法。
- [10] 前記半導体基板の表層における少なくとも前記素子領域を包含する部分に、前記導電領域とは反対導電型の不純物が前記表層導電領域よりも低濃度に導入されることを特徴とする請求項9に記載の半導体装置の製造方法。
- [11] 前記表層導電領域は、前記素子領域の前記ゲート電極下の部分に形成されてなるチャンネルドーズ領域であることを特徴とする請求項10に記載の半導体装置の製造方法。
- [12] 前記半導体基板の前記素子分離領域下に、前記導電領域とは反対導電型の不純

物を導入してチャンネルストップ領域を形成する工程を更に含み、

前記チャンネルストップ領域を、その端部が前記ゲート電極のゲート幅として機能する部分の端部から離間するように形成することを特徴とする請求項9に記載の半導体装置の製造方法。

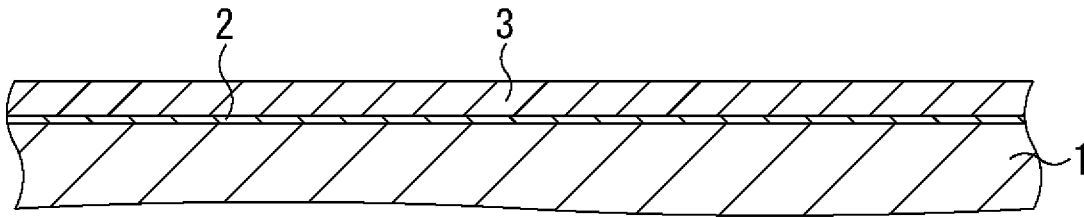
- [13] 前記突出部は、少なくとも前記チャンネルストップ領域に到達する長さを有することを特徴とする請求項12に記載の半導体装置の製造方法。
- [14] 前記突出部下において、前記チャンネルストップ領域を前記素子分離構造の端部の一部を覆うように形成することを特徴とする請求項13に記載の半導体装置の製造方法。
- [15] 前記素子分離構造の前記突出部を囲む部分の他方の前記各導電領域側のみの下部に、前記チャンネルストップ領域の一部を形成することを特徴とする請求項12に記載の半導体装置の製造方法。
- [16] 前記各導電領域の双方を、前記高不純物領域が前記低濃度領域内で当該低濃度領域の端部からオフセットされた状態に形成することを特徴とする請求項9に記載の半導体装置の製造方法。





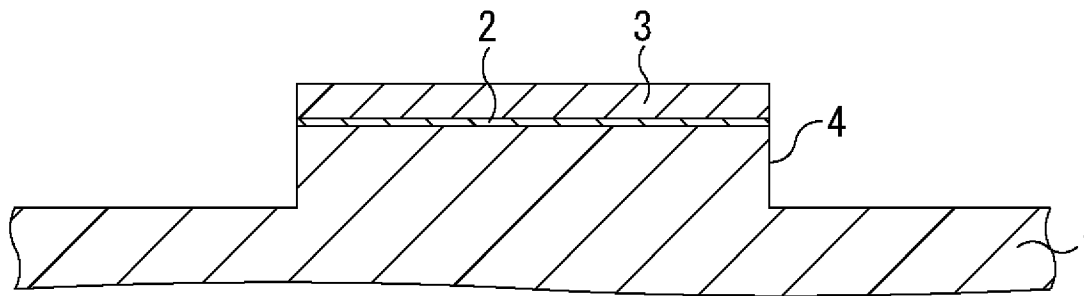
[図3A]

図3A



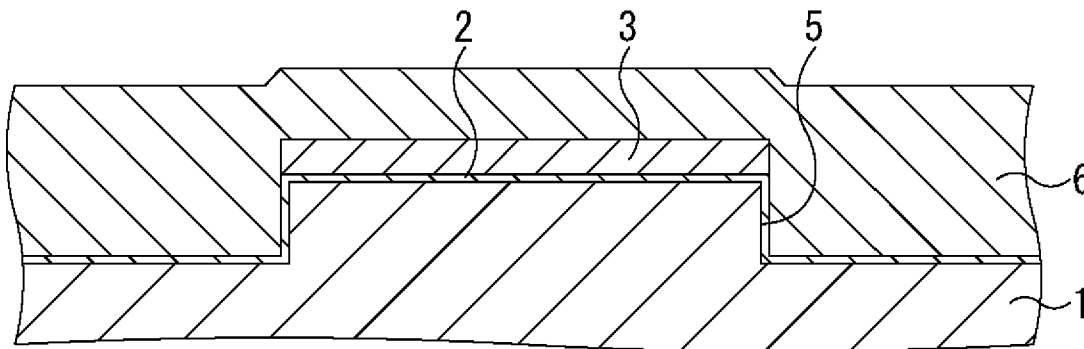
[図3B]

図3B



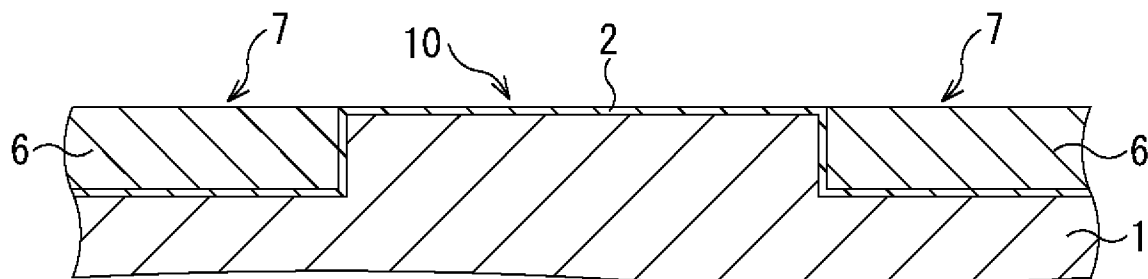
[図3C]

図3C



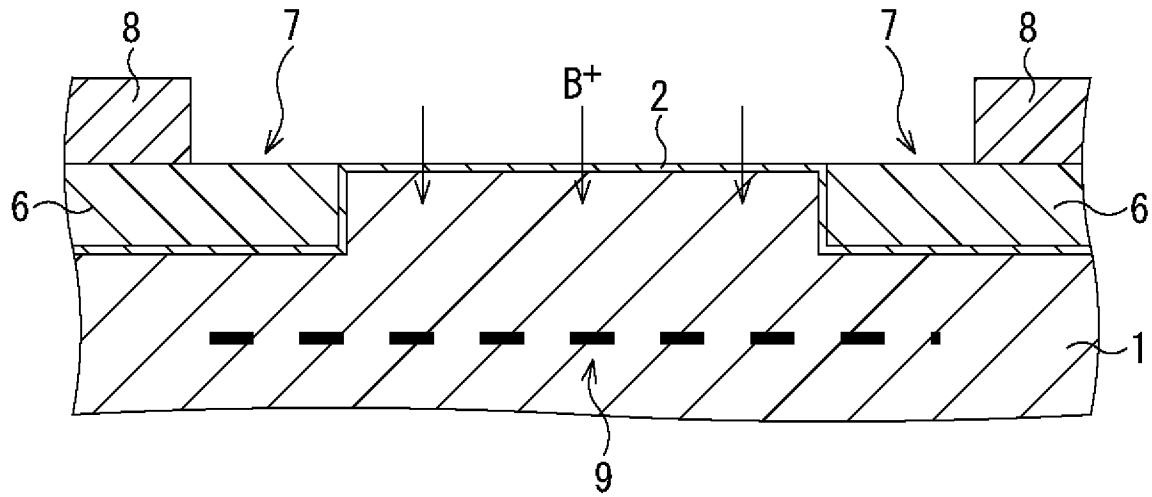
[図3D]

図3D



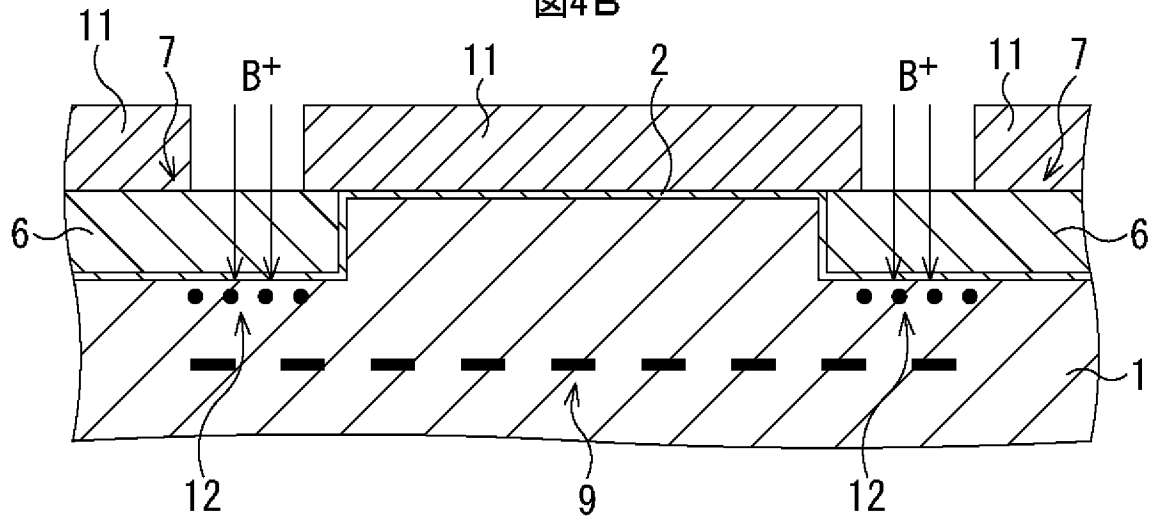
[図4A]

図4A



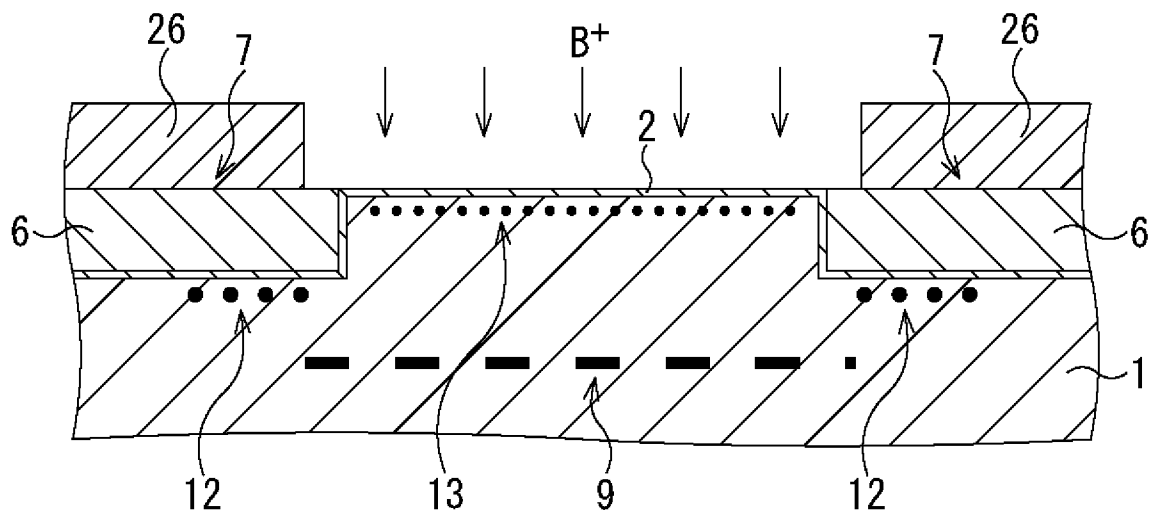
[図4B]

図4B



[図4C]

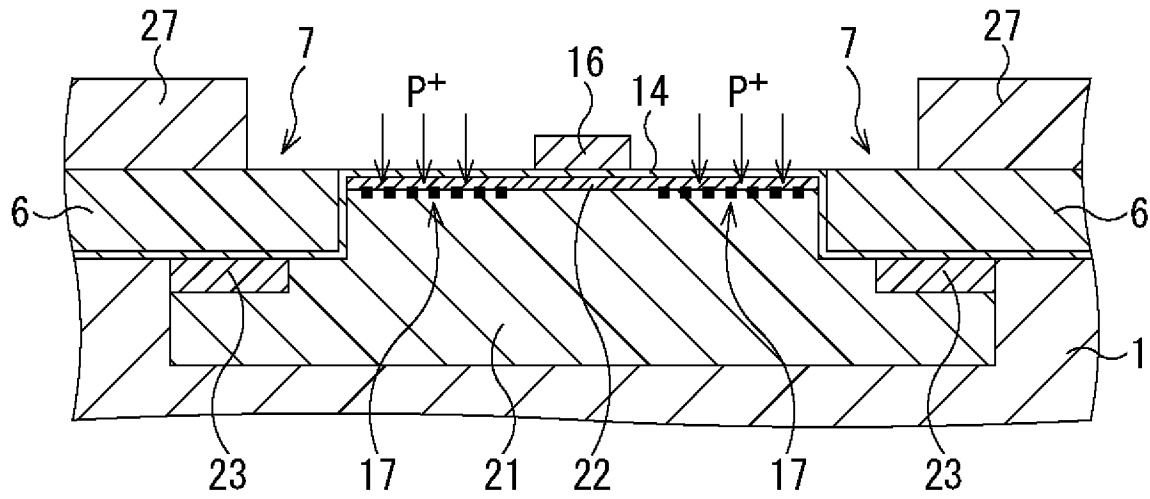
図4C





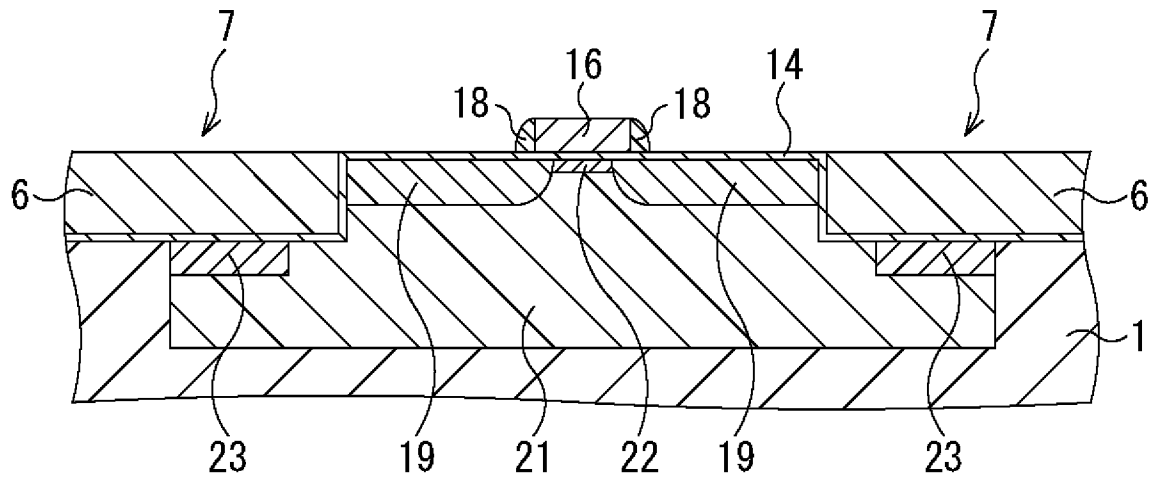
[図6A]

図6A



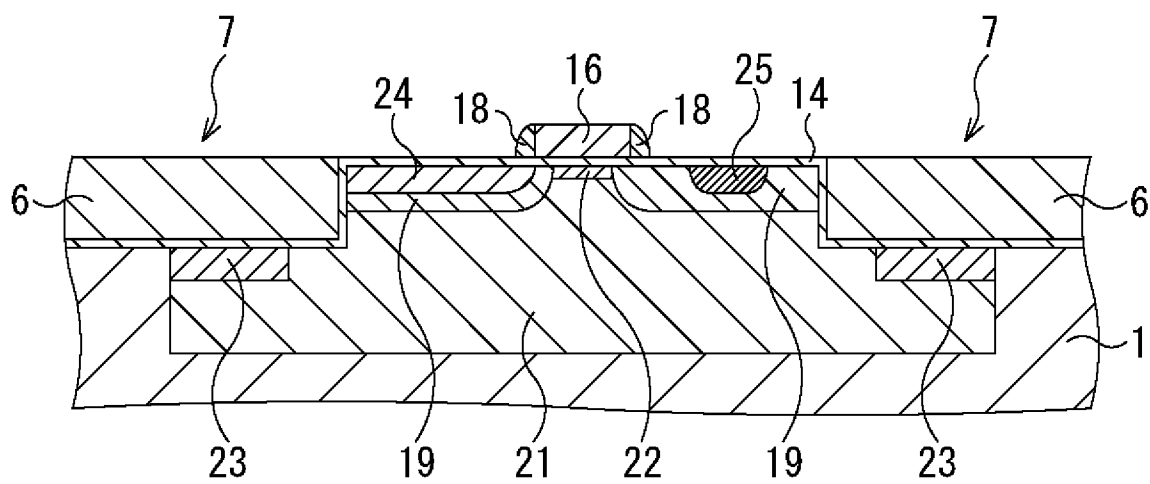
[図6B]

図6B

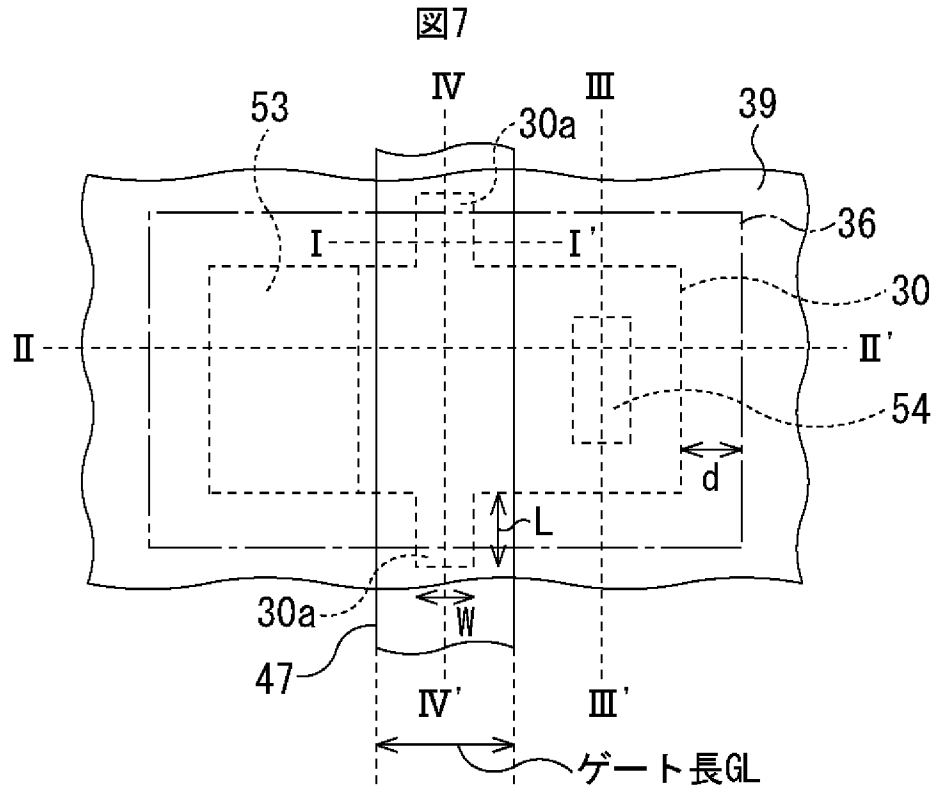


[図6C]

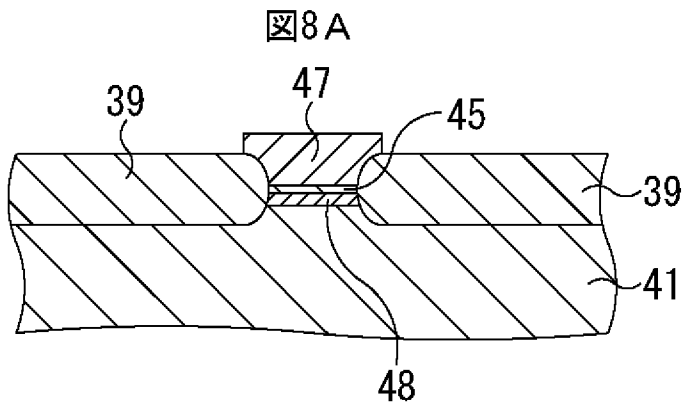
図6C



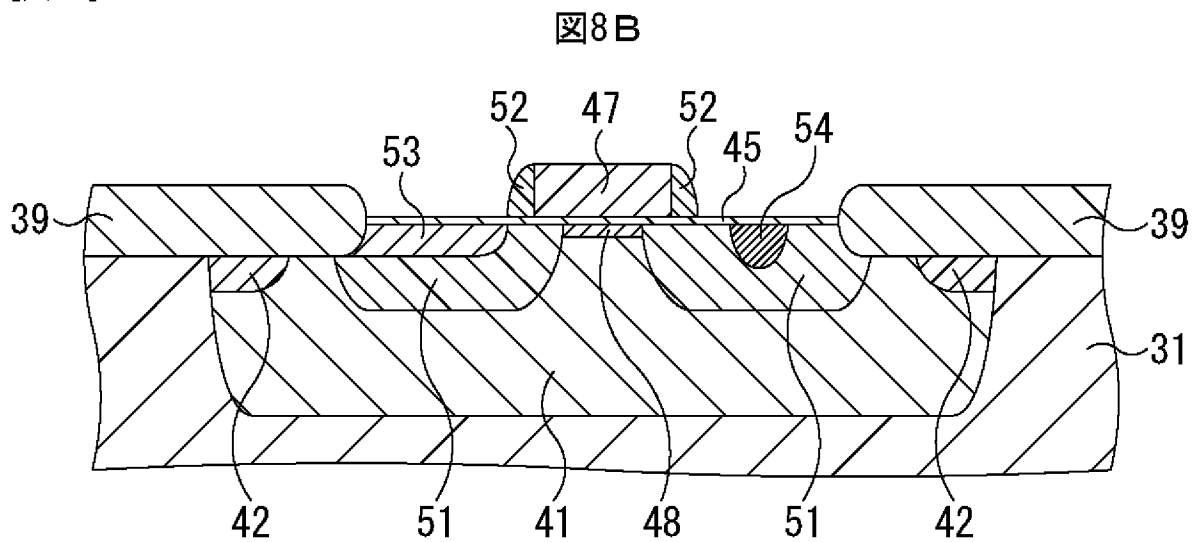
[図7]



[図8A]

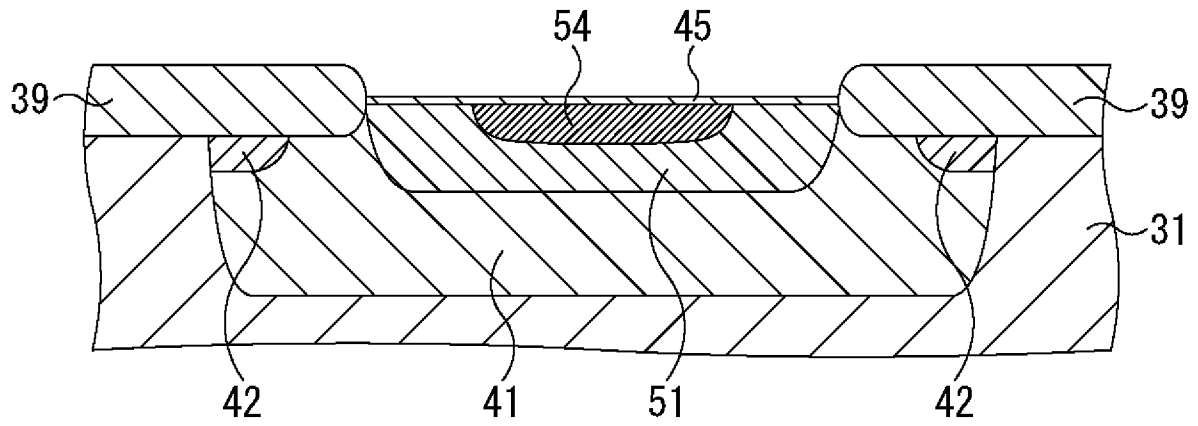


[図8B]



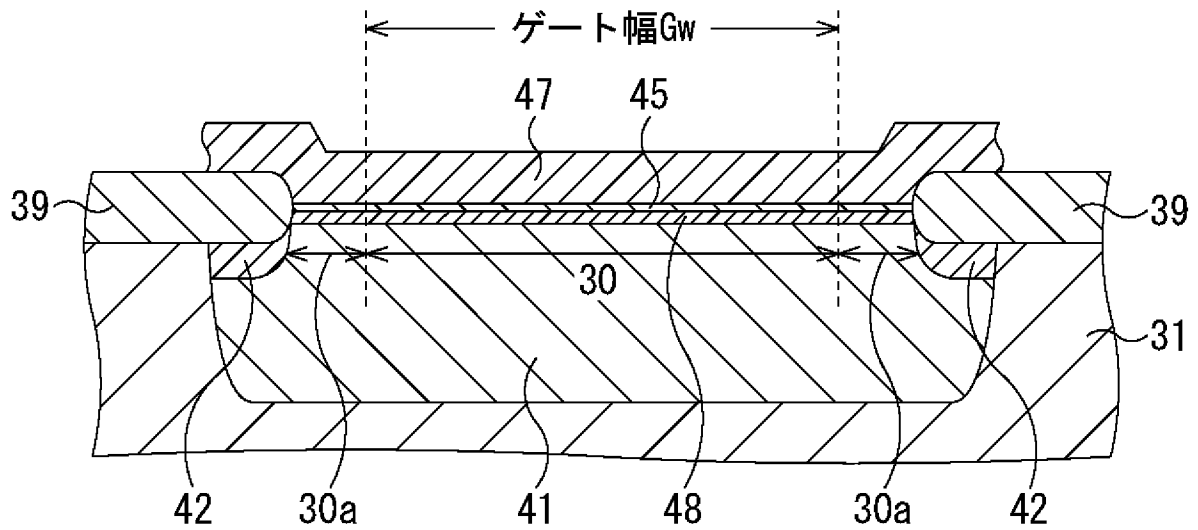
[図8C]

図8C



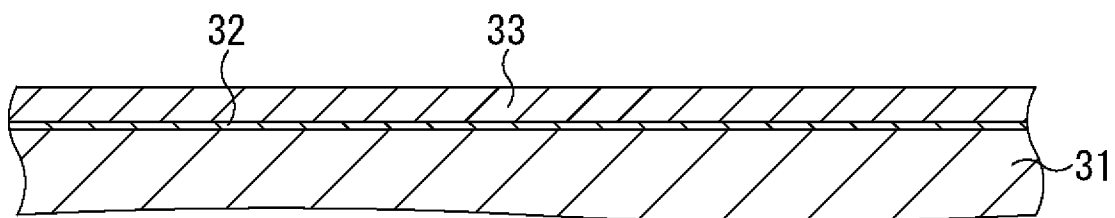
[図8D]

図8D



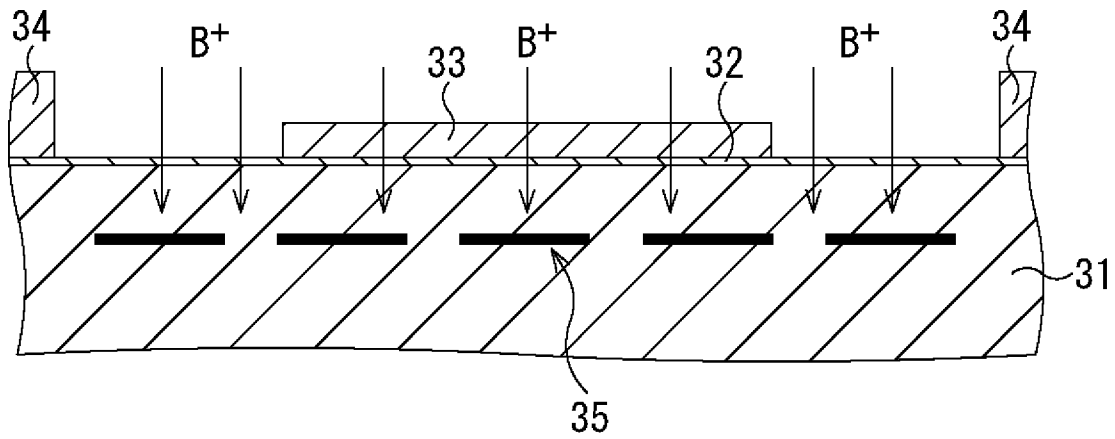
[図9A]

図9A



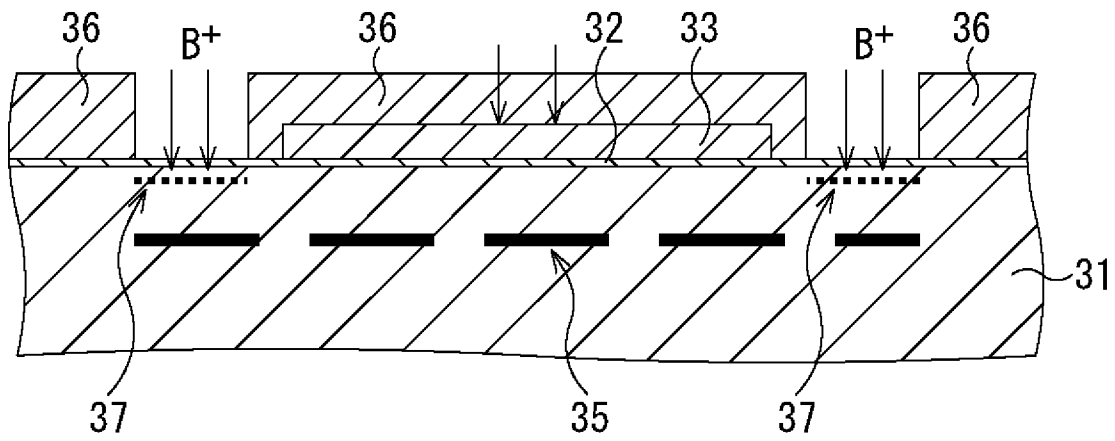
[図9B]

図9B



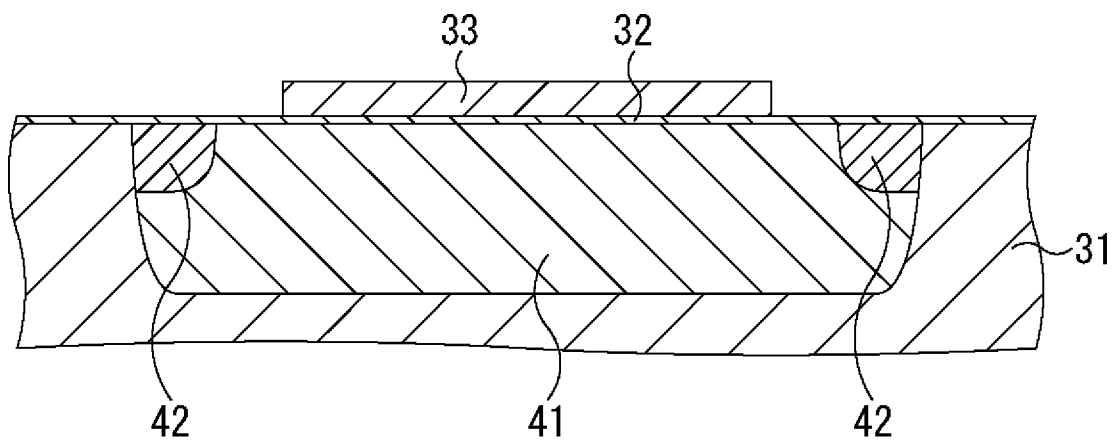
[図9C]

図9C



[図10A]

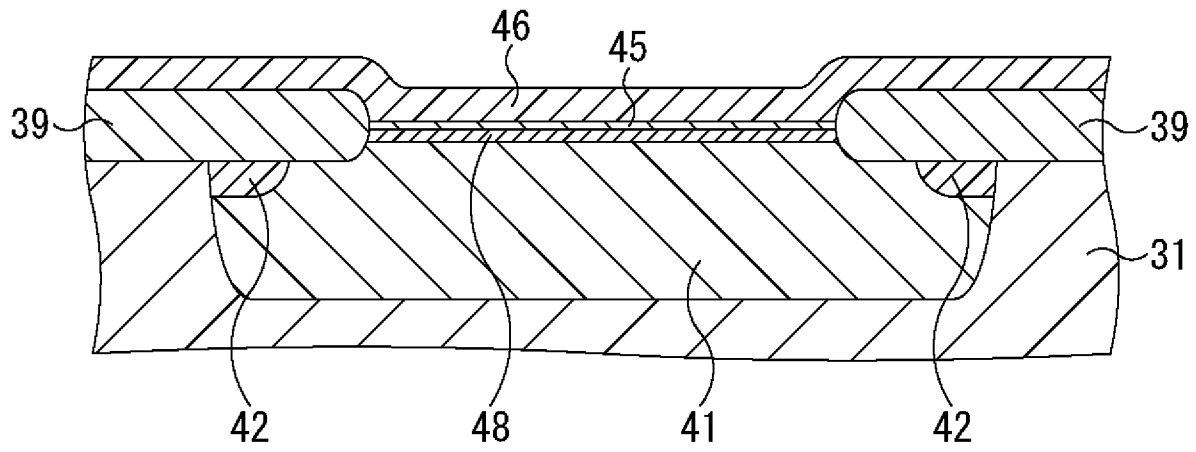
図10A





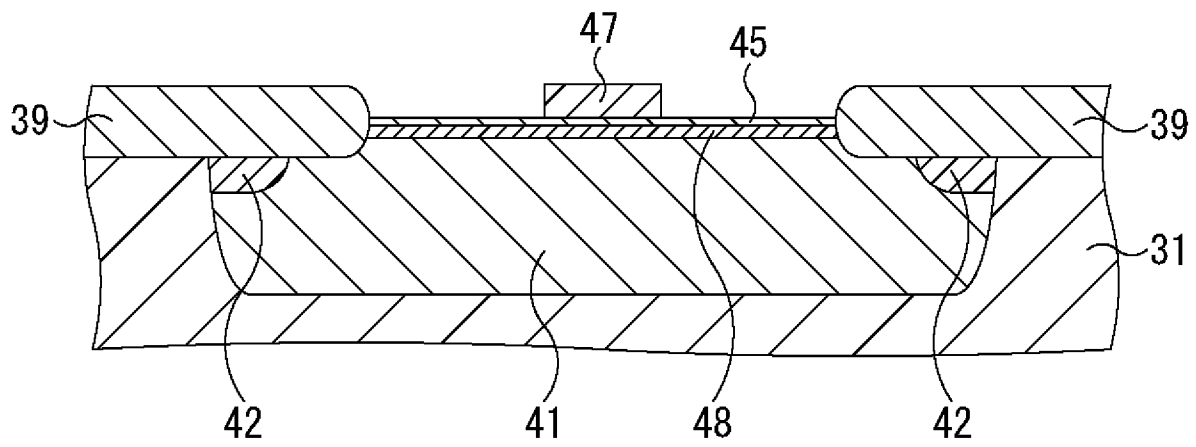
[図11B]

図11B



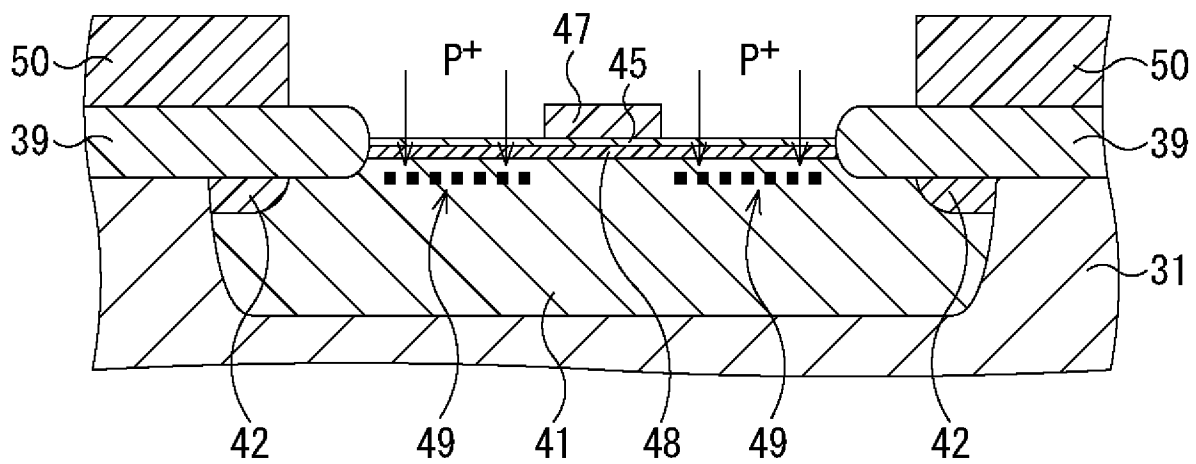
[図11C]

図11C



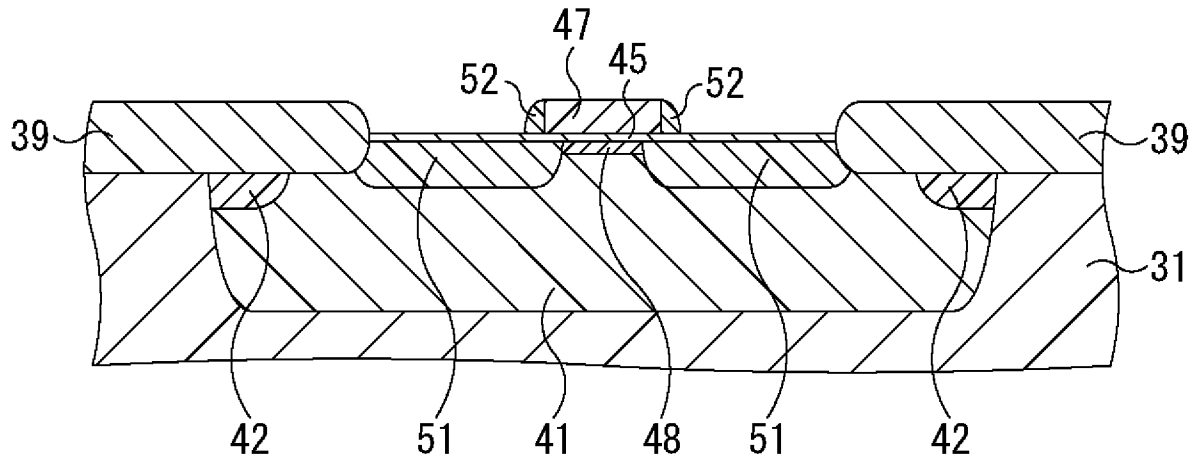
[図12A]

図12A



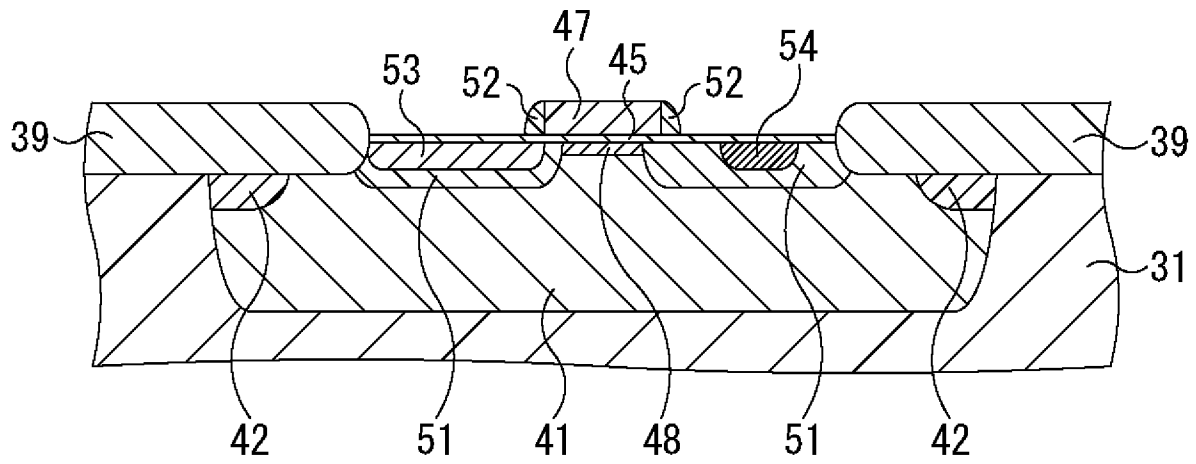
[図12B]

図12B



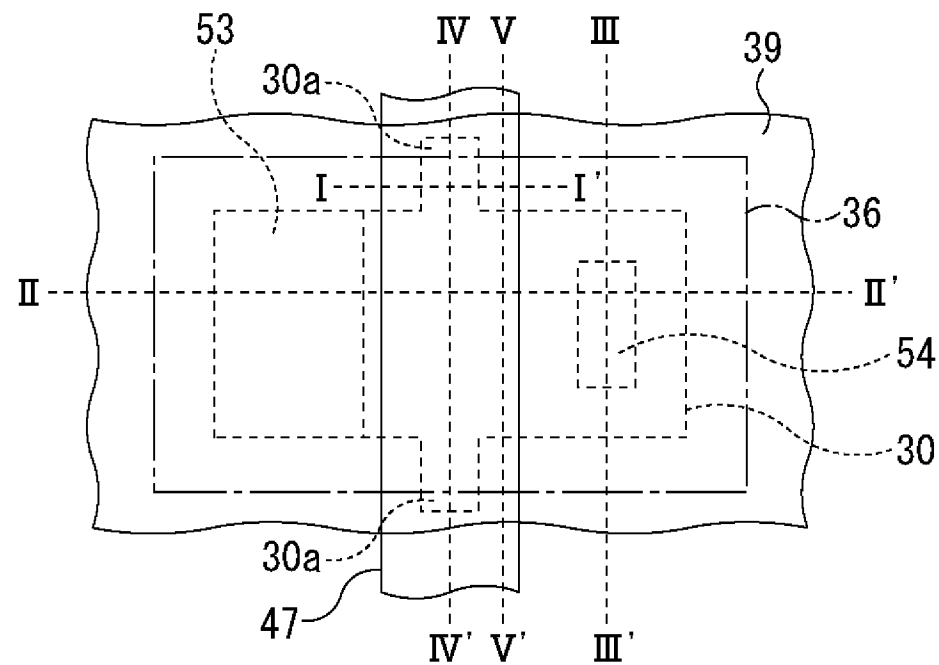
[図12C]

図12C

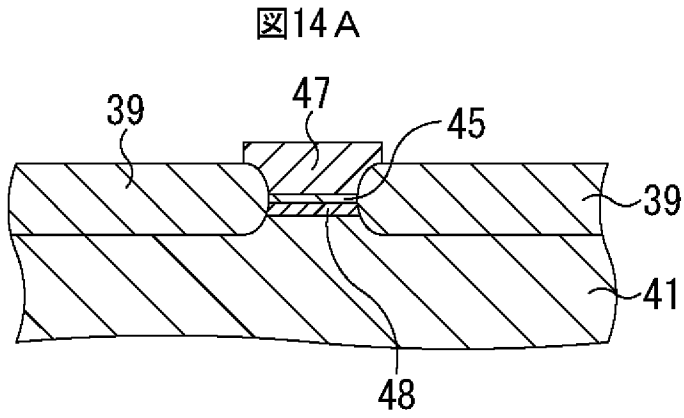


[図13]

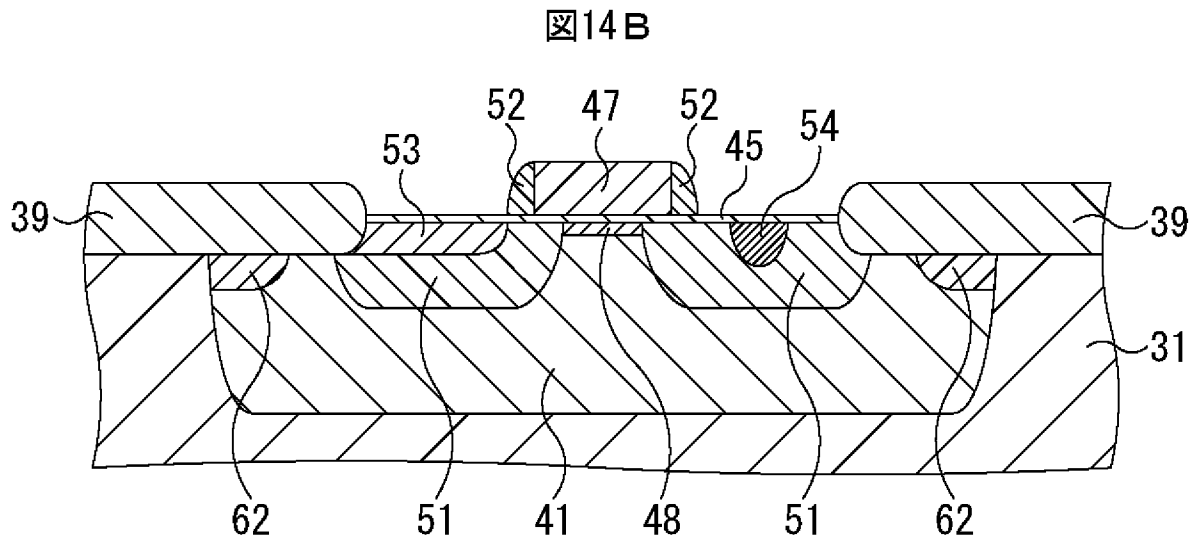
図13



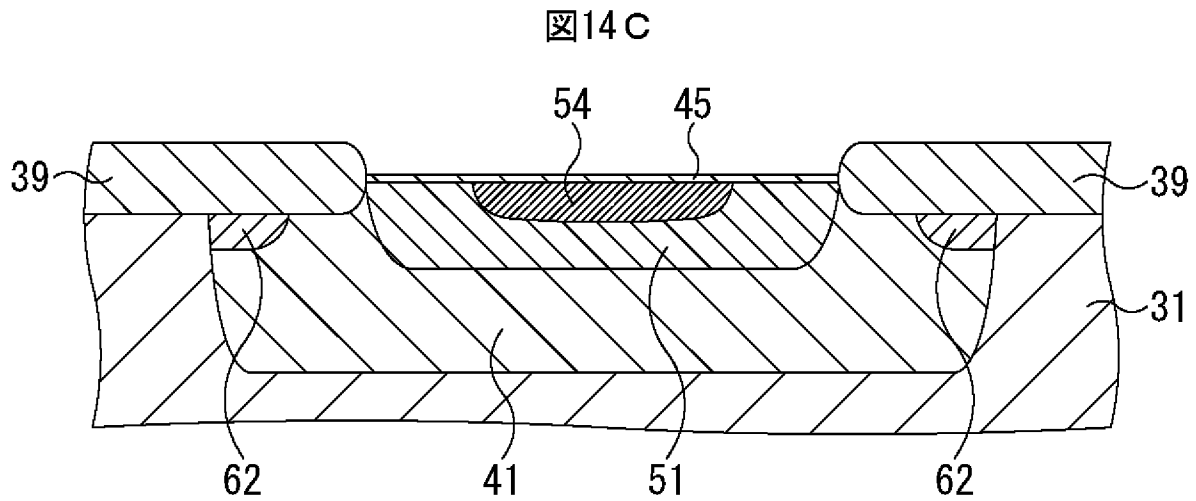
[図14A]



[図14B]



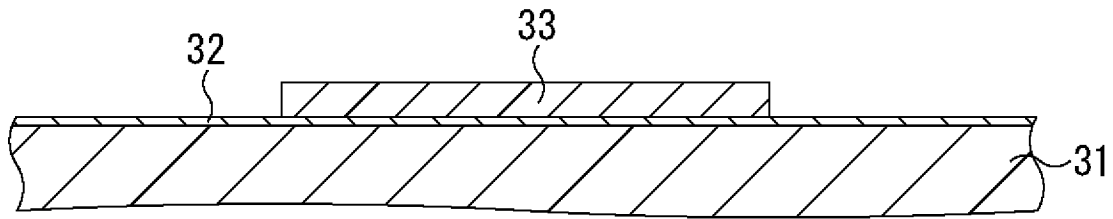
[図14C]





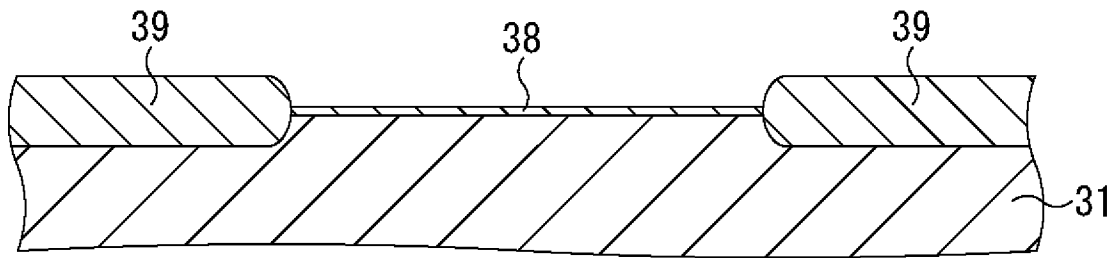
[図15B]

図15B



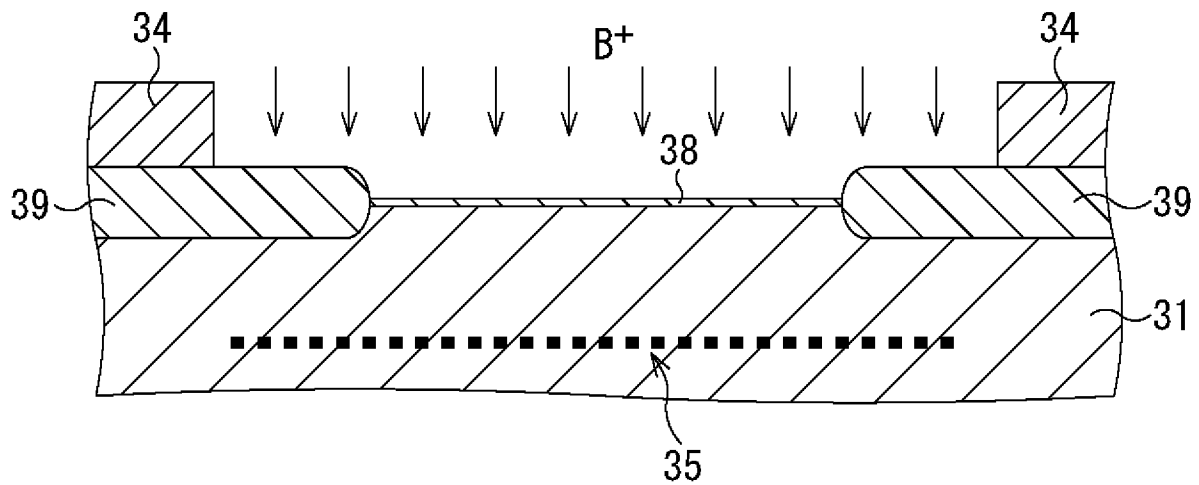
[図15C]

図15C



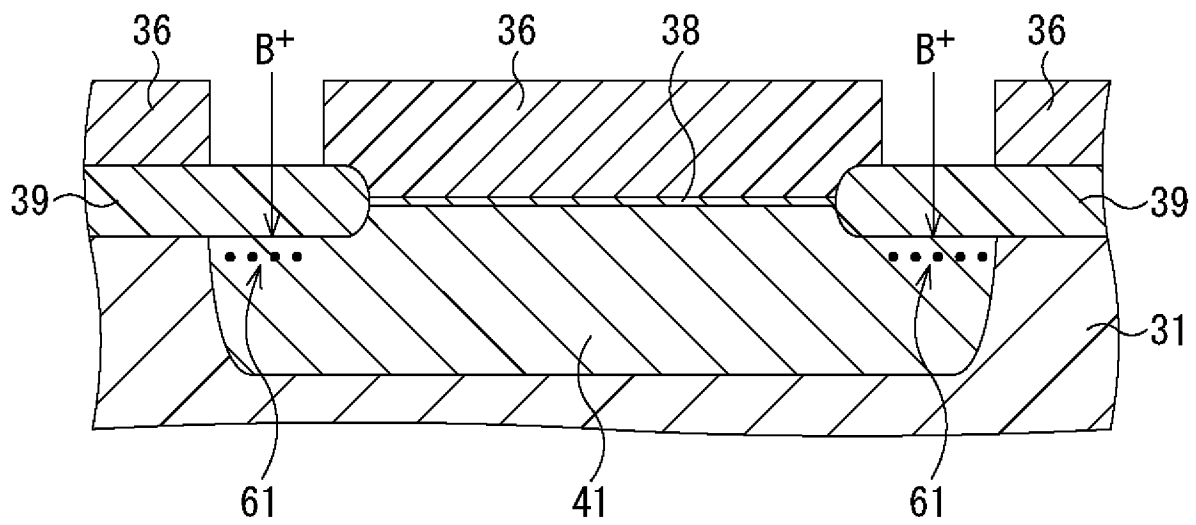
[図15D]

図15D



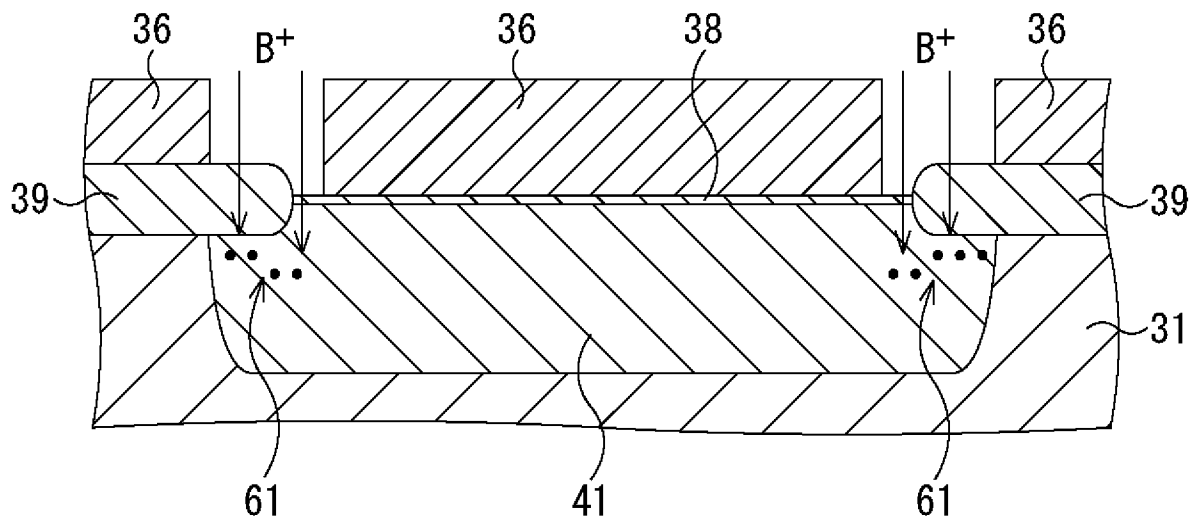
[図16A-1]

図16A-1



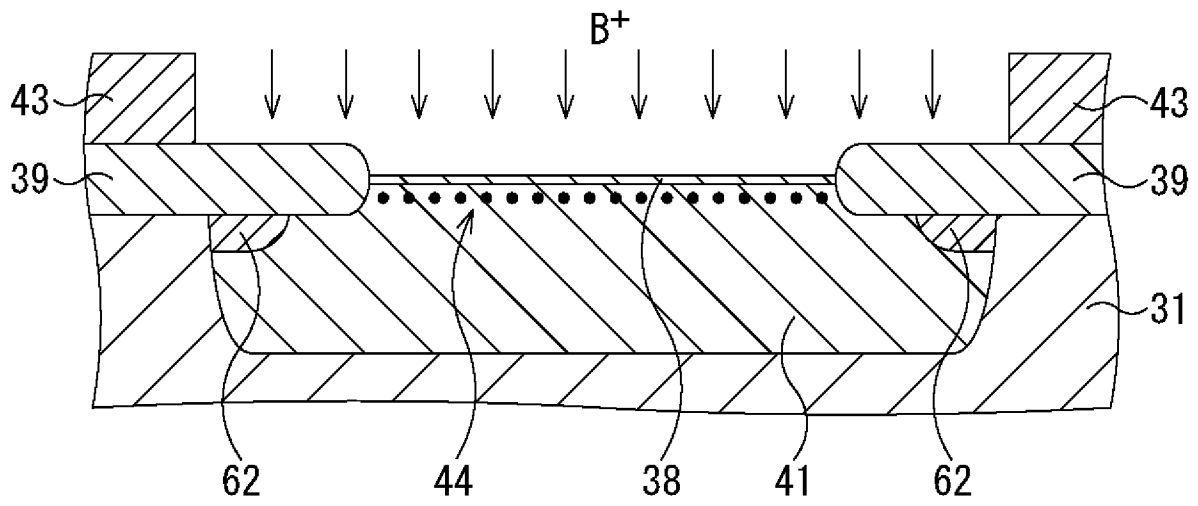
[図16A-2]

図16A-2



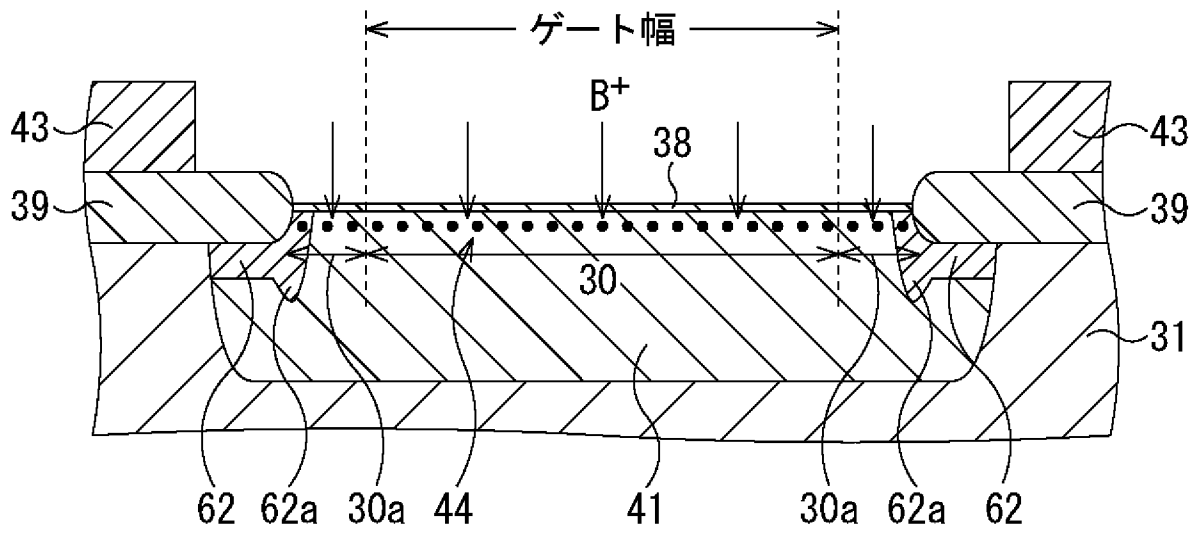
[図16B-1]

図16B-1

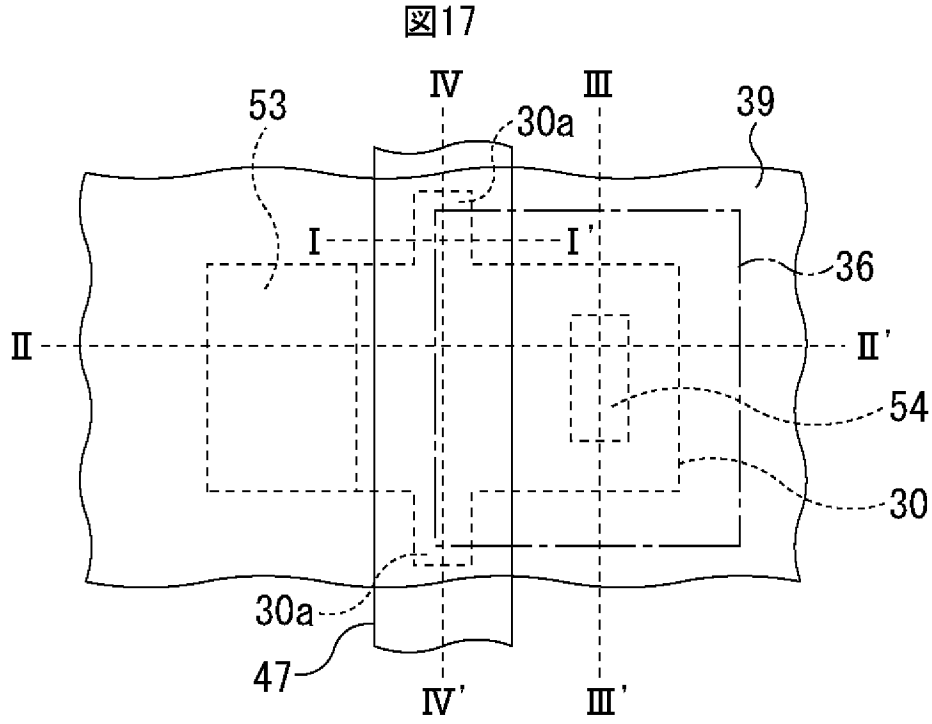


[図16B-2]

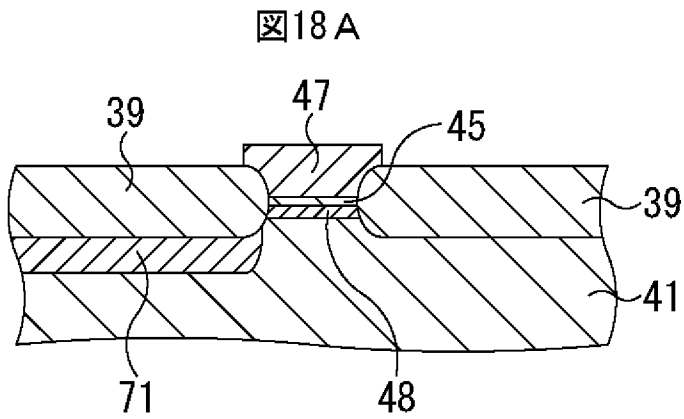
図16B-2



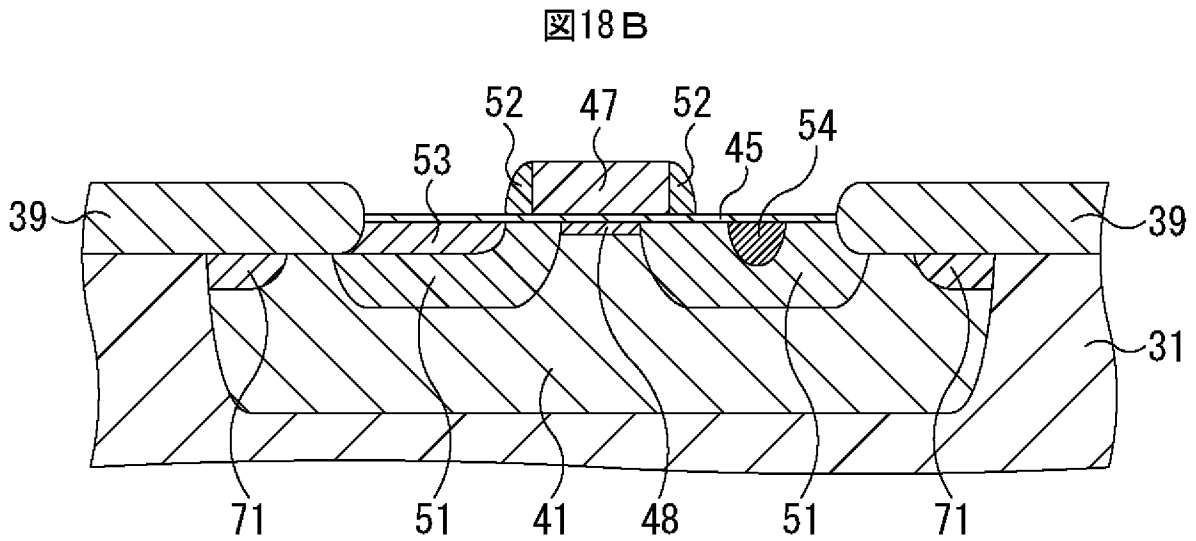
[図17]



[図18A]



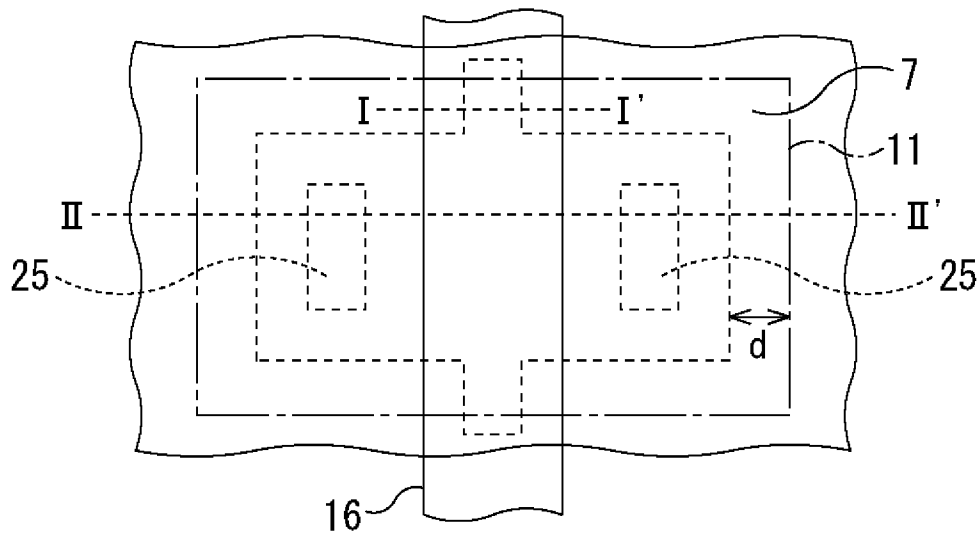
[図18B]





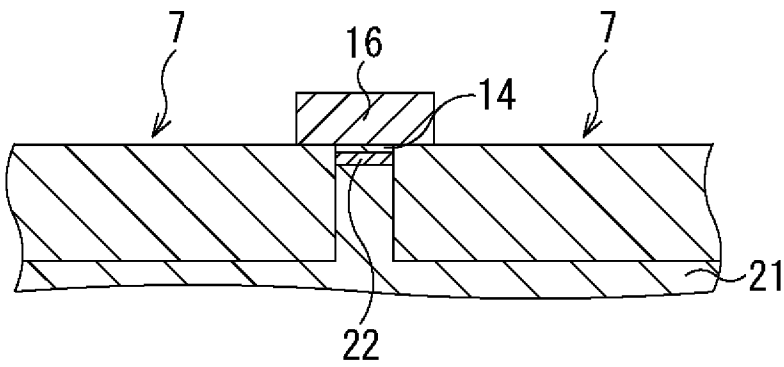
[図20]

図20



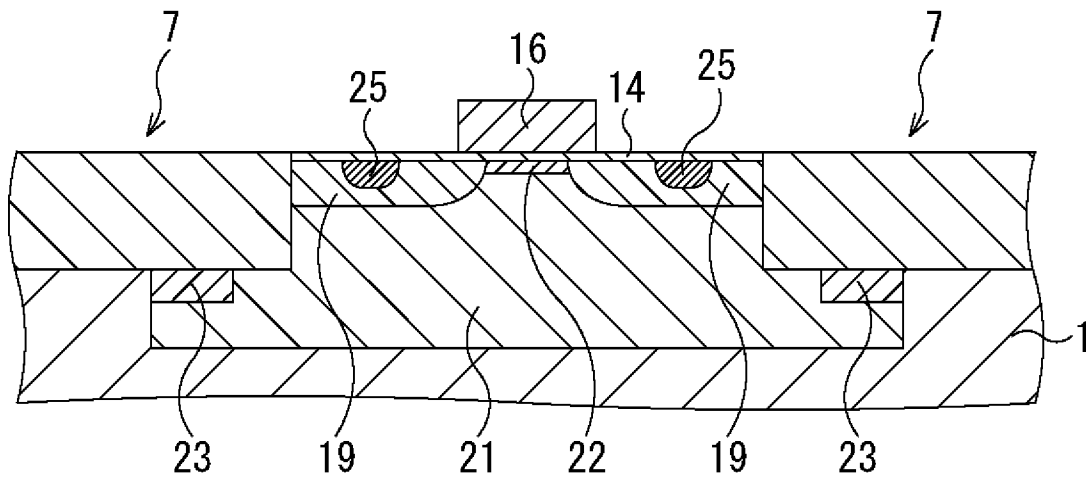
[図21A]

図21A

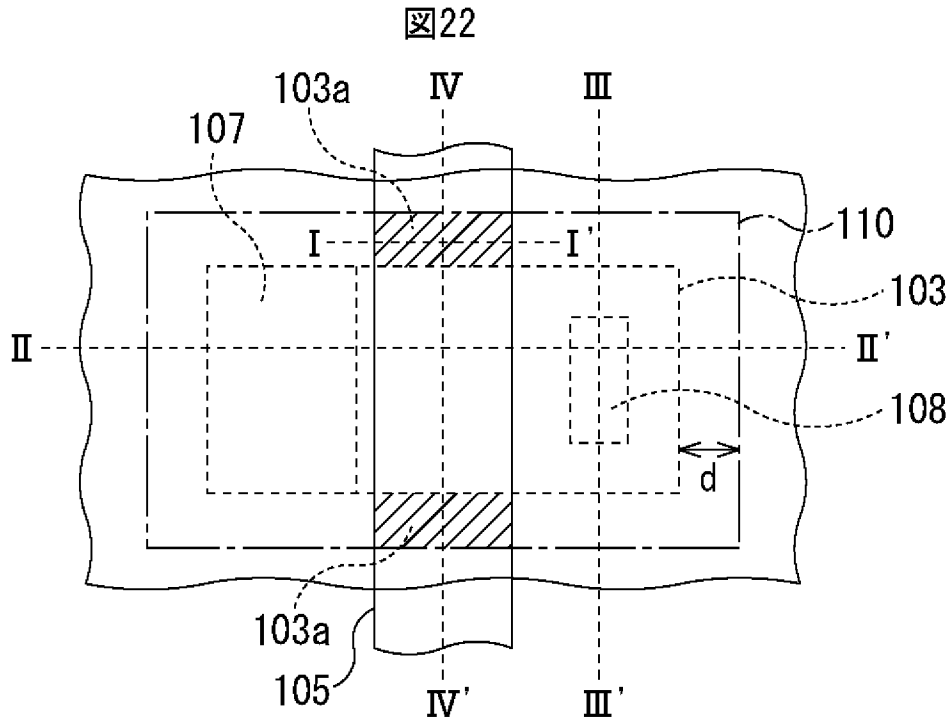


[図21B]

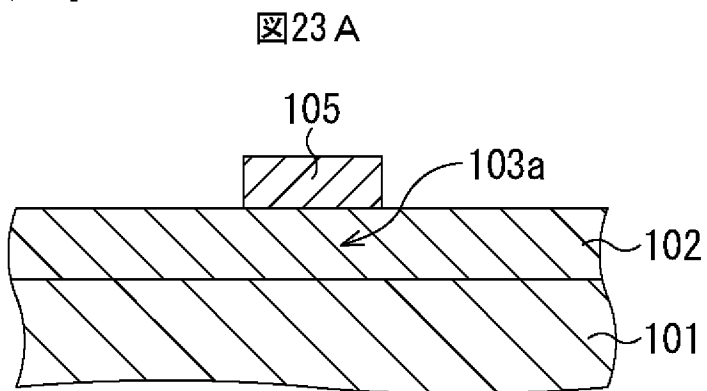
図21B



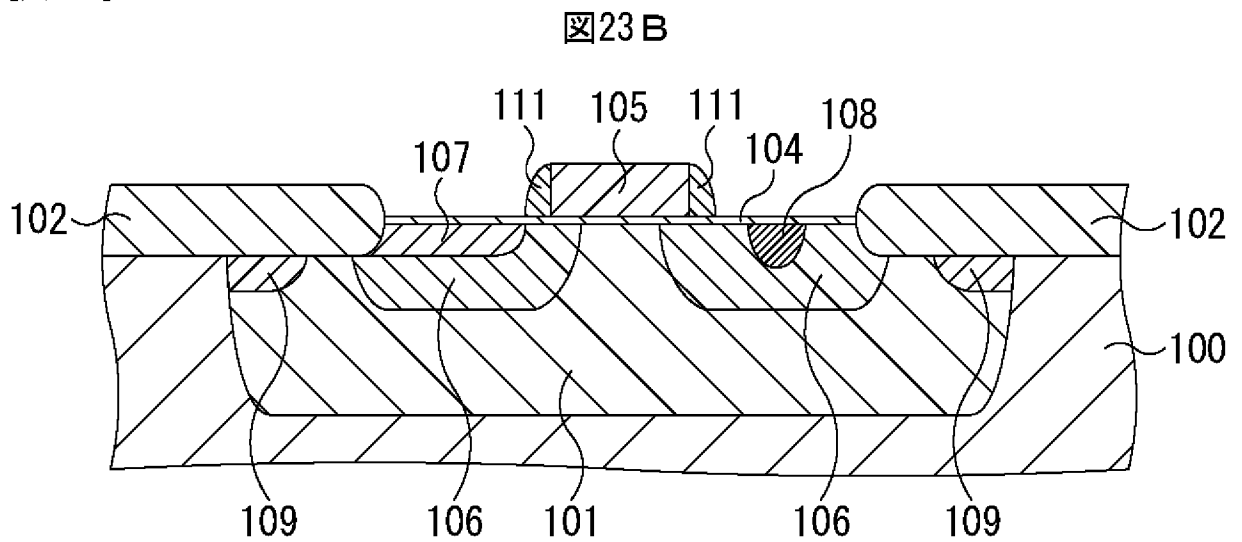
[図22]



[図23A]

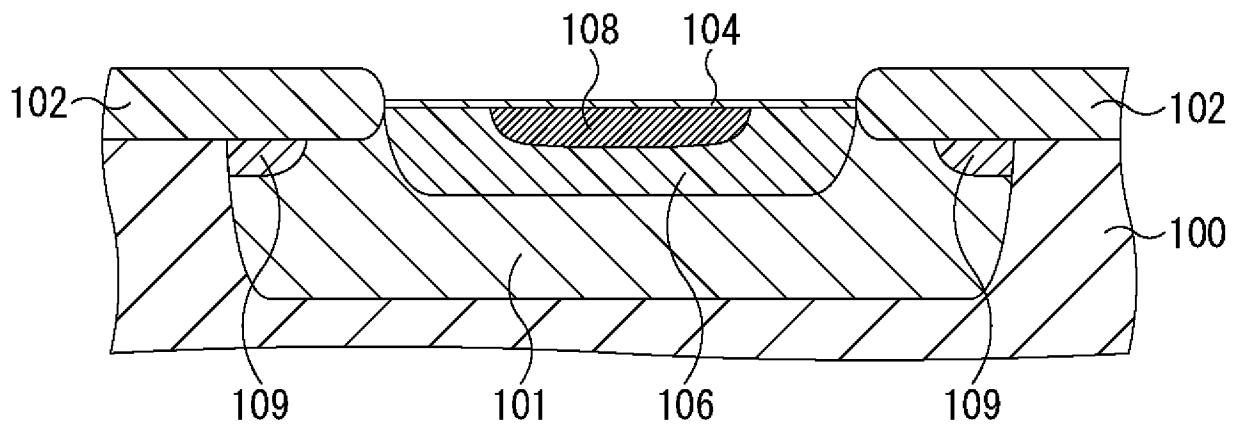


[図23B]



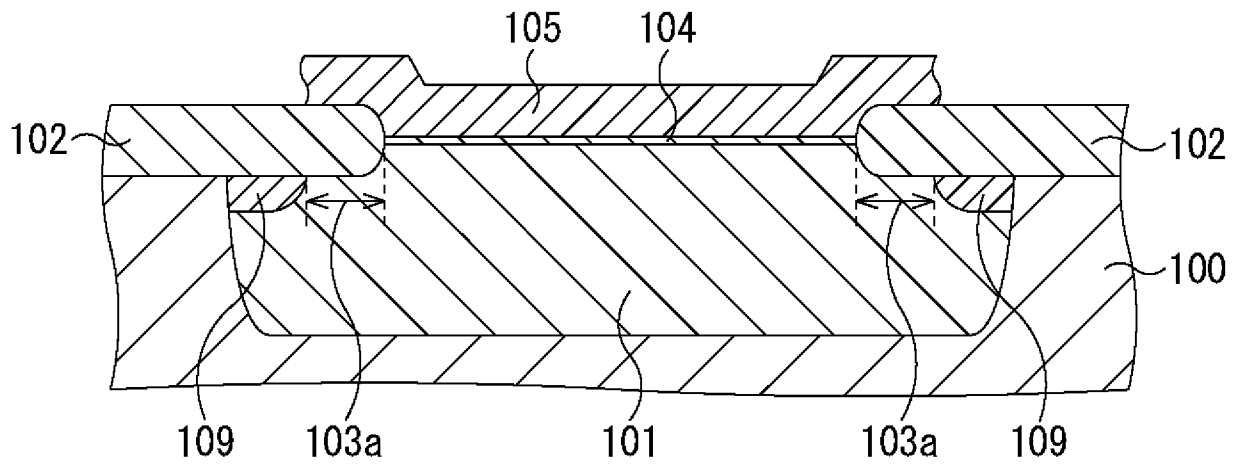
[図23C]

図23 C



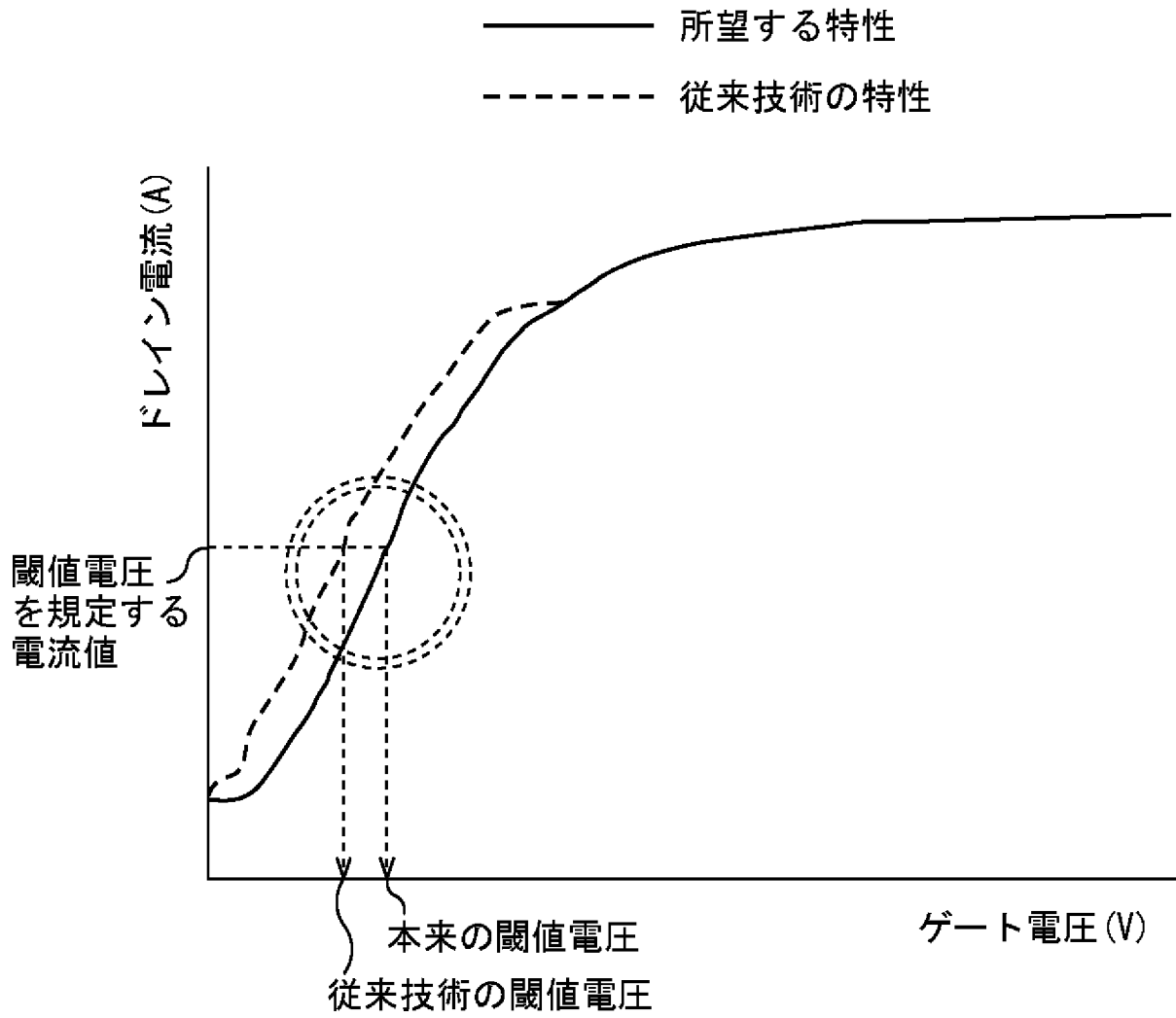
[図23D]

図23 D



[図24]

図24



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305596

**A. CLASSIFICATION OF SUBJECT MATTER**

**H01L29/78**(2006.01) , **H01L21/336**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

**H01L29/78**(2006.01) , **H01L21/336**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-217414 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 2001 (10.08.01), Par. Nos. [0003] to [0005]; Fig. 3 & US 2001/0010384 A1 & CN 1310479 A & KR 2001078146 A	1-3, 8-11, 16 4-7, 12-15
Y	JP 62-250671 A (Director General, Agency of Industrial Science and Technology), 31 October, 1987 (31.10.87), Full text; all drawings (Family: none)	1-16

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
16 June, 2006 (16.06.06)

Date of mailing of the international search report  
27 June, 2006 (27.06.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/305596

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-70272 A (Hyundai Electronics Industries Co., Ltd.), 10 March, 1998 (10.03.98), Full text; all drawings & GB 2314973 A                      & DE 19727491 A1 & KR 98006490 A                      & TW 416113 A & CN 1173739 A	1-16
Y	JP 2-15672 A (Sony Corp.), 19 January, 1990 (19.01.90), Full text; all drawings (Family: none)	7, 15

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01), H01L21/336(2006.01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01), H01L21/336(2006.01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	JP 2001-217414 A(松下電器産業株式会社) 2001.08.10 【0003】 - 【0005】 , 図3 &US 2001/0010384 A1 &CN 1310479 A &KR 2001078146 A	1-3, 8-11, 16 4-7, 12-15	
Y	JP 62-250671 A(工業技術院長) 1987.10.31 全文, 全図(ファミリーなし)	1-16	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 16.06.2006		国際調査報告の発送日 27.06.2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 松嶋 秀忠	4M   9836
		電話番号 03-3581-1101 内線 3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-70272 A(現代電子産業株式会社) 1998. 03. 10 全文, 全図 &GB 2314973 A &DE 19727491 A1 &KR 98006490 A &TW 416113 A &CN 1173739 A	1-16
Y	JP 2-15672 A(ソニー株式会社) 1990. 01. 19 全文, 全図(ファミリーなし)	7, 15