

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4749089号  
(P4749089)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl.

F 1

G 11 C 11/41	(2006.01)	G 11 C 11/34	K
H 01 L 27/11	(2006.01)	H 01 L 27/10	3 8 1
H 01 L 21/8244	(2006.01)	H 01 L 27/10	4 7 1
H 01 L 27/10	(2006.01)	G 11 C 11/34	3 4 5
G 11 C 11/401	(2006.01)	G 11 C 11/34	3 7 1 K

請求項の数 12 (全 40 頁) 最終頁に続く

(21) 出願番号

特願2005-246408 (P2005-246408)

(22) 出願日

平成17年8月26日 (2005.8.26)

(65) 公開番号

特開2007-59026 (P2007-59026A)

(43) 公開日

平成19年3月8日 (2007.3.8)

審査請求日

平成20年6月18日 (2008.6.18)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1753 番地

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 宮西 篤史

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、

前記半導体記憶部は、

所定方向に配列された複数のメモリセルをそれぞれが有する第1及び第2のメモリセルアレイと、

前記第1及び第2のメモリセルアレイにそれぞれ対応して設けられ、それぞれにデータが入力される第1及び第2の入力ポートと、

前記第1及び第2のメモリセルアレイにそれぞれ対応して設けられ、それからデータが出力される第1及び第2の出力ポートと、

前記第1及び第2のメモリセルアレイのそれぞれにおける複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、

前記第1及び第2のメモリセルアレイのそれぞれにおける複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、

前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、

前記第1及び第2の入力ポートに入力されたデータをそれぞれ受けて出力する第1及び第2の入力バッファ回路と、

10

20

前記第1の入力バッファ回路から前記第1のメモリセルアレイまで延在し、前記第1の入力バッファ回路から出力されるデータを前記第1のメモリセルアレイまで伝達する第1の書き込みビット線と、

前記第2の入力バッファ回路から前記第2のメモリセルアレイまで延在し、前記第2の入力バッファ回路から出力されるデータを前記第2のメモリセルアレイまで伝達する第2の書き込みビット線と、

受けたデータを前記第1及び第2の出力ポートにそれぞれ出力する第1及び第2の出力バッファ回路と、

前記第1のメモリセルアレイから前記第1の出力バッファ回路まで延在し、前記第1のメモリセルアレイからのデータを前記第1の出力バッファ回路まで伝達する第1の読み出しビット線と、10

前記第2のメモリセルアレイから前記第2の出力バッファ回路まで延在し、前記第2のメモリセルアレイからのデータを前記第2の出力バッファ回路まで伝達する第2の読み出しビット線と、

前記第1の入力バッファ回路から前記第1の出力バッファ回路まで延在し、前記第1の入力ポートから前記第1の入力バッファ回路に入力されたデータを前記第1の出力バッファ回路まで伝達する第1のバイパス線と、

前記第2の入力バッファ回路から前記第2の出力バッファ回路まで延在し、前記第2の入力ポートから前記第2の入力バッファ回路に入力されたデータを前記第2の出力バッファ回路まで伝達する第2のバイパス線と20  
を備え、

前記第1の出力バッファ回路は、前記読み出しモード時には前記第1の読み出しビット線によって伝達されるデータを前記第1の出力ポートに出力し、前記バイパスモード時には前記第1のバイパス線によって伝達されるデータを前記第1の出力ポートに出力し、

前記第2の出力バッファ回路は、前記読み出しモード時には前記第2の読み出しビット線によって伝達されるデータを前記第2の出力ポートに出力し、前記バイパスモード時には前記第2のバイパス線によって伝達されるデータを前記第2の出力ポートに出力し、

前記第1及び第2の出力バッファ回路のそれぞれは、センスアンプ回路と出力選択回路とを有し、

前記第1及び第2の出力バッファ回路における前記センスアンプ回路は、前記第1及び第2の読み出しビット線によって伝達されるデータをそれぞれ増幅して出力し、30

前記第1及び第2の出力バッファ回路における前記出力選択回路は、前記読み出しモード時には前記第1及び第2の出力バッファ回路における前記センスアンプ回路の出力を前記第1及び第2の出力ポートにそれぞれ出力し、前記バイパスモード時には前記第1及び第2のバイパス線によって伝達されるデータを前記第1及び第2の出力ポートにそれぞれ出力し、

平面視上のレイアウト構造において、

前記第1のメモリセルアレイは、前記第1の入力バッファ回路と前記第1の出力バッファ回路とに挟まれて配置されており、

前記第2のメモリセルアレイは、前記第2の入力バッファ回路と前記第2の出力バッファ回路とに挟まれて配置されており、40

前記第1のバイパス線は、前記第1及び第2のメモリセルアレイの間を通って配置されており、

前記第1のメモリセルアレイと、前記第1の出力バッファ回路の前記センスアンプ回路と、前記第1の出力バッファ回路の前記出力選択回路とは、この順で一列に配置されており、

前記第2のメモリセルアレイと、前記第2の出力バッファ回路の前記センスアンプ回路と、前記第2の出力バッファ回路の前記出力選択回路とは、この順で一列に配置されている、半導体装置。

請求項 1 に記載の半導体装置であって、

前記半導体装置は互いに積層された複数の配線層を有し、

レイアウト構造において、

平面視上では、前記第 1 の書き込みビット線及び前記第 1 の読み出しビット線は、前記第 1 のメモリセルアレイにおける前記複数のメモリセルが形成されている領域上に配置されており、前記第 2 の書き込みビット線及び前記第 2 の読み出しビット線は、前記第 2 のメモリセルアレイにおける前記複数のメモリセルが形成されている領域上に配置されており、

前記第 1 及び第 2 のバイパス線と、前記第 1 及び第 2 の書き込みビット線と、前記第 1 及び第 2 の読み出しビット線とは、同一配線層に配置されている、半導体装置。 10

### 【請求項 3】

書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、

前記半導体記憶部は、

所定方向に配列された複数のメモリセルを有するメモリセルアレイと、

データが入力される入力ポートと、

データが出力される出力ポートと、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、 20

前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、

前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、

前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、

受けたデータを前記出力ポートに出力する出力バッファ回路と、

前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しビット線と、 30

前記入力バッファ回路から前記出力バッファ回路まで延在し、前記入力ポートから前記入力バッファ回路に入力されたデータを前記出力バッファ回路まで伝達するバイパス線と、

、

前記メモリセルアレイに電源電位を与える電源配線と、

前記メモリセルアレイに接地電位を与える接地配線とを備え、

前記出力バッファ回路は、前記読み出しモード時には前記読み出しビット線によって伝達されるデータを前記出力ポートに出力し、前記バイパスモード時には前記バイパス線によって伝達されるデータを前記出力ポートに出力し、

前記出力バッファ回路は、

前記読み出しビット線によって伝達されるデータを増幅して出力するセンスアンプ回路と、

前記読み出しモード時には前記センスアンプ回路の出力を前記出力ポートに出力し、前記バイパスモード時には前記バイパス線によって伝達されるデータを前記出力ポートに出力する出力選択回路と

を有し、

平面視上のレイアウト構造において、

前記メモリセルアレイは、前記入力バッファ回路と前記出力バッファ回路とに挟まれて配置されており、

前記バイパス線、前記書き込みビット線、前記読み出しビット線、前記電源配線及び前 50

記接地配線は、前記メモリセルアレイにおける前記複数のメモリセルが形成されている領域上に配置されており、

前記メモリセルアレイと、前記センスアンプ回路と、前記出力選択回路とは、この順で一列に配置されている、半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置であって、

前記半導体装置は互いに積層された複数の配線層を有し、

レイアウト構造において、前記バイパス線、前記書き込みビット線、前記読み出しビット線、前記電源配線及び前記接地配線は、同一配線層に配置されている、半導体装置。

【請求項 5】

請求項 3 に記載の半導体装置であって、

前記半導体装置は互いに積層された複数の配線層を有し、

レイアウト構造において、

前記書き込みビット線、前記読み出しビット線、前記電源配線及び前記接地配線は、同一配線層に配置されており、

前記バイパス線は、平面視上で前記電源配線あるいは前記接地配線に重なるようにこれらとは別の配線層に配置されている、半導体装置。

【請求項 6】

書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、

前記半導体記憶部は、

所定方向に配列された複数のメモリセルを有するメモリセルアレイと、

データが入力される入力ポートと、

データが出力される出力ポートと、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、

前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、

前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、

前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、

受けたデータを前記出力ポートに出力する出力バッファ回路と、

前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しビット線とを備え、

前記書き込みビット線は前記メモリセルアレイから前記出力バッファ回路にまで延長されており、

前記出力バッファ回路は、前記読み出しモード時には前記読み出しビット線によって伝達されるデータを前記出力ポートに出力し、前記バイパスモード時には前記書き込みビット線によって伝達されるデータを前記出力ポートに出力し、

前記入力バッファ回路は、

前記書き込みモード時には前記入力ポートに入力されたデータを制御信号に基づいて出力し、前記バイパスモード時には前記制御信号に関わらず前記入力ポートに入力されたデータを出力するデータ切換回路と

前記データ切換回路から出力されるデータを受けて前記書き込みビット線に出力するビット線ドライバ回路と

を有し、

10

20

30

40

50

前記出力バッファ回路は、  
前記読み出しビット線によって伝達されるデータを増幅して出力するセンスアンプ回路  
と、

前記読み出しモード時には前記センスアンプ回路の出力を前記出力ポートに出し、前記  
バイパスモード時には前記書き込みビット線によって伝達されるデータを前記出力ポート  
に出力する出力選択回路と  
を有する、半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置であって、  
平面視上のレイアウト構造では、前記メモリセルアレイは前記入力バッファ回路と前記  
出力バッファ回路とに挟まれて配置されている、半導体装置。 10

【請求項 8】

書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半  
 導体装置であって、

前記半導体記憶部は、  
 所定方向に配列された複数のメモリセルを有するメモリセルアレイと、  
 データが入力される入力ポートと、  
 データが出力される出力ポートと、  
 前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み  
 出しワード線と、 20

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き  
 込みワード線と、

前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記  
 読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回  
 路と、

前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、  
 前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路か  
 ら出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、  
 受けたデータを前記出力ポートに出力する出力バッファ回路と、  
 前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイか  
 らのデータを前記出力バッファ回路まで伝達する読み出しビット線と 30  
 を備え、

前記書き込みビット線は前記メモリセルアレイから前記出力バッファ回路にまで延長さ  
 れており、

前記出力バッファ回路は、前記読み出しモード時には前記読み出しビット線によって伝  
 達されるデータを前記出力ポートに出力し、前記バイパスモード時には前記書き込みビット  
 線によって伝達されるデータを前記出力ポートに出力し、

前記メモリセルアレイは、前記所定方向に配列された前記複数のメモリセルから成る第  
1 のメモリセル列と、前記所定方向に配列された複数のメモリセルから成る第 2 のメモリ  
セル列とを有し、 40

前記複数の読み出しワード線は、前記第 1 及び第 2 のメモリセル列のそれぞれにおける  
前記複数のメモリセルにそれぞれ接続されており、

前記複数の書き込みワード線は、前記第 1 及び第 2 のメモリセル列のそれぞれにおける  
前記複数のメモリセルにそれぞれ接続されており、

前記書き込みビット線は、前記入力バッファ回路から前記第 1 のメモリセル列まで延在  
し、前記入力バッファ回路から出力されるデータを前記第 1 のメモリセル列まで伝達する  
第 1 の書き込みビット線と、前記入力バッファ回路から前記第 2 のメモリセル列まで延在  
し、前記入力バッファ回路から出力されるデータを前記第 2 のメモリセル列まで伝達する  
第 2 の書き込みビット線とを含み、

前記読み出しビット線は、前記第 1 のメモリセル列から前記出力バッファ回路まで延在 50

し、前記第1のメモリセル列からのデータを前記出力バッファ回路まで伝達する第1の読み出しビット線と、前記第2のメモリセル列から前記出力バッファ回路まで延在し、前記第2のメモリセル列からのデータを前記出力バッファ回路まで伝達する第2の読み出しビット線とを含み、

前記第1の書き込みビット線は前記第1のメモリセル列から前記出力バッファ回路にまで延長されており、

前記入力バッファ回路は、前記入力ポートに入力されたデータを、前記書き込みモード時には第1の選択信号に基づいて前記第1及び第2の書き込みビット線のどちらか一方に出力し、前記バイパスモード時には前記第2の書き込みビット線には出力せずに前記第1の書き込みビット線に出力し、

10

前記出力バッファ回路は、前記読み出しモード時には第2の選択信号に基づいて前記第1及び第2の読み出しビット線によって伝達されるデータのどちらか一方を前記出力ポートに出力し、前記バイパスモード時には前記第1の書き込みビット線によって伝達されるデータを前記出力ポートに出力する、半導体装置。

#### 【請求項9】

書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、

前記半導体記憶部は、

所定方向に配列された複数のメモリセルを有するメモリセルアレイと、

データが入力される入力ポートと、

20

データが出力される出力ポートと、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、

前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、

前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、

前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、

前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、

30

受けたデータを前記出力ポートに出力する出力バッファ回路と、

前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しビット線とを備え、

前記読み出しビット線は前記メモリセルアレイから前記入力バッファ回路にまで延長されており、

前記入力バッファ回路は、前記書き込みモード時には前記入力ポートに入力されたデータを前記読み出しビット線には出力せずに前記書き込みビット線に出力し、前記バイパスモード時には前記入力ポートに入力されたデータを前記読み出しビット線に出力する、半導体装置。

40

#### 【請求項10】

請求項9に記載の半導体装置であって、

前記入力バッファ回路は、

前記入力ポートに入力されたデータを、前記読み出しモード時及び前記書き込みモード時には前記読み出しビット線には出力せず、前記バイパスモード時には前記読み出しビット線に出力するビット線切換回路と、

前記書き込みモード時には前記入力ポートに入力されたデータを制御信号に基づいて前記書き込みビット線に出力するビット線ドライバ回路とを有する、半導体装置。

50

## 【請求項 1 1】

書き込みモード、読み出しモード及びバイパスモードを有する半導体装置であって、所定方向に配列された複数のメモリセルを有するメモリセルアレイと、外部から入力されたデータを受ける入力バッファ回路と、前記メモリセルから読み出されたデータを外部に出力する出力バッファ回路とを備え、

前記メモリセルアレイは、前記所定方向に配列された前記複数のメモリセルから成る第1のメモリセル列と、前記所定方向に配列された複数のメモリセルから成る第2のメモリセル列とを有し、

前記入力バッファ回路から前記第1のメモリセル列まで延在し、前記入力バッファ回路から出力されるデータを前記第1のメモリセル列まで伝達する第1の書き込みビット線と

前記入力バッファ回路から前記第2のメモリセル列まで延在し、前記入力バッファ回路から出力されるデータを前記第2のメモリセル列まで伝達する第2の書き込みビット線と

前記第1のメモリセル列から前記出力バッファ回路まで延在し、前記第1のメモリセル列からのデータを前記出力バッファ回路まで伝達する第1の読み出しビット線と、

前記第2のメモリセル列から前記出力バッファ回路まで延在し、前記第2のメモリセル列からのデータを前記出力バッファ回路まで伝達する第2の読み出しビット線とをさらに備え、

前記第1の書き込みビット線は、前記入力バッファ回路、前記第1のメモリセル列および前記出力バッファ回路に接続され、

外部から前記入力バッファ回路に第1の選択信号、前記出力バッファ回路に第2の選択信号が入力され、

前記入力バッファ回路は、入力ポートに入力されたデータを、前記書き込みモード時には前記第1の選択信号に基づいて前記第1及び第2の書き込みビット線のどちらか一方に出力し、前記バイパスモード時には前記第1の書き込みビット線に出力し、

前記出力バッファ回路は、前記読み出しモード時には第2の選択信号に基づいて前記第1及び第2の読み出しビット線によって伝達されるデータのどちらか一方を出力し、前記バイパスモード時には前記第1の書き込みビット線によって伝達されるデータを出力する、半導体装置。

## 【請求項 1 2】

請求項 1 1 に記載の半導体装置であって、

前記メモリセルアレイは、前記入力バッファ回路と前記出力バッファ回路との間に配置される、半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、入力ポートと出力ポートとが分離された半導体記憶部を備える半導体装置に関する。 40

## 【背景技術】

## 【0 0 0 2】

入力ポートと出力ポートとが分離された多ポートメモリに関して従来から様々な技術が提案されている。 例えは特許文献1には、入力ポートに入力されたデータを直接出力ポートに出力するバイパス手段を設けて、当該バイパス手段を利用して半導体記憶装置のテストを行う技術が開示されている。

## 【0 0 0 3】

また、半導体記憶装置に関するその他の技術が特許文献2, 3に記載されている。

## 【0 0 0 4】

## 【特許文献1】特開平9-54142号公報 50

【特許文献2】特開2001-23400号公報

【特許文献3】特開平5-74198号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献1に記載されている技術のように、半導体記憶装置において入力ポートに入力されたデータを直接出力ポートに出力するバイパス機能を実現する際には、装置の小型化あるいは製造工程の簡略化のために、できるだけレイアウト構造が複雑にならないようにする必要がある。

【0006】

10

特許文献1では、入力ポートと出力ポートとをレイアウト上近接して配置する技術は開示されているが、バイパス手段をどのようなレイアウトで配置するかについては具体的に記載されていない。したがって、特許文献1の技術からは最適なレイアウト構造を得ることはできない。

【0007】

そこで、本発明は上述の点に鑑みて成されたものであり、入力ポートと出力ポートとが分離され、バイパス機能を備える半導体記憶部を有する半導体装置において、レイアウト構造の簡素化が可能な技術を提供することを目的とする。

【課題を解決するための手段】

【0008】

20

この発明の第1の半導体装置は、書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、前記半導体記憶部は、所定方向に配列された複数のメモリセルをそれぞれが有する第1及び第2のメモリセルアレイと、前記第1及び第2のメモリセルアレイにそれぞれ対応して設けられ、それぞれにデータが入力される第1及び第2の入力ポートと、前記第1及び第2のメモリセルアレイにそれぞれ対応して設けられ、それだからデータが出力される第1及び第2の出力ポートと、前記第1及び第2のメモリセルアレイのそれにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、前記第1及び第2のメモリセルアレイのそれにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、前記第1及び第2の入力ポートに入力されたデータをそれぞれ受けて出力する第1及び第2の入力バッファ回路と、前記第1の入力バッファ回路から前記第1のメモリセルアレイまで延在し、前記第1の入力バッファ回路から出力されるデータを前記第1のメモリセルアレイまで伝達する第1の書き込みビット線と、前記第2の入力バッファ回路から前記第2のメモリセルアレイまで延在し、前記第2の入力バッファ回路から出力されるデータを前記第2のメモリセルアレイまで伝達する第2の書き込みビット線と、受けたデータを前記第1及び第2の出力ポートにそれぞれ出力する第1及び第2の出力バッファ回路と、前記第1のメモリセルアレイから前記第1の出力バッファ回路まで延在し、前記第1のメモリセルアレイからのデータを前記第1の出力バッファ回路まで伝達する第1の読み出しビット線と、前記第2のメモリセルアレイから前記第2の出力バッファ回路まで延在し、前記第2のメモリセルアレイからのデータを前記第2の出力バッファ回路まで伝達する第2の読み出しビット線と、前記第1の入力バッファ回路から前記第1の出力バッファ回路まで延在し、前記第1の入力ポートから前記第1の入力バッファ回路に入力されたデータを前記第1の出力バッファ回路まで伝達する第1のバイパス線と、前記第2の入力バッファ回路から前記第2の出力バッファ回路まで延在し、前記第2の入力ポートから前記第2の入力バッファ回路に入力されたデータを前記第2の出力バッファ回路まで伝達する第2のバイパス線とを備え、前記第1の出力バッファ回路は、前記読み出しモード時には前記第1の読み出しビット線によって伝達されるデータを前記第1の出力ポートに出力し、前記バイパスモード時には前記第1のバイパス線によって伝達されるデータを前記第1の出力ポート

30

40

50

に出力し、前記第2の出力バッファ回路は、前記読み出しモード時には前記第2の読み出しひット線によって伝達されるデータを前記第2の出力ポートに出力し、前記バイパスモード時には前記第2のバイパス線によって伝達されるデータを前記第2の出力ポートに出力し、前記第1及び第2の出力バッファ回路のそれぞれは、センスアンプ回路と出力選択回路とを有し、前記第1及び第2の出力バッファ回路における前記センスアンプ回路は、前記第1及び第2の読み出しひット線によって伝達されるデータをそれぞれ増幅して出力し、前記第1及び第2の出力バッファ回路における前記センスアンプ回路の出力を前記第1及び第2の出力ポートにそれぞれ出力し、前記バイパスモード時には前記第1及び第2の出力バッファ回路における前記センスアンプ回路の出力を前記第1及び第2の出力ポートにそれぞれ出力し、前記バイパスモード時には前記第1及び第2のバイパス線によって伝達されるデータを前記第1及び第2の出力ポートにそれぞれ出力し、平面視上のレイアウト構造において、前記第1のメモリセルアレイは、前記第1の入力バッファ回路と前記第1の出力バッファ回路とに挟まれて配置されており、前記第2のメモリセルアレイは、前記第2の入力バッファ回路と前記第2の出力バッファ回路とに挟まれて配置されており、前記第1のバイパス線は、前記第1及び第2のメモリセルアレイの間を通って配置されており、前記第1のメモリセルアレイと、前記第1の出力バッファ回路の前記センスアンプ回路と、前記第1の出力バッファ回路の前記出力選択回路とは、この順で一列に配置されており、前記第2のメモリセルアレイと、前記第2の出力バッファ回路の前記センスアンプ回路と、前記第2の出力バッファ回路の前記出力選択回路とは、この順で一列に配置されている。

## 【0009】

また、この発明の第2の半導体装置は、書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、前記半導体記憶部は、所定方向に配列された複数のメモリセルを有するメモリセルアレイと、データが入力される入力ポートと、データが出力される出力ポートと、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しづード線と、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しづード線のいずれか一つを活性化するデコーダ回路と、前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、受けたデータを前記出力ポートに出力する出力バッファ回路と、前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しひット線と、前記入力バッファ回路から前記出力バッファ回路まで延在し、前記入力ポートから前記入力バッファ回路に入力されたデータを前記出力バッファ回路まで伝達するバイパス線と、前記メモリセルアレイに電源電位を与える電源配線と、前記メモリセルアレイに接地電位を与える接地配線とを備え、前記出力バッファ回路は、前記読み出しモード時には前記読み出しひット線によって伝達されるデータを前記出力ポートに出力し、前記バイパスモード時には前記バイパス線によって伝達されるデータを前記出力ポートに出力し、前記出力バッファ回路は、前記読み出しひット線によって伝達されるデータを増幅して出力するセンスアンプ回路と、前記読み出しモード時には前記センスアンプ回路の出力を前記出力ポートに出力し、前記バイパスモード時には前記バイパス線によって伝達されるデータを前記出力ポートに出力する出力選択回路とを有し、平面視上のレイアウト構造において、前記バイパス線、前記書き込みビット線、前記読み出しひット線、前記電源配線及び前記接地配線は、前記メモリセルアレイにおける前記複数のメモリセルが形成されている領域上に配置されており、前記メモリセルアレイと、前記センスアンプ回路と、前記出力選択回路とは、この順で一列に配置されている。

## 【0010】

また、この発明の第3の半導体装置は、書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、前記半導体記憶部は、所定方

10

20

30

40

50

向に配列された複数のメモリセルを有するメモリセルアレイと、データが入力される入力ポートと、データが出力される出力ポートと、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、受けたデータを前記出力ポートに出力する出力バッファ回路と、前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しビット線とを備え、前記書き込みビット線は前記メモリセルアレイから前記出力バッファ回路にまで延長されており、前記出力バッファ回路は、前記読み出しモード時には前記読み出しビット線によって伝達されるデータを前記出力ポートに出力し、前記バイパスモード時には前記書き込みビット線によって伝達されるデータを前記出力ポートに出力し、前記入力バッファ回路は、前記書き込みモード時には前記入力ポートに入力されたデータを制御信号に基づいて出力し、前記バイパスモード時には前記制御信号に関わらず前記入力ポートに入力されたデータを出力するデータ切換回路と、前記データ切換回路から出力されるデータを受けて前記書き込みビット線に出力するビット線ドライバ回路とを有し、前記出力バッファ回路は、前記読み出しビット線によって伝達されるデータを增幅して出力するセンスアンプ回路と、前記読み出しモード時には前記センスアンプ回路の出力を前記出力ポートに出力し、前記バイパスモード時には前記書き込みビット線によって伝達されるデータを前記出力ポートに出力する出力選択回路とを有する。

#### 【0011】

また、この発明の第4の半導体装置は、書き込みモード、読み出しモード及びバイパスモードを有する半導体記憶部を備える半導体装置であって、前記半導体記憶部は、所定方向に配列された複数のメモリセルを有するメモリセルアレイと、データが入力される入力ポートと、データが出力される出力ポートと、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の読み出しワード線と、前記メモリセルアレイにおける前記複数のメモリセルにそれぞれ接続された複数の書き込みワード線と、前記書き込みモード時に前記複数の書き込みワード線のいずれか一つを活性化し、前記読み出しモード時に前記複数の読み出しワード線のいずれか一つを活性化するデコーダ回路と、前記入力ポートに入力されたデータを受けて出力する入力バッファ回路と、前記入力バッファ回路から前記メモリセルアレイまで延在し、前記入力バッファ回路から出力されるデータを前記メモリセルアレイまで伝達する書き込みビット線と、受けたデータを前記出力ポートに出力する出力バッファ回路と、前記メモリセルアレイから前記出力バッファ回路まで延在し、前記メモリセルアレイからのデータを前記出力バッファ回路まで伝達する読み出しビット線とを備え、前記読み出しビット線は前記メモリセルアレイから前記入力バッファ回路にまで延長されており、前記入力バッファ回路は、前記書き込みモード時には前記入力ポートに入力されたデータを前記読み出しビット線には出力せずに前記書き込みビット線に出力し、前記バイパスモード時には前記入力ポートに入力されたデータを前記読み出しビット線に出力する。

#### 【発明の効果】

#### 【0012】

この発明の第1の半導体装置によれば、平面視上のレイアウト構造において、第1のバイパス線が第1及び第2のメモリセルアレイの間を通って配置されているため、メモリセルアレイが形成されている領域内のレイアウト構造に影響されることなく第1のバイパス線を配線することができる。その結果、レイアウト構造の簡素化が可能となり、装置の小型化及び製造工程の簡略化が可能となる。更に、第1のバイパス線によって伝達されるデ

10

20

30

40

50

ータが、メモリセルアレイが形成されている領域内の配線電位から受ける影響を低減することができる。

#### 【0013】

また、この発明の第2の半導体装置によれば、メモリセルアレイが入力バッファ回路と出力バッファ回路とに挟まれたレイアウト構造において、バイパス線、書き込みビット線、読み出しビット線、電源配線及び接地配線が、メモリセルアレイにおける複数のメモリセルが形成されている領域上に配置されているため、レイアウト構造を簡素化できる。その結果、装置の小型化及び製造工程の簡略化が可能となる。

#### 【0014】

また、この発明の第3の半導体装置によれば、書き込みビット線をメモリセルアレイから出力バッファ回路にまで延長させて、入力ポートに入力されたデータをそのまま出力ポートに出力することを可能にしている。このように、書き込みビット線を利用してバイパス機能を実現することによってレイアウト構造が簡素化される。その結果、装置の小型化及び製造工程の簡略化が可能となる。

#### 【0015】

また、この発明の第4の半導体装置によれば、読み出しビット線をメモリセルアレイから入力バッファ回路にまで延長させて、入力ポートに入力されたデータをそのまま出力ポートに出力することを可能にしている。このように、読み出しビット線を利用してバイパス機能を実現することによってレイアウト構造が簡素化される。その結果、装置の小型化及び製造工程の簡略化が可能となる。

#### 【発明を実施するための最良の形態】

#### 【0016】

実施の形態1.

図1は本発明の実施の形態1に係る半導体記憶装置100のレイアウト構造を模式的に示す平面図である。図1に示されるように、本実施の形態1に係る半導体記憶装置100は、n(1)個の入力ポートIN0~INn-1と、n個の出力ポートOUT0~OUTn-1と、ライト制御回路2と、リード制御回路3と、デコーダ回路4とを備えている。さらに、本実施の形態1に係る半導体記憶装置では、一つのメモリセルアレイ1と、一つの入力バッファ回路5と、一つの出力バッファ回路6とで構成される組がn組設けられている。

#### 【0017】

本半導体記憶装置100にはnビットの入力データD[n-1:0]が入力され、本半導体記憶装置100からはnビットの出力データQ[n-1:0]が出力される。入力ポートIN0~INn-1には入力データD[0]~D[n-1]がそれぞれ入力され、出力ポートOUT0~OUTn-1からは出力データQ[0]~Q[n-1]がそれぞれ出力される。

#### 【0018】

nビットの入力データD[n-1:0]のうちのある入力データD[i]は、入力ポートINiを介して一つの入力バッファ回路5に入力される、入力データD[i]が入力される入力バッファ回路5と同じ組に属する出力バッファ回路6からは出力データQ[i]が出力され、当該出力データQ[i]は出力ポートOUTiを介して本半導体記憶装置100の外部に出力される。なお、iは0~nを満足する任意の整数である。

#### 【0019】

本実施の形態1に係る半導体記憶装置100のレイアウト構造では、一つの組を構成する入力バッファ回路5、メモリセルアレイ1及び出力バッファ回路6は、図1に示されるように、平面視上、この順でX軸方向に沿って配置されている。したがって、平面視上のレイアウト構造では、メモリセルアレイ1は、それと同じ組に属する入力バッファ回路5と出力バッファ回路6とで挟まれるように配置されている。

#### 【0020】

また、本半導体記憶装置100のレイアウト構造では、平面視上、ライト制御回路2と

10

20

30

40

50

$n$  個の入力バッファ回路 5 とは X 軸方向に垂直な Y 軸方向に沿って一列に配置されており、デコーダ回路 4 と  $n$  個のメモリセルアレイ 1 とは Y 軸方向に沿って一列に配置されており、リード制御回路 3 と  $n$  個の出力バッファ回路 6 とは Y 軸方向に沿って一列に配置されている。そして、ライト制御回路 2 とデコーダ回路 4 とリード制御回路 3 とはこの順で X 軸方向に沿って配置されている。

#### 【0021】

図 2 はライト制御回路 2 の回路構成を示す図である。ライト制御回路 2 は、本半導体記憶装置 100 の外部から供給される書き込みクロック信号 WCLK に同期して動作し、入力バッファ回路 5 及びメモリセルアレイ 1 の動作を制御して、本半導体記憶装置 100 での入力データ D [ n - 1 : 0 ] のメモリセルアレイ 1 への書き込みを制御する。

10

#### 【0022】

図 2 に示されるように、ライト制御回路 2 は、インバータ回路 2a, 2b と、バッファ回路 2c と、AND 回路 2d, 2e と、遅延回路 2f と、フリップフロップ回路（図中では「FF」と表記）2g ~ 2i と、内部アドレス生成回路 20 を備えている。なお本明細書では、「フリップフロップ回路」といえば、ディレイフリップフロップ回路（D - FF）を意味するものとする。

#### 【0023】

インバータ回路 2a は書き込みクロック信号 WCLK を反転して出力し、インバータ回路 2b はインバータ回路 2a の出力を反転して出力する。インバータ回路 2b の出力は、ライト制御回路 2 が備えるすべてのフリップフロップ回路の CLK 入力端子に入力される。遅延回路 2f は書き込みクロック信号 WCLK を所定時間遅延して出力する。フリップフロップ回路 2g, 2h の D 入力端子には、書き込み制御信号 WEN 及び書き込みセル選択制御信号 WCE がそれぞれ入力される。AND 回路 2e は、フリップフロップ回路 2g の Q バー出力と、フリップフロップ回路 2h の Q バー出力との論理積を演算して出力する。AND 回路 2d は、遅延回路 2f の出力と、書き込みクロック信号 WCLK と、AND 回路 2e の出力との論理積を求めて出力する。バッファ回路 2c は AND 回路 2d の出力をそのままの論理レベルで反転書き込み制御信号 /w en として出力する。フリップフロップ回路 2i の D 入力端子にはバイパス制御信号 BP が入力され、その Q 出力は内部バイパス制御信号 bp としてリード制御回路 3 に入力される。

20

#### 【0024】

内部アドレス生成回路 20 は、AND 回路 20a ~ 20l と、フリップフロップ回路 20m ~ 20q を備えている。フリップフロップ回路 20q, 20p, 20o, 20n, 20m の D 入力端子には書き込みアドレス信号 WA [ 0 ] ~ WA [ 4 ] がそれぞれ入力される。AND 回路 20a は、AND 回路 2d の出力及びフリップフロップ回路 20m, 20n の Q 出力の論理積を演算して内部書き込みアドレス信号 WAA [ 3 ] として出力する。AND 回路 20b は、AND 回路 2d の出力、フリップフロップ回路 20m の Q 出力及びフリップフロップ回路 20n の Q バー出力の論理積を演算して内部書き込みアドレス信号 WAA [ 2 ] として出力する。AND 回路 20c は、AND 回路 2d の出力、フリップフロップ回路 20m の Q バー出力及びフリップフロップ回路 20n の Q 出力の論理積を演算して内部書き込みアドレス信号 WAA [ 1 ] として出力する。AND 回路 20d は、AND 回路 2d の出力及びフリップフロップ回路 20m, 20n の Q バー出力の論理積を演算して内部書き込みアドレス信号 WAA [ 0 ] として出力する。

40

#### 【0025】

AND 回路 20e は、フリップフロップ回路 20o ~ 20q の Q 出力の論理積を演算して内部書き込みアドレス信号 WAB [ 7 ] として出力する。AND 回路 20f は、フリップフロップ回路 20o, 20p の Q 出力及びフリップフロップ回路 20q の Q バー出力の論理積を演算して内部書き込みアドレス信号 WAB [ 6 ] として出力する。AND 回路 20g は、フリップフロップ回路 20o, 20q の Q 出力及びフリップフロップ回路 20p の Q バー出力の論理積を演算して内部書き込みアドレス信号 WAB [ 5 ] として出力する。AND 回路 20h は、フリップフロップ回路 20o の Q 出力及びフリップフロップ回路

50

20p, 20qのQバー出力の論理積を演算して内部書き込みアドレス信号WAB[4]として出力する。AND回路20iは、フリップフロップ回路20oのQバー出力及びフリップフロップ回路20p, 20qのQ出力の論理積を演算して内部書き込みアドレス信号WAB[3]として出力する。AND回路20jは、フリップフロップ回路20o, 20qのQバー出力及びフリップフロップ回路20pのQ出力の論理積を演算して内部書き込みアドレス信号WAB[2]として出力する。AND回路20kは、フリップフロップ回路20o, 20pのQバー出力及びフリップフロップ回路20qのQ出力の論理積を演算して内部書き込みアドレス信号WAB[1]として出力する。AND回路20lは、フリップフロップ回路20o~20qのQバー出力の論理積を演算して内部書き込みアドレス信号WAB[0]として出力する。

10

#### 【0026】

なお、ライト制御回路2に入力される書き込み制御信号WEN、書き込みセル選択制御信号WCEN、バイパス制御信号BP及び書き込みアドレス信号WA[4:0]は、書き込みクロック信号WCLKと同様に、本半導体記憶装置100の外部から入力される。

#### 【0027】

図3はリード制御回路3の回路構成を示す図である。リード制御回路3は、本半導体記憶装置100の外部から供給される読み出しクロック信号RCLKに同期して動作し、出力バッファ回路6及びメモリセルアレイ1の動作を制御して、本半導体記憶装置100でのメモリセルアレイ1からのデータの読み出しを制御する。

20

#### 【0028】

図3に示されるように、リード制御回路3は、インバータ回路3a~3cと、バッファ回路3dと、AND回路3eと、フリップフロップ回路3fと、上述の内部アドレス生成回路20とを備えている。インバータ回路3aはライト制御回路2から出力される内部バイパス制御信号bpを反転して反転バイパス制御信号/bpとして出力する。インバータ回路3bは読み出しクロック信号RCLKを反転して出力し、インバータ回路3cはインバータ回路3bの出力を反転して出力する。インバータ回路3cの出力は、リード制御回路3が備えるすべてのフリップフロップ回路のCLK入力端子に入力される。

#### 【0029】

フリップフロップ回路3fのD入力端子には読み出しセル選択制御信号RCENが入力される。AND回路3eは、読み出しクロック信号RCLKと、フリップフロップ回路3fのQバー出力と、内部バイパス制御信号bpの反転信号との論理積を演算して出力する。バッファ回路3dはAND回路3eの出力をそのままの論理レベルで内部読み出し制御信号rpscとして出力する。

30

#### 【0030】

リード制御回路3の内部アドレス生成回路20では、フリップフロップ回路20q, 20p, 20o, 20n, 20mのD入力端子には読み出しアドレス信号RA[0]~RA[4]がそれぞれ入力される。また、AND回路20a~20lのそれぞれには、AND回路2dの出力の替わりにAND回路3eの出力が入力される。そしてAND回路20a~20dの出力は、それぞれ内部読み出しアドレス信号RAA[3], RAA[2], RAA[1], RAA[0]として出力され、AND回路20e~20lの出力は、それぞれ内部読み出しアドレス信号RAB[7], RAB[6], RAB[5], RAB[4], RAB[3], RAB[2], RAB[1], RAB[0]として出力される。リード制御回路3における内部アドレス生成回路20の他の構成はライト制御回路2の内部アドレス生成回路20と同じである。

40

#### 【0031】

なお、リード制御回路3に入力される読み出しセル選択制御信号RCEN及び読み出しアドレス信号RA[4:0]は、読み出しクロック信号RCLKと同様に、本半導体記憶装置100の外部から入力される。

#### 【0032】

図4はデコーダ回路4の構成を示すブロック図である。図4に示されるように、デコー

50

ダ回路4は、32個のAND回路4a aを備える書き込みワード線デコーダ回路4aと、32個のAND回路4b bを備える読み出しワード線デコーダ回路4bとを備えている。書き込みワード線デコーダ回路4aは、内部書き込みアドレス信号WAA[0]と、内部書き込みアドレス信号WAB[0]～WAB[7]との論理積を演算して、それぞれ書き込みワード線選択信号WWS[0]～WWS[7]として出力し、内部書き込みアドレス信号WAA[1]と、内部書き込みアドレス信号WAB[0]～WAB[7]との論理積を演算して、それぞれ書き込みワード線選択信号WWS[8]～WWS[15]として出力する。また書き込みワード線デコーダ回路4aは、内部書き込みアドレス信号WAA[2]と、内部書き込みアドレス信号WAB[0]～WAB[7]との論理積を演算して、それぞれ書き込みワード線選択信号WWS[16]～WWS[23]として出力し、内部書き込みアドレス信号WAA[3]と、内部書き込みアドレス信号WAB[0]～WAB[7]との論理積を演算して、それぞれ書き込みワード線選択信号WWS[24]～WWS[31]として出力する。なお、32ビットの書き込みワード線選択信号WWS[31：0]は、書き込みワード線デコーダ回路4a内の32個のAND回路4a aからそれぞれ出力される。  
10

#### 【0033】

同様にして、読み出しワード線デコーダ回路4bは、内部読み出しアドレス信号RAA[0]と、内部読み出しアドレス信号RAB[0]～RAB[7]との論理積を演算して、それぞれ読み出しワード線選択信号RWS[0]～RWS[7]として出力し、内部読み出しアドレス信号RAA[1]と、内部読み出しアドレス信号RAB[0]～RAB[7]との論理積を演算して、それぞれ読み出しワード線選択信号RWS[8]～RWS[15]として出力する。また読み出しワード線デコーダ回路4bは、内部読み出しアドレス信号RAA[2]と、内部読み出しアドレス信号RAB[0]～RAB[7]との論理積を演算して、それぞれ読み出しワード線選択信号RWS[16]～RWS[23]として出力し、内部読み出しアドレス信号RAA[3]と、内部読み出しアドレス信号RAB[0]～RAB[7]との論理積を演算して、それぞれ読み出しワード線選択信号RWS[24]～RWS[31]として出力する。なお、32ビットの読み出しワード線選択信号RWS[31：0]は、読み出しワード線デコーダ回路4b内の32個のAND回路4b bからそれぞれ出力される。  
20

#### 【0034】

図5は、ある一つの組におけるメモリセルアレイ1、入力バッファ回路5及び出力バッファ回路6の回路構成と平面視上のレイアウト構造を示す図である。なお、図5に示される回路構成及びレイアウト構造は、メモリセルアレイ1、入力バッファ回路5及び出力バッファ回路6から成る組のすべてについて同様である。  
30

#### 【0035】

入力バッファ回路5は、入力ポートIN*i*に入力される入力データD[i]を受けて、ライト制御回路2から出力される反転書き込み制御信号/wenに基づいて当該入力データD[i]をメモリセルアレイ1に出力する。図5に示されるように、入力バッファ回路5は、フリップフロップ回路5aと、インバータ回路5b, 5cと、バッファ回路5dと、NAND回路5e, 5fと、PMOSトランジスタ5g, 5iと、NMOSトランジスタ5h, 5jとを備えている。  
40

#### 【0036】

フリップフロップ回路5aのD入力端子には入力データD[i]が入力され、そのQ出力はデータd[i]としてインバータ回路5bの入力端子に入力される。またフリップフロップ回路5aのQ出力端子は、入力バッファ回路5から出力バッファ回路6まで延在するバイパス線BPLの一端に接続されており、データd[i]はバイパス信号BPSとしてバイパス線BPLによって出力バッファ回路6に伝達される。なお、フリップフロップ回路5aのCLK入力端子にはライト制御回路2のインバータ回路2bの出力が入力される。

#### 【0037】

50

インバータ回路 5 b はデータ d [ i ] を反転して出力し、インバータ回路 5 c はインバータ回路 5 b の出力を反転して出力する。バッファ回路 5 d は、ライト制御回路 2 から出力される反転書き込み制御信号 / w e n をそのままの論理レベルで出力する。N A N D 回路 5 e は、インバータ回路 5 c の出力とバッファ回路 5 d の出力との否定論理積を演算して出力する。N A N D 回路 5 f は、インバータ回路 5 b の出力とバッファ回路 5 d の出力との否定論理積を演算して出力する。

#### 【 0 0 3 8 】

P M O S トランジスタ 5 g , 5 i のソース端子のそれには電源電位が印加され、N M O S トランジスタ 5 h , 5 j のソース端子のそれには接地電位が印加される。P M O S トランジスタ 5 g のドレイン端子とN M O S トランジスタ 5 h のドレイン端子とは互いに接続されており、両ドレイン端子には、入力バッファ回路 5 からメモリセルアレイ 1 にまで延在する書き込みビット線W B A の一端が接続されている。一方で、P M O S トランジスタ 5 i のドレイン端子とN M O S トランジスタ 5 j のドレイン端子とは互いに接続されており、両ドレイン端子には、入力バッファ回路 5 からメモリセルアレイ 1 にまで延在する書き込みビット線W B B の一端が接続されている。P M O S トランジスタ 5 g とN M O S トランジスタ 5 h のゲート端子にはN A N D 回路 5 e の出力が入力され、P M O S トランジスタ 5 i とN M O S トランジスタ 5 j のゲート端子にはN A N D 回路 5 f の出力が入力される。

#### 【 0 0 3 9 】

この例では、一つのメモリセルアレイ 1 は 3 2 個のメモリセルM C を備えている。これらの 3 2 個のメモリセルM C は、平面視上のレイアウト構造において、n 個のメモリセルアレイ 1 の配列方向に垂直な方向、つまり図 1 の X 軸方向に沿って一列に配列されている。そして、n 個のメモリセルアレイ 1 全体においては、( 3 2 × n ) 個のメモリセルM C は、レイアウト上、X 軸方向に 3 2 個、Y 軸方向に n 個並ぶ行列状に配置されている。

#### 【 0 0 4 0 】

各メモリセルM C は、N M O S トランジスタ 1 0 a ~ 1 0 f と、インバータ回路 1 0 g , 1 0 h とを備えている。N M O S トランジスタ 1 0 a のドレイン端子は書き込みビット線W B B に接続されており、そのソース端子はインバータ回路 1 0 g の入力端子と、インバータ回路 1 0 h の出力端子と、N M O S トランジスタ 1 0 d のゲート端子とに接続されている。N M O S トランジスタ 1 0 b のドレイン端子は書き込みビット線W B A に接続されており、そのソース端子はインバータ回路 1 0 g の出力端子と、インバータ回路 1 0 h の入力端子と、N M O S トランジスタ 1 0 e のゲート端子とに接続されている。N M O S トランジスタ 1 0 c のドレイン端子は、メモリセルアレイ 1 から出力バッファ回路 6 にまで延在する読み出しビット線R B A に接続されており、そのソース端子はN M O S トランジスタ 1 0 d のドレイン端子に接続されている。N M O S トランジスタ 1 0 f のドレイン端子は、メモリセルアレイ 1 から出力バッファ回路 6 にまで延在している読み出しビット線R B B に接続されており、そのソース端子はN M O S トランジスタ 1 0 e のドレイン端子に接続されている。N M O S トランジスタ 1 0 d , 1 0 e のソース端子には接地電位が印加される。

#### 【 0 0 4 1 】

メモリセルアレイ 1 の 3 2 個のメモリセルM C におけるN M O S トランジスタ 1 0 a , 1 0 b のゲート端子には 3 2 本の書き込みワード線W W L [ 3 1 : 0 ] がそれぞれ接続されている。書き込みワード線W W L [ 0 ] ~ W W L [ 3 1 ] にはデコーダ回路 4 から出力される書き込みワード線選択信号W W S [ 0 ] ~ W W S [ 3 1 ] がそれぞれ与えられ、メモリセルアレイ 1 にあるデータが書き込まれる際にはそれらのいずれか一つが活性化する。

#### 【 0 0 4 2 】

また、メモリセルアレイ 1 の 3 2 個のメモリセルM C におけるN M O S トランジスタ 1 0 c , 1 0 f のゲート端子には 3 2 本の読み出しワード線R W L [ 3 1 : 0 ] がそれぞれ接続されている。読み出しワード線R W L [ 0 ] ~ R W L [ 3 1 ] にはデコーダ回路 4 か

10

20

30

40

50

ら出力される読み出しワード線選択信号 RWS [ 0 ] ~ RWS [ 31 ] がそれぞれ与えられ、メモリセルアレイ 1 からあるデータが読み出される際にはそれらのいずれか一つが活性化する。j を 0 ~ n を満足する任意の整数とすると、書き込みワード線 WWL [ j ] と読み出しワード線 RWL [ j ] とは対となっており、同じメモリセル MC に接続されている。

#### 【 0043 】

出力バッファ回路 6 は、受けたデータを、リード制御回路 3 から出力される内部読み出し制御信号 rpc 及び反転バイパス制御信号 / b p に基づいて出力データ Q [ i ] として出力ポート OUT i に出力する。図 5 に示されるように、出力バッファ回路 6 は、読み出しひビット線 RBA , RBB によって伝達されるデータを増幅して出力するセンスアンプ回路 60 と、センスアンプ回路 60 から出力されるデータ及びバイパス信号 BPS のどちらか一方を出力ポート OUT i に出力する出力選択回路 61 とを備えている。10

#### 【 0044 】

センスアンプ回路 60 は、5つのPMOSトランジスタ 60a ~ 60e を備えている。PMOSトランジスタ 60a , 60c , 60d , 60e のソース端子には電源電位が印加される。PMOSトランジスタ 60a ~ 60c のそれぞれのゲート端子には内部読み出し制御信号 rpc が入力される。PMOSトランジスタ 60a , 60b , 60e のドレイン端子と PMOSトランジスタ 60d のゲート端子とは読み出しひビット線 RBA に接続されており、当該接続点の信号は出力信号 AA としてセンスアンプ回路 60 から出力される。PMOSトランジスタ 60c , 60d のドレイン端子と PMOSトランジスタ 60b のソース端子と PMOSトランジスタ 60e のゲート端子とは読み出しひビット線 RBB に接続されており、その接続点の信号は出力信号 AB としてセンスアンプ回路 60 から出力される。20

#### 【 0045 】

出力選択回路 61 は、インバータ回路 6a , 6b と、AND回路 6c ~ 6f と、OR回路 6g と、NOR回路 6h とを備えている。インバータ回路 6a の入力端子はバイパス線 BPL と接続されており、当該バイパス線 BPL によって伝達されるバイパス信号 BPS を反転して出力する。AND回路 6c は、インバータ回路 6a の出力の反転信号と反転バイパス制御信号 / b p の反転信号との論理積を演算して信号 BA として出力する。AND回路 6f は AND回路 6e の出力と、センスアンプ回路 60 からの出力信号 AA との論理積を演算して出力する。NOR回路 6h は、信号 BA と AND回路 6f の出力との否定論理和を演算して出力する。インバータ回路 6b は NOR回路 6h の出力を反転して出力データ Q [ i ] として出力ポート OUT [ i ] に出力する。AND回路 6d は、その一方の入力端子にバイパス線 BPL が接続されており、バイパス信号 BPS の反転信号と反転バイパス制御信号 / b p の反転信号との論理積を演算して信号 BB として出力する。OR回路 6g は、NOR回路 6h の出力の反転信号と、センスアンプ回路 60 からの出力信号 AB の反転信号との論理和を演算して出力する。AND回路 6e は、信号 BB の反転信号と OR回路 6g の出力との論理積を演算して出力する。30

#### 【 0046 】

本実施の形態 1 では、図 5 に示されるように、平面視上のレイアウト構造において、メモリセルアレイ 1 と、センスアンプ回路 60 と、出力選択回路 61 とが、この順で X 軸方向に沿って一列に配置されている。データの流れを考慮すると無駄な配線が不要となるためこのような順で配置することが望ましいが、レイアウトの制限等の理由から、メモリセルアレイ 1 、出力選択回路 61 、センスアンプ回路 60 の順で一列に配置しても良い。40

#### 【 0047 】

図 5 に示されるレイアウト例では、メモリセルアレイ 1 の右側にデコーダ回路 4 を設けたが、右側と左側に分けて、一方の側に書き込みワード線デコーダ回路 4a を、他方の側に読み出しワード線デコーダ回路 4b を設けても良い。

#### 【 0048 】

以上のような構成を備える本半導体記憶装置 100 は、例えば、動作周波数の異なる 2

50

つの演算回路間の動作タイミングを調整するために使用される。以下にこの使用例について説明する。

#### 【0049】

図6は、本半導体記憶装置100を半導体記憶部として複数備える半導体装置600の構成を示すブロック図である。図6に示されるように、半導体装置600は、3つの演算回路601～603と、2つの半導体記憶装置100とを備えている。演算回路601～603は互いに動作周波数が異なっている。2つの半導体記憶装置100は、演算回路601, 602の間にと、演算回路602, 603の間にそれぞれ配置されている。演算回路601は、本半導体装置600の外部から入力されたデータに対して所定の演算処理を行って一方の半導体記憶装置100に書き込む。演算回路602は、当該一方の半導体記憶装置100に書き込まれている、演算回路601で演算処理済みのデータを読み出して、当該データに対して所定の演算処理を行い他方の半導体記憶装置100に書き込む。演算回路603は、当該他方の半導体記憶装置100に書き込まれている、演算回路602で演算処理済みのデータを読み出して、当該データに対して所定の演算処理を行い、本半導体装置600の外部に出力する。

#### 【0050】

このように、互いに動作タイミングの異なる2つの演算回路間に本半導体記憶装置100を配置し、一方の演算回路からの出力データを一度本半導体記憶装置100に書き込むことによって、他方の演算回路は、一方の演算回路からの出力データを自身の動作タイミングで半導体記憶装置100内から読み出すことができる。したがって、他方の演算回路は、一方の演算回路の動作タイミングに依存せずに当該一方の演算回路からの出力データを受けることができる。

#### 【0051】

次に、本実施の形態1に係る半導体記憶装置100の動作について説明する。本半導体記憶装置100は通常動作モードとバイパスモードとの大きく2種類の動作モードを備えている。通常動作モードは書き込みモードと読み出しモードとから成り、書き込みモードでは本半導体記憶装置100はデータの書き込みが可能なメモリ回路として機能し、入力ポートIN0～INn-1に入力された入力データD[n-1:0]がn個のメモリセルアレイ1に書き込まれる。読み出しモードでは、本半導体記憶装置100はデータの読み出しが可能なメモリ回路として機能し、n個のメモリセルアレイ1から読み出されたデータが出力データQ[n-1:0]として出力ポートOUT0～OUTn-1から出力される。一方、バイパスモードでは、入力データD[n-1:0]がそのまま出力データQ[n-1:0]として出力され、メモリセルアレイ1からデータが読み出されない。

#### 【0052】

まず通常動作モードについて説明する。バイパス制御信号BP=0のとき、本半導体記憶装置100は通常動作モードで動作する。メモリセルアレイ1に入力データD[i]が書き込まれる書き込みモードでは、書き込み制御信号WEN及び書き込みセル選択制御信号WCENはともに“0”となる。そうすると、ライト制御回路2からは反転書き込み制御信号/wenとして正極性のパルス信号が出力されるとともに、ライト制御回路2及びデコーダ回路4の働きにより、書き込みアドレス信号WA[4:0]の値に応じて書き込みワード線選択信号WWs[31:0]のいずれか一つが“1”となって書き込みワード線WWL[31:0]のいずれか一つが活性化する。反転書き込み制御信号/wenが“1”となると、入力データD[i]が書き込みビット線WBA, WBBによってメモリセルアレイ1に伝達され、活性化された書き込みワード線WWL[j]に接続されたメモリセルMCに入力データD[i]が書き込まれる。

#### 【0053】

メモリセルアレイ1からデータが読み出される読み出しモードでは、読み出しセル選択制御信号RCENが“0”となる。そうすると、リード制御回路3からは内部読み出し制御信号rpdとして正極性のパルス信号が出力されるとともに、リード制御回路3及びデコーダ回路4の働きにより、読み出しアドレス信号RA[4:0]の値に応じて読み出し

10

20

30

40

50

ワード線選択信号 RWS [ 31 : 0 ] のいずれか一つが “1” となって読み出しワード線 RWL [ 31 : 0 ] のいずれか一つが活性化する。読み出しワード線 RWL [ j ] が活性化するとそれに接続されたメモリセル MC からデータが読み出されて、読み出しひット線 RBA , RBB によって出力バッファ回路 6 のセンスアンプ回路 60 に伝達される。

#### 【 0054 】

内部読み出し制御信号 rpc が “1” となると、メモリセル MC から読み出されたデータはセンスアンプ回路 60 で増幅される。バイパス制御信号 BPS = 0 のときには、ライト制御回路 2 から出力される内部バイパス制御信号 bps = 0 となり、リード制御回路 3 から出力される反転バイパス制御信号 /bps = 1 となる。その結果、信号 BA , BB はともに “0” となる。したがって、バイパス線 BPL によって伝達されるバイパス信号 BPS は出力選択回路 61 では受け付けられなくなり、出力選択回路 61 からはセンスアンプ回路 60 で増幅されたメモリセル MC からのデータが出力データ Q [ i ] として出力され、当該出力データ Q [ i ] は出力ポート OUTi から出力される。10

#### 【 0055 】

次にバイパスモードについて説明する。バイパス制御信号 BPS = 1 のとき、本半導体記憶装置 100 はバイパスモードで動作する。入力データ D [ i ] が入力バッファ回路 5 に入力されると、バイパス線 BPL は、入力された入力データ D [ i ] をバイパス信号 BPS として出力バッファ回路 6 に伝達する。バイパス制御信号 BPS = 1 のときには、ライト制御回路 2 から出力される内部バイパス制御信号 bps = 1 となり、リード制御回路 3 から出力される反転バイパス制御信号 /bps = 0 となる。その結果、信号 BA はバイパス信号 BPS と同じ論理レベルを示し、信号 BB はバイパス信号 BPS とは反対の論理レベルを示すようになる。そうすると、出力選択回路 61 からは入力データ D [ i ] が出力データ Q [ i ] として出力され、当該出力データ Q [ i ] は出力ポート OUTi から出力される。20

#### 【 0056 】

このように、バイパスモードでは、入力データ D [ i ] がバイパス線 BPL によって出力バッファ回路 6 に伝達され、当該出力バッファ回路 6 からは入力データ D [ i ] が出力データ Q [ i ] として出力される。したがって、上述の図 6 に示される演算回路 602 , 603 のように、本半導体記憶装置 100 の出力ポート OUT0 ~ OUTn-1 に接続された演算回路をテストする際に、テストデータを一度メモリセルアレイ 1 に書き込んでその後にメモリセルアレイ 1 からテストデータを読み出す必要はなく、入力ポート IN0 ~ INn-1 に入力されるテストデータを直接テスト対象の演算回路に与えることができる。その結果、テスト対象回路のテストを簡単に行うことができる。30

#### 【 0057 】

上述のように、本実施の形態 1 に係る半導体記憶装置 100 では、専用のバイパス線 BPL を設けることによって入力データ D [ i ] を出力バッファ回路 6 に伝達している。したがって、このバイパス線 BPL をレイアウト上どのように配置するかが問題となる。本実施の形態 1 では、メモリセルアレイ 1 間を通過するようにバイパス線 BPL を配置している。40

#### 【 0058 】

図 7 は、隣接する 2 つのメモリセルアレイ 1 におけるレイアウト構造を示す平面図である。図 7 では図面の煩雑さを避けるために本発明に関係するレイアウトパターンを主に示している。また図 7 中の領域 MCA は、一つのメモリセル MC が形成されている領域を示しており、メモリセル MC を構成するトランジスタの活性領域やゲート電極が配置された領域である。以後、領域 MCA を「メモリセル形成領域 MCA」と呼ぶ。なお、メモリセルアレイ 1 が形成されている領域内のレイアウトパターンについては、すべてのメモリセルアレイ 1 において共通しているため、図 7 では、左側のメモリセルアレイ 1 が形成されている領域内のレイアウトパターンについては読み出しワード線 RWL [ j ] , RWL [ j + 1 ] 及び書き込みワード線 WWL [ j - 1 ] , WWL [ j ] のみを示し、その他は省略している。50

## 【0059】

本半導体記憶装置100は、互いに積層された複数の配線層を有している。そして、図7に示されるように、書き込みビット線WBA, WBBと、読み出しビット線RBA, RBBと、バイパス線BPLと、電源配線VDDLと、接地配線VSSLとは、それらの配線層のうちの同一の配線層に配置されており、それぞれX軸方向に沿って延在している。また、各メモリセルアレイ1では、書き込みビット線WBA, WBBと、読み出しビット線RBA, RBBと、電源配線VDDLと、接地配線VSSLとは、各メモリセル形成領域MCA上に配置されている。なお、電源配線VDDL及び接地配線VSSLはメモリセルアレイ1内のトランジスタに電源電位及び接地電位をそれぞれ与える配線である。

## 【0060】

10

一方で、書き込みワード線WWL[31:0]及び読み出しワード線RWL[31:0]はY軸方向に沿って延在しており、書き込みビット線WBA, WBB等が配置されている配線層よりも上層の同一配線層に配置されている。以後、書き込みビット線WBA, WBB等が配置されている配線層を「下層の配線層」と呼び、書き込みワード線WWL[31:0]等が配置されている配線層を「上層の配線層」と呼ぶ。

## 【0061】

下層の配線層では、各メモリセルMCに対応して、メモリセルMCと読み出しワード線RWL[j]とを電気的に接続するための配線L1と、メモリセルMCと書き込みワード線WWL[j]とを電気的に接続するための配線L2とがさらに設けられている。そして、配線L1と読み出しワード線RWL[j]とはコンタクトC1で接続されており、配線L2と書き込みワード線WWL[j]とはコンタクトC2で接続されている。

20

## 【0062】

また下層の配線層では、メモリセルアレイ1ごとに2本の接地配線VSSLが配置されており、各メモリセルアレイ1では、配線L2、書き込みビット線WBA、一方の接地配線VSSL、書き込みビット線WBB、電源配線VDDL、読み出しビット線RBA、他方の接地配線VSSL、読み出しビット線RBB及び配線L1がこの順でY軸方向に沿って並べられている。そして、図7に示されるように、ある組における入力バッファ回路5から出力バッファ回路6まで延在するバイパス線BPLは、平面視上のレイアウト構造において、当該組に属するメモリセルアレイ1と、それに隣接するメモリセルアレイ1との間を通って配置されている。本実施の形態1では、バイパス線BPL、配線L2、書き込みビット線WBAの順でこれらはY軸方向に沿って配置されている。なお、上述のように、n個のメモリセルアレイ1はY軸方向に沿って一列に配列されているため、図1において一番下に位置するメモリセルアレイ1に対応するバイパス線BPLについては、メモリセルアレイ1間を通っていない。

30

## 【0063】

このように、平面視上のレイアウト構造において、隣接する2つのメモリセルアレイ1間を通ってバイパス線BPLを配置することによって、メモリセルアレイ1が形成されている領域内のレイアウト構造に影響されることなく当該バイパス線BPLを配線することができる。その結果、レイアウト構造の簡素化が可能となり、装置の小型化及び製造工程の簡略化が可能となる。更に、バイパス線BPLによって出力バッファ回路6にまで伝達されるバイパス信号BPSが、メモリセルアレイ1が形成されている領域内の読み出しビット線RBA, RBB等の配線の電位から受ける影響を低減することができる。

40

## 【0064】

また、入力バッファ回路5からメモリセルアレイ1まで延在する書き込みビット線WBA, WBBと、メモリセルアレイ1から出力バッファ回路6まで延在する読み出しビット線RBA, RBBと、入力バッファ回路5から出力バッファ回路6まで延在するバイパス線BPLとを、メモリセルアレイ1が入力バッファ回路5と出力バッファ回路6とで挟まれたレイアウト構造において配置する場合において、これらの配線を同一配線層に配置することによって、図7に示されるように、これらの配線のすべてを同一方向（図6ではX軸方向）に沿って延在させることができ、これらの配線のレイアウトパターンの形状を簡

50

単にすることができる。したがって、レイアウト構造が簡素化され、装置の小型化や製造工程の簡略化が可能となる。

#### 【0065】

なお本実施の形態1では、バイパス線BPL、配線L2、書き込みビット線WBAの順でこれらを配置したが、読み出しひット線RBB、配線L1、バイパス線BPLの順にこれらをY軸方向に沿って配置し、当該バイパス線BPLをメモリセルアレイ1間に配置しても良い。

#### 【0066】

また図8に示されるように、図7に示されるレイアウト構造において、例えば、図7に比べ電源配線VDDLのパターン幅を狭くして、当該電源配線VDDLと読み出しひット線RBAとに間にバイパス線BPLを配置し、平面視上のレイアウト構造において、バイパス線BPLを各メモリセル形成領域MCA上を通過するように配置しても良い。このように、メモリセルアレイ1が入力バッファ回路5と出力バッファ回路6とに挟まれたレイアウト構造において、バイパス線BPL、書き込みビット線WBA, WBB、読み出しひット線RBA, RBB、電源配線VDDL及び接地配線VSSLを、各メモリセル形成領域MCA上に配置することによって、レイアウト構造を簡素化でき、装置の小型化及び製造工程の簡略化が可能となる。

#### 【0067】

また図9に示されるように、図7に示されるレイアウト構造において、書き込みワード線WWL[31:0]等が配置されている配線層よりも上層の配線層にバイパス線BPLを配置するとともに、平面視上のレイアウト構造においてバイパス線BPLを各メモリセル形成領域MCA上に配置しても良い。このように、バイパス線BPLを、書き込みワード線WWL[31:0]等が配置されている配線層とは異なる配線層に配置するとともに、平面視上のレイアウト構造において各メモリセル形成領域MCA上に配置することによって、図7に示されるレイアウト構造と比較してレイアウト面積を縮小することができる。また図8に示されるレイアウト構造とは異なり、電源配線VDDLのパターン幅を小さくすることなくバイパス線BPLを配置することができるため、バイパス線BPLを柔軟に配置することができる。

#### 【0068】

なお図9に示されるように、バイパス線BPLは、平面視上のレイアウト構造において、電源配線VDDLと重なるように配置する方が好ましい。これにより、バイパス線BPLの電位は外部からのノイズの影響を受けにくくなり、バイパス線BPLの信号レベルが変動することを抑制できる。さらにバイパス線BPLの動作によるノイズが、下層の書き込みビット線WBA, WBB及び読み出しひット線RBA, RBBに対して影響を与えることなくなる。

#### 【0069】

図9のレイアウト例では、メモリセル形成領域MCAにおいて2本の接地配線VSSLと1本の電源配線VDDLとを配置しているために、電源配線VDDLの配線幅を接地配線VSSLよりも太くしているが、メモリセル形成領域MCAにおいて1本の接地配線VSSLと2本の電源配線VDDLとを配置しても良く、この場合には、接地配線VSSLの配線幅を電源配線VDDLよりも太くする。このような場合には、バイパス線BPLを平面視上のレイアウト構造において接地配線VSSLと重なるように配置するのが良い。この場合であっても同様の効果を生じる。さらには、バイパス線BPLを電源配線VDDLや接地配線VSSLの下層の配線層に配置しても良い。

#### 【0070】

##### 実施の形態2.

図10は本発明の実施の形態2に係る半導体記憶装置110のレイアウト構造を模式的に示す平面図である。本実施の形態2に係る半導体記憶装置110は、上述の実施の形態1に係る半導体記憶装置100において、ライト制御回路2の替わりにライト制御回路12を、n個の入力バッファ回路5の替わりにn個の入力バッファ回路15を、n個の出力

10

20

30

40

50

バッファ回路 6 の替わりに n 個の出力バッファ回路 1 6 を設けて、専用のバイパス線 B P L を設けることなくバイパス機能を実現したものである。実施の形態 1 と同様に、一つの入力バッファ回路 1 5 と、一つの出力バッファ回路 1 6 と、一つのメモリセルアレイ 1 とは一つの組を成している。ライト制御回路 1 2 、入力バッファ回路 1 5 及び出力バッファ回路 1 6 のレイアウトについては、実施の形態 1 に係るライト制御回路 2 、入力バッファ回路 5 及び出力バッファ回路 6 と同様である。

#### 【 0 0 7 1 】

図 1 1 はライト制御回路 1 2 の回路構成を示す図である。図 1 1 に示されるように、ライト制御回路 1 2 は、上述のライト制御回路 2 において、インバータ回路 1 2 a を更に設けて、バッファ回路 2 c の替わりに OR 回路 1 2 b 及び AND 回路 1 2 c , 1 2 d を設けたものである。インバータ回路 1 2 a は、フリップフロップ回路 2 i から出力される内部バイパス制御信号 b p を反転して反転バイパス制御信号 / w b p として出力する。AND 回路 1 2 c は、フリップフロップ回路 2 g , 2 h の Q 出力の反転信号の論理積を演算して出力する。OR 回路 1 2 b は、フリップフロップ回路 2 i の Q バー出力の反転信号と AND 回路 1 2 c の出力との論理和を演算して出力する。AND 回路 1 2 d は、OR 回路 1 2 b の出力と、遅延回路 2 f の出力と、書き込みクロック信号 W C L K との論理積を演算して反転書き込み制御信号 / w e n として出力する。実施の形態 1 ではバッファ回路 2 c の出力を反転書き込み制御信号 / w e n としていたが、本実施の形態 2 では AND 回路 1 2 d の出力を反転書き込み制御信号 / w e n としている。ライト制御回路 1 2 のその他の構成についてライト制御回路 2 と同様であるため、その説明は省略する。

10

#### 【 0 0 7 2 】

図 1 2 は、ある一つの組におけるメモリセルアレイ 1 、入力バッファ回路 1 5 及び出力バッファ回路 1 6 の回路構成及び平面視上のレイアウト構造を示す図である。入力バッファ回路 1 5 は、上述の入力バッファ回路 5 において、インバータ回路 1 5 a と、OR 回路 1 5 b , 1 5 c とを備えるデータ切換回路 1 5 0 を更に設けたものである。

20

#### 【 0 0 7 3 】

データ切換回路 1 5 0 は、書き込みモード時には入力データ D [ i ] を反転書き込み制御信号 / w e n に基づいて出力し、バイパスモード時には反転書き込み制御信号 / w e n に関わらず入力データ D [ i ] を出力する。データ切換回路 1 5 0 のインバータ回路 1 5 a は、ライト制御回路 1 2 から出力される反転バイパス制御信号 / w b p を反転して出力する。OR 回路 1 5 b , 1 5 c のそれぞれは、インバータ回路 1 5 a の出力とバッファ回路 5 d の出力との論理和を演算して出力する。

30

#### 【 0 0 7 4 】

本実施の形態 2 に係る NAND 回路 5 f は、実施の形態 1 とは異なり、OR 回路 1 5 b の出力とインバータ回路 5 b の出力との否定論理積を演算して出力し、NAND 回路 5 e は OR 回路 1 5 c の出力とインバータ回路 5 c の出力との否定論理積を演算して出力する。そして、NAND 回路 5 e , 5 f と、PMOS トランジスタ 5 g , 5 i と、NMOS トランジスタ 5 h , 5 j とは、データ切換回路 1 5 0 から出力されるデータを受けて書き込みビット線 W B A , W B B に出力するビット線ドライバ回路 1 5 1 を構成している。入力バッファ回路 1 5 のその他の構成について入力バッファ回路 5 と同様であるため、その説明は省略する。

40

#### 【 0 0 7 5 】

本実施の形態 2 に係る書き込みビット線 W B A , W B B は、実施の形態 1 とは異なり、メモリセルアレイ 1 から出力バッファ回路 1 6 にまで延長されており、出力バッファ回路 1 6 内の後述する AND 回路 1 6 b 及び NOR 回路 1 6 a にそれぞれ接続されている。

#### 【 0 0 7 6 】

出力バッファ回路 1 6 は、上述の出力バッファ回路 6 において、インバータ回路 6 a 及び AND 回路 6 c の替わりに AND 回路 1 6 b を設けて、AND 回路 6 d の替わりに NOR 回路 1 6 a を設けたものである。AND 回路 1 6 b は、書き込みビット線 W B A によって伝達される信号と、リード制御回路 3 から出力される反転バイパス制御信号 / b p の反

50

転信号との論理積を演算して信号 B A として出力する。N O R 回路 1 6 a は、書き込みビット線 W B B によって伝達される信号の反転信号と、リード制御回路 3 から出力される反転バイパス制御信号 / b p との否定論理和を演算して信号 B B として出力する。

#### 【 0 0 7 7 】

本実施の形態 2 に係る出力バッファ回路 1 6 では、インバータ回路 6 b と、A N D 回路 6 e , 6 f , 1 6 b と、O R 回路 6 g と、N O R 回路 6 h , 1 6 a とで、出力選択回路 1 6 0 を構成している。出力選択回路 1 6 0 は、読み出しモード時にはセンスアンプ回路 6 0 から出力されるデータを出力ポート O U T i に出力し、バイパスモード時には書き込みビット線 W B A , W B B によって伝達されるデータを出力ポート O U T i に出力する。出力バッファ回路 1 6 のその他の構成について出力バッファ回路 6 と同様であるため、その説明は省略する。10

#### 【 0 0 7 8 】

本実施の形態 2 では、図 1 2 に示されるように、平面視上のレイアウト構造において、データ切換回路 1 5 0 と、ビット線ドライバ回路 1 5 1 と、メモリセルアレイ 1 と、センスアンプ回路 6 0 と、出力選択回路 1 6 0 とが、この順で X 軸方向に沿って一列に配置されている。データの流れを考慮すると無駄な配線が不要となるためこのような順序で配置することが望ましいが、レイアウトの制限等の理由からこの順序で配置できない場合には、他の順序で配置しても良い。

#### 【 0 0 7 9 】

次に、本実施の形態 2 に係る半導体記憶装置 1 1 0 の動作について説明する。実施の形態 1 と同様に、バイパス制御信号 B P = 0 のとき本半導体記憶装置 1 1 0 は通常動作モードで動作する。バイパス制御信号 B P = 0 のとき、ライト制御回路 1 2 から出力される反転バイパス制御信号 / w b p は “ 1 ” となる。そうすると、入力バッファ回路 1 5 のデータ切換回路 1 5 0 では、インバータ回路 1 5 a の出力が “ 0 ” となる。20

#### 【 0 0 8 0 】

一方で、メモリセルアレイ 1 に入力データ D [ i ] が書き込まれる書き込みモードでは、書き込み制御信号 W E N 及び書き込みセル選択制御信号 W C E N はともに “ 0 ” となる。そうすると、ライト制御回路 1 2 からは反転書き込み制御信号 / w e n として正極性のパルス信号が出力されるとともに、ライト制御回路 1 2 及びデコーダ回路 4 の働きにより、書き込みアドレス信号 W A [ 4 : 0 ] の値に応じて書き込みワード線選択信号 W W S [ 3 1 : 0 ] のいずれか一つが “ 1 ” となって書き込みワード線 W W L [ 3 1 : 0 ] のいずれか一つが活性化する。インバータ回路 1 5 a の出力が “ 0 ” の状態で反転書き込み制御信号 / w e n が “ 1 ” となると、データ切換回路 1 5 0 から入力データ D [ i ] が出力されて、活性化された書き込みワード線 W W L [ j ] に接続されたメモリセル M C に入力データ D [ i ] が書き込まれる。30

#### 【 0 0 8 1 】

メモリセルアレイ 1 からデータが読み出される読み出しモードでは、実施の形態 1 と同様に、読み出しセル選択制御信号 R C E N が “ 0 ” となり、リード制御回路 3 からは内部読み出し制御信号 r p c として正極性のパルス信号が出力されるとともに、読み出しワード線 R W L [ 3 1 : 0 ] のいずれか一つが活性化する。読み出しワード線 R W L [ j ] が活性化するとそれに接続されたメモリセル M C からデータが読み出されて、読み出しビット線 R B A , R B B によって出力バッファ回路 1 6 のセンスアンプ回路 6 0 に伝達される。40

#### 【 0 0 8 2 】

内部読み出し制御信号 r p c = 1 となると、メモリセル M C から読み出されたデータはセンスアンプ回路 6 0 で増幅される。バイパス制御信号 B P = 0 のときには、実施の形態 1 と同様にリード制御回路 3 から出力される反転バイパス制御信号 / b p = 1 となり、信号 B A , B B はともに “ 0 ” となる。したがって、センスアンプ回路 6 0 で増幅されたメモリセル M C からのデータが出力選択回路 1 6 0 から出力データ Q [ i ] として出力されて、当該出力データ Q [ i ] は出力ポート O U T i から出力される。50

## 【0083】

次にバイパスモードについて説明する。実施の形態1と同様に、バイパス制御信号B P = 1のとき、本半導体記憶装置110はバイパスモードで動作する。バイパス制御信号B P = 1のとき、ライト制御回路12から出力される反転バイパス制御信号/w b pは“0”となる。そうすると、入力バッファ回路15のデータ切換回路150では、インバータ回路15aの出力が“1”となり、OR回路15b, 15cの出力は反転書き込み制御信号/w e nの値に関わらず常に“1”となる。よって、バイパスモード時には、ビット線ドライバ回路151によって、書き込みビット線W B Aには入力データD[i]と同じ論理レベルの信号が常に与えられ、書き込みビット線W B Bには入力データD[i]とは反対の論理レベルを示す信号が常に与えられる。

10

## 【0084】

バイパス制御信号B P = 1のときには、リード制御回路3から出力される反転バイパス制御信号/b p = 0となる。その結果、信号B Aは書き込みビット線W B Aによって伝達される信号と同じ論理レベルを示し、信号B Bは書き込みビット線W B Bによって伝達される信号と同じ論理レベルを示すようになる。一方で、バイパス制御信号B P = 1のときには、内部読み出し制御信号r p cは“0”となる。そうすると、センスアンプ回路60からの出力は常に“1”となる。よって、出力選択回路160からは入力データD[i]が出力され、出力ポートOUT iから入力データD[i]が出力される。

## 【0085】

このように、本実施の形態2に係る半導体記憶装置110では、本来の機能を果たすためにもともと入力バッファ回路15からメモリセルアレイ1にまで延在していた書き込みビット線W B A, W B Bを出力バッファ回路16にまで延長することによって、入力データD[i]を出力バッファ回路16にまで伝達し、入力データD[i]をそのまま出力ポートOUT iに出力することを可能にしている。このように、書き込みビット線W B A, W B Bを利用してバイパス機能を実現することによって、書き込みビット線W B A, W B Bとは別に設けられたバイパス線B P Lを用いてバイパス機能を実現している実施の形態1に係る半導体記憶装置100よりも、レイアウト構造を簡素化できる。よって、装置の小型化や製造工程の簡略化が可能となる。

20

## 【0086】

なお、メモリセルアレイ1が入力バッファ回路15と出力バッファ回路16とに挟まれたレイアウト構造でなくても本実施の形態は適用できる。

30

## 【0087】

## 実施の形態3.

図13～16は本発明の実施の形態3に係る半導体記憶装置の回路構成を示す図である。本実施の形態3に係る半導体記憶装置は、上述の実施の形態2に係る半導体記憶装置110において、n個のメモリセルアレイ1の替わりにn個のメモリセルアレイ21を、ライト制御回路12の替わりにライト制御回路22を、リード制御回路3の替わりにリード制御回路23を、デコーダ回路4の替わりにデコーダ回路24を、n個の入力バッファ回路15の替わりにn個の入力バッファ回路25を、n個の出力バッファ回路16の替わりにn個の出力バッファ回路26をそれぞれ設けたものである。実施の形態2と同様に、一つの入力バッファ回路25と、一つの出力バッファ回路26と、一つのメモリセルアレイ21とは一つの組を成している。また、メモリセルアレイ21、ライト制御回路22、リード制御回路23、デコーダ回路24、入力バッファ回路25及び出力バッファ回路26のレイアウトについては、実施の形態2に係るメモリセルアレイ1、ライト制御回路12、リード制御回路3、デコーダ回路4、入力バッファ回路15及び出力バッファ回路16と同様である。

40

## 【0088】

図13はライト制御回路22の回路構成を示す図である。ライト制御回路22は、上述のライト制御回路2, 12と同様に、本半導体記憶装置の外部から供給される書き込みクロック信号W C L Kに同期して動作し、入力バッファ回路25及びメモリセルアレイ21

50

の動作を制御して、本半導体記憶装置での入力データD[n-1:0]のメモリセルアレイ21への書き込みを制御する。図13に示されるように、ライト制御回路22は、インバータ回路22a～22iと、OR回路22jと、フリップフロップ回路22k～22nと、タイミング調整回路220と、内部アドレス生成回路221とを備えている。

#### 【0089】

インバータ回路22aは書き込みクロック信号WCLKを反転して出力し、インバータ回路22bはインバータ回路22aの出力を反転して出力する。インバータ回路22bの出力は、ライト制御回路22が備えるすべてのフリップフロップ回路のCLK入力端子に入力される。フリップフロップ回路22k～22nのD入力端子には、それぞれバイパス制御信号BPE、書き込みアドレス信号WA[0]、書き込み制御信号WEN及び書き込みセル選択制御信号WCENが入力される。インバータ回路22cはフリップフロップ回路22kのQ出力を反転して反転バイパス制御信号/bpeとして出力し、インバータ回路22dは反転バイパス制御信号/bpeを反転して内部バイパス制御信号bpeとして出力する。インバータ回路22eはフリップフロップ回路22lのQ出力を反転して出力し、インバータ回路22fはインバータ回路22eの出力を反転して書き込みセル1選択信号wy1として出力する。インバータ回路22gはインバータ回路22eの出力を反転して出力し、インバータ回路22hはインバータ回路22gの出力を反転して書き込みセル0選択信号wy0として出力する。10

#### 【0090】

タイミング調整回路220は、インバータ回路220a～220cと、NAND回路220d～220gと、遅延回路220hとを備えている。インバータ回路220aは書き込みクロック信号WCLKを反転して出力し、インバータ回路220bはインバータ回路220aの出力を反転して出力し、インバータ回路220cはインバータ回路220bの出力を反転して信号Zとして出力する。NAND回路22dは書き込みクロック信号WCLKと、信号Zと、フリップフロップ回路22nのQバー出力との否定論理積を演算して信号Aとして出力する。NAND回路220eは、信号AとNAND回路220fから出力される信号Cとの否定論理積を演算して信号Bとして出力する。遅延回路220hは信号Bを所定時間遅延させて信号BDとして出力する。NAND回路220gは信号Bと信号BDとの否定論理積を演算して信号Dとして出力する。NAND回路220fは信号Dと信号Bとの否定論理積を演算して信号Cとして出力する。20

#### 【0091】

インバータ回路22iはタイミング調整回路220から出力される信号Bを反転して出力する。OR回路22jはフリップフロップ回路22mのQ出力とインバータ回路22iの出力との論理和を演算して内部書き込み制御信号wenとして出力する。

#### 【0092】

内部アドレス生成回路221は、AND回路221a～221hと、フリップフロップ回路221i～221lとを備えている。フリップフロップ回路221i～221lのD入力端子には、それぞれ書き込みアドレス信号WA[3], WA[4], WA[1], WA[2]が入力される。AND回路221aは、タイミング調整回路220から出力される信号B及びフリップフロップ回路221i, 221jのQバー出力の論理積を演算して内部書き込みアドレス信号WAA[0]として出力する。AND回路221bは、信号Bと、フリップフロップ回路221iのQ出力と、フリップフロップ回路221jのQバー出力との論理積を演算して内部書き込みアドレス信号WAA[1]として出力する。AND回路221cは、信号Bと、フリップフロップ回路221iのQバー出力と、フリップフロップ回路221jのQ出力との論理積を演算して内部書き込みアドレス信号WAA[2]として出力する。AND回路221dは、信号B及びフリップフロップ回路221i, 221jのQ出力の論理積を演算して内部書き込みアドレス信号WAA[3]として出力する。40

#### 【0093】

AND回路221eは、反転バイパス制御信号/bpe及びフリップフロップ回路22

50

1 k , 2 2 1 1 の Q バー出力の論理積を演算して内部書き込みアドレス信号 W A B [ 0 ] として出力する。AND 回路 2 2 1 f は、反転バイパス制御信号 / b p e と、フリップフロップ回路 2 2 1 k の Q 出力と、フリップフロップ回路 2 2 1 1 の Q バー出力との論理積を演算して内部書き込みアドレス信号 W A B [ 1 ] として出力する。AND 回路 2 2 1 g は、反転バイパス制御信号 / b p e と、フリップフロップ回路 2 2 1 k の Q バー出力と、フリップフロップ回路 2 2 1 1 の Q 出力との論理積を演算して内部書き込みアドレス信号 W A B [ 2 ] として出力する。AND 回路 2 2 1 h は、反転バイパス制御信号 / b p e 及びフリップフロップ回路 2 2 1 k , 2 2 1 1 の Q 出力の論理積を演算して内部書き込みアドレス信号 W A B [ 3 ] として出力する。

## 【 0 0 9 4 】

10

図 14 はリード制御回路 2 3 の構成を示す回路図である。リード制御回路 2 3 は、上述のリード制御回路 3 と同様に、本半導体記憶装置の外部から供給される読み出しクロック信号 R C L K に同期して動作し、出力バッファ回路 2 6 及びメモリセルアレイ 2 1 の動作を制御して、本半導体記憶装置でのメモリセルアレイ 2 1 からのデータの読み出しを制御する。図 14 に示されるように、リード制御回路 2 3 は、インバータ回路 2 3 a ~ 2 3 e と、AND 回路 2 3 f , 2 3 g と、バッファ回路 2 3 h と、フリップフロップ回路 2 3 i , 2 3 j と、上述のタイミング調整回路 2 2 0 及び内部アドレス生成回路 2 2 1 とを備えている。

## 【 0 0 9 5 】

20

インバータ回路 2 3 a は読み出しクロック信号 R C L K を反転して出力し、インバータ回路 2 3 b はインバータ回路 2 3 a の出力を反転して出力する。インバータ回路 2 3 b の出力は、リード制御回路 2 3 が備えるすべてのフリップフロップ回路の C L K 入力端子に入力される。フリップフロップ回路 2 3 i , 2 3 j の D 入力端子には、それぞれ読み出しアドレス信号 R A [ 0 ] 及び読み出しセル選択制御信号 R C E N が入力される。

## 【 0 0 9 6 】

30

リード制御回路 2 3 におけるタイミング調整回路 2 2 0 では、インバータ回路 2 2 0 a には読み出しクロック信号 R C L K が入力され、N A N D 回路 2 2 0 d には読み出しクロック信号 R C L K 、フリップフロップ回路 2 3 j の Q バー出力及びインバータ回路 2 2 0 c の出力が入力される。リード制御回路 2 3 におけるタイミング調整回路 2 2 0 のその他の構成はライト制御回路 2 2 のタイミング調整回路 2 2 0 と同様である。バッファ回路 2 3 h は、リード制御回路 2 3 のタイミング調整回路 2 2 0 から出力される信号 B をそのままの論理レベルで内部読み出し制御信号 r p c として出力する。

## 【 0 0 9 7 】

40

リード制御回路 2 3 における内部アドレス生成回路 2 2 1 では、フリップフロップ回路 2 2 1 i ~ 2 2 1 1 の D 入力端子には読み出しアドレス信号 R A [ 3 ] , R A [ 4 ] , R A [ 1 ] , R A [ 2 ] がそれぞれ入力される。また、A N D 回路 2 2 1 a ~ 2 2 1 d のそれぞれには、リード制御回路 2 3 のタイミング調整回路 2 2 0 から出力される信号 B が入力される。そして、A N D 回路 2 2 1 e ~ 2 2 1 h のそれぞれには反転バイパス制御信号 / b p e は入力されておらず、A N D 回路 2 2 1 e はフリップフロップ回路 2 2 1 k , 2 2 1 1 の Q バー出力の論理積を演算して内部読み出しアドレス信号 R A B [ 0 ] として出力し、A N D 回路 2 2 1 f はフリップフロップ回路 2 2 1 k の Q 出力とフリップフロップ回路 2 2 1 1 の Q バー出力との論理積を演算して内部読み出しアドレス信号 R A B [ 1 ] として出力し、A N D 回路 2 2 1 g はフリップフロップ回路 2 2 1 k の Q バー出力とフリップフロップ回路 2 2 1 1 の Q 出力との論理積を演算して内部読み出しアドレス信号 R A B [ 2 ] として出力し、A N D 回路 2 2 1 h はフリップフロップ回路 2 2 1 k , 2 2 1 1 の Q 出力の論理積を演算して内部読み出しアドレス信号 R A B [ 3 ] として出力する。リード制御回路 2 3 における内部アドレス生成回路 2 2 1 のその他の構成はライト制御回路 2 2 の内部アドレス生成回路 2 2 1 と同様である。

## 【 0 0 9 8 】

インバータ回路 2 3 c は、リード制御回路 2 3 のタイミング調整回路 2 2 0 から出力さ

50

れる信号 D を反転して出力する。インバータ回路 23e は、ライト制御回路 22 から出力される反転バイパス制御信号 / bpe を反転して内部バイパス制御信号 rbe として出力する。インバータ回路 23d はフリップフロップ回路 23i の Q 出力を反転して出力する。AND 回路 23f は、反転バイパス制御信号 / bpe 及びインバータ回路 23c, 23d の出力の論理積を演算して読み出しセル 0 選択信号 ry0 として出力する。AND 回路 23g は、反転バイパス制御信号 / bpe と、インバータ回路 23c の出力と、フリップフロップ回路 23i の Q 出力との論理積を演算して読み出しセル 1 選択信号 ry1 として出力する。

#### 【0099】

図 15 はデコーダ回路 24 の構成を示すブロック図である。図 15 に示されるように、デコーダ回路 24 は、16 個の AND 回路 24aa を備える書き込みワード線デコーダ回路 24a と、16 個の AND 回路 24bb を備える読み出しワード線デコーダ回路 24b とを備えている。書き込みワード線デコーダ回路 24a は、内部書き込みアドレス信号 WAA[0] と、内部書き込みアドレス信号 WAB[0] ~ WAB[3] との論理積を演算して、それぞれ書き込みワード線選択信号 WWS[0] ~ WWS[3] として出力し、内部書き込みアドレス信号 WAA[1] と、内部書き込みアドレス信号 WAB[0] ~ WAB[3] との論理積を演算して、それぞれ書き込みワード線選択信号 WWS[4] ~ WWS[7] として出力する。また書き込みワード線デコーダ回路 24a は、内部書き込みアドレス信号 WAA[2] と、内部書き込みアドレス信号 WAB[0] ~ WAB[3] との論理積を演算して、それぞれ書き込みワード線選択信号 WWS[8] ~ WWS[11] として出力し、内部書き込みアドレス信号 WAA[3] と、内部書き込みアドレス信号 WAB[0] ~ WAB[3] との論理積を演算して、それぞれ書き込みワード線選択信号 WWS[12] ~ WWS[15] として出力する。なお、16 ビットの書き込みワード線選択信号 WWS[15:0] は、書き込みワード線デコーダ回路 24a 内の 16 個の AND 回路 24aa からそれぞれ出力される。

#### 【0100】

同様にして、読み出しワード線デコーダ回路 24b は、内部読み出しアドレス信号 RAA[0] と、内部読み出しアドレス信号 RAB[0] ~ RAB[3] との論理積を演算して、それぞれ読み出しワード線選択信号 RWS[0] ~ RWS[3] として出力し、内部読み出しアドレス信号 RAA[1] と、内部読み出しアドレス信号 RAB[0] ~ RAB[3] との論理積を演算して、それぞれ読み出しワード線選択信号 RWS[4] ~ RWS[7] として出力する。また読み出しワード線デコーダ回路 24b は、内部読み出しアドレス信号 RAA[2] と、内部読み出しアドレス信号 RAB[0] ~ RAB[3] との論理積を演算して、それぞれ読み出しワード線選択信号 RWS[8] ~ RWS[11] として出力し、内部読み出しアドレス信号 RAA[3] と、内部読み出しアドレス信号 RAB[0] ~ RAB[3] との論理積を演算して、それぞれ読み出しワード線選択信号 RWS[12] ~ RWS[15] として出力する。なお、16 ビットの読み出しワード線選択信号 RWS[15:0] は、読み出しワード線デコーダ回路 24b 内の 16 個の AND 回路 24bb からそれぞれ出力される。

#### 【0101】

図 16 は、ある一つの組におけるメモリセルアレイ 21、入力バッファ回路 25 及び出力バッファ回路 26 の回路構成及び平面視上のレイアウト構造を示す図である。入力バッファ回路 25 は、入力ポート INi に入力される入力データ D[i] を受けて、ライト制御回路 22 から出力される反転書き込み制御信号 / wen、内部バイパス制御信号 bpe 、書き込みセル 0 選択信号 wy0 及び書き込みセル 1 選択信号 wy1 に基づいて当該入力データ D[i] をメモリセルアレイ 21 に出力する。図 16 に示されるように、入力バッファ回路 25 は、フリップフロップ回路 25a と、NOR 回路 25b と、AND 回路 25c, 25d と、インバータ回路 25e と、2 つのデータ出力制御回路 250 とを備えている。フリップフロップ回路 25a の D 入力端子には入力データ D[i] が入力され、その Q 出力はデータ d[i] として出力される。また、フリップフロップ回路 25a の CLK

10

20

30

40

50

入力端子にはライト制御回路22のインバータ回路22bの出力が入力される。NOR回路25bは、内部バイパス制御信号bpeと、書き込みセル1選択信号wy1との否定論理和を演算して出力する。AND回路25cは、NOR回路25bの出力の反転信号と、内部書き込み制御信号wenの反転信号との論理積を演算して出力する。AND回路25dは、内部バイパス制御信号bpeの反転信号と、書き込みセル0選択信号wy0と、内部書き込み制御信号wenの反転信号との論理積を演算して出力する。

#### 【0102】

データ出力制御回路250のそれぞれは、インバータ回路250a～250cと、トランスマッシュゲート250d, 250eと、PMOSトランジスタ250f～250hとを備えている。各データ出力制御回路250では、インバータ回路250aはデータd[i]を反転して出力し、インバータ回路250bはインバータ回路250aの出力を反転してトランスマッシュゲート250dの入力端子に入力する。また各データ出力制御回路250では、インバータ回路250aの出力はトランスマッシュゲート250eの入力端子に入力され、インバータ回路250cの出力は各トランスマッシュゲート250d, 250eの負論理の制御端子に入力される。

#### 【0103】

一方のデータ出力制御回路250では、インバータ回路250cの入力端子と、トランスマッシュゲート250d, 250eの正論理の制御端子とにAND回路25cの出力が入力され、トランスマッシュゲート250d, 250eの出力端子は、それぞれ書き込みビット線WBA1, WBB1に接続されている。

#### 【0104】

他方のデータ出力制御回路250では、インバータ回路250cの入力端子と、トランスマッシュゲート250d, 250eの正論理の制御端子とにAND回路25dの出力が入力され、トランスマッシュゲート250d, 250eの出力端子は、それぞれ書き込みビット線WBA0, WBB0に接続されている。

#### 【0105】

各データ出力制御回路250では、PMOSトランジスタ250f, 250hのソース端子には電源電位が印加され、各PMOSトランジスタ250f～250hのゲート端子にはインバータ回路25eの出力が入力される。

#### 【0106】

一方のデータ出力制御回路250では、PMOSトランジスタ250fのドレイン端子とPMOSトランジスタ250gのソース端子とが書き込みビット線WBA1に接続されており、PMOSトランジスタ250g, 250hのドレイン端子が書き込みビット線WBB1に接続されている。他方のデータ出力制御回路250では、PMOSトランジスタ250fのドレイン端子とPMOSトランジスタ250gのソース端子とが書き込みビット線WBA0に接続されており、PMOSトランジスタ250g, 250hのドレイン端子が書き込みビット線WBB0に接続されている。

#### 【0107】

この例では、一つのメモリセルアレイ21は、16個のメモリセルMCから成るメモリセル列MCG0と、同じく16個のメモリセルMCから成るメモリセル列MCG1とを備えている。各メモリセル列MCG0, MCG1では、16個のメモリセルMCが、平面視上のレイアウト構造においてX軸方向に沿って一列に並んでいる。そして、メモリセル列MCG0とメモリセル列MCG1とは平面視上のレイアウト構造においてY軸方向に沿って並び、一つのメモリセルアレイ21全体においては、32個のメモリセルMCが、X軸方向に16個、Y軸方向に2個並ぶ行列状に配列されている。したがって、n個のメモリセルアレイ21全体においては、メモリセルMCは、X軸方向に16個、Y軸方向に(2×n)個並ぶ行列状に配列されている。

#### 【0108】

メモリセルアレイ21中の各メモリセルMCは、NMOSトランジスタ210a～210dと、インバータ回路210e, 210fとを備えている。メモリセルMCのそれぞれ

10

20

30

40

50

では、N MOSトランジスタ210a, 210cのソース端子、インバータ回路210eの入力端子及びインバータ回路210fの出力端子が相互に接続されており、N MOSトランジスタ210b, 210dのソース端子、インバータ回路210eの出力端子及びインバータ回路210fの入力端子が相互に接続されている。

#### 【0109】

メモリセル列MCG0の各メモリセルMCでは、N MOSトランジスタ210aのドレイン端子は読み出しビット線RBA0に接続されており、N MOSトランジスタ210bのドレイン端子は読み出しビット線RBB0に接続されている。一方で、メモリセル列MCG1の各メモリセルMCでは、N MOSトランジスタ210aのドレイン端子は読み出しビット線RBA1に接続されており、N MOSトランジスタ210bのドレイン端子は読み出しビット線RBB1に接続されている。10

#### 【0110】

またメモリセル列MCG0の各メモリセルMCでは、N MOSトランジスタ210cのドレイン端子は書き込みビット線WBA0に接続されており、N MOSトランジスタ210dのドレイン端子は書き込みビット線WBB0に接続されている。一方で、メモリセル列MCG1の各メモリセルMCでは、N MOSトランジスタ210cのドレイン端子は書き込みビット線WBA1に接続されており、N MOSトランジスタ210dのドレイン端子は書き込みビット線WBB1に接続されている。

#### 【0111】

メモリセル列MCG0, MCG1のそれぞれでは、16個のメモリセルMCにおけるN MOSトランジスタ210c, 210dのゲート端子に16本の書き込みワード線WWL[15:0]がそれぞれ接続されており、これらの書き込みワード線WWL[0]~WWL[15]にはデコーダ回路24から出力される書き込みワード線選択信号WWS[0]~WWS[15]がそれぞれ与えられる。また、メモリセル列MCG0, MCG1のそれぞれでは、16個のメモリセルMCにおけるN MOSトランジスタ210a, 210bのゲート端子に16本の読み出しワード線RWL[15:0]がそれぞれ接続されており、これらの読み出しワード線RWL[0]~RWL[15]にはデコーダ回路24から出力される読み出しワード線選択信号RWS[0]~RWS[15]がそれぞれ与えられる。そして、実施の形態2と同様に、書き込みワード線WWL[j]と読み出しワード線RWL[j]とは対となっており、同じメモリセルMCに接続されている。20

#### 【0112】

本実施の形態3に係る半導体記憶装置では、実施の形態2と同様に、入力バッファ回路25からメモリセルアレイ21のメモリセル列MCG1まで延在する書き込みビット線WBA1, WBB1が、メモリセル列MCG1から出力バッファ回路26にまで延長されており、当該出力バッファ回路26に接続されている。なお、入力バッファ回路25からメモリセル列MCG0まで延在する書き込みビット線WBA0, WBB0は出力バッファ回路26にまで延長されておらず、出力バッファ回路26には接続されていない。30

#### 【0113】

出力バッファ回路26は、受けたデータを、リード制御回路23から出力される内部読み出し制御信号r<sub>p</sub>c、内部バイパス制御信号r<sub>b</sub>p<sub>e</sub>、読み出しセル0選択信号r<sub>y</sub>0及び読み出しセル1選択信号r<sub>y</sub>1に基づいて出力データQ[i]として出力ポートOUT<sub>i</sub>に出力する。図16に示されるように、出力バッファ回路26は、2つのラッチ回路260と、トライステートインバータ回路26a~26cと、インバータ回路26d~26fと、OR回路26gと、NAND回路26hとを備えている。各ラッチ回路260は、3つのPMOSトランジスタ260a~260cと、NAND回路260dと、OR回路260eとを備えている。各ラッチ回路260では、PMOSトランジスタ260a, 260cのソース端子には電源電位が印加され、PMOSトランジスタ260a~260cのゲート端子のそれぞれにはリード制御回路23から出力される内部読み出し制御信号r<sub>p</sub>cが入力される。40

#### 【0114】

一方のラッチ回路 260 では、NAND 回路 260d の一方の入力端子にメモリセル列 MCG0 から延びる読み出しビット線 RBA0 が接続されており、当該 NAND 回路 260d は読み出しビット線 RBA0 が伝達する信号と、OR 回路 260e の出力との否定論理積を演算して信号 QC として出力する。また当該一方のラッチ回路 260 では、OR 回路 260e の一方の入力端子にメモリセル列 MCG0 から延びる読み出しビット線 RBB0 が接続されており、当該 OR 回路 260e は読み出しビット線 RBB0 が伝達する信号の反転信号と、AND 回路 260d の出力の反転信号との論理和を演算して出力する。

#### 【0115】

他方のラッチ回路 260 では、NAND 回路 260d の一方の入力端子にメモリセル列 MCG1 から延びる読み出しビット線 RBA1 が接続されており、当該 NAND 回路 260d は読み出しビット線 RBA1 が伝達する信号と、OR 回路 260e の出力との否定論理積を演算して信号 QA として出力する。また当該他方のラッチ回路 260 では、OR 回路 260e の一方の入力端子にメモリセル列 MCG1 から延びる読み出しビット線 RBB1 が接続されており、当該 OR 回路 260e は読み出しビット線 RBB1 が伝達する信号の反転信号と、AND 回路 260d の出力の反転信号との論理和を演算して出力する。

#### 【0116】

OR 回路 26g の一方の入力端子には、メモリセル列 MCG1 から延びる書き込みビット線 WBB1 が接続されており、当該 OR 回路 26g は書き込みビット線 WBB1 が伝達する信号の反転信号と NAND 回路 26h の出力の反転信号との論理和を演算して出力する。NAND 回路 26h の一方の入力端子には、メモリセル列 MCG1 から延びる書き込みビット線 WBA1 が接続されており、当該 NAND 回路 26h は書き込みビット線 WBA1 が伝達する信号と OR 回路 26g の出力との否定論理積を演算して信号 QB として出力する。

#### 【0117】

トライステートインバータ回路 26a ~ 26c は、リード制御回路 23 から出力される読み出しセル 1 選択信号 ry1、読み出しセル 0 選択信号 ry0 及び内部バイパス制御信号 r b p e によってそれぞれ活性化・不活性化が制御される。トライステートインバータ回路 26a ~ 26c の入力端子にはそれぞれ信号 QA ~ QC が入力され、それらの出力端子はインバータ回路 26e の入力端子とインバータ回路 26d の出力端子とに接続されている。インバータ回路 26e の出力端子とインバータ回路 26d の入力端子は互いに接続されており、インバータ回路 26f はインバータ回路 26e の出力を反転して出力データ Q[i] として出力ポート OUTi に出力する。

#### 【0118】

次に、本実施の形態 3 に係る半導体記憶装置の動作について説明する。図 17 はライト制御回路 22 及びリード制御回路 23 の動作を示すタイミングチャートである。図 17 では、書き込みクロック信号 WCLK 及び読み出しクロック信号 RCLK を総称して「クロック信号 CLK」と示し、書き込みワード線選択信号 WWS[i] 及び読み出しワード線選択信号 RWS[i] を総称して「ワード線選択信号 WS」として示している。

#### 【0119】

書き込み制御信号 WEN 及び書き込みセル選択制御信号 WCEN がともに“0”になると、図 17 に示されるように、ライト制御回路 22 からは内部書き込み制御信号 wen として負極性のパルス信号が出力される。また、読み出しセル選択制御信号 RCEN が“0”になると、図 17 に示されるように、リード制御回路 23 からは内部読み出し制御信号 r p c として正極性のパルス信号が出力される。

#### 【0120】

本実施の形態 3 に係る半導体記憶装置は、バイパス制御信号 BPE = 0 のとき通常動作モードで動作する。バイパス制御信号 BPE = 0 のとき、ライト制御回路 22 から出力される内部バイパス制御信号 bpe は“0”となり、リード制御回路 23 から出力される内部バイパス制御信号 rpe も“0”となる。メモリセルアレイ 21 に入力データ D[i]

10

20

30

40

50

] が書き込まれる書き込みモードでは、書き込み制御信号 W E N 及び書き込みセル選択制御信号 W C E N はともに “ 0 ” となり、ライト制御回路 2 2 からは内部書き込み制御信号 w e n として図 1 7 に示されるように負極性のパルス信号が出力されるとともに、ライト制御回路 2 2 及びデコーダ回路 2 4 の働きにより、書き込みアドレス信号 W A [ 4 : 1 ] の値に応じて書き込みワード線選択信号 W W S [ 1 5 : 0 ] のいずれか一つが “ 1 ” となって書き込みワード線 W W L [ 1 5 : 0 ] のいずれか一つが活性化する。また、書き込みアドレス信号 W A [ 0 ] の値に応じて、書き込みセル 0 選択信号 w y 0 及び書き込みセル 1 選択信号 w y 1 のどちらか一方が “ 1 ” となる。

#### 【 0 1 2 1 】

内部バイパス制御信号 b p e = 0 のとき、入力バッファ回路 2 5 は、書き込みセル 0 選択信号 w y 0 及び書き込みセル 1 選択信号 w y 1 に基づいて、書き込みビット線 W B A 0 , W B B 0 から成るビット線対か、書き込みビット線 W B A 1 , W B B 1 から成るビット線対かのどちらか一方に入力データ D [ i ] を出力する。10

#### 【 0 1 2 2 】

内部バイパス制御信号 b p e = 0 、書き込みセル 0 選択信号 w y 0 = 1 、書き込みセル 1 選択信号 w y 1 = 0 のとき、入力バッファ回路 2 5 では、書き込みビット線 W B A 1 , W B B 1 に接続されたトランスマッシュゲート 2 5 0 d , 2 5 0 e の出力はハイインピーダンスとなり、書き込みビット線 W B A 0 , W B B 0 に接続されたトランスマッシュゲート 2 5 0 d , 2 5 0 e は内部書き込み制御信号 w e n が “ 0 ” となると入力信号をそのまま出力する。これにより、メモリセル列 M C G 0 における複数のメモリセル M C のうち、活性化された書き込みワード線 W W L [ j ] に接続されたメモリセル M C に入力データ D [ i ] が書き込まれる。20

#### 【 0 1 2 3 】

一方、内部バイパス制御信号 b p e = 0 、書き込みセル 0 選択信号 w y 0 = 0 、書き込みセル 1 選択信号 w y 1 = 1 のとき、入力バッファ回路 2 5 では、書き込みビット線 W B A 0 , W B B 0 に接続されたトランスマッシュゲート 2 5 0 d , 2 5 0 e の出力は常にハイインピーダンスとなり、書き込みビット線 W B A 1 , W B B 1 に接続されたトランスマッシュゲート 2 5 0 d , 2 5 0 e は内部書き込み制御信号 w e n が “ 0 ” となると入力信号をそのまま出力する。これにより、メモリセル列 M C G 1 における複数のメモリセル M C のうち、活性化された書き込みワード線 W W L [ j ] に接続されたメモリセル M C に入力データ D [ i ] が書き込まれる。30

#### 【 0 1 2 4 】

メモリセルアレイ 2 1 からデータが読み出される読み出しモードでは、実施の形態 2 と同様に、読み出しセル選択制御信号 R C E N が “ 0 ” となる。そうすると、リード制御回路 2 3 からは内部読み出し制御信号 r p c として図 1 7 に示されるように正極性のパルス信号が出力されるとともに、読み出しアドレス信号 R A [ 4 : 1 ] の値に応じて読み出しワード線 R W L [ 1 5 : 0 ] のいずれか一つが活性化する。また読み出しアドレス信号 R A [ 0 ] の値に応じて、読み出しセル 0 選択信号 r y 0 及び読み出しセル 1 選択信号 r y 1 のどちらか一方が “ 1 ” となる。

#### 【 0 1 2 5 】

読み出しワード線 R W L [ j ] が活性化すると、当該読み出しワード線 R W L [ j ] に接続された、メモリセル列 M G C 0 , M G C 1 内のメモリセル M C からデータが読み出されて、当該データは読み出しビット線 R B A 0 , R B B 0 及び読み出しビット線 R B A 1 , R B B 1 によって出力バッファ回路 2 6 のラッチ回路 2 6 0 に伝達される。内部読み出し制御信号 r p c = 1 となると、メモリセル M C から読み出されたデータはラッチ回路 2 6 0 で保持されてトライステートインバータ回路 2 6 a , 2 6 c の入力端子に入力される。

#### 【 0 1 2 6 】

内部バイパス制御信号 r b p e = 0 のとき、出力バッファ回路 2 6 は、読み出しセル 0 選択信号 r y 0 及び読み出しセル 1 選択信号 r y 1 に基づいて、読み出しビット線 R B A 40

0 , R B B 0 から成るビット線対か、読み出しビット線 R B A 1 , R B B 1 から成るビット線対かのどちらか一方から伝達されるデータを出力データ Q [ i ] として出力する。

#### 【 0 1 2 7 】

内部バイパス制御信号 r b p e = 0 、読み出しセル 0 選択信号 r y 0 = 1 、読み出しセル 1 選択信号 r y 1 = 0 のとき、出力バッファ回路 2 6 では、トライステートインバータ回路 2 6 c が活性化し、トライステートインバータ回路 2 6 a , 2 6 b は不活性となる。これにより、インバータ回路 2 6 f からは、メモリセル列 M C G 0 内のメモリセル M C から読み出されたデータが出力データ Q [ i ] として出力される。

#### 【 0 1 2 8 】

一方で、内部バイパス制御信号 r b p e = 0 、読み出しセル 0 選択信号 r y 0 = 0 、読み出しセル 1 選択信号 r y 1 = 1 のとき、出力バッファ回路 2 6 では、トライステートインバータ回路 2 6 a が活性化し、トライステートインバータ回路 2 6 b , 2 6 c は不活性となる。これにより、インバータ回路 2 6 f からは、メモリセル列 M C G 1 内のメモリセル M C から読み出されたデータが出力データ Q [ i ] として出力される。10

#### 【 0 1 2 9 】

次にバイパスモードについて説明する。バイパス制御信号 B P E = 1 のとき、本実施の形態 3 に係る半導体記憶装置はバイパスモードで動作する。バイパス制御信号 B P E = 1 のとき、ライト制御回路 2 2 から出力される内部バイパス制御信号 b p e は “ 1 ” となる。そうすると、A N D 回路 2 5 d の出力は “ 0 ” となって、書き込みビット線 W B A 0 , W B B 0 に接続されているトランスマッシュゲート 2 5 0 d , 2 5 0 e の出力はハイインピーダンスとなり、書き込みビット線 W B A 1 , W B B 1 に接続されたトランスマッシュゲート 2 5 0 d , 2 5 0 e は内部書き込み制御信号 w e n が “ 0 ” となると入力信号をそのまま出力する。20 バイパスモードでは内部書き込み制御信号 w e n が “ 0 ” となるため、書き込みビット線 W B A 1 には入力データ D [ i ] と同じ論理レベルの信号が与えられ、書き込みビット線 W B B 1 には入力データ D [ i ] とは反対の論理レベルの信号が与えられる。

#### 【 0 1 3 0 】

バイパス制御信号 B P E = 1 のときには、リード制御回路 2 3 から出力される読み出しセル 0 選択信号 r y 0 及び読み出しセル 1 選択信号 r y 1 は “ 0 ” となり、内部バイパス制御信号 r b p e は “ 1 ” となる。これにより、トライステートインバータ回路 2 6 a , 2 6 c は不活性となり、トライステートインバータ回路 2 6 b が活性化し、インバータ回路 2 6 f からは、入力データ D [ i ] が出力データ Q [ i ] として出力される。30

#### 【 0 1 3 1 】

このように、本実施の形態 3 に係る半導体記憶装置では、実施の形態 2 に係る半導体記憶装置 1 1 0 と同様に、本来の機能を果たすためにもともと入力バッファ回路 2 5 からメモリセルアレイ 2 1 にまで延在していた書き込みビット線 W B A 1 , W B B 1 を出力バッファ回路 2 6 にまで延長することによって、入力データ D [ i ] を出力バッファ回路 2 6 にまで伝達し、入力データ D [ i ] をそのまま出力ポート O U T i に出力することを可能にしている。このように、書き込みビット線 W B A 1 , W B B 1 を利用してバイパス機能を実現することによって、実施の形態 2 と同様に、実施の形態 1 に係る半導体記憶装置 1 0 0 よりもレイアウト構造を簡素化できる。よって、装置の小型化や製造工程の簡略化が可能となる。40

#### 【 0 1 3 2 】

なお、メモリセルアレイ 2 1 が入力バッファ回路 2 5 と出力バッファ回路 2 6 とに挟まれたレイアウト構造でなくても本実施の形態は適用できる。

#### 【 0 1 3 3 】

実施の形態 4 .

図 1 8 , 1 9 は本発明の実施の形態 4 に係る半導体記憶装置の回路構成を示す図である。本実施の形態 4 に係る半導体記憶装置は、実施の形態 2 に係る半導体記憶装置 1 1 0 において、リード制御回路 3 の替わりにリード制御回路 3 3 を、n 個の入力バッファ回路 1

10

20

30

40

50

5の替わりにn個の入力バッファ回路35を、n個の出力バッファ回路16の替わりにn個の出力バッファ回路36をそれぞれ設けたものである。実施の形態2と同様に、一つの入力バッファ回路35と、一つの出力バッファ回路36と、一つのメモリセルアレイ1とは一つの組を成している。また、リード制御回路33、入力バッファ回路35及び出力バッファ回路36のレイアウトについては、実施の形態2に係るリード制御回路3、入力バッファ回路15及び出力バッファ回路16と同様である。

#### 【0134】

図18はリード制御回路33の回路構成を示す図である。図18に示されるように、リード制御回路33は、上述の実施の形態2に係るリード制御回路3において、バッファ回路3dの替わりにOR回路33a、AND回路33b及びバッファ回路33cを備えるものである。OR回路33aは、AND回路3eの出力と、内部バイパス制御信号bpとの論理和を演算して出力する。バッファ回路33cは、OR回路33aの出力をそのままの論理レベルで内部読み出し制御信号rcpとして出力する。AND回路33bはインバータ回路3aの出力とAND回路3eの出力との論理積を演算して出力する。

#### 【0135】

本実施の形態4に係るリード制御回路33の内部アドレス生成回路20では、AND回路20a～20lのそれぞれには、AND回路3eの出力の替わりにAND回路33bの出力が入力されている。その他の構成については実施の形態2に係るリード制御回路3と同様であるため、その説明は省略する。

#### 【0136】

図19は、ある一つの組におけるメモリセルアレイ1、入力バッファ回路35及び出力バッファ回路36の回路構成及び平面視上のレイアウト構造を示す図である。入力バッファ回路35は、入力ポートINiに入力される入力データD[i]を受けて、ライト制御回路12から出力される反転書き込み制御信号/wen及び反転バイパス制御信号/wbpに基づいて当該入力データD[i]をメモリセルアレイ1に出力する。図18に示されるように、入力バッファ回路35は、フリップフロップ回路35aと、インバータ回路35bと、ビット線ドライバ回路350と、ビット線切換回路351とを備えている。

#### 【0137】

フリップフロップ回路35aのD入力端子には入力データD[i]が入力され、そのQ出力はデータd[i]として出力される。フリップフロップ回路35aのCLK入力端子にはライト制御回路12におけるインバータ回路2bの出力が入力される。インバータ回路35bはデータd[i]を反転して出力する。

#### 【0138】

ビット線ドライバ回路350は、インバータ回路35cと、バッファ回路35hと、AND回路35i, 35jとを備えている。インバータ回路35cはインバータ回路35bの出力を反転して出力する。バッファ回路35hはライト制御回路12から出力される反転書き込み制御信号/wenをそのままの論理レベルで出力する。AND回路35j, 35iの出力端子にはそれぞれ書き込みビット線WBA, WBBが接続されている。AND回路35jはインバータ回路35cの出力とバッファ回路35hの出力との論理積を演算して書き込みビット線WBAに出力し、AND回路35iはインバータ回路35bの出力とバッファ回路35hの出力との論理積を演算して書き込みビット線WBBに出力する。

#### 【0139】

ビット線切換回路351は、インバータ回路35d, 35e, 35gと、バッファ回路35fと、トランスマッシュゲート35k, 35lとを備えている。インバータ回路35dはライト制御回路12から出力される反転バイパス制御信号/wbpを反転して出力し、インバータ回路35eはインバータ回路35dの出力を反転してトランスマッシュゲート35k, 35lの負論理の制御端子に入力する。インバータ回路35gはインバータ回路35bの出力を反転してトランスマッシュゲート35kの入力端子に出力し、バッファ回路35fはインバータ回路35bの出力をそのままの論理レベルでトランスマッシュゲート35kの入力端子に出力する。そして、トランスマッシュゲート35k,

10

20

30

40

50

351の正論理の制御端子のそれぞれにはインバータ回路35dの出力が入力される。

#### 【0140】

実施の形態2では、書き込みビット線WBA, WBBがメモリセルアレイ1から出力バッファ回路16にまで延長されていたが、本実施の形態4では、その替りに、読み出しビット線RBA, RBBがメモリセルアレイ1から入力バッファ回路35にまで延長されている。そして、延長された読み出しビット線RBA, RBBは、トランスマッショングート351, 35kの出力端子にそれぞれ接続されている。

#### 【0141】

出力バッファ回路36は、受けたデータを、リード制御回路33から出力される内部読み出し制御信号r<sub>pc</sub>に基づいて出力データQ[i]として出力ポートOUT<sub>i</sub>に出力する。図19に示されるように、出力バッファ回路36は、上述のセンスアンプ回路60と、NAND回路36aと、OR回路36bと、インバータ回路36cとを備えている。センスアンプ回路60におけるPMOSトランジスタ60dのドレイン端子はOR回路36bの一方の入力端子に接続されており、OR回路36bはセンスアンプ回路60の出力信号ABの反転信号とNAND回路36bの出力の反転信号との論理和を演算して出力する。センスアンプ回路60におけるPMOSトランジスタ60eのドレイン端子はNAND回路34aの一方の入力端子に接続されており、NAND回路34aはセンスアンプ回路60の出力信号AAとOR回路36bの出力との否定論理積を演算して出力する。インバータ回路36cはNAND回路36aの出力を反転して出力データQ[i]として出力ポートOUT<sub>i</sub>に出力する。

10

#### 【0142】

次に、本実施の形態4に係る半導体記憶装置の動作について説明する。実施の形態2と同様に、バイパス制御信号BP=0のとき本実施の形態4に係る半導体記憶装置は通常動作モードで動作する。バイパス制御信号BP=0のとき、ライト制御回路12から出力される内部バイパス制御信号bp及び反転バイパス制御信号/wbpはともに“1”となる。そうすると、トランスマッショングート35k, 351の出力はともにハイインピーダンスになる。よって、ビット線切換回路351からは入力データD[i]が読み出しビット線RBA, RBBに出力されない。

20

#### 【0143】

メモリセルアレイ1に入力データD[i]が書き込まれる書き込みモードでは、ビット線ドライバ回路350は、反転書き込み制御信号/wenに基づいて入力データD[i]を書き込みビット線WBA, WBBに出力する。実施の形態2と同様に、書き込みモードでは、書き込み制御信号WEN及び書き込みセル選択制御信号WCENはともに“0”となる。そうすると、ライト制御回路12からは反転書き込み制御信号/wenとして正極性のパルス信号が出力されるとともに、ライト制御回路12及びデコーダ回路4の働きにより、書き込みアドレス信号WA[4:0]の値に応じて書き込みワード線選択信号WW<sub>S</sub>[31:0]のいずれか一つが“1”となって書き込みワード線WWL[31:0]のいずれか一つが活性化する。そして、反転書き込み制御信号/wenが“1”となると、ビット線ドライバ回路350から入力データD[i]が出力されて、活性化された書き込みワード線WWL[j]に接続されたメモリセルMCに当該入力データD[i]が書き込まれる。

30

#### 【0144】

メモリセルアレイ1からデータが読み出される読み出しモードでは、実施の形態2と同様に、読み出しセル選択制御信号RCENが“0”となり、リード制御回路33からは内部読み出し制御信号r<sub>pc</sub>として正極性のパルス信号が出力されるとともに、読み出しワード線RWL[31:0]のいずれか一つが活性化する。読み出しワード線RWL[j]が活性化するとそれに接続されたメモリセルMCからデータが読み出されて、読み出しビット線RBA, RBBによって出力バッファ回路36のセンスアンプ回路60に伝達される。

40

#### 【0145】

50

内部読み出し制御信号  $r\ p\ c = 1$  となると、メモリセルMCから読み出されたデータはセンスアンプ回路60で増幅されて出力される。これにより、メモリセルMCから読み出されたデータが出力データQ[i]としてインバータ回路36cから出力される。

#### 【0146】

次にバイパスモードについて説明する。実施の形態2と同様に、バイパス制御信号BP=1のとき、本実施の形態4に係る半導体記憶装置はバイパスモードで動作する。バイパス制御信号BP=1のとき、ライト制御回路12から出力される反転バイパス制御信号/wbpは“0”となる。そうすると、トランスマッシュゲート35k, 35lは入力信号をそのまま出力端子に出力する。よって、トランスマッシュゲート35kからは入力データD[i]と同じ論理レベルの信号が出力されて、当該信号は読み出しひット線RBAによって出力バッファ回路36にまで伝達される。また、トランスマッシュゲート35lからは入力データD[i]とは反対の論理レベルの信号が出力されて、当該信号は読み出しひット線RB<sub>B</sub>によって出力バッファ回路36にまで伝達される。そして、読み出しひット線RBA, RB<sub>B</sub>が伝達する信号は出力バッファ回路36のNAND回路36a及びOR回路36bにそれぞれ入力される。これにより、インバータ回路36cからは入力データD[i]が出力データQ[i]として出力される。10

#### 【0147】

このように、本実施の形態4に係る半導体記憶装置では、本来の機能を果たすためにもともと出力バッファ回路36からメモリセルアレイ1にまで延在していた読み出しひット線RBA, RB<sub>B</sub>を入力バッファ回路35にまで延長することによって、入力データD[i]を出力バッファ回路36にまで伝達し、入力データD[i]をそのまま出力ポートOUT*i*に伝達することを可能にしている。このように、読み出しひット線RBA, RB<sub>B</sub>を利用してバイパス機能を実現することによって、読み出しひット線RBA, RB<sub>B</sub>とは別に設けられたバイパス線BPLを使用して入力データD[i]を出力バッファ回路6にまで伝達している実施の形態1に係る半導体記憶装置100よりも、レイアウト構造を簡素化できる。よって、装置の小型化や製造工程の簡略化が可能となる。20

#### 【0148】

なお、メモリセルアレイ1が入力バッファ回路35と出力バッファ回路36とに挟まれたレイアウト構造でなくても本実施の形態は適用できる。

#### 【0149】

また、上述の図6に示される半導体装置600において、実施の形態1に係る半導体記憶装置100の代わりに、半導体記憶部として、実施の形態2～4に係る半導体記憶装置を使用しても良い。

#### 【図面の簡単な説明】

#### 【0150】

【図1】本発明の実施の形態1に係る半導体記憶装置のレイアウト構造を示す平面図である。

【図2】本発明の実施の形態1に係るライト制御回路の回路構成を示す図である。

【図3】本発明の実施の形態1に係るリード制御回路の回路構成を示す図である。

【図4】本発明の実施の形態1に係るデコーダ回路の構成を示すブロック図である。40

【図5】本発明の実施の形態1に係るメモリセルアレイ、入力バッファ回路及び出力バッファ回路の回路構成及び平面視上のレイアウト構造を示す図である。

【図6】本発明の実施の形態1に係る半導体装置の構成を示すブロック図である。

【図7】本発明の実施の形態1に係る半導体記憶装置のレイアウト構造を示す平面図である。

【図8】本発明の実施の形態1に係る半導体記憶装置のレイアウト構造の変形例を示す平面図である。

【図9】本発明の実施の形態1に係る半導体記憶装置のレイアウト構造の変形例を示す平面図である。

【図10】本発明の実施の形態2に係る半導体記憶装置のレイアウト構造を示す平面図で50

ある。

【図11】本発明の実施の形態2に係るライト制御回路の回路構成を示す図である。

【図12】本発明の実施の形態2に係るメモリセルアレイ、入力バッファ回路及び出力バッファ回路の回路構成及び平面視上のレイアウト構造を示す図である。

【図13】本発明の実施の形態3に係るライト制御回路の回路構成を示す図である。

【図14】本発明の実施の形態3に係るリード制御回路の回路構成を示す図である。

【図15】本発明の実施の形態3に係るデコーダ回路の構成を示すブロック図である。

【図16】本発明の実施の形態3に係るメモリセルアレイ、入力バッファ回路及び出力バッファ回路の回路構成及び平面視上のレイアウト構造を示す図である。

【図17】本発明の実施の形態3に係るライト制御回路及びリード制御回路の動作を示す 10 タイミングチャートである。

【図18】本発明の実施の形態4に係るリード制御回路の回路構成を示す図である。

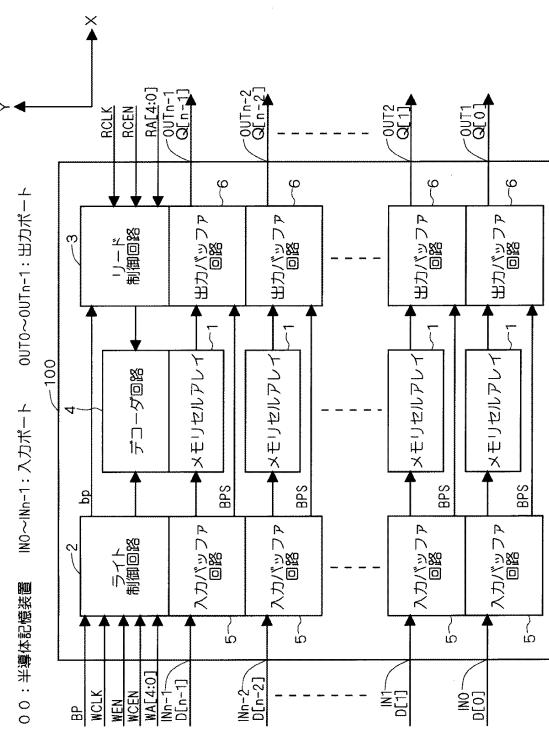
【図19】本発明の実施の形態4に係るメモリセルアレイ、入力バッファ回路及び出力バッファ回路の回路構成及び平面視上のレイアウト構造を示す図である。

### 【符号の説明】

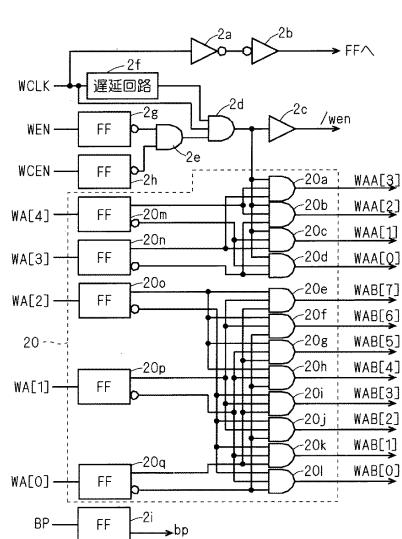
#### 【0151】

5 , 15 , 25 , 35 入力バッファ回路、6 , 16 , 26 , 36 出力バッファ回路  
 、60 センスアンプ回路、61 , 160 出力選択回路、100 , 110 半導体記憶  
 装置、150 データ切換回路、151 , 350 ビット線ドライバ回路、351 ビッ  
 ト線切換回路、600 半導体装置、BPL バイパス線、IN0 ~ INn-1 入力ボ  
 ート、MC メモリセル、OUT0 ~ OUTn-1 出力ポート、RBA , RBA0 , R  
 BA1 , RBB , RBB0 , RBB1 読み出しビット線、WBA , WBA0 , WBA1  
 , WBB , WBB0 , WBB1 書き込みビット線。 20

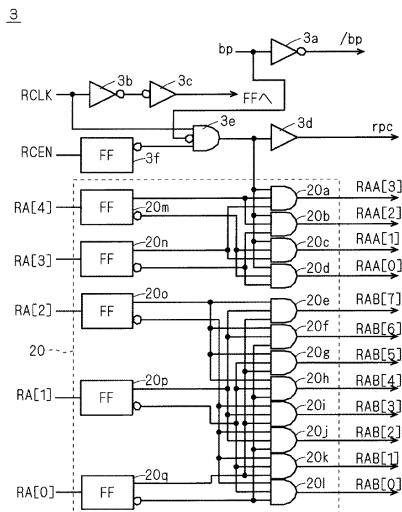
【図1】



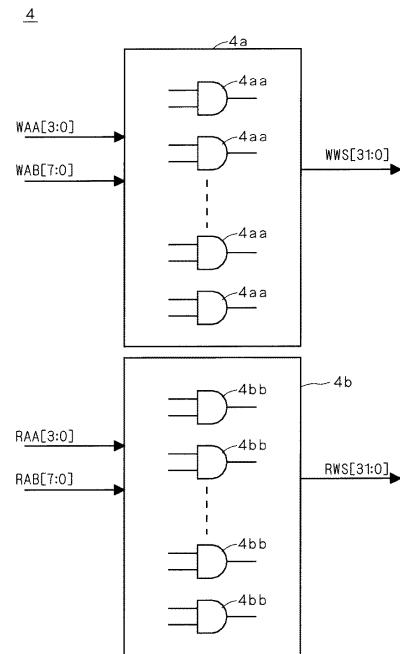
【図2】



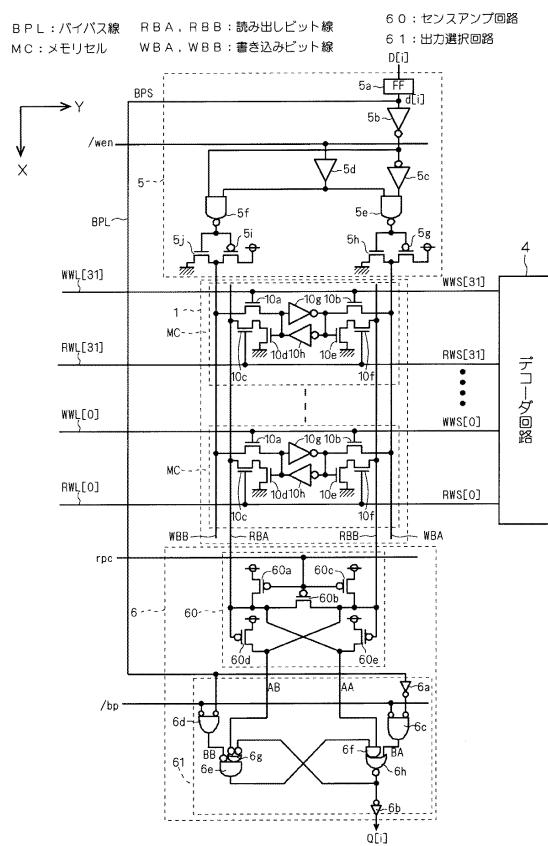
【図3】



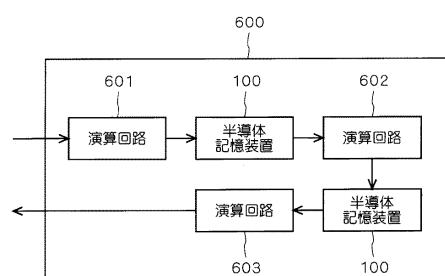
【図4】



【図5】

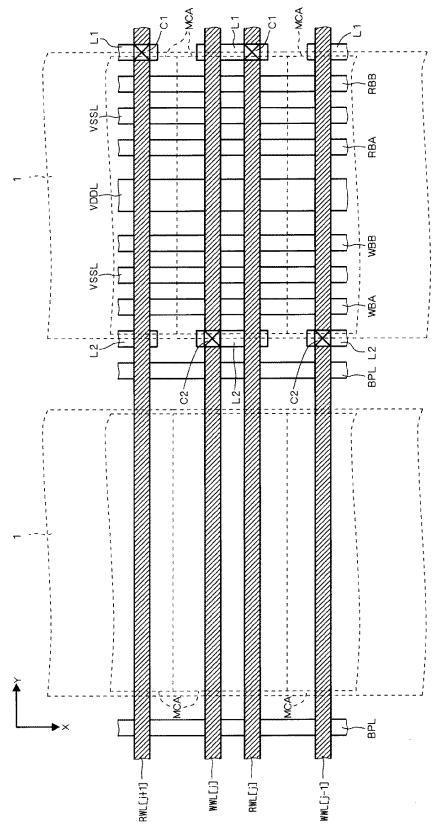


【図6】

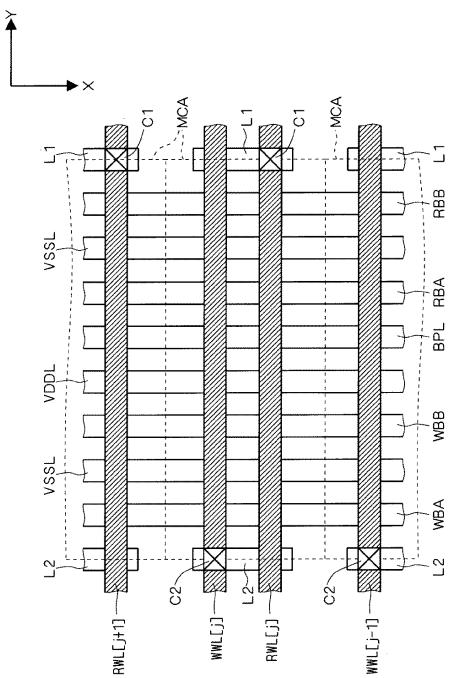


600 : 半導体装置

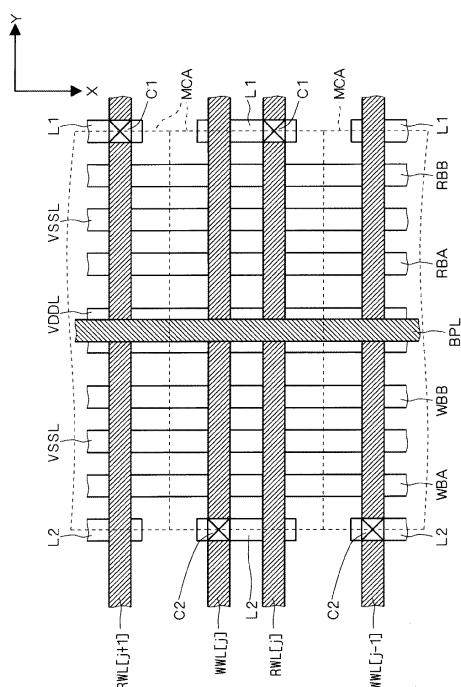
【図7】



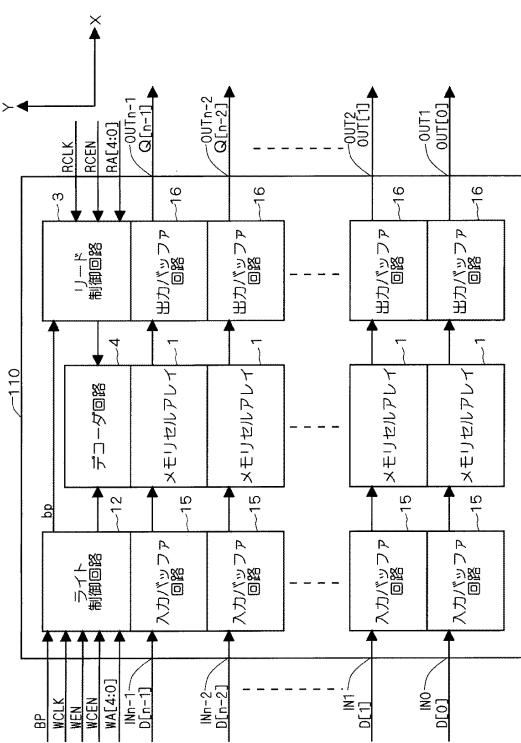
【図8】



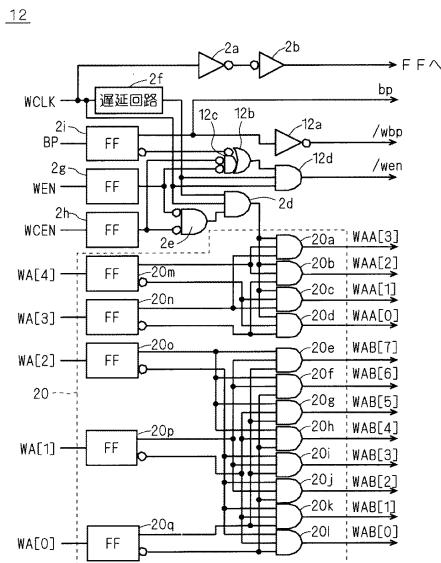
【図9】



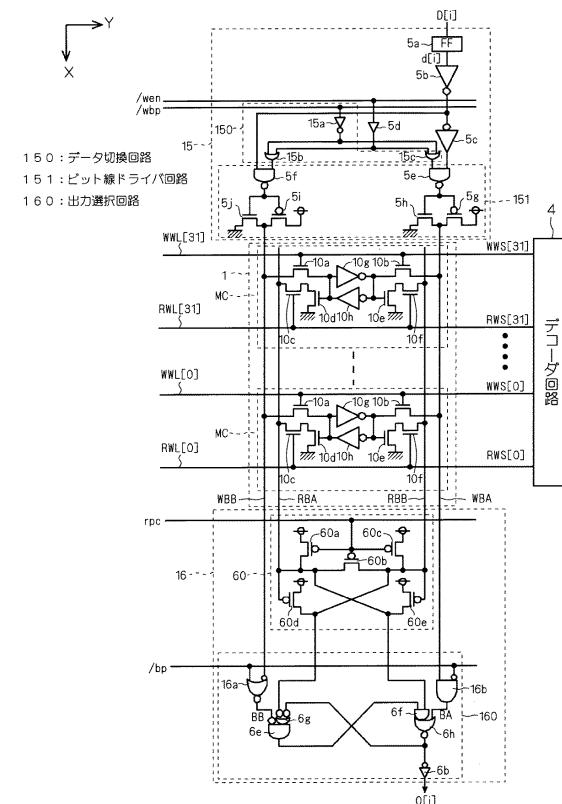
【図10】



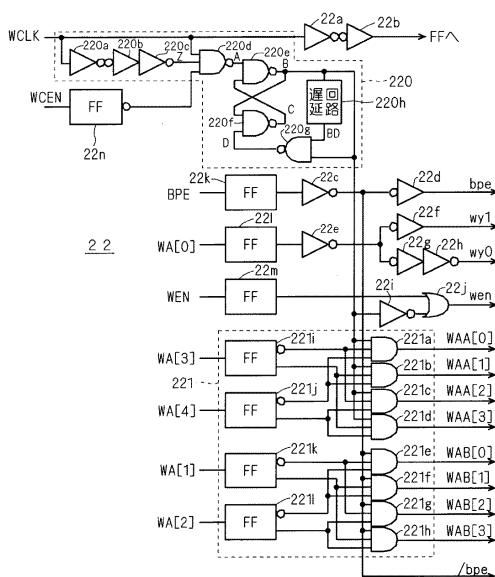
【図 1 1】



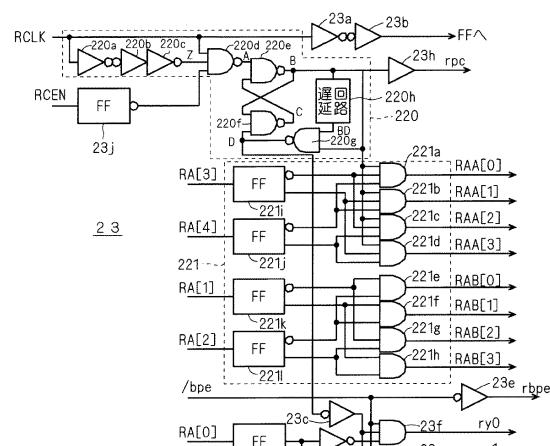
【図12】



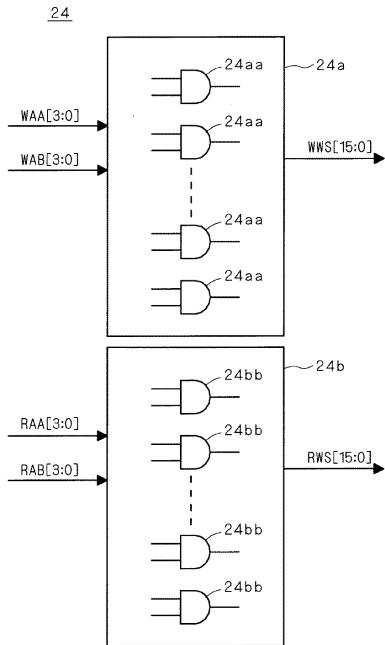
【习题 1 3】



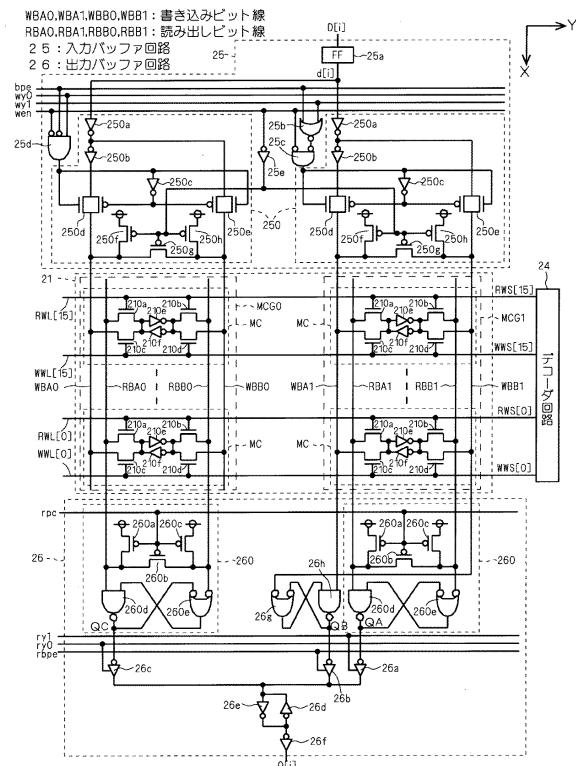
【図 1-4】



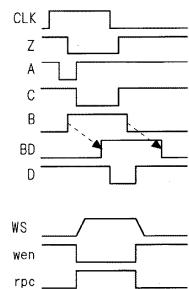
【図15】



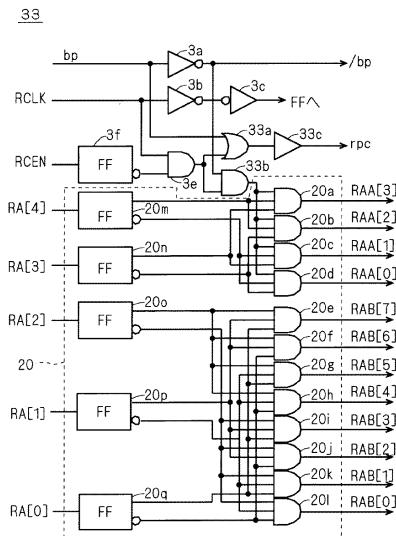
【図16】



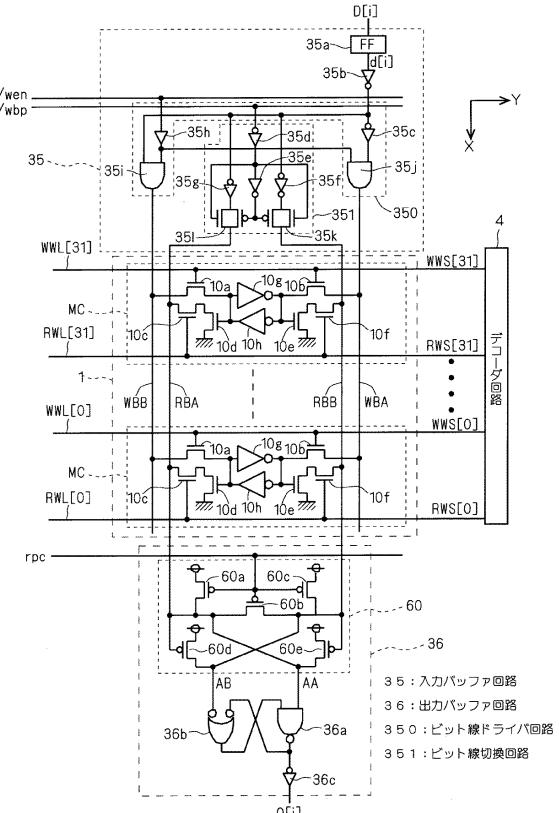
【図17】



【図18】



【 図 1 9 】



---

フロントページの続き

(51)Int.Cl.	F I
G 1 1 C 29/14 (2006.01)	G 1 1 C 29/00 6 7 1 T
G 0 1 R 31/28 (2006.01)	G 0 1 R 31/28 B
G 0 1 R 31/3185 (2006.01)	G 0 1 R 31/28 W

(56)参考文献 特開平10-073641(JP,A)  
特開平04-205787(JP,A)  
特開平06-195962(JP,A)  
特開平04-356793(JP,A)  
特開平03-029185(JP,A)  
特開平09-054142(JP,A)  
特開2003-078036(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G 1 1 C	1 1 / 4 1
G 0 1 R	3 1 / 2 8
G 0 1 R	3 1 / 3 1 8 5
G 1 1 C	1 1 / 4 0 1
G 1 1 C	2 9 / 1 4
H 0 1 L	2 1 / 8 2 4 4
H 0 1 L	2 7 / 1 0
H 0 1 L	2 7 / 1 1