

3 : 카운터	4 : 슬로프 검출기
6 : 제1 AND 게이트	8 : 레지스터
11 : 제2 AND 게이트	14 : R-S 플립플롭
19 : 레지스터	22 : 위상-고정 루프

[발명의 상세한 설명]

본 발명은 화상 디스플레이 장치용 디지털 동기화 장치에 관한 것으로, 이 동기화 장치에 인가된 수평 동기 신호를 포함하는 디지털 텔레비전 신호로부터 얻은 동기화 신호 분리 스테이지와, 상기 수평 동기 펄스가 동기화를 위해 인가되는 위상-고정 루프를 포함하는 디지털 동기화 장치에 관한 것이다.

상기와 같은 형태의 동기화 장치는 다음과 같은 일반적인 문제점이 나타나는데, 그 동기화 장치의 수평 동기화 신호는 입력 신호가 교란되어 결과적으로 잘못되거나 수평 동기 펄스가 발생되지 못할 때 더 이상 정확하게 식별될 수 없다. 그러면, 위상-고정 루프는 스텝을 벗어나게 되고, 화상이 교란되는 결과를 초래한다. 이와 같은 것은 텔레비전 신호에 위상 점프가 있을 때 적용된다.

한 아날로그 수평 동기화 장치는 소위 윈도우가 수평 동기화 신호에 포함될 펄스를 인식하는데 이용되는 미합중국 특허 제3,819,859호에 공지되어 있다. 수평 동기화 신호내의 검출된 신호에 따라 그 윈도우는 다시 개방 및 폐쇄된다. 윈도우가 개방되는 시간 간격에서 주어진 한계를 초과하는 모든 펄스는 동기 펄스로서 계산된다. 신호가 교란될 때, 다수의 펄스는 윈도우내 윈도우로 검출될 수 있다. 더우기, 위상 점프를 갖는 텔레비전 신호가 갖는 문제점은 수평 동기 신호내의 펄스가 윈도우내에서 인식될 수 없기 때문에 상기 장치에서 발생하게 된다. 결과적으로, 위상 고정 루프는 스텝을 벗어나게 될 것이다.

본 발명의 목적은 텔레비전 신호가 교란되거나 잡음이 있게될 때 확실한 동기화를 보장하는 서두에 기술된 형태의 디지털 동기화 장치를 제공하는 것이다.

본 발명에 따라 상기 목적을 달성하는데, 위상-고정 루프로부터 얻은 제1 스위칭 신호의 한 펄스를 여러 수평 동기화 펄스의 기대된 순간의 폭내에서 매번 발생시키고, 제2 스위칭 신호의 한 펄스를 제1 스위칭 신호의 각각의 펄스 이후에 소정의 시간 간격에서 발생시키며, 상기 제1 스위칭 신호의 한 펄스동안 발생하는 제1 수평 동기 펄스가 위상-고정 루프에 인가되는 반면에, 제2 스위칭 신호의 다음 펄스까지 연속 발생하는 여러 수평 동기 펄스는 인가되지 않으며, 상기 제 1 스위칭 신호의 다음 펄스까지 연속 발생하는 모든 수평 동기 펄스는 수평 동기 펄스가 제1 스위칭 신호의 한 펄스동안 발생되지 않을 때 위상-고정 루프에 인가되도록 하여 상기 목적을 달성한다.

위상-고정 루프의 수평 동기 펄스-동기화 상태에서, 상기 루프는 수평 동기 펄스와 정의된 위상 관계에 있는 출력 신호를 제공하여 상기 공지된 방법, 즉, 화상 디스플레이 장치의 편향 유닛을 위해 이용될 수 있다. 따라서, 위상-고정 루프와 수평 동기 펄스의 출력 신호 사이의 시간에 대한 고정된 관계가 있다. 그러므로, 한 수평 동기 펄스가 기대되는 순간에서 정확히 한 펄스를 발생시킬 수 있는데, 그 이유는 위상-고정 루프의 안정-상태에서 그들 순간을 알고 있기 때문이다. 더우기, 그 펄스는 수평 동기 펄스의 대략적인 폭을 갖는 어떤 한 폭내에서 발생할 수 있다. 따라서, 발생된 그들 펄스는 제1 스위칭 신호를 구성한다.

부가로, 발생된 제2 스위칭 신호는 제1 스위칭 신호의 각각의 펄스 이후에 소정의 시간 간격내에서 한 펄스를 제공한다. 이 제2 스위칭 신호는, 예를 들어, 고정-루프의 신호로부터 얻은 제1 스위칭 신호, 혹은 제1 스위칭 신호와 비슷한 시간 지연에 의해 발생할 수 있다.

이들 두 스위칭 신호는 교란 신호에 대한 검출된 수평 동기 펄스를 검사하여 바람직하지 못한 펄스를 억제하는데 이용된다. 이것은 제1 스위칭 신호의 펄스동안 수평 동기 펄스가 발생하는지를 처음 결정하는 방법으로 실행된다. 만일, 그 펄스 주기내에서 발생되면, 그 펄스는 위상-고정 루프에 인가된다. 모든 수평 동기 펄스는 제2 스위칭 신호의 다음 펄스가 차단되기 전에, 즉, 그들이 위상-고정 루프에 인가되기 전까지를 제외하고 제1 스위칭 신호 이후에 발생한다. 이러한 방법으로, 제1 스위칭 신호의 펄스의 리딩 엣지와 제2 스위칭 신호의 펄스의 리딩 엣지사이의 주기내에서 정확하게 하나의 수평 동기 펄스가 위상-고정 루프로 통과되는 것을 보장한다. 그러므로, 심지어 다수의 수평 동기 펄스가 불링킹 간격에서 잘못 검출될 때도, 단지 제1펄스가 교란되거나 큰 잡음 텔레비전 신호인 경우에서 위상-고정 루프로 통과된다.

만일, 수평 동기 펄스가 제1 스위칭 신호의 펄스 주기동안 발생하지 않는다면, 제1 스위칭 신호의 다음 펄스의 리딩 엣지까지 연속 발생하는 모든 수평 동기 펄스는 위상-고정 루프에 인가된다. 제1 스위칭 신호의 다음 펄스의 시작에 따라, 그 펄스동안 수평 동기 펄스가 발생하는지를 다시 검사한다. 만일 검사될 경우에, 수평 동기 펄스는 제1 스위칭 신호의 다음 펄스까지 그 펄스 이후에 차단된다. 반면에, 모든 수평 동기 펄스에 제1 스위칭 신호의 다음 펄스까지 위상-고정 루프로 통과된다.

공지된 장치와 비교할 때, 본 동기화 장치는 제1 스위칭 신호의 펄스의 리딩 엣지와 제2 스위칭 신호의 펄스의 리딩 엣지로 구성된 경우의 윈도우내에 위상-고정 루프로 정확히 한 펄스만을 통과시키는 장점을 갖는다. 다른 장점에 있어서, 강력히 교란되는 신호 또는 위상 점프가 발생된 경우에, 특히, 텔레비전 신호가 비디오 레코더에 의해 디스플레이될 때 발생하는 경우에, 본 장치는 제1 스위칭 신호의 펄스 주기동안 더이상 발생하지 않는 수평 동기 펄스가 역시 위상-고정 루프로 통과되기 때문에, 심지어 윈도우가 이미 폐쇄되었다 할지라도, 즉, 제2 스위칭 신호의 펄스가 이미 발생했을때도 결함이 없는 동기화를 실행할 수 있는 장점을 가지고 있다.

따라서, 보통의 경우, 즉, 위상-고정 루프가 텔레비전 신호와 이 텔레비전 신호에 포함된 수평 동기화 신호상에 정확히 동기화될 때와, 그 신호가 교란되지 않을 때, 본 장치는 단 정확히 한 수평 동기 펄스가 위상-고정 루프로 통과되기 때문에 결함이 없는 동기화를 보장할 수 있다. 만일, 이들 상태가 실행되

지 못한다면, 제1 스위칭 신호의 두 펄스 사이에 발생하는 모든 수평 동기 펄스는 그 동기화를 보장하기 위해 위상-고정 루프로 통과된다.

본 발명의 다른 실시예에 따라, 여러 수평 동기 펄스는 제1 AND 게이트의 제1 입력과, 제2 입력이 제1 스위칭 신호를 수신하고 출력이 RS 플립-플롭의 리셋 입력에 접속된 제2 AND 게이트의 제1 입력에 인가되는데, 상기 RS 플립-플롭의 세트 입력은 제2 스위칭 신호를 수신하고 그 출력은 출력이 위상-고정 루프에 인가된 제1 AND 게이트의 제2 입력에 접속된다.

제2 AND 게이트는 수평 동기 펄스가 제1 스위칭 신호의 한 펄스동안 발생할 때 출력 신호를 제공한다. 그러면, RS 플립-플롭은 제1 AND 게이트가 발생할 수 있는 수평 동기 펄스를 차단함에 따라 리셋된다. 이 차단 동작은 제2 스위칭 신호의 한 펄스가 RS 플립-플롭이 다시 세트되어 발생할 때 중단되어, 제1 AND 게이트에 의해 차단은 중단된다. 간단한 구조로 이 회로를 쉽게 집적시킬 수 있다.

본 발명의 다른 실시예에 따라, 위상-고정 루프의 입력뿐만 아니라 제1 AND 게이트의 제1 입력도 텔레비전 신호의 주사 클럭과 함께 클럭되는 두 레지스터에 의해 선행된다.

자연 시간이 게이트와 플립-플롭에서 발생하기 때문에, 주사 클럭과 동시에 재저장하는 두 레지스터를 제공하기 위해 주사 클럭-동기 처리 동작에 대한 많은 응용에 유리하게 된다.

본 발명의 다른 실시예에 따라, 두 스위칭 신호는 위상-고정 루프의 위상 비교기에 배열된 카운터에 의해 발생되는데, 그 카운터는 텔레비전 신호의 주사 클럭과 함께 클럭되어 위상-고정 루프의 동기화 상태로 수평 동기 펄스상에 동기화된다.

일반적으로 한 디지털 기법으로 완전히 실행되는 위상-고정 루프는 여러 카운터를 포함하는 위상 비교기를 포함한다. 이러한 위상 비교기에 있어서, 그 카운터는 위상-고정 루프가 입력 신호와 정확히 동기화되는지를 주어진 카운트동안 검사하는데 이용된다. 그러면, 그 입력 신호는 주어진 카운트동안 발생하게 된다. 위상-고정 루프의 동기화된 상태에서 카운터의 카운트가 발생하는 펄스에 대해 고정 관계일 때, 이 카운트는 원하는 순간과 원하는 기간에서 두 스위칭 신호를 발생하는데 이용될 수 있다.

본 발명의 다른 실시예에 따라, 제2 스위칭 신호의 각각의 펄스와 제1 스위칭 신호의 이전 펄스 사이의 소정 시간 간격은 50 내지 75 마이크로초가 된다. 텔레비전 신호에 대해서, 제2 신호의 펄스와 제1 스위칭 신호의 이전 펄스 리딩 엣지 사이의 그 시간 간격은 교란되는 펄스가 상기와 같은 방법으로 충분히 차단되기 때문에 유리하게 나타난다. 반면에, 차단 동작은 더이상 확실한 동기화를 실현시킬 수 없는 긴시간 동안 실행되지 않는다.

본 발명은 첨부된 도면과 실시예를 참고로 하여 보다 상세히 설명될 것이다.

제1도에 도시된 디지털 동기화 장치는 저역-통과 필터(1)와 클리핑 레벨 비교기(2)를 포함하는 동기화 신호 분리기 스테이지를 그 동기화 장치의 입력단부에 갖는다. 수평 동기화 신호를 포함하는 텔레비전 신호는 저역-통과 필터(1)에 인가된다. 그 비교기(2)는 저역-통과 필터에 결합되어 클리핑 레벨과 저역-통과 필터에 의해 인가된 신호를 비교하는데 이용된다. 따라서 이들 펄스가 분리되어 한정된 폭의 펄스를 발생하는 카운터(3)에 인가된다. 수평 동기 펄스를 나타내는 한정된 폭의 그들 펄스는 슬로프 검출기(4)에 인가된다. 이 슬로프 검출기(4)의 출력 신호는 제1 AND 게이트(6)의 제1 입력(5)과 레지스터(8)의 입력(7)에 인가된다. 이 레지스터(8)는 클럭신호(CLK)에 의해 클럭된다. 레지스터(8)의 출력(9)은 출력(12)이 RS 플립-플롭(14)의 리셋 입력(13)에 접속된 제2 AND 게이트(11)의 제1 입력(10)에 접속된다. RS 플립-플롭의 출력(15)은 제1 AND 게이트(6)의 제2 입력(16)에 접속된다. 제1 AND 게이트의 출력(17)은 레지스터(8)와 같이, 레지스터(19)의 입력(18)에 접속되고, 그 출력은 클럭신호(CLK)에 의해 클럭된다. 레지스터(19)의 출력은 단지 개략적으로만 도시된 위상-고정 루프(22)의 입력에 접속된다. 이 위상-고정 루프(22)의 출력(23)은 도면에 도시하지 않은 화상 디스플레이 장치의 수평 편향 유닛에 인가될 수도 있다.

그 출력(23)에서 나타나는 그들 신호에 따라서 위상-고정 루프(22)의 출력(24)에 나타나는 제1 스위칭 신호뿐만 아니라 위상-고정 루프의 다른 출력(25)에 나타나는 제2 스위칭 신호도 발생된다. 위상-고정 루프(22)의 출력(24)은 제2 AND 게이트(11)의 제2 입력(27)에 접속된다. 위상-고정 루프(22)의 출력(25)은 RS 플립-플롭(14)의 세트 입력(26)에 접속된다.

제1도에 도시된 동기화 장치의 동작은 제2도에 도시된 펄스선도를 참조로 하여 보다 상세히 기술될 것이다.

제2도에 FBAS에 의해 지시된 특성 곡선은 저역-통과 필터(1)에 인가된 입력 신호를 나타낸다. 그 입력 신호는 도시된 시간 간격에서 액티브 화상 정보 뿐만 아니라 4 수평 동기 펄스를 포함하는 전체 텔레비전 신호이다. 제2도에 도시된 실시예에 있어서, 수평 동기화 신호는 제2 블랭킹 간격내에서 방해받게 된다.

제2도에 도시된 특성 곡선(A)은 FBAS 신호가 고정된 클리핑 레벨과 비교되고, 수평 동기화 신호의 펄스가 발생하는 비교기(2)의 출력 신호를 나타낸다. 도면에 도시된 신호(A)의 특성 곡선은 두 펄스가 제2 블랭킹 간격에서 발생됨을 이미 알 수 있다.

제2도에 도시된 특성곡선(B)은 한정된 폭의 펄스를 발생시키는 카운터(3)의 출력 신호를 나타낸다. 이들은 수평 동기 펄스들이다. 제2도에 도시된 시간 간격의 제2 블랭킹 간격에서 두 수평 동기 펄스가 방해된 FBAS 신호를 기초로하여 발생된다.

제1도에 도시된 위상-고정 루프(22)는 제2도에 도시된 HPLL1에 의해 지시된 제1 스위칭 신호를 공급한다. 이 제1 스위칭 신호는 수평 동기 펄스가 기대될 때 정확히 한 펄스를 매번 공급한다. 사실상, 위상-고정 루프가 텔레비전 신호 FBAS에 정확히 동기화될 때, 그 위상-고정 루프는 한 수평 동기 펄스가 동기화 신호에서 기대되는 순간에 정확히 제1 스위칭 신호의 한 펄스를 발생시킨다. 수평 동기화 신호

내의 펄스폭은 알고 있기 때문에, 제1 스위칭 신호의 펄스를 동일한 폭에서 발생시킬 수 있다. 제2도에 도시된 HPLL2에 의해 지시된 제2 스위칭 신호는 제1 스위칭 신호의 한 펄스 이후에 한정된 시간 간격에서 매년 발생된다.

텔레비전 신호가 방해받지 않을 때, 즉, 제1 블랭킹 간격내의 제2에 도시된 실시예의 경우처럼, 특성 커브에 따른 한 수평 동기 펄스는 제1 스위칭 신호(HPLL1)의 한 펄스와 동시에 발생한다. 이들 두 신호, 즉, AND 게이트(11)에 인가된 이들 두 신호는 플립-플롭(14)을 리셋시킨다. 이 플립-플롭(14)의 출력 신호는 특성 곡선(C)에 도시되어 있다. 플립-플롭의 그 출력 신호(C)가 저 레벨을 갖는 동안 AND 게이트(6)는 다른 수평 동기 펄스가 위상-고정 루프(22)에 도달할 수 없도록 저지를 받게된다. 상기 제1 스위칭 신호(HPLL1)펄스의 주기동안 발생한 수평 동기 펄스는 AND 게이트(6)를 통과하여 게이트(11) 및 플립-플롭(14)이 지연 시간을 갖기 때문에 레지스터(19)로 판독된다. 더우기, 본 실시예에 있어서 그 펄스는 레지스터(8)에서 실행된 한 클럭의 지연을 갖는 제2 AND 게이트에 인가된다. 그러므로, 이 플립-플롭(14)은 또한 한 클럭 늦게 리셋될 것이며, AND 게이트(6)는 수평 동기 펄스가 발생된 후에 한 클럭 억제될 것이다. 위상-고정 루프에 인가되어 제2도에 S자로 지시된 한 펄스는 그 후 레지스터(19)의 출력에 나타난다.

상기 기술된 절차는 교란되지 않은 입력신호의 경우를 설명하고, 도시된 것처럼, 제2도내의 제1 블랭킹 간격동안의 시간 간격내에서, AND 게이트(6)는 한 수평 동기 펄스가 제1 스위칭 신호(HPLL1)의 한 펄스 동안 발생할 때 제2 스위칭 신호(HPLL2)발생까지 어떤 다른 수평 동기 펄스에 따라 레지스터(19) 또는 위상-고정 루프(22)로 통과하지 못함을 나타낸다.

이것은 제2도의 특성 곡선에 도시된 제2 블랭킹 간격을 참조로 더 설명될 것이다. 이 블랭킹 간격동안, 다른 수평 동기 펄스는 제1 펄스후에 발생한다. 그러나, 제2 수평 동기 펄스는 제2 스위칭 신호(HPLL2)의 리딩 엣지(leading edge)이전에 발생하므로, RS 플립-플롭이 그 신호에 의해 세트되기 전에 발생한다. 이 결과, AND 게이트(6)는 RS 플립-플롭의 출력 신호(C)가 여전히 저레벨을 갖기 때문에 억제된다. 그러므로, 제2 블랭킹 간격내의 제2 수평 동기 펄스는 레지스터(19)와 연속 배열된 위상-고정 루프(22)에 도달하지 못한다. 단지 방해 펄스에 지나지 않는 제2 수평 동기 펄스는 완전히 차단된다.

제1도에 도시된 디지털 동기화 장치는 부가적인 장점을 갖는데, 그 부가적인 장점은 텔레비전 신호의 위상 점프인 경우에 윈도우의 발생에도 불구하고 차단되지 않지만, 그들 펄스가 윈도우 외측에 있는 경우, 즉, 스위칭 신호의 제1과 제2 펄스사이의 시간 간격 외측에 있는 경우에 위상-고정 루프에 대해 수평 동기 펄스상에 통과한다는 점이다. 이것은 제3도에 도시된 펄스 선도를 참조로 더 자세히 기술될 것이다.

제3도에 도시된 시간 간격에 있어서, 제1과 제2 블랭킹 간격에서의 처리는 제2도에 도시된 시간 간격의 제1 블랭킹 간격에서의 처리와 동일한데, 그 이유는 FBAS 텔레비전 신호가 그들 신호 간격에서 방해받지 않기 때문이다. 그러나, 위상점프는 제3도에 도시된 제3 블랭킹 간격의 시작에서 발생한다. 그 위상 점프의 결과는 그 블랭킹 간격에서 제1 스위칭 신호(HPLL1)의 펄스 이후에 특성 곡선(B)에 따른 수평 동기 펄스가 발생한다는 것이다. 제1도에 도시된 회로에 있어서, AND 게이트의 결과가 저지되는데, 즉, 수평 동기 펄스는 RS 플립-플롭(14)이 리셋되지 않는다는 것이다. RS 플립-플롭(14)의 출력(15)과 그 출력의 결과로 제1 AND 게이트(6)의 입력(16) 또한 일정한 높은(고) 레벨을 갖는다. 차례로, 그것은 AND 게이트(6)의 제1 입력(5)에 도달하는 수평 동기화 펄스가 AND 게이트(6)의 출력에도 나타나고, 따라서 레지스터(19)와 위상-고정 루프(22)로 통과되는 결과를 얻는다. 그들 처리는 제3도에 도시된 실시예에서 명확히 도시되어 있다. RS 플립-플롭(14)의 출력신호(C)는 제3 블랭킹 간격에서(또한, 도면에 도시된 다음 두 블랭킹 간격에서)고-레벨을 유지한다. 그 결과, 위상-고정 루프(22)에 인가된 레지스터(19)의 출력 신호는 그 펄스가 AND 게이트(6)에서 차단되지 않기 때문에 펄스(S)를 전달한다.

따라서, 제3도의 펄스선도는 제3 블랭킹 간격에서 발생하는 위상 점프에도 불구하고, 그 블랭킹 간격에서 발생하는 수평 동기 펄스는 레지스터(19)와 위상-고정 루프(22)에 통과하게 된다. FBAS 신호의 위상 점프에 대한 역반응은 가끔 인가되는, 예를 들어, 비디오 레코더에 의해 제공되는 비규격 화상 신호를 디스플레이하는데 특히 장점이 있다.

(57) 청구의 범위

청구항 1

디지털 동기화 장치에 인가된 디지털 텔레비전 신호로부터 수평 동기 펄스가 얻어지고, 수평 동기 신호를 구비하는 동기화 분리기 스테이지와, 동기화를 위해 수평 동기 펄스가 인가되는 위상-고정 루프를 포함하는 화상 디스플레이 장치용 디지털 동기화 장치에 있어서,

상기 위상-고정 루프로부터 얻은 제1 스위칭 신호의 한 펄스는 수평 동기 펄스의 기대 순간의 폭내에서 매년 발생되고, 제2 스위칭 신호의 한 펄스는 제1 스위칭 신호의 각각의 펄스 이후 소정의 시간 간격내에서 매년 발생되며, 상기 제1 스위칭 신호의 한 펄스 동안 발생하는 제1 수평 동기 펄스는 위상-고정 루프에 인가되는 반면에, 제2 스위칭 신호의 다음 펄스가 인가되지 않을 때까지 수평 동기 펄스를 연속적으로 발생하고, 제1 스위칭 신호의 다음 펄스가 위상-고정 루프에 인가될 때까지 제1 스위칭 신호의 한 펄스 동안 수평 동기 펄스가 발생되지 않는다면 모든 수평 동기 펄스는 연속적으로 발생하는 것을 특징으로 하는 디지털 동기화 장치.

청구항 2

제1항에 있어서,

상기 수평 동기 펄스는, 제1 AND 게이트의 제1 입력과, 제2 AND 게이트의 제1 입력에 인가되는데, 제2 AND 게이트의 제2 입력은 제1 스위칭 신호를 수신하고, 그 출력은 RS 플립-플롭의 리셋 입력에 접속되며, 그 RS 플립-플롭의 세트 입력은 제2 스위칭 신호를 수신하며, 그 출력은 출력 신호가 위상-고정 루

프에 인가되는 제1 AND 게이트의 제2 입력에 접속된 것을 특징으로 하는 디지털 동기화 장치.

청구항 3

제2항에 있어서,

상기 위상-고정 루프의 입력뿐만 아니라 제1 AND 게이트의 제1 입력은 텔레비전 신호의 주사클럭과 클럭되도록 두 레지스터에 의해 선행되는 것을 특징으로 하는 디지털 동기화 장치.

청구항 4

제1항 내지 제3항중 어느 한 항에 있어서,

두 스위칭 신호는 위상-고정 루프의 위상 비교기에 설치된 카운터에 의해 발생되고, 그 카운터는 텔레비전 신호의 주사 클럭으로 클럭되고, 위상-고정 루프의 동기화 상태로 수평 동기 펄스상에 동기화되는 것을 특징으로 하는 디지털 동기화 장치.

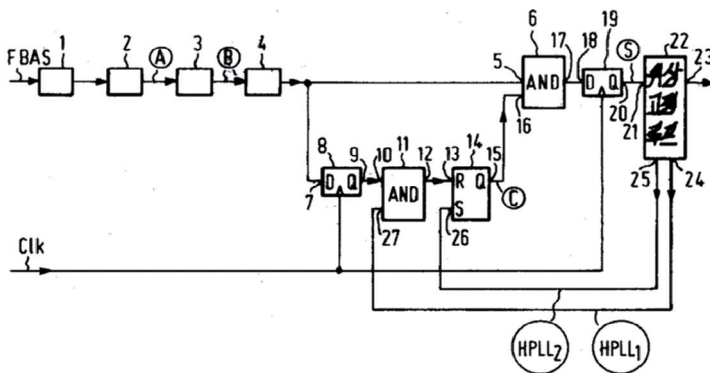
청구항 5

제2항 또는 제3항에 있어서,

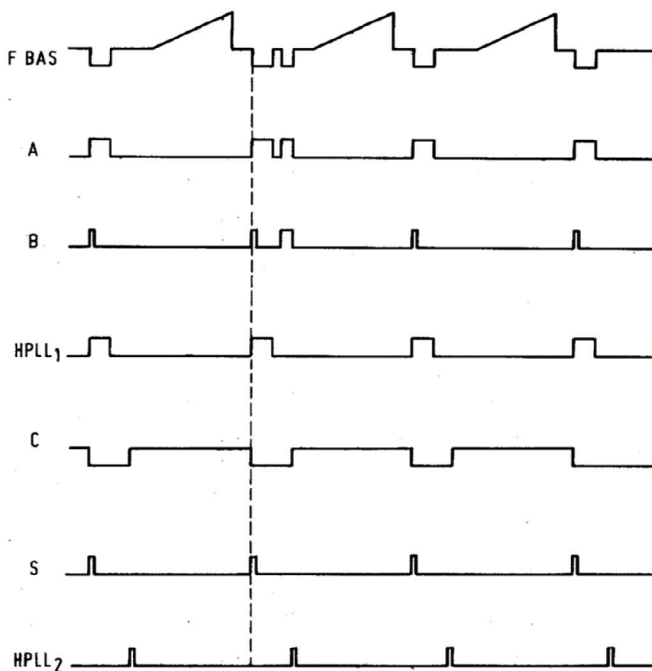
상기 동기화 신호 분리기 스테이지에서 얻은 수평 펄스는 다른 처리 이전에 슬로프 검출기에 인가되는 것을 특징으로 하는 디지털 동기화 장치.

도면

도면1



도면2



도면3

