



(12) 发明专利申请

(10) 申请公布号 CN 104616632 A

(43) 申请公布日 2015. 05. 13

(21) 申请号 201510083181. 3

(22) 申请日 2015. 02. 16

(71) 申请人 彩优微电子(昆山)有限公司

地址 215300 江苏省苏州市昆山开发区盛晞路 166 号

(72) 发明人 朱修殿 温作晓 黄晓峰

(74) 专利代理机构 上海隆天律师事务所 31282

代理人 臧云霄 李峰

(51) Int. Cl.

G09G 3/36(2006. 01)

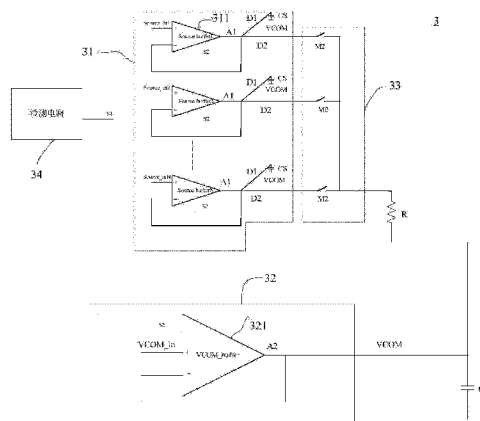
权利要求书2页 说明书7页 附图11页

(54) 发明名称

一种防止下电残影的液晶显示驱动电路及驱动方法

(57) 摘要

本发明公开了一种防止下电残影的液晶显示驱动电路及驱动方法,所述驱动电路包括源极电路,用于向多个像素电极输出一第一电压;共电压电路,用于向共电极输出一第二电压;以及切换电路;其中,在系统下电至一阈值时,通过所述切换电路的作用,将所述源极电路的输出与所述共电压电路的输出耦接至一起以同步放电。本发明在系统下电至一阈值时将源极电路的输出与公共电压电路的输出耦接,如此可以同步进行放电,进而确保在下电后显示面板的像素电极与公共电极间压差为零,避免了下电残影问题。此外,由于本方案仅是将源极电路的输出与公共电压电路的输出连接在一起,并且无需对原有源极电路和公共电压电路做大幅修改,实现起来更为简便。



1. 一种防止下电残影的液晶显示驱动电路,其特征在于,包括:
源极电路,用于向多个像素电极输出一第一电压;
共电压电路,用于向共电极输出一第二电压;以及
切换电路;

其中,在系统下电至一阈值时,通过所述切换电路的作用,将所述源极电路的输出与所述共电压电路的输出耦接至一起。

2. 如权利要求 1 所述的液晶显示驱动电路,其特征在于,所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

3. 如权利要求 2 所述的液晶显示驱动电路,其特征在于,所述源极电路包括多个第一缓冲器,每个所述第一缓冲器通过一第一路径将所述第一电压输出至所述多个像素电极中之一;在系统下电至所述阈值时,通过所述切换电路的控制,每个第一缓冲器通过一第二路径将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

4. 如权利要求 3 所述的液晶显示驱动电路,其特征在于,所述源极驱动电路包括多个第一缓冲器,每个所述第一缓冲器的输出端对应耦接所述多个像素电极中之一;所述切换电路包括多个开关元件,所述多个开关元件的第一端对应耦接于所述多个第一缓冲器的输出端,所述多个开关元件的第二端均通过所述第一电阻元件与所述共电压电路的输出耦接;在系统下电至所述阈值时,所述多个开关元件均闭合以形成所述第二路径,将所述多个第一缓冲器的输出端经由所述第一电阻元件与所述共电压电路的输出耦接至一起。

5. 如权利要求 4 所述的液晶显示驱动电路,其特征在于,所述共电压电路包括一第二缓冲器,所述多个第一缓冲器的输出端耦接于所述第一电阻元件的第一端,所述第二缓冲器的输出端耦接于所述第一电阻元件的第二端,以将所述源极电路的输出与所述共电压电路的输出耦接至一起。

6. 如权利要求 5 所述的液晶显示驱动电路,其特征在于,所述液晶显示驱动电路还包括:

电源电路,用于向所述源极电路和所述共电压电路提供电压;

检测电路,用于检测到所述电源电路提供的电压降至一预定电压时,判定所述系统下电至所述阈值,并向所述切换电路发出第一控制信号,以将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

7. 如权利要求 6 所述的液晶显示驱动电路,其特征在于,所述检测电路,还用于检测到所述电源电路提供的电压降至所述预定电压时,向所述多个第一缓冲器和所述第二缓冲器发出第二控制信号;当所述检测电路检测到所述电源电路提供的电压降至所述预定电压时,向所述源极电路的所述多个第一缓冲器和所述共电压电路的所述第二缓冲器发出所述第二控制信号关断所述第一缓冲器和所述第二缓冲器,并向所述切换电路的所述多个开关元件发出所述第一控制信号闭合所述多个开关元件,使所述多个第一缓冲器的输出短接,再经由所述第一电阻元件与所述第二缓冲器的输出端耦接。

8. 如权利要求 7 所述的液晶显示驱动电路,其特征在于,所述多个开关元件的所述第二端和所述第一电阻元件的所述第一端之间还耦接第二电阻元件的第一端,所述第二电阻元件的第二端经由第一开关元件控制与接地端耦接;在检测到所述电源电路提供的电压降至所述预定电压时,所述检测电路向所述第一开关元件发出第三控制信号闭合所述第一开

关元件,以经由所述第二电阻元件所在的支路同时放电。

9. 如权利要求 2 所述的液晶显示驱动电路,其特征在于,所述源极电路和所述切换电路设置于第一芯片上,所述共电压电路设置于第二芯片上,并且所述第一芯片和所述第二芯片为相互独立的芯片。

10. 如权利要求 5 所述的液晶显示驱动电路,其特征在于,所述源极电路、所述切换电路和所述共电压电路集成于同一第三芯片上。

11. 一种防止下电残影的液晶显示驱动电路,其特征在于,包括:
源极电路,用于向多个像素电极输出一第一电压;
共电压电路,用于向共电极输出一第二电压;以及
切换电路;

其中,在系统下电至一阈值时,通过所述切换电路的作用,将所述源极电路的输出经由一第三电阻元件耦接至接地端,将所述共电压电路的输出经由一第四电阻元件耦接至接地端,并且所述第三电阻元件和所述第四电阻元件的阻值以预定比例配置,以使所述源极电路的输出和所述共电压电路的输出放电速率一致。

12. 一种防止下电残影的液晶显示驱动方法,用于包括源极电路和共电压电路的液晶显示电路的驱动,所述源极电路用于向多个像素电极输出一第一电压,所述共电压电路,用于向共电极输出一第二电压,其特征在于,包括如下步骤:

检测系统是否下电至一阈值;

当检测到系统下电至所述阈值时,通过切换电路的作用,将源极电路的输出与共电压电路的输出耦接至一起。

一种防止下电残影的液晶显示驱动电路及驱动方法

技术领域

[0001] 本发明涉及一种液晶显示驱动电路及驱动方法,尤其涉及一种能够有效防止下电残影的液晶显示驱动电路及驱动方法。

背景技术

[0002] 液晶显示器因其轻薄、无幅射、低耗电、使用寿命长、画面柔和不伤眼等特性,在各应用领域中使用占有率相当高。其中以主动矩阵型的薄膜晶体管式液晶显示器(TFT-LCD)为市场上的主流。

[0003] 一般TFT-LCD主要包括显示面板和显示驱动电路。显示面板的示意图如图1所示,在整个液晶显示面板1架构中,具有多个呈矩阵排列的像素11。单个子像素(sub-pixel)的电路示意图如图2所示,晶体管(TFT)Q的栅极G由栅极驱动电路来提供控制信号,源极S由源极电路提供显示的数据信号,漏极D接显示电极。栅极驱动电路根据提供电压电平的高低来控制晶体管Q的闭合和关断。当栅极G电压为高电平时,晶体管Q闭合,源极电路向源极S提供的显示的数据信号传送到显示电极。显示电极与共电极之间电容为寄生的液晶电容 C_{lc} 和存储电容 C_s 。液晶显示内容由显示电极与共电极之间的压差决定。

[0004] 一个基本像素(pixel),需要三个子像素(sub-pixel)组成,分别代表RGB三原色。其工作原理为由栅极驱动电路所送出的波形,依次将每一行的TFT打开,源极电路将需要显示的数据送到此行的TFT的源极S端,通过TFT将表示数据的电压传输到显示电极,而显示不同的灰度。当此行充好电后,栅极驱动电路停止向此行提供电压,由下一行的栅极驱动电路向下一行提供电压,再由源极电路对下一行的显示电极进行充放电。如此依序下去,当充好最后一行的像素,一帧画面完全显示完成。

[0005] 在电视或显示器的液晶面板模组中,TFT的栅极G端是由栅极驱动电路来驱动,源极S端是由源极电路31来驱动,共电极端则由公共电压电路32来提供电压。当系统下电命令发出后,系统电源开始向地放电,此时源极电路31检测到电源电压下电,所有的输出端的开关闭合并连接到一起对地进行放电,如图3A所示。共电压电路32通过内部进行放电,如图3B所示。但由于源极电路31和共电压电路32设置上的差异,源极电路31的输出下降速率跟共电压电路32输出的下降速率不一致,其之间存在一定的压差,导致了像素电极和共电极之间存在压差,波形如图4所示。则在液晶面板上看到的现象是:下电命令后,面板显示为黑画后再亮起来,最后慢慢的暗下去或者花屏后再暗下去,此现象称之为残影。

发明内容

[0006] 针对现有技术存在的问题,本发明的目的之一在于提供一种不需要对现有驱动电路进行大幅修改、便于实现,能够有效防止下电残影的液晶显示驱动电路。

[0007] 本发明的另一目的在于提供一种能够有效防止下电残影的液晶显示驱动方法。

[0008] 为实现上述目的,本发明的防止下电残影的液晶显示驱动电路,包括:

[0009] 源极电路,用于向多个像素电极输出一第一电压;

[0010] 共电压电路,用于向共电极输出一第二电压;以及

[0011] 切换电路;

[0012] 其中,在系统下电至一阈值时,通过所述切换电路的作用,将所述源极电路的输出与所述共电压电路的输出耦接至一起。

[0013] 进一步,所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

[0014] 进一步,所述源极电路包括多个第一缓冲器,每个所述第一缓冲器通过一第一路径将所述第一电压输出至所述多个像素电极中之一;在系统下电至所述阈值时,通过所述切换电路的控制,每个第一缓冲器通过一第二路径将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

[0015] 进一步,所述源极驱动电路包括多个第一缓冲器,每个所述第一缓冲器的输出端对应耦接所述多个像素电极中之一;所述切换电路包括多个开关元件,所述多个开关元件的第一端对应耦接于所述多个第一缓冲器的输出端,所述多个开关元件的第二端均通过所述第一电阻元件与所述共电压电路的输出耦接;在系统下电至所述阈值时,所述多个开关元件均闭合以形成所述第二路径,将所述多个第一缓冲器的输出端经由所述第一电阻元件与所述共电压电路的输出耦接至一起。

[0016] 进一步,所述共电压电路包括一第二缓冲器,所述多个第一缓冲器的输出端耦接于所述第一电阻元件的第一端,所述第二缓冲器的输出端耦接于所述第一电阻元件的第二端,以将所述源极电路的输出与所述共电压电路的输出耦接至一起。

[0017] 进一步,所述液晶显示驱动电路还包括:

[0018] 电源电路,用于向所述源极电路和所述共电压电路提供电压;

[0019] 检测电路,用于检测到所述电源电路提供的电压下降至一预定电压时,判定所述系统下电至所述阈值,并向所述切换电路发出第一控制信号,以将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

[0020] 进一步,所述检测电路,还用于检测到所述电源电路提供的电压下降至所述预定电压时,向所述多个第一缓冲器和所述第二缓冲器发出第二控制信号。

[0021] 进一步,当所述检测电路检测到所述电源电路提供的电压下降至所述预定电压时,向所述源极电路的所述多个第一缓冲器和所述共电压电路的所述第二缓冲器发出所述第二控制信号关断所述第一缓冲器和所述第二缓冲器,并向所述切换电路的所述多个开关元件发出所述第一控制信号闭合所述多个开关元件,使所述多个第一缓冲器的输出短接,再经由所述第一电阻元件与所述第二缓冲器的输出端耦接。

[0022] 进一步,所述多个开关元件的所述第二端和所述第一电阻元件的所述第一端之间还耦接第二电阻元件的第一端,所述第二电阻元件的第二端经由第一开关元件控制与接地端耦接;在检测到所述电源电路提供的电压下降至所述预定电压时,所述检测电路向所述第一开关元件发出第三控制信号闭合所述第一开关元件,以经由所述第二电阻元件所在的支路同时放电。

[0023] 进一步,所述源极电路和所述切换电路设置于第一芯片上,所述共电压电路设置于第二芯片上,并且所述第一芯片和所述第二芯片为相互独立的芯片。

[0024] 进一步,所述第一电阻元件设置于所述第一芯片中。

- [0025] 进一步,所述第一电阻元件设置在所述第一芯片和所述第二芯片外的 PCB 板上。
- [0026] 进一步,所述源极电路、所述切换电路和所述共电压电路集成于同一第三芯片上。
- [0027] 进一步,所述第一电阻元件集成于所述第三芯片中。
- [0028] 本发明的防止下电残影的液晶显示驱动电路,包括:
- [0029] 源极电路,用于向多个像素电极输出一第一电压;
- [0030] 共电压电路,用于向共电极输出一第二电压;以及
- [0031] 切换电路;
- [0032] 其中,在系统下电至一阈值时,通过所述切换电路的作用,将所述源极电路的输出经由一第三电阻元件耦接至接地端,将所述共电压电路的输出经由一第四电阻元件耦接至接地端,并且所述第三电阻元件和所述第四电阻元件的阻值以预定比例配置,以使所述源极电路的输出和所述共电压电路的输出放电速率一致。
- [0033] 进一步,所述切换电路包括第三开关元件和第四开关元件,所述第三开关元件耦接于所述第三电阻元件和所述接地端间,所述第四开关元件耦接于所述第四电阻元件和所述接地端间。
- [0034] 进一步,所述源极电路和所述共电压电路集成于同一第三芯片上;所述源极驱动电路包括多个第一缓冲器,所述共电压电路包括一第二缓冲器;每个所述第一缓冲器通过一第一路径将所述第一电压输出至所述多个像素电极中之一;在系统下电至所述阈值时,通过所述切换电路的作用,每个第一缓冲器的输出端通过所述第三电阻元件耦接至接地端,所述第二缓冲器的输出端通过所述第四电阻元件耦接至接地端。
- [0035] 本发明的防止下电残影的液晶显示驱动方法,用于包括源极电路和共电压电路的液晶显示电路的驱动,所述源极电路用于向多个像素电极输出一第一电压,所述共电压电路,用于向共电极输出一第二电压,其特征在于,包括如下步骤:
- [0036] 检测系统是否下电至一阈值;
- [0037] 当检测到系统下电至所述阈值时,通过切换电路的作用,将源极电路的输出与共电压电路的输出耦接至一起。
- [0038] 进一步,所述源极电路包括多个第一缓冲器,每个所述第一缓冲器通过一第一路径将第一电压输出至所述多个像素电极中之一;在检测到系统下电至所述阈值时,通过所述切换电路的作用,每个第一缓冲器通过一第二路径将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。
- [0039] 进一步,所述源极驱动电路包括多个第一缓冲器,每个所述第一缓冲器的输出端对应耦接所述多个像素电极中之一;所述切换电路包括多个开关元件,所述多个开关元件的第一端对应耦接于所述多个第一缓冲器的输出端,所述多个开关元件的第二端均通过一第一电阻元件与所述共电压电路的输出耦接;在检测到系统下电至所述阈值时,所述多个开关元件均闭合以形成所述第二路径,将所述多个第一缓冲器的输出端经由一第一电阻元件与所述共电压电路的输出耦接至一起。
- [0040] 进一步,所述共电压电路包括一第二缓冲器,所述多个第一缓冲器的输出端耦接于所述第一电阻元件的第一端,所述第二缓冲器的输出端耦接于所述第一电阻元件的第二端,以将所述源极电路的输出与所述共电压电路的输出耦接至一起。
- [0041] 进一步,所述检测系统是否下电至一阈值包括如下步骤:

[0042] 检测电源电路提供的电压；

[0043] 将电源电路提供的电压与一预定电压比较；

[0044] 根据比较结果判断系统是否下电至所述阈值。

[0045] 进一步,所述驱动方法还包括当检测到系统下电至所述阈值时,向所述切换电路发出第一控制信号,将所述源极电路的输出经由一第一电阻元件与所述共电压电路的输出耦接至一起。

[0046] 进一步,所述驱动方法还包括当检测到系统下电至所述阈值时,向所述源极电路的多个第一缓冲器和所述公共电压电路的第二缓冲器发出第二控制信号关断所述第一缓冲器和所述第二缓冲器,并向所述切换电路的多个开关元件发出所述第一控制信号闭合所述多个开关元件,使所述多个第一缓冲器的输出短接,再经由所述第一电阻元件与所述第二缓冲器的输出耦接。

[0047] 进一步,所述多个开关元件的所述第二端和所述第一电阻元件的所述第一端之间还耦接第二电阻元件的第一端,所述第二电阻元件的第二端经由第一开关元件控制与接地端耦接;在检测到系统下电至所述阈值时,向所述第一开关元件发出第三控制信号闭合所述第一开关元件,以经由所述第二电阻元件所在的支路同时放电。

[0048] 本发明在系统下电至一阈值时将源极电路的输出与公共电压电路的输出耦接,如此可以同步进行放电,进而确保在下电后显示面板的像素电极与公共电极间压差为零,避免了下电残影问题。此外,由于本方案仅是将源极电路的输出与公共电压电路的输出连接在一起,并且无需对原有源极电路和公共电压电路做大幅修改,实现起来更为简便。

附图说明

[0049] 图 1 为液晶显示面板的结构示意图；

[0050] 图 2 为液晶显示面板中单个子像素的电路示意图；

[0051] 图 3A 为现有在下电时液晶显示驱动电路中源极电路的放电示意图；

[0052] 图 3B 为现有在下电时液晶显示驱动电路中公共电压电路的放电示意图；

[0053] 图 4 为发生下电残影现象的波形示意图；

[0054] 图 5 为本发明一实施例的液晶显示驱动电路的示意图；

[0055] 图 6 为液晶显示驱动电路中源极电路的结构示意图；

[0056] 图 7- 图 8 为本发明一实施例的液晶显示驱动电路中源极电路和公共电压电路分别集成于两独立芯片的结构示意图；

[0057] 图 9- 图 11 为本发明一实施例的液晶显示驱动电路中源极电路和公共电压电路集成于同一芯片的结构示意图；

[0058] 图 12 为本发明的液晶显示驱动电路的放电波形示意图。

具体实施方式

[0059] 为使本领域技术人员能更进一步了解本发明以下列举本发明的较佳实施例,并配合所附附图,详细说明本发明的构成内容。为了方便说明,本发明的各附图仅为示意以更容易了解本发明,其详细的比例可依照设计的需求进行调整。

[0060] 如图 5 所示,本发明的防止下电残影的液晶显示驱动电路 3,包括：

[0061] 源极电路 31, 用于向显示面板的多个像素电极输出灰阶电压, 即第一电压;

[0062] 共电压电路 32, 用于向显示面板的共电极输出公共电压, 即第二电压; 以及

[0063] 切换电路 33;

[0064] 其中, 在系统下电至一阈值时, 通过所述切换电路 33 的作用, 将所述源极电路的输出与所述共电压电路的输出耦接至一起, 以同步放电, 进而使所述像素电极与所述共电极间的压差为 0。

[0065] 本实施例通过切换电路的控制, 使源极电路的输出与共电压电路的输出耦接至一起, 从而可以使源极驱动电路与共电压电路随系统下电而同步放电, 使得二者放电速率基本一致, 能够避免由于像素电极与共电极间压差不一致而引起的下电残影问题。

[0066] 上述实施例中源极电路 31 可包括多个源极缓冲器 (Source buffer), 即第一缓冲器 311。每个第一缓冲器 311 通过第一路径 D1 将灰阶电压输出至所述多个像素电极中之一; 在系统下电至一阈值时, 通过切换电路 33 的控制, 每个第一缓冲器 311 通过一第二路径 D2 将源极电路 31 的输出经由第一电阻元件 R 与共电压电路 32 的输出耦接至一起。其中, 第一缓冲器 311 的数量由一行的像素的个数决定。

[0067] 在本发明的一实施例中, 每个第一缓冲器 311 的输出端 A1 对应耦接所述多个像素电极中之一; 切换电路 33 包括多个开关元件 M2, 多个开关元件 M2 的第一端对应耦接于多个第一缓冲器 311 的输出端 A1, 多个开关元件 M2 的第二端均通过一第一电阻元件 R 与共电压电路 32 的输出耦接至一起; 在系统下电至一阈值时, 多个开关元件 M2 均闭合以形成第二路径 D2, 将所述多个第一缓冲器 311 的输出端 A1 经由一第一电阻元件 R 与共电压电路 32 的输出耦接至一起。

[0068] 本实施例相比上一实施例, 对切换电路 33 的组成结构以及与其他电路的连接关系做了具体限定, 然而切换电路的组成及连接关系并不以此实施例为限, 凡是在下电时能够将源极电路 31 的输出与共电压电路 32 耦接至一起的任何切换电路结构, 或切换电路连接方式都可以被采用。此外, 本实施例中开关元件 M2 的类型一般为电子开关, 例如晶闸管 (SCR) 等。

[0069] 如图 6 所示, 显示了源极电路 31 的结构示意图。源极电路 31 除了包括多个第一缓冲器 311 外, 还包括串并转换单元 (Serial To Parallel Convertor)、Latch 单元、DAC 单元。其中, 源极驱动电路的基本工作原理: 源极驱动电路接收时序控制单元发送的高速串行接口数据及时钟信号, 并通过串并转换单元将串行数据转换为并行数据。移位寄存器 (图中未示出) 输出的 SR 信号将并行数据通过 Latch 电路依次传送到各自对应通道的 DAC 中, 此数据选择 Gamma buffer 输出的 Gamma 参考电压 $V_{GM<N>}$, 输出到第一缓冲器 311 的输入端, 由第一缓冲器 311 将此电压 (灰阶电压) 驱动到 TFT 的源极。

[0070] 上述实施例中, 共电压电路 32 可包括共电压缓冲器 (VCOM buffer), 即第二缓冲器 321, 多个第一缓冲器 311 的输出端 A1 耦接于第一电阻元件 R 的第一端, 第二缓冲器 321 的输出端耦接于第一电阻元件 R 的第二端, 同时经由一稳压电容 C1 连至接地端。

[0071] 在本发明的一实施例中, 液晶显示驱动电路 3 还包括:

[0072] 电源电路 (图中未示出), 用于向源极电路 31 和共电压电路 32 提供电压;

[0073] 检测电路 34, 用于检测到所述电源电路提供的电压降至一预定电压时, 判定系统下电至所述阈值, 并向切换电路 33 发出第一控制信号 S1, 将源极电路 31 的输出经由一第一

电阻元件 R 与共电压电路 32 的输出耦接至一起并连至接地端。本实施例中于液晶显示驱动电路中另外增加检测系统是否下电的检测电路 34, 同时通过检测电路 34 还可以精确控制切换电路 33 的开关动作。本实施例中检测电路 34 检测系统是否下电至阈值是根据电源电路提供的电压与一预定电压比较结果进行判断, 然本发明并不以此为限, 检测电路 34 检测系统是否下电至一阈值也可以根据电源电路电压的下降速率与一预定电压下降速率的比较结果来判断。

[0074] 在另一实施例中, 检测电路 34, 还用于检测到所述电源电路提供的电压降至预定电压时, 向多个第一缓冲器 311 和第二缓冲器 321 发出第二控制信号 S2 来关断第一缓冲器 311 和第二缓冲器 321, 使其输出处于高阻态, 并向切换电路 33 的多个开关元件 M2 发出所述第一控制信号 S1 闭合多个开关元件 M2, 使多个第一缓冲器 311 的输出端 A1 短接, 再经由第一电阻元件 R 与第二缓冲器 321 的输出耦接。本实施例中, 在检测到所述电源电路提供的电压降至预定电压时, 检测电路 34 可以向第一缓冲器 311 和第二缓冲器 321 发出第二控制信号 S2 控制二者处于高阻态, 同时向开关元件 M2 发出第一控制信号 S1 以使多个开关元件 M2 均闭合。然而, 本发明并不以此为限, 在检测到所述电源电路提供的电压降至预定电压时可选择地仅向开关元件 M2 发出第一信号, 而不向第一缓冲器和第二缓冲器发送第二控制信号。其中, 第一控制信号 S1 和第二控制信号 S2 属于检测电路 34 发送至不同元件的同一类信号, 第一控制信号 S1 和第二控制信号 S2 在此应理解为同一信号, 然而本实施例并不以此为限。

[0075] 在本发明的一实施例中, 多个开关元件 M2 的第二端和第一电阻元件 R 的第一端之间还耦接第二电阻元件 R1 的第一端, 第二电阻元件 R1 的第二端经由第一开关元件 M1 控制与接地端耦接; 在检测到所述电源电路提供的电压降至预定电压时, 检测电路 34 向第一开关元件 M1 发出第三控制信号 S3 闭合第一开关元件 M1, 以经由第二电阻元件 R1 所在的支路同时放电。本实施例在液晶显示驱动电路中另外增加了一放电支路, 由此可以加快源极电路和共电压电路的放电速度。

[0076] 在本发明的一实施例中, 如图 7 所示, 切换电路 33 和源极电路 31 集成于第一芯片 41 上, 共电压电路 32 设置于第二芯片 42 上, 并且第一芯片 41 和第二芯片 42 为相互独立的芯片。此外, 第一电阻元件 R 也可以同时集成于第一芯片 41 中。如图 8 所示, 第一电阻元件 R 还可以选择性地设置于第一芯片 41 和第二芯片 42 外的 PCB 板 (图中未示出) 上。

[0077] 在本发明的另一实施例中, 如图 9 所示, 源极电路 31、共电压电路 32 和切换电路 33 集成于同一第三芯片 43 上。此外, 第一电阻元件 R 集成于第三芯片 43 中。

[0078] 在本发明的一实施例中, 如图 10 所示, 与图 9 相比其将第二电阻元件 R1 也集成于第三芯片 43 中。

[0079] 在本发明的一实施例中, 如图 11 所示, 源极电路 31 和共电压电路 32 集成于同一第三芯片 43 上; 所述源极驱动电路 31 包括多个第一缓冲器 311, 所述共电压电路 32 包括一第二缓冲器 321; 每个所述第一缓冲器 311 通过一第一路径将灰阶电压输出至所述多个像素电极中之一; 在检测到系统下电至所述阈值时, 通过所述切换电路 33 的控制, 每个第一缓冲器 311 通过一第三电阻元件 R1 耦接至接地端, 所述第二缓冲器 321 通过一第四电阻元件 R2 耦接至接地端, 所述第三电阻元件 R1 和所述第四电阻元件 R2 以预定比例配置。本实施例通过第三电阻元件 R1 和第四电阻元件 R2 以预定比例配置, 可以看做间接使源极电

路的输出和共电压电路的输出耦接,以使所述源极电路 31 的输出和所述共电压电路 32 的输出放电速率一致。

[0080] 以上通过具体实施例对本发明的液晶显示驱动电路进行了详细说明。以下参照上述实施例的液晶显示驱动电路,对其液晶显示驱动方法做进一步说明。

[0081] 本发明的液晶显示驱动方法包括如下步骤:

[0082] 检测系统是否下电至一阈值;

[0083] 当检测到系统下电至所述阈值时,通过切换电路 33 的控制,将源极电路 31 的输出与共电压电路 32 的输出耦接,以同步放电,进而使像素电极与共电极间的压差为 0。

[0084] 其中,所述检测系统是否下电至一阈值包括如下步骤:

[0085] 检测电源电路提供的电压;

[0086] 将电源电路提供的电压与一预定电压比较;

[0087] 根据比较结果判断系统是否下电至所述阈值。

[0088] 本发明检测系统是否下电至一阈值的步骤并不局限于上述实施例,其也可以为:

[0089] 检测电源电路提供的电压下降速率;

[0090] 将电源电路提供的电压下降速率与一预定电压下降速率比较;

[0091] 根据比较结果判断系统是否下电至所述阈值。

[0092] 在本发明的一实施例中,所述驱动方法还包括当检测到系统下电至所述阈值时,向切换电路 33 发出第一控制信号,将源极电路 31 的输出经由一第一电阻元件 R 与共电压电路 32 的输出耦接一起。

[0093] 在本发明的一实施例中,所述驱动方法还包括当检测到系统下电至所述阈值时,向所述源极电路的多个第一缓冲器和所述公共电压电路的第二缓冲器发出第二控制信号关断所述第一缓冲器和所述第二缓冲器,并向所述切换电路的多个开关元件发出所述第一控制信号闭合所述多个开关元件,使所述多个第一缓冲器的输出短接,再经由所述第一电阻元件与所述第二缓冲器的输出耦接。

[0094] 在本发明的另一实施例中,在检测到系统下电至所述阈值时,检测电路 34 向第一开关元件 M1 发出第三控制信号闭合第一开关元件 M1,以经由第二电阻元件 R1 所在的支路同时放电,以加快源极电路和共电压电路的放电速度。

[0095] 本发明在系统下电至一阈值时将源极电路的输出与公共电压电路的输出耦接,如此可以同步进行放电,进而确保在下电后显示面板的像素电极与公共电极间压差为零,放电示意图如图 12 所示,避免了下电残影问题。此外,由于本方案仅是将源极电路的输出与公共电压电路的输出连接在一起,并且无需对原有源极电路和公共电压电路做大幅修改,实现起来更为简便。

[0096] 以上具体地示出和描述了本发明的示例性实施方式。应该理解,本发明不限于所公开的实施方式,相反,本发明意图涵盖包含在所附权利要求范围内的各种修改和等效置换。

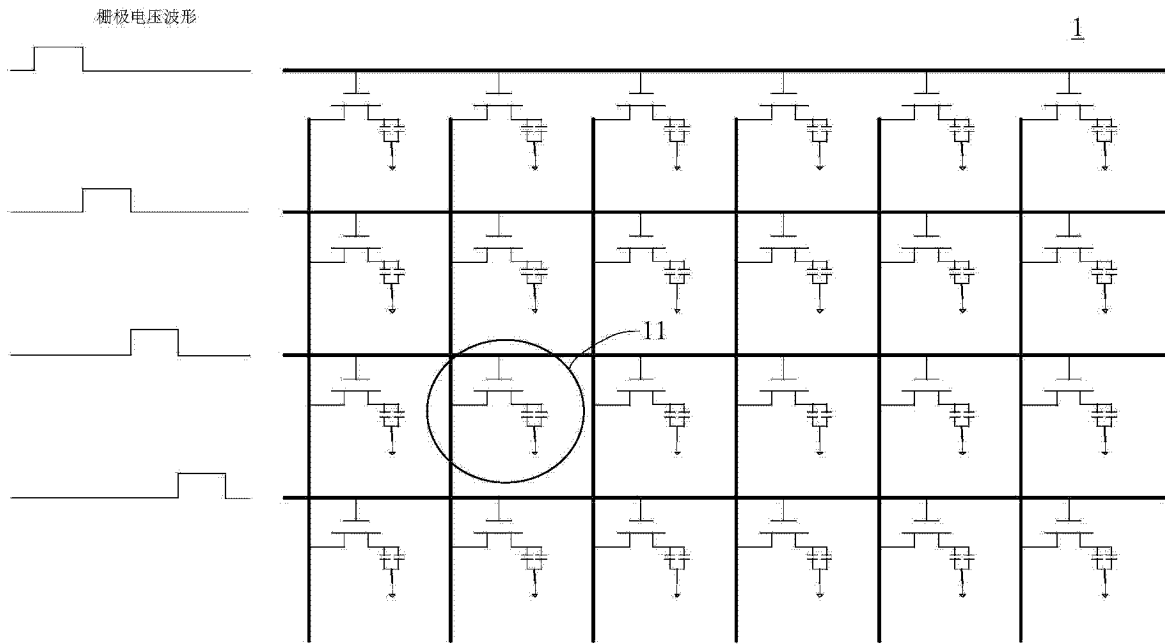


图 1

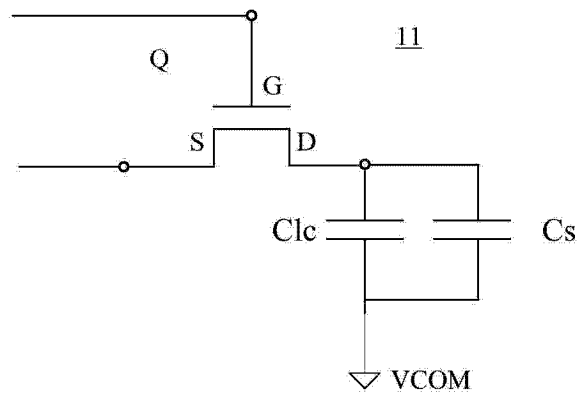


图 2

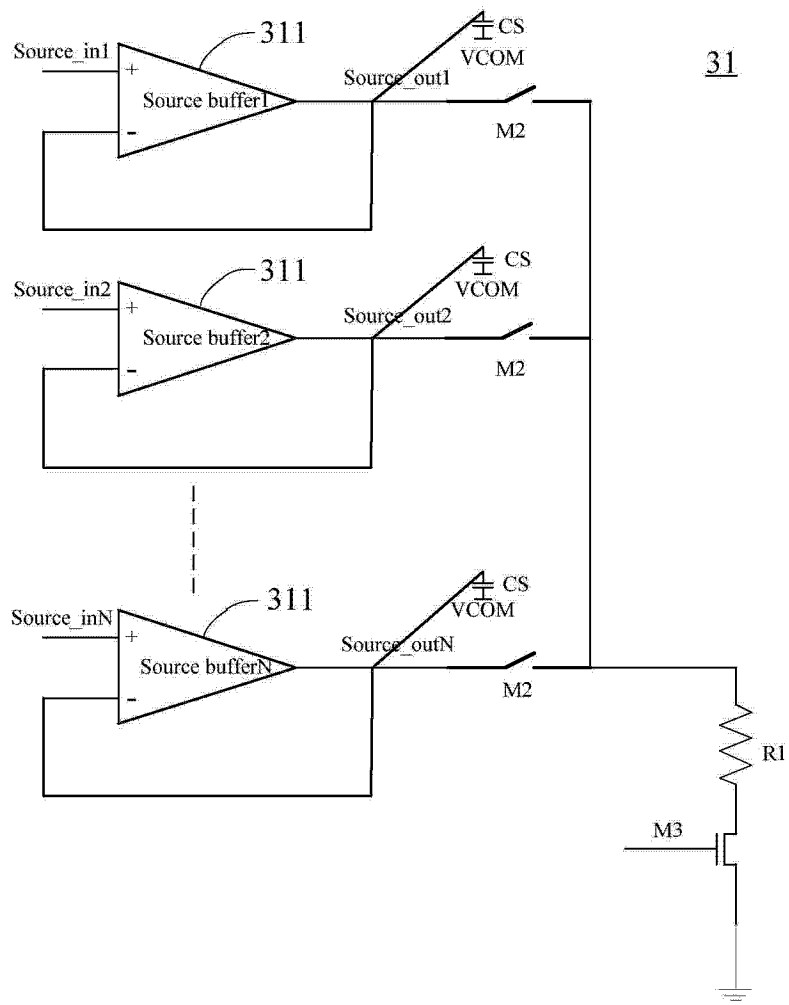


图 3A

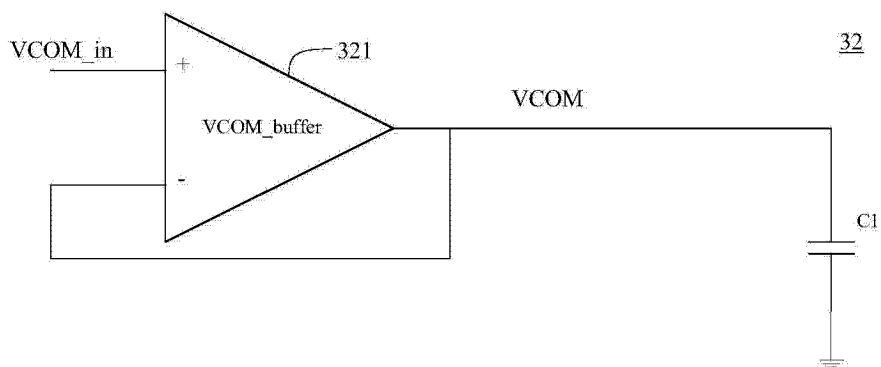


图 3B

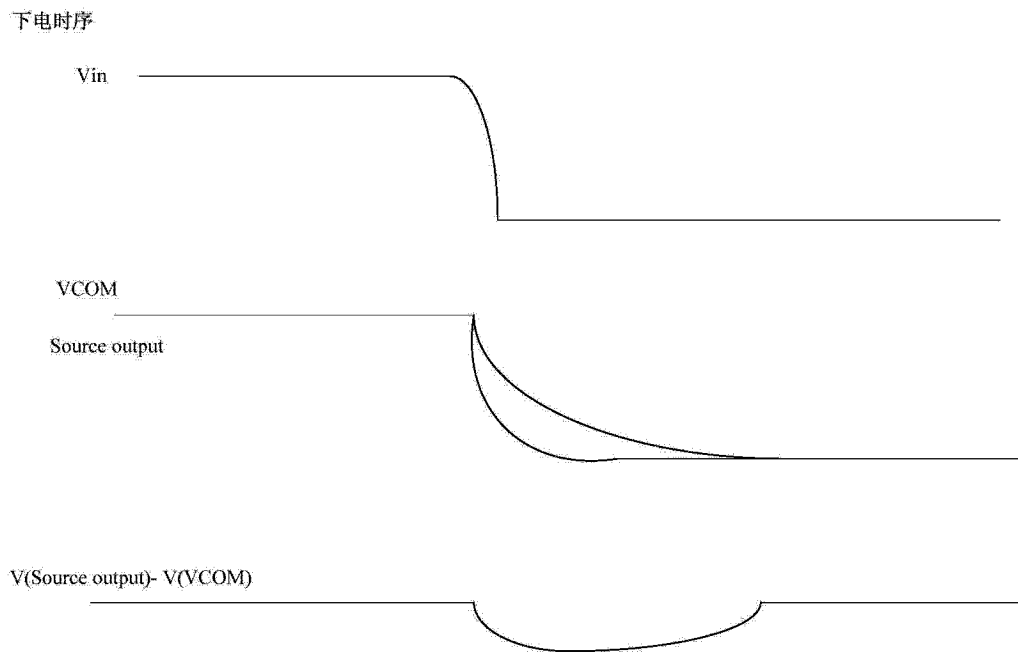


图 4

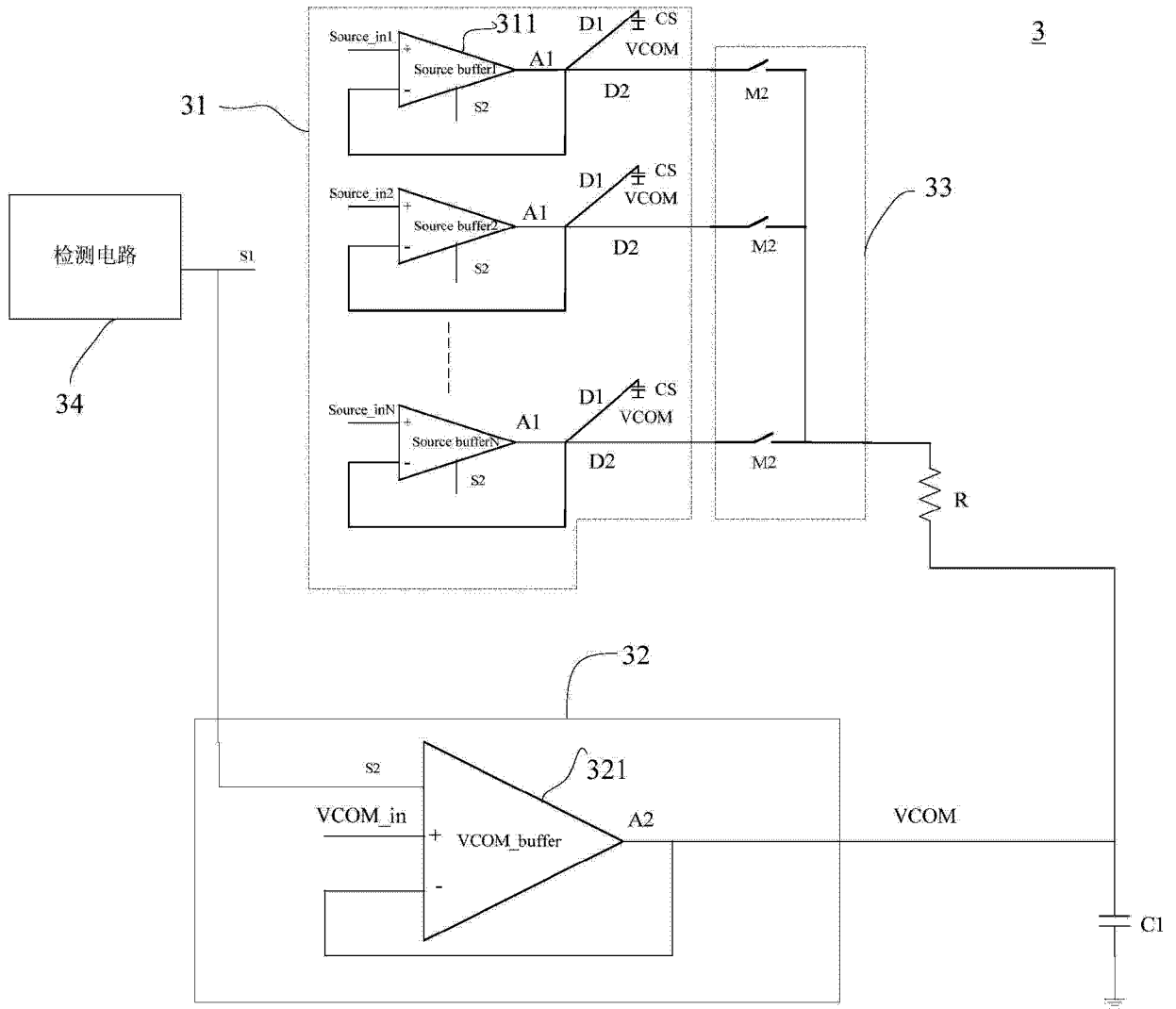


图 5

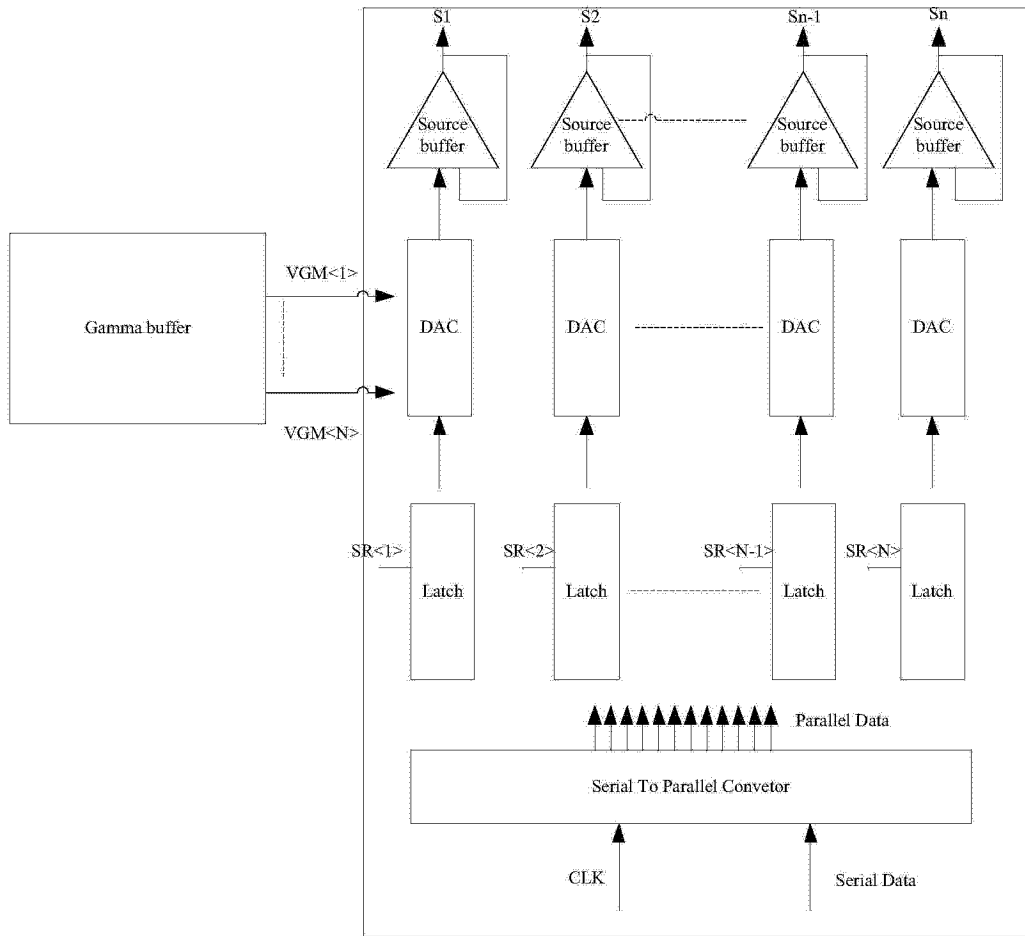


图 6

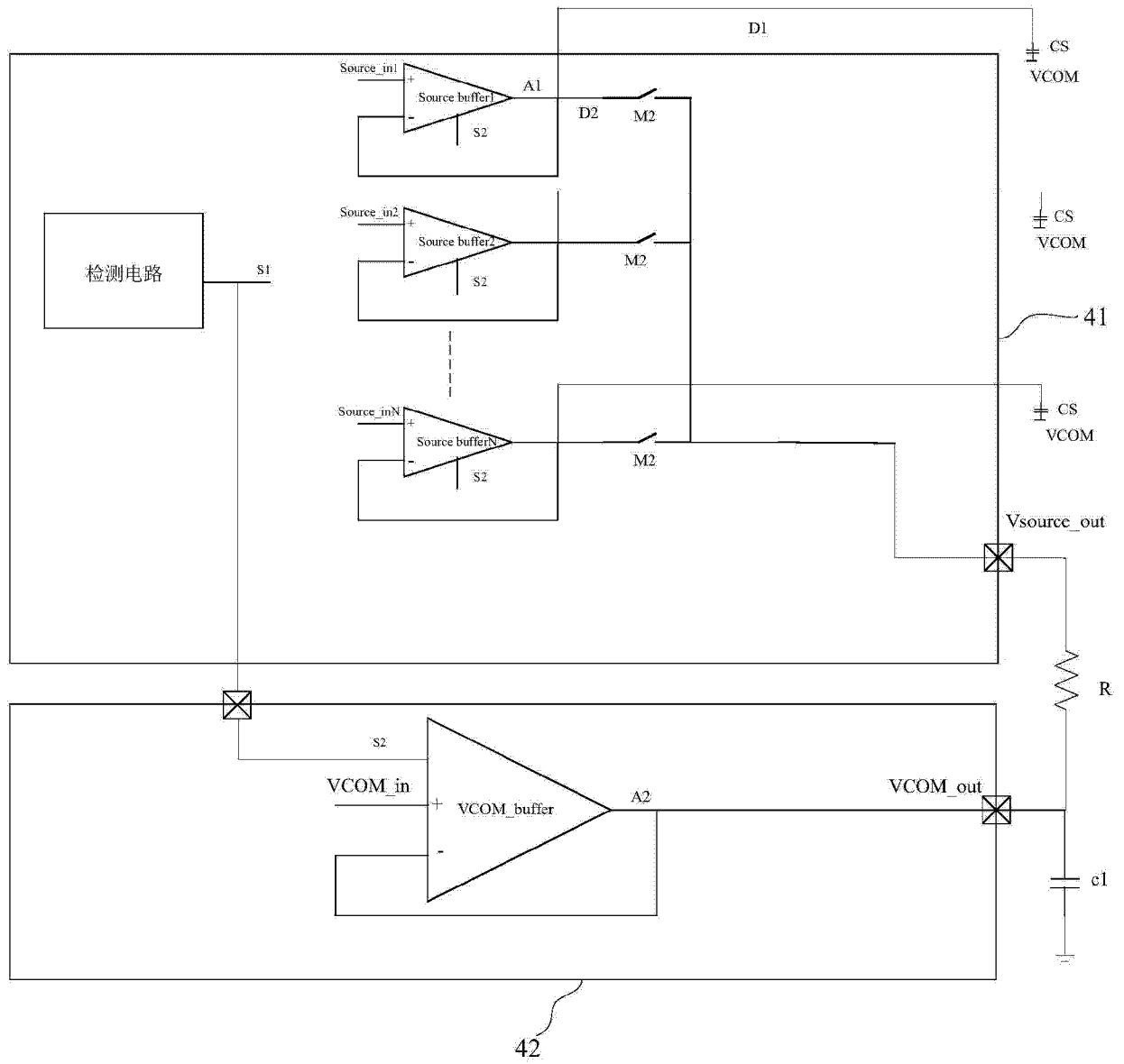


图 8

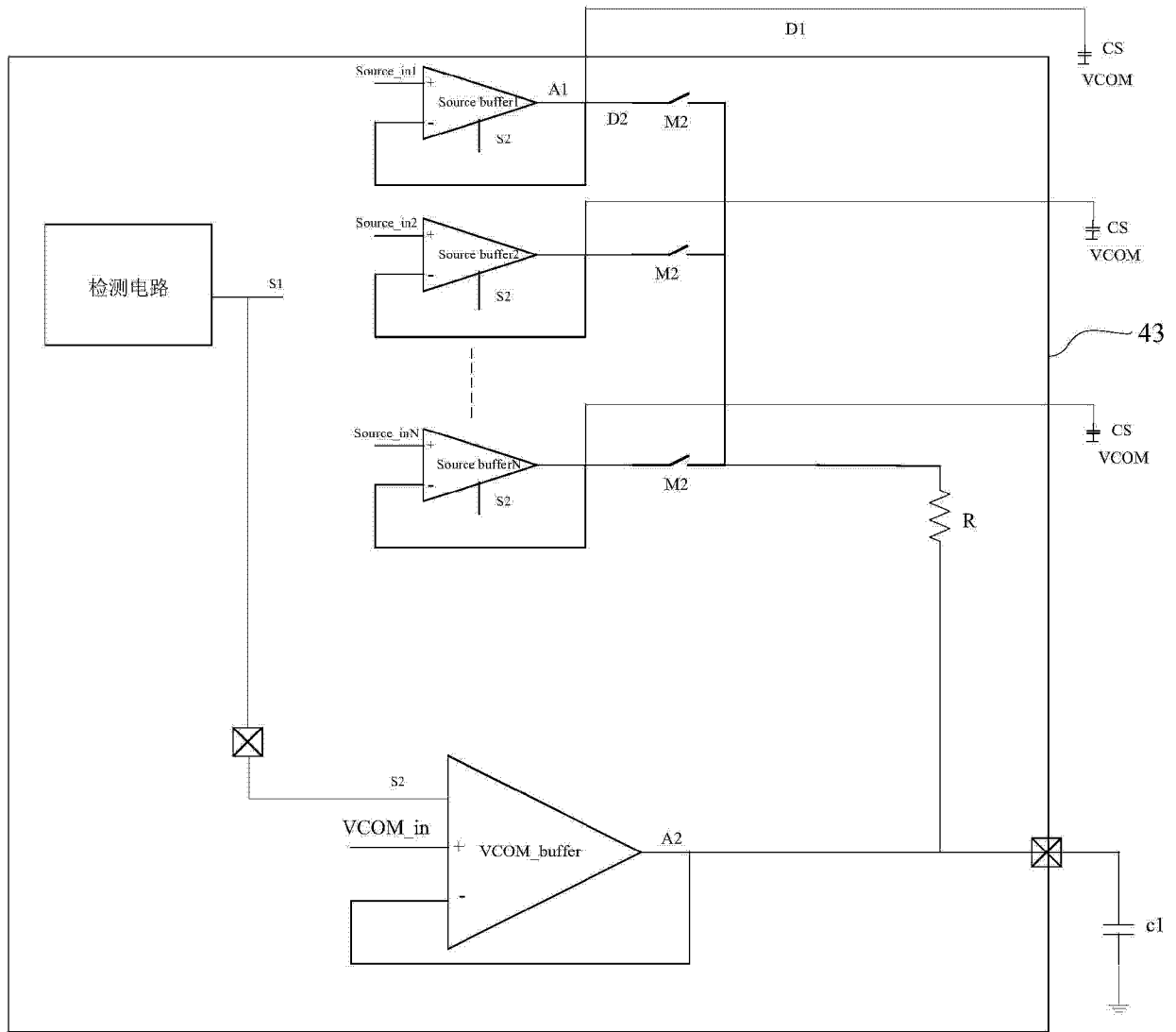


图 9

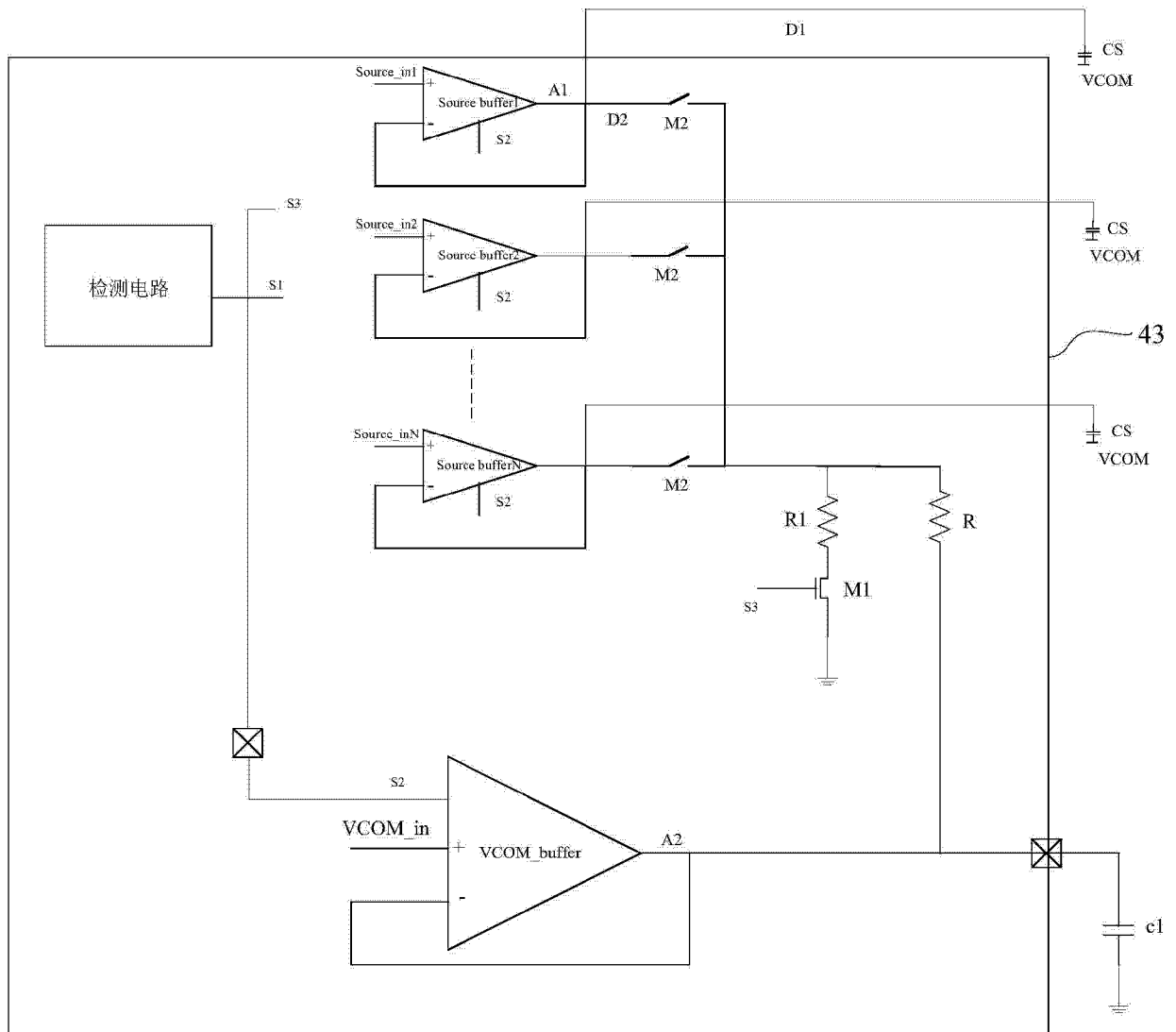


图 10

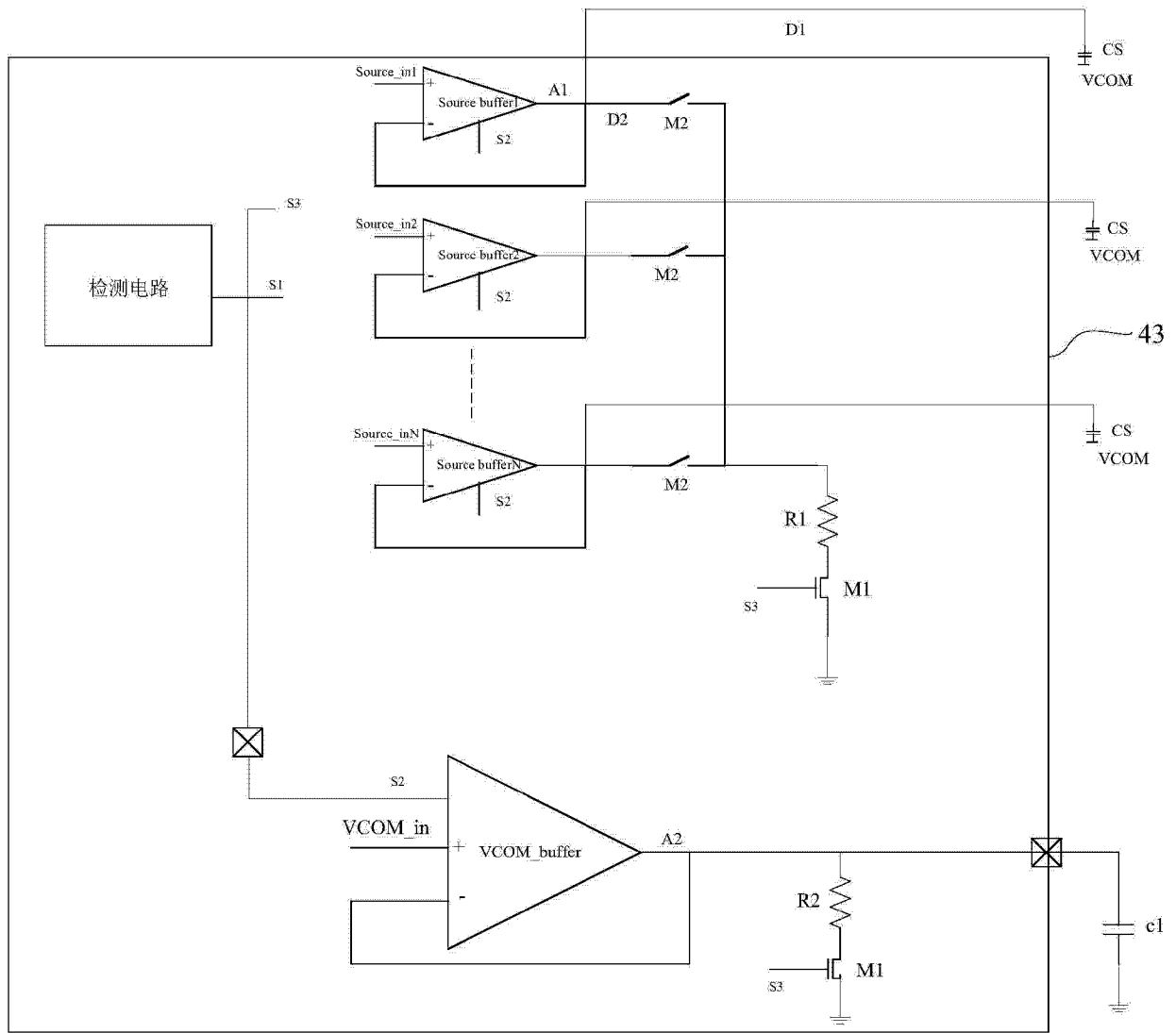


图 11

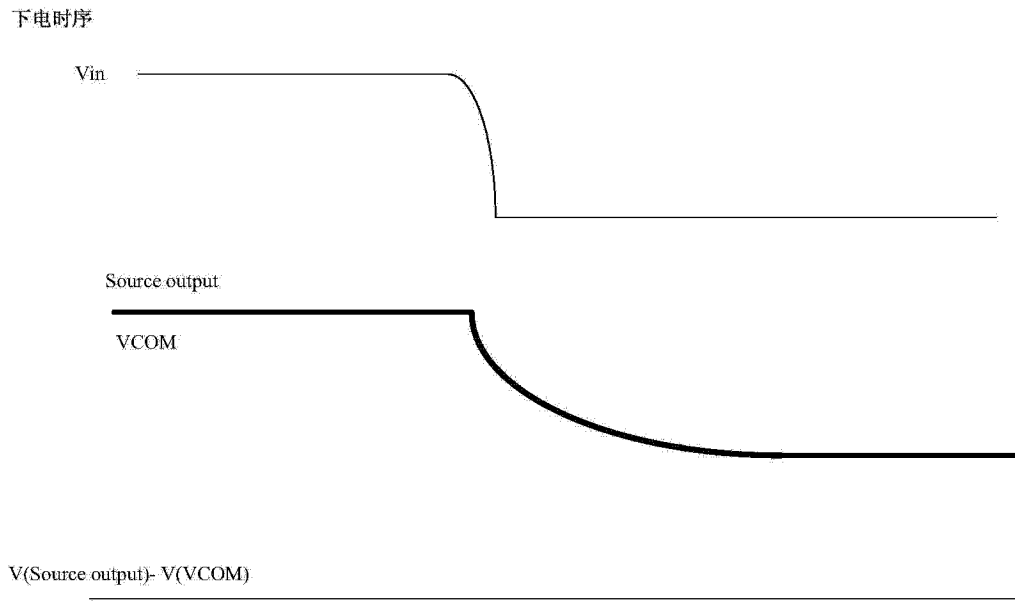


图 12