

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月9日(09.02.2012)

PCT



(10) 国際公開番号
WO 2012/017558 A1

- (51) 国際特許分類:
G06F 1/24 (2006.01) G06F 13/38 (2006.01)
- (21) 国際出願番号: PCT/JP2010/063421
- (22) 国際出願日: 2010年8月6日(06.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 市宮 淳次(ICHIMIYA Junji) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 西尾 匡弘(NISHIO Masahiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 中山 浩志(NAKAYAMA Hiroshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). ▲高▼橋 仁(TAKAHASHI Jin) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 糸澤 慎太郎(ITOZAWA Shintaro) [JP/JP]; 〒2118588

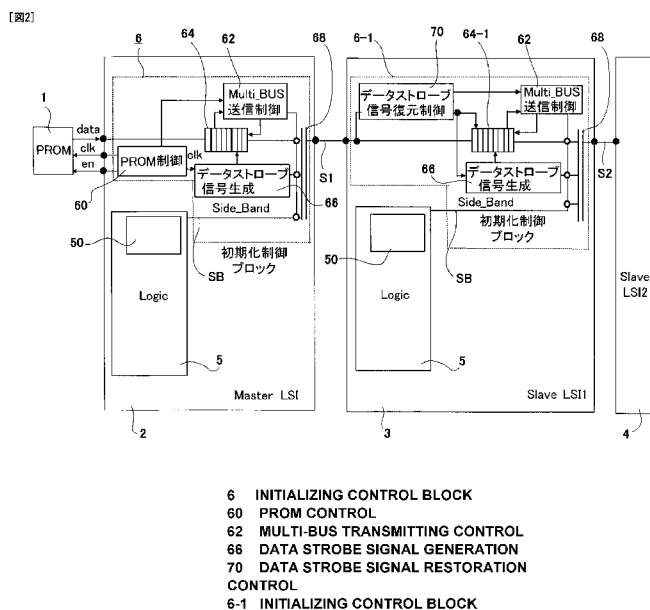
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

- (74) 代理人: 林恒徳, 外(HAYASHI Tsunenori et al.); 〒2220033 神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル 林・土井国際特許事務所 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND ELECTRONIC SYSTEM HAVING SEMICONDUCTOR INTEGRATED CIRCUIT MOUNTED THEREON

(54) 発明の名称: 半導体集積回路装置及び半導体集積回路装置を搭載した電子システム



6 INITIALIZING CONTROL BLOCK
60 PROM CONTROL
62 MULTI-BUS TRANSMITTING CONTROL
66 DATA STROBE SIGNAL GENERATION
70 DATA STROBE SIGNAL RESTORATION CONTROL
6-1 INITIALIZING CONTROL BLOCK

(57) Abstract: In a system provided with a plurality of semiconductor integrated circuit devices (2,3,4), the semiconductor integrated circuit devices (2,3,4) are linked together like beads with a single signal line (S1, S2), setting data of each semiconductor integrated circuit device, which is stored in a nonvolatile memory (1) is sequentially read out, and the setting data is transmitted between the semiconductor integrated circuit devices. Thus, a special interface for setting an initial register is reduced and the initial register can be set. As such, the design manpower and design cost for a semiconductor integrated circuit device can be reduced.

(57) 要約: 複数の半導体集積回路装置(2, 3, 4)を具備するシステムにおいて、半導体集積回路装置(2, 3, 4)を数珠つなぎの状態に1本の信号線(S1, S2)で接続し、不揮発性メモリ(1)に格納した各半導体集積回路装置の設定データを順次読み出し、半導体集積回路装置間で伝送する。このため、初期レジスタ設定のための特別なインタフェースを削減し、初期レジスタの設定が可能となる。このため、半導体集積回

路装置の設計工数及び設計コストを低減できる。

WO 2012/017558 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体集積回路装置及び半導体集積回路装置を搭載した電子システム

技術分野

[0001] 本発明は、半導体集積回路装置及び半導体集積回路装置を搭載した電子システムに関する。

背景技術

[0002] 電子システムはある機能を行う機能回路を設けたLSI (Large Scale Integrated Circuit) を使用する。このLSI を半導体集積回路装置 (半導体回路チップ) と呼ぶ。電子システムは、LSI を複数接続し、所定の機能を実現する。LSI は、様々な設定値をハード内部にもつ。LSI は、その設定値によって、様々な動作を変更する。例えば、コンピュータシステムは、LSI として、演算処理装置 (CPU: Central Processing Unit)、メモリアクセスコントローラ及びメモリとを備える。

[0003] このLSI の設定値は、例えば、コンピュータシステムを搭載するボード設計に依存するものと、装置構成に依存するものなどがある。これらの設定値は、LSI (半導体集積回路) を設計している段階では、一意に値を決められないものがある。この設定値は、設計工期の観点や設計時に考慮不足による不具合回避の観点から、LSI (半導体集積回路装置) を設計し、電子システムを構築した後に、システムによって設定されるのが一般的である。例えば、前述のメモリアクセスコントローラは、接続されるメモリのタイプ、メモリの速度、メモリの台数等に応じた設定値を要する。

[0004] 図15は従来のLSI の設定値の設定方法の説明図である。図15に示すように、複数のLSI 110, 120, 130が同じ又は異なるシステムボードに搭載される。システムマネジメントデバイス100はシステム全体を管理するデバイスである。システムマネジメントデバイス100はシス

テムインターフェースバス140により各LSI110, 120, 130に接続する。

- [0005] 図16に示す電子システムでは、各LSI（半導体集積回路）110, 120, 130が内部クロックの発振等を行い、最低限LSI110, 120, 130内部のレジスタが書き込めるような状態になった後に、システムマネージメントデバイス100が、所望のタイミングでシステムインターフェースバス140を介し、各LSI（半導体集積回路装置）110, 120, 130のレジスタに設定値を書き込む。

先行技術文献

特許文献

- [0006] 特許文献1：日本特許公開昭61-084767号公報

発明の概要

発明が解決しようとする課題

- [0007] 近年のLSI（半導体集積回路）は高集積化が益々進んでいる。そのため、LSIが内蔵する機能は増加し、LSI（半導体集積回路）のインターフェースのためのパッケージピンは増加する一途である。今後のLSI（半導体集積回路）の設計においては、前記したインターフェースの本数を減らすための工夫を継続して行う必要がある。
- [0008] 図15に示すようなシステムマネージメントデバイスが、全てのLSIの初期設定を行う。このため、各LSI（半導体集積回路装置）は、システムマネージメントデバイスとのインターフェース140が必要となる。一般的には、最低2本以上のインターフェースが必要となる。例えば、システムインターフェースとよく使用されるI2C（Inter-Integrated Circuit）バスでは、シリアルデータ（Serial Data（SDA））とSerial Clock（SCL）の2本の信号線が定義されている。
- [0009] このため、LSIは、最低2本のパッケージピンをインターフェースとして

設ける必要がある。また、システムマネジメントデバイスが必要である。これにより、LSIの設計工数が増大し、設計コストも増大する。更に、システム設計の複雑化等の問題も生じる。

[0010] 本発明の目的は、半導体集積回路装置のレジスタの設定のためのインタフェースを削減し、半導体集積回路装置の設計を容易とする半導体集積回路装置及び半導体集積回路装置を搭載した電子システムを提供することにある。

課題を解決するための手段

[0011] この目的の達成のため、開示の電子システムは、互いに1本の信号線で接続され、設定された設定データにより所定の機能を実行する機能回路を備えた複数の半導体集積回路装置と、前記複数の半導体集積回路装置の各々の前記設定データを格納する記憶ユニットとを有し、前記複数の半導体集積回路装置の一の半導体集積回路装置は、前記記憶ユニットから前記複数の半導体集積回路装置の各々の前記設定データを順次読み出し、前記一の半導体集積回路装置の設定データを前記機能回路に設定し、他の前記半導体集積回路装置の前記設定データを前記信号線を介し前記他の半導体集積回路装置に転送する初期化制御回路を有する。

[0012] この目的の達成のため、開示の半導体集積回路装置は、設定された設定データにより所定の機能を実行する機能回路と、複数の半導体集積回路装置の各々の前記設定データを格納する記憶ユニットから前記複数の半導体集積回路装置の各々の前記設定データを順次読み出し、前記機能回路の設定データを前記機能回路に設定し、他の前記半導体集積回路装置の機能回路の前記設定データを1本の信号線を介し前記他の半導体集積回路装置に転送する初期化制御回路を有する。

発明の効果

[0013] 複数の半導体集積回路装置を具備するシステムにおいて、半導体集積回路装置を数珠つなぎの状態では1本の信号線で接続し、不揮発性メモリに格納した各半導体集積回路装置の設定データを順次読み出し、半導体集積回路装置間で伝送するため、初期レジスタ設定のための特別なインタフェースを削減

し、初期レジスタの設定が可能となる。このため、半導体集積回路装置の設計工数及び設計コストを低減できる。

図面の簡単な説明

- [0014] [図1]実施の形態の電子システムのブロック図である。
- [図2]図1の電子システムの詳細なブロック図である。
- [図3]図1及び図2の不揮発性メモリの設定データの説明図である。
- [図4]図1及び図2の信号線の説明図である。
- [図5]図1及び図2のマスターLSIのレジスタの説明図である。
- [図6]図1及び図2のスレーブLSIのレジスタの説明図である。
- [図7]図5及び図6の最上位制御バイトの説明図である。
- [図8]図5及び図6の最下位制御バイトの説明図である。
- [図9]図2のマスターLSIの動作のタイムチャート図である。
- [図10]図2のマスターLSIとスレーブLSIの動作のタイムチャート図である。
- [図11]図1及び図2のマスターLSIのレジスタ初期化処理フロー図である。
- 。
- [図12]図1及び図2のスレーブLSIのレジスタ初期化処理フロー図である。
- 。
- [図13]本実施の形態の初期化処理の設定時間の説明図である。
- [図14]他の実施の形態の電子システムのブロック図である。
- [図15]従来のレジスタの初期化処理の説明図である。

発明を実施するための形態

- [0015] 以下、実施の形態の例を、電子システムの実施の形態、半導体集積回路の構成、初期化回路、レジスタの初期設定の処理、電子システムの他の実施の形態、他の実施の形態の順で説明するが、開示の電子システム、半導体集積回路装置は、この実施の形態に限られない。

- [0016] (電子システムの実施の形態)

図1は、実施の形態のLSIを搭載した電子システムのブロック図である

。図 1 に示すように、電子システムは、不揮発性メモリ 1 と複数の L S I 2, 3, 4 を備える。不揮発性メモリ 1 は、レジスタの設定値を記憶するものである。不揮発性メモリ 1 は、例えば、PROM (P r o g r a m a b l e R e a d O n l y M e m o r y) で構成することが望ましい。PROM は、ROM の一種である、ユーザーが事前にデータを書き込んでおけるデバイスである。不揮発性メモリ 1 は、L S I 2, 3, 4 の各々の設定値 (初期レジスタ値) を保持する。

[0017] L S I 2, 3, 4 は、レジスタの初期値設定が必要な L S I (半導体集積回路装置) である。L S I 2 は、不揮発性メモリ 1 に信号線 S 3, S 4 で接続される。L S I 2 は不揮発性メモリ 1 の設定値を読み出す。不揮発性メモリ 1 の設定値を読み出すため、L S I 2 を以下、マスター (M a s t e r) L S I と呼ぶ。

[0018] マスター L S I 2 は、本来の制御を行う機能回路 5 と初期化回路 6 とを有する。機能回路 5 は設定レジスタ 50 を有し、L S I 2 の制御の制御論理を備える。初期化回路 6 は、レジスタ 50 の初期化設定に必要な動作を制御する論理を備える。尚、マスター L S I 2 は、他の L S I との通信のため、図示しない入出力 (I / O : I n p u t / O u t p u t) モジュールを備える。

[0019] マスター L S I 2 に信号線 S 1 で L S I 3 が接続される。又、L S I 3 に信号線 S 2 で L S I 4 が接続される。L S I 3 は、マスター L S I 2 から信号線 S 1 を介しデータを受信する。L S I 4 は、L S I 3 から信号線 S 2 を介しデータを受信する。マスター L S I 2 からデータを受信する観点から、マスター L S I 2 より後続の L S I (半導体集積回路装置) 3, 4 をスレーブ L S I と呼ぶ。

[0020] スレーブ L S I 3, 4 は、本来の制御を行う機能回路 5 と初期化回路 6-1, 6-2 とを有する。機能回路 5 は設定レジスタ 50 を有し、L S I 3, 4 の制御の制御論理を備える。初期化回路 6-1, 6-2 は、レジスタ 50 の初期化設定に必要な動作を制御する論理を備える。尚、スレーブ L S I 3

、4は、他のLSIとの通信のため、図示しない入出力（I/O：Input／Output）モジュールを備える。

[0021] 即ち、マスターLSI2は、不揮発性メモリ1に接続し、スレーブLSI3、4は、マスターLSI2に数珠繋ぎに接続する。この例では、スレーブLSIを2台設けているが、スレーブLSIを1台又は3台以上設けても良い。

[0022] マスターLSI2の初期化回路6は、不揮発性メモリ1の設定データ（マスターLSI2とスレーブLSI3、4の設定値）を信号線S3、S4を介し読み出す。マスターLSI2の初期化回路6は読み出したマスターLSI2の設定データを機能回路5の設定レジスタ50にセットする。そして、マスターLSI2の初期化回路6は、信号線S1を介し読み出したスレーブLSI3、4の設定データをスレーブLSI3に転送する。

[0023] スレーブLSI3の初期化回路6-1は、信号線S1を介し受信したスレーブLSI3の設定データを機能回路5の設定レジスタ50にセットする。そして、スレーブLSI3の初期化回路6-1は、信号線S2を介し受信したスレーブLSI4の設定データをスレーブLSI4に転送する。スレーブLSI4の初期化回路6-1は受信したスレーブLSI4の設定データを機能回路5の設定レジスタ50にセットする。

[0024] このように、複数のLSI（半導体集積回路装置）を具備するシステムにおいて、LSI（半導体集積回路装置）を数珠つなぎの状態、1デバイスずつ順番にレジスタの初期設定を、1本の信号線で行う。後述するように、この信号線は、初期設定を行う専用の信号線又は後述するように、通常運用時にLSI間で情報・データのやり取りに使用するサイドバンド（Side-Band）のような信号線を用いる。サイドバンドの信号線を用いて行う場合には、レジスタの初期設定のための特別なインタフェースを必要としない。

[0025] このため、各LSI2、3、4のインタフェースの数が削減できる。特に、インタフェースに使用するLSIのパッケージピン数を削減できる。更に、レジスタの初期化のため、システムマネジメントデバイスが不要となる

ため、システム設計の複雑化を回避できる。これにより、LSIの設計工数の増大及び設計コストの増大を防止できる。

[0026] (半導体集積回路の構成)

図2は図1の構成の詳細なブロック図である。図3は図1及び図2の不揮発性メモリの格納データの説明図である。図4は図1及び図2の信号線の説明図である。

[0027] 図2に示すように、マスターLSI2は初期化制御回路6と機能回路5とを有する。初期化制御回路6は、メモリ(PROM)制御回路60と、シフトレジスタ64と、マルチバス送信制御回路62と、データストローブ信号生成回路66と、セクタ68とを有する。

[0028] メモリ制御回路(以下、PROM制御回路と呼ぶ)60は、メモリ(PROM)1の動作を制御するモジュールである。PROM制御回路60は、マスターLSI2に電源が投入された後、動作の安定する一定時間において、メモリ(PROM)1へのアクセスを開始する。

[0029] 例えば、PROM制御回路60は、メモリ(PROM)1に対するenable信号(図2では、enと記す)を“1”(High)とし、読み出し用クロックclkを生成する。例えば、PROM制御回路60は、読み出しクロックclkを25MHzのリファレンスクロックを用いて自動的に生成する。PROM制御回路60は、生成した読み出しクロックをクロック信号線clkを通じて、メモリ(PROM)1に送信する。

[0030] 図3はメモリ(PROM)1のデータ格納例を示す。図3に示すように、例えば、各LSI(半導体集積回路装置)2, 3, 4のレジスタ50に32バイトのレジスタの設定値を定義する。メモリ1は、下位32バイト(0-31Byte)にマスターLSI2のレジスタ設定データを格納し、中位32バイト(32-63Byte)にスレーブLSI3のレジスタ設定データを格納し、上位32バイト(64-95Byte)にスレーブLSI4のレジスタ設定データを格納する。

[0031] 即ち、メモリ1は、 $32 [\text{byte}] \times 3 [\text{chip}] = 96 [\text{byte}]$

] = 7 6 8 [b i t] の設定データを持つ。

[0032] 図2に戻り、PROM制御回路60は、クロックc l kによりメモリ（PROM）1の下位ビットからデータを読み出す。メモリ（PROM）1から読みだされたデータは、L S I 間インタフェース（図2のd a t a線）を通じて、初期化制御回路6に送信される。

[0033] シフトレジスタ64は、読みだされたデータを格納する。本実施の形態では、シフトレジスタ64は、32 B y t eの長さを持つ。シフトレジスタ64は、L S I（半導体集積回路装置）のレジスタの初期設定データを保持し、シフトする。

[0034] データストローブ信号生成回路66は、シフトレジスタ64の書き込みのためのデータストローブ信号を生成する。データストローブ信号生成回路66は、PROM制御回路60の生成クロック（読み出しクロック）c l kからシフトレジスタ用のデータストローブ信号を生成する。このデータストローブ信号は、例えば、メモリ（PROM）1へのクロックc l kの立ち上がりエッジである。この仕様は、使用するメモリ（PROM）に合わせた実装にする。

[0035] マルチバス（M u l t i _ B U S）送信制御回路62は、PROM制御回路60からの読み出し動作信号を受け、シフトレジスタ64に設定データが揃ったか否か、シフトレジスタ64に揃ったデータがマスターL S I 2の設定データであるか、スレーブL S I 3, 4の設定データであるか否かを判定する。

[0036] マルチバス送信制御回路62は、シフトレジスタ64に設定データが揃い、且つシフトレジスタ64に揃ったデータがマスターL S I 2の設定データであると判定した場合には、マスターL S I 2の機能回路5のレジスタ50にシフトレジスタ64の設定データを書き込む。

[0037] マルチバス送信制御回路62は、シフトレジスタ64に揃ったデータがマスターL S I 2の設定データでないと判定した場合には、スレーブL S I 3への出力をセクタ68により切り替える動作を行う。

- [0038] セレクタ 6 8 は、3つのデータの出力を選択する。1つ目は、シフトレジスタ 6 4 の格納データを出力する。2つ目は、PROM制御回路 6 2 で生成したクロックをデータストローブ信号生成回路で調整したデータストローブ信号を出力する。3つ目は、通常運用時に行う機能回路 5 からのサイドバンド (Side-Band) 信号を出力する。マルチバス送信制御回路 6 2 は、後述するように、これらの信号の選択制御を行い、信号線 S 1 に出力するデータを選択する。
- [0039] この実施の形態では、信号線 S 1 にサイドバンド信号線を使用する。サイドバンド信号線は、例えば、インターラプト信号や、各種チップ間のリクエスト信号によるポイントツーポイントの信号線を使用できる。サイドバンド信号線は、バスを介する L S I 間の信号を削減するために、バスとは別に設けられた信号線である。
- [0040] 本実施の形態では、初期設定時には、機能回路 5 がサイドバンド信号線を使用しないことから、初期設定時にサイドバンド信号線を初期設定のデータ転送に利用する。図 4 は、信号線 S 1, S 2 の用途と動作モードとの対応を示す図である。動作モードが初期設定である場合には、信号線 S 1, S 2 をレジスタの初期書き込みに使用する。動作モードが通常運用時である場合には、信号線 S 1, S 2 をサイドバンド信号に使用する。
- [0041] マルチバス送信制御回路 6 2 は、初期設定時には、セレクタ 6 8 にシフトレジスタ 6 4 又はデータストローブ信号生成回路 6 6 の出力を選択するように制御する。又、マルチバス送信制御回路 6 2 は、初期設定が終了した時には、セレクタ 6 8 に機能回路 5 のサイドバンド信号を選択するように制御する。本実施の形態では、運用中に使用されるサイドバンド (Side Band) 信号線を、初期レジスタ設定時には、レジスタ書き込み用のバスとして使用するため、初期レジスタ設定用の専用の信号線を必要としない。
- [0042] 図 2 に戻り、スレーブ L S I 3 は初期化制御回路 6 - 1 と機能回路 5 とを有する。初期化制御回路 6 - 1 は、データストローブ信号復元制御回路 7 0 と、シフトレジスタ 6 4 - 1 と、マルチバス送信制御回路 6 2 と、データス

トローブ信号生成回路 66 と、セクタ 68 とを有する。

- [0043] データストローブ信号復元回路 70 は、信号線 S1 からの信号からデータストローブ信号を検出し、データストローブ信号生成回路 66 を起動する。シフトレジスタ 64-1 は信号線 S1 から入力されたデータを格納する。本実施の形態では、シフトレジスタ 64-1 は 32 Byte の長さを持つ。シフトレジスタ 64-1 は、LSI（半導体集積回路装置）3 のレジスタの初期設定データを保持し、シフトする。
- [0044] データストローブ信号生成回路 66 は、シフトレジスタ 64-1 の書き込みのためのデータストローブ信号を生成する。データストローブ信号生成回路 66 は、内部クロックからシフトレジスタ用のデータストローブ信号を生成する。後述するように、このデータストローブ信号は、マスター LSI 2 からのデータストローブ信号に対し、90° 位相のずれた信号である。
- [0045] マルチバス（Multi-BUS）送信制御回路 62 は、データストローブ信号復元制御回路 70 からの読み出し動作信号を受け、シフトレジスタ 64-1 に設定データが揃ったか否か、シフトレジスタ 64-1 に揃ったデータがスレーブ LSI 3 の設定データであるか、スレーブ LSI 4 の設定データであるか否かを判定する。
- [0046] マルチバス送信制御回路 62 は、シフトレジスタ 64-1 に設定データが揃い、且つシフトレジスタ 64-1 に揃ったデータがスレーブ LSI 3 の設定データであると判定した場合には、スレーブ LSI 3 の機能回路 5 のレジスタ 50 にシフトレジスタ 64-1 の設定データを書き込む。
- [0047] マルチバス送信制御回路 62 は、シフトレジスタ 64-1 に揃ったデータがスレーブ LSI 3 の設定データでないと判定した場合には、スレーブ LSI 4 への出力をセクタ 68 により切り替える動作を行う。
- [0048] セクタ 68 は、マスター LSI 3 のセクタ 68 と同一の動作を行う。即ち、セクタ 68 は 3 つのデータの出力を選択する。1 つ目は、シフトレジスタ 64-1 の格納データを出力する。2 つ目は、データストローブ信号生成回路 66 で調整したデータストローブ信号を出力する。3 つ目は、通常

運用時に行う機能回路 5 からのサイドバンド (Side-Band) 信号を出力する。マルチバス送信制御回路 6 2 は、後述するように、これらの信号の選択制御を行い、信号線 S 2 に出力するデータを選択する。信号線 S 2 は、サイドバンド信号線である。

[0049] スレーブ L S I 4 は、スレーブ L S I 3 と同一の構成である。従って、スレーブ L S I 3, 4 は、マスター L S I 2 と同様の構成を有する。相違は、スレーブ L S I 3, 4 はメモリ (PROM) から直接データを読みださないため、スレーブ L S I 3, 4 は PROM 制御回路を備えない。又、スレーブ L S I 3, 4 は各々信号線 S 1, S 2 を介しマスター L S I 2、スレーブ L S I 3 からデータを受信するため、スレーブ L S I 3, 4 はデータストローブ復元制御回路 7 0 を備える。

[0050] (初期化制御回路)

次に、マルチバス送信制御回路 6 2 を説明する。図 5 は図 2 のマスター L S I のシフトレジスタのデータ構成の説明図である。図 6 は図 2 のスレーブ L S I のシフトレジスタのデータ構成の説明図である。図 7 は図 5 及び図 6 の最上位バイトの説明図である。図 8 は図 5 及び図 6 の最下位バイトの説明図である。尚、図 5 ~ 図 8 においても、各 L S I 2, 3, 4 が 3 2 バイトのシフトレジスタ 6 4, 6 4 - 1、レジスタ 5 0 を有する例で説明する。

[0051] 図 5 に示すように、シフトレジスタ 6 4 (レジスタ 5 0) は最上位バイト 6 4 A から最下位バイト 6 4 B までの 3 2 バイトのレジスタで構成される。図 6 に示すように、シフトレジスタ 6 4 - 1 (レジスタ 5 0) は最上位バイト 6 4 A から最下位バイト 6 4 B までの 3 2 バイトのレジスタで構成される。

[0052] 図 7 に示すように図 5 及び図 6 の最上位バイト 6 4 A はレジスタの初期化の書き込み及び転送制御データを格納する。本実施の形態では、最上位バイトの 4 バイト目が定義されるため、ビット [3 1 : 2 4] の仕様を説明する。この最上位バイト 6 4 A は、シフトレジスタ 6 4, 6 4 - 1 の保持データを書き込みを行うデバイス (L S I) の位置 (番号 : NO) を示し、" Write

Device Number “と呼ぶ。

- [0053] ビット [31] は、初期化制御回路のマルチバス送信制御回路 62 が、初期化制御回路を有する L S I の機能回路 5 のレジスタ 50 にシフトレジスタ 64 又は 64 - 1 の保持データを書き込み終了であるか (“1”)、書き込み未了であるか (“0”) のいずれかを示す。ビット [30 : 24] は、書き込みデバイス位置を示す。例えば、マスター L S I 2 に設定データを書き込むためには、Write Device Number [31:24] に「7' b1000_0001」をセットする。又、スレーブ L S I 3, 4 に設定データを書き込むためには、各々 Write Device Number [31:24] に「7' b1000_0010」、「7' b1000_0011」をセットする。
- [0054] 図 8 に示すように、最下位バイト 64 B は、レジスタの初期設定を行うデバイス (L S I) の数を示しており、“Number of Devices” と名付ける。ビット [7] は予備のビットである。ビット [6 : 0] は接続されるデバイスの数を示す。7 ビットを割り当てるため、スレーブ L S I を最大 126 デバイスまで表現できる。例えば、接続デバイスがマスター L S I のみの場合は、Number of Devices [7:0] に「7' b0000_0001」をセットする。スレーブ L S I が 1 デバイスである場合には、Number of Devices [7:0] に、「7' b0000_0010」をセットする。
- [0055] マルチバス送信制御回路 62 は、この受信した 32 バイトの設定データの最上位バイト 64 A と最下位 1 バイト 64 B から後続デバイス数、受信データが自身の設定データであるか、後続の L S I の設定データであるか否かを判定し、シフトレジスタ 64, 64 - 1 の保持データの取り込み又は後続 L S I への転送制御を行う。
- [0056] 例えば、マスター L S I 2 が、メモリ 1 から、以下の最上位バイト 64 A と最下位バイト 64 B を受信した場合には、以下のように判定する。
- [0057] 最下位バイト 64 B (Number of Devices [7:0]) = 8' b0000_0011
最上位バイト 64 A (Write Device Number [31:24]) = 7' b1000_0001
マスター L S I 2 のマルチバス送信制御回路 62 は、上記データの受信に

より、後続に2つのLSI（半導体集積回路装置）が存在する事を判定する。これにより、自身の設定データ以降に受信した受信データを後続のLSIに2セット転送する。

[0058] 又、スレーブLSI3が、マスターLSI2から、以下の最上位バイト64Aと最下位バイト64Bを受信した場合には、以下のように判定する。

[0059] 最下位バイト64B (Number of Devices[7:0]) = 8' b0000_0011

最上位バイト64A (Write Device Number[31:24]) = 7' b1000_0010

スレーブLSI3のマルチバス送信制御回路62は、上記データの受信により、後続に1つのLSI（半導体集積回路装置）が存在する事を判定する。これにより、自身の設定データ以降に受信した受信データを後続のLSIに1セット転送する。

[0060] 更に、スレーブLSI3のマルチバス送信制御回路62は、下記の最上位バイト64Aと最下位バイト64Bを受信した場合、以下の判定を行う。

[0061] 最下位バイト64B (Number of Devices[7:0]) = 7' b0000_0011

最上位バイト64A (Write Device Number[31:24]) = 7' b1000_0011

スレーブLSI3のマルチバス送信制御回路62は、上記データの受信により、後続にLSI（半導体集積回路装置）が存在しない事（自身が最後のデバイスであること）を判定する。

[0062] また、本実施の形態では、1LSIチップが、固定の256ビットの初期設定レジスタ50を持っている場合で説明したが、1LSIチップに複数の初期レジスタを持つ場合には、レジスタの数の設定をレジスタ設定値として設定し、スレーブLSIと同じように設定して、複数の初期レジスタの設定を行う。

[0063] 次に、データストローブ復元動作を説明する。図9はスレーブLSIの書き込み処理のタイムチャート図である。図9において、記号a～eは、マスターLSI2からスレーブLSI3に向かうデータの動作を順番にあらわす。まず、a. マスター (Master) LSI2→スレーブ (Slave) LSI3は、マスターLSI1とスレーブLSI3の間の信号線S1を介する伝送状態を

示す。マスターLSI2のデータストローブ信号生成回路66は、セクタ68を介し、2個のデータストローブ信号を信号線S1に出力する。

[0064] スレーブLSI3のデータストローブ復元制御回路70は、信号線S1の信号をb. スレーブLSI3の内部クロック（25MHz）により、所定の期間の信号線S1の”High”と”Low”とを交互に検出する。所定の期間は、例えば、25MHzクロックの50サイクル分である。データストローブ復元制御回路70は、信号線S1からの信号が50サイクル分の期間の”High”と”Low”を繰り返すと検出すると、データストローブ復元制御回路70は、次に受信する2回目のデータストローブの立ち上がり（High）期間をカウントする。

[0065] この50サイクル数より小さい値に関しては、ノイズと判定し、データストローブ復元制御回路70をリセットする。例えば、スレーブLSI3がマスターLSI2から、100KHz周期のデータストローブ信号を受信する場合、25MHzのクロックをカウントして、以下のサイクル数となる。

[0066] 立ち上がり（High）期間 $250 / 2 = 125$ [サイクル]

立ち下がり（Low）期間 $250 / 2 = 125$ [サイクル]

データストローブ復元制御回路70は、このカウント値を元に、デューティ比50%のデータストローブ信号を再生成する。そして、データストローブ復元制御回路70は、再生したデータストローブ信号を90°（125 [サイクル]）遅らせたデータの取り込みを行う復元ストローブ信号（d. 復元データストローブ）を作成する。図9のd. Slave LSI1の復元データストローブは、100KHz相当のデータストローブ信号である。

[0067] 本実施の形態では、立ち上がりと立ち下がりが同サイクルのデータストローブを例を示したが、サイクル数が異なる場合には、両期間の平均値を採用することもでき、必ずしもデューティ50である必要もない。

[0068] 一方、マスターLSI2のマルチバス送信制御回路62は、セクタ68を操作し、自身のデータストローブ信号を2回送出したのち、シフトレジスタ64のデータを送信データストローブの立ち上がりタイミングで更新して

送信する。スレーブLSI 3はそのデータを先に復元したデータストローブの立ち上がりタイミングで受信する。

[0069] 即ち、スレーブLSI 3のシフトレジスタ64-1は、復元データストローブ信号の立ち上がりで、受信データを取り込む。図9のeは、スレーブLSI 3のシフトレジスタ64-1に書き込まれる動作を表している。マルチバス送信制御回路62は、シフトレジスタ64-1に256ビット（32byte）のデータを保持した（揃った）ことを検出し、機能回路5のレジスタ50にシフトレジスタ64-1の保持データを書き込む（キャプチャする）。この様な動作によって、スレーブLSI 3は、1本の信号線で、マスターLSI 2からのデータを受信し、レジスタ50に初期設定する。

[0070] 又、スレーブLSI 同士の初期レジスタ値転送時にも同様の制御を行う。即ち、図9において、マスターLSI 2をスレーブLSI 3に、スレーブLSI 3をスレーブLSI 4に置き換えることで、データストローブの復元及びデータの取り込みを行う。

[0071] 図10は、本実施の形態のマスターLSI 2からスレーブLSI 3, 4へのデータ伝搬のタイムチャート図である。図10は、マスターLSI 2からスレーブLSI 3にレジスタの設定値が伝達される動作と、スレーブLSI 3からスレーブLSI 4へレジスタの設定値が伝達される動作を示す。

[0072] 図10において、記号「o」は、メモリ（PROM）1から読み出したデータをマスターLSI 2に出力される伝送路の状態を示す。最初に、マスターLSI 2に設定すべき256ビットのデータを読み出す。前述したように、マスターLSI 2は自身のレジスタ設定値を自身の設定レジスタ50に取り込む。マスターLSI 2は、取り込み後は、2サイクルのデータストローブ信号を待ったのち再度、メモリ2から256ビットのデータを読み出す。2回目にメモリ1から読み出した値は、スレーブLSI 3のレジスタ設定値となる。

[0073] このような読み出し、転送動作をシステムに搭載されているLSI 2, 3, 4の個数分実施する。前述の図5～図8で説明したように、各LSI がシ

ステムのLSI数と自身が設定される何番目のLSIであるかのデータをレジスタを通して判るため、読み出し、転送動作が可能である。

[0074] 図10の記号「p. マスターLSI2受信」は、マスターLSI2がレジスタの初期データを受信する様子を示す。メモリ(PROM)1のデータはデータストロブ信号と揃って出力されるため、マスターLSI2は、メモリ(PROM)1の制御に出力したデータストロブ信号の90°位相が遅いタイミングでデータを受信する。

[0075] 次に、スレーブLSIについて説明する。図10の記号「q」は、マスターLSI2からスレーブLSI3への転送を示す。前述したように、マスターLSI2は、自身が使用するレジスタ設定データ以降のデータをスレーブLSI3に転送する。スレーブLSI3は、先に述べたデータストロブ復元を行い、マスターLSI2からのデータを取り込む。図10の記号「r. Slave LSI1 受信」は、復元ストロブによるデータ取り込み動作を示す。

[0076] 最後に、図10の記号「t. Slave LSI1→Slave LSI2」および記号「u. Slave LSI2受信」は、スレーブLSI4の動作を示す。スレーブLSI4は、スレーブLSI3と同様の動作を行う。ただし、本実施の形態において、スレーブLSI4はレジスタ設定を行う最終のLSI(半導体集積回路装置)になるため、自身のレジスタ設定値を取り込んだら、初期化の動作を終える。

[0077] (レジスタの初期設定の処理)

図11は、マスターLSIが実行するレジスタ設定の初期化フロー図である。

[0078] (S10) マスターLSI2に供給するリファレンスクロック(25MHzのクロック)をオンする。次に、マスターLSI2の電源を投入する。更に、マスターLSI2のリセットを解除する。これにより、マスターLSI2は動作を開始する。

[0079] (S12) マスターLSI2のPROM読み出し回路60が自立的に動作する。即ち、マスターLSI2は、PROM制御回路60を起動する。

- [0080] (S 1 4) 起動したPROM制御回路60はメモリ(PROM)1に記憶された初期レジスタ設定値を読み出し、自身のシフトレジスタ60にデータを取り込む。
- [0081] (S 1 6) マスターLSI2のマルチバス送信制御回路62は、シフトレジスタ60に必要なデータ長である256ビットの設定値を読み込んだかを判定する。
- [0082] (S 1 8) マルチバス送信制御回路62は、シフトレジスタ60に初期レジスタ設定値を読み込んだと判定すると、機能回路5のレジスタ50にシフトレジスタ60のレジスタ設定値を取り込む。マスターLSI2の機能回路5は、初期レジスタ設定値を取り込んだのち、それらの値を用い、マスターLSI2の内部クロックを発振させる。これにより、マスターLSI2の初期設定は完了する。
- [0083] (S 2 0) マスターLSI2のマルチバス送信制御回路62は、自身の初期設定が完了したのちに、後続LSI(チップ)が存在するかを判断する。マルチバス送信制御回路62は、後続LSI(チップ)が存在しないと判断した場合、設定処理を終了する。
- [0084] (S 2 2) マルチバス送信制御回路62は、後続LSI(チップ)が存在すると判断した場合、信号線S1を介しスレーブLSI3に復元用データストローブ信号を転送する。
- [0085] (S 2 4) マルチバス送信制御回路62は、続けてシフトレジスタ64の保持データを信号線S1を介しスレーブLSI3に転送する。データストローブ信号とデータの転送に関しては、図9を用いて説明した通りである。即ち、マスターLSI2は、データ転送時には、図9で示したような動作を行うため、マスターLSI2は、メモリ(PROM)1からデータを読み出し、スレーブLSIに送信すべきデータ(初期レジスタ設定)を送信する。
- [0086] (S 2 6) 転送データはスレーブLSIの数によって決定されるので、マスターLSI2は、スレーブLSIの数分繰り返し、動作を続ける。データ転送のメカニズムは図10で示した通りである。全データの転送が完了すれ

ば、マスターLSI 2は、初期化の設定を終了する。そして、マルチバス送信制御回路62は、セクタ68の選択出力をSide-Band信号に戻す。

[0087] 図12はスレーブLSIが実行するレジスタ設定の初期化フロー図である。

[0088] (S30) スレーブLSI 3, 4は、マスターLSI 2のステップS10と同じ動作を行う。

[0089] (S32) スレーブLSI 3, 4では、データストロブ復元制御回路70が自立的に起動する。これにより、スレーブLSIは、マスターLSI 2からのデータストロブ信号を検出できる状態になる。

[0090] (S34) スレーブLSIのデータストロブ復元制御回路70は、マスターLSI 2からのストロブ信号を検出した場合、データストロブ信号の復元を行う。

[0091] (S36) スレーブLSIのシフトレジスタ64-1は復元されたデータストロブ信号により、信号線S1から入力されるデータを取り込む。スレーブLSI 3, 4のマルチバス送信制御回路62は、シフトレジスタ64-1に必要なデータ長である256ビットの設定値を読み込んだかを判定する。

[0092] (S38) マルチバス送信制御回路62は、シフトレジスタ64-1に初期レジスタ設定値を読み込んだと判定すると、機能回路5のレジスタ50にシフトレジスタ64-1のレジスタ設定値を取り込む。スレーブLSI 3, 4の機能回路5は、初期レジスタ設定値を取り込んだのち、それらの値を用い、スレーブLSI 3, 4の内部クロックを発振させる。これにより、スレーブLSI 3, 4の初期設定は完了する。

[0093] (S40) スレーブLSI 3, 4のマルチバス送信制御回路62は、自身の初期設定が完了したのちに、後続LSI (チップ) が存在するかを判断する。マルチバス送信制御回路62は、後続LSI (チップ) が存在しないと判断した場合、設定処理を終了する。

[0094] (S42) マルチバス送信制御回路62は、後続LSI (チップ) が存在

すると判断した場合、信号線 S 2 を介しスレーブ L S I 4 に復元用データストローブ信号を転送する。

[0095] (S 4 4) マルチバス送信制御回路 6 2 は、続けてシフトレジスタ 6 4 - 1 の保持データを信号線 S 2 を介しスレーブ L S I 4 に転送する。

[0096] (S 4 6) 転送データはスレーブ L S I の数によって決定されるので、スレーブ L S I 3 は、他のスレーブ L S I の数分繰り返し、動作を続ける。初期化の設定を終了すると、マルチバス送信制御回路 6 2 は、セクタ 6 8 の選択出力を Side-Band 信号に移す。

[0097] 以上の動作によって、マスター L S I 2 及びスレーブ L S I 3, 4 の初期レジスタの設定が実行される。

[0098] 図 1 3 は、本実施の形態による初期レジスタ設定時間の説明図である。図 1 3 はレジスタ数（レジスタのビット数）R を 2 5 6 ビット、1 サイクル時間 T を $10 \mu s e c$ とした場合のスレーブの数に対応する初期レジスタの設定時間（m s e c）の対応表を示す。スレーブ数を N とすると、初期レジスタ時間 S は、以下の式で与えられる。

[0099] 初期レジスタ設定時間(t) [S] = $\{(2R+2+1/2)+(R+2+1/2) \cdot N+(R+2)(N-1)\} \cdot T$ (N>0)

図 1 3 は、スレーブ数 N を「1」～「7」まで変えた場合の初期レジスタの設定時間を示す。図 1 3 に示すように、スレーブ数が多い場合（例えば、スレーブ数が 7）でも、数十 m s e c の時間で設定を完了できる。尚、図 1 3 の例は、初期レジスタを設定する時間のみを示しており、初期化中に必要な電源をオンする、L S I（半導体集積回路装置）のリセットを解除する動作などの時間は含まない。

[0100] (電子システムの他の実施の形態)

図 1 4 は、電子システムの他の実施の形態のブロック図である。図 1 4 は、CPU／メモリボードを示す。図 1 4 に示すように、CPU／メモリボードは、CPU（演算処理ユニット：Central Processing Unit）1 と複数のメモリアクセスコントローラ（MAC）6, 6-1, 6

ー２と複数のメモリ８ー１～８ー３とを有する。ＣＰＵ１は、１台又は複数のＣＰＵを有する。

[0101] 各メモリ８ー１～８ー３は、ＲＡＭ（Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）で構成される。このメモリ８ー１～８ー３は、好ましくは、ＤＩＭＭ（Ｄｕａｌ Ｉｎｌｉｎｅ Ｍｅｍｏｒｙ Ｍｏｄｕｌｅ）で構成される。

[0102] 第１のメモリアクセスコントローラ６は、第１のメモリ８ー１に接続し、ＣＰＵ１の指示により第１のメモリ８ー１をリード／ライト制御する。第２のメモリアクセスコントローラ６ー１は、第２のメモリ８ー２に接続し、ＣＰＵ１の指示により第２のメモリ８ー２をリード／ライト制御する。第３のメモリアクセスコントローラ６ー２は、第３のメモリ８ー３に接続し、ＣＰＵ１の指示により第３のメモリ８ー３をリード／ライト制御する。

[0103] メモリアクセスコントローラ６、６ー１、６ー２は、接続されるメモリのタイプ、メモリの速度、メモリの台数等に応じた設定値を要する。メモリアクセスコントローラ６、６ー１、６ー２はこの設定値をレジスタに格納し、機能回路（メモリアクセス回路）のリード／ライトのタイミング等を調整する。

[0104] 本実施の形態では、ＣＰＵ／メモリボードに各メモリアクセスコントローラの設定値を格納した不揮発性メモリ（ＰＲＯＭ）５を設ける。そして、不揮発性メモリ５を第１のメモリアクセスコントローラ６に接続する。第１のメモリアクセスコントローラ６は、信号線Ｓ１で第２のメモリアクセスコントローラ６ー１に接続し、第２のメモリアクセスコントローラ６ー１は、信号線Ｓ２を介し第３のメモリアクセスコントローラ６ー２に接続する。

[0105] 即ち、図１及び図２で説明したマスターＬＳＩ２が、第１のメモリアクセスコントローラ６であり、スレーブＬＳＩ３、４が、第２、第３のメモリアクセスコントローラ６ー１、６ー２に相当する。従って、メモリアクセスコントローラ６、６ー１、６ー２のレジスタの初期設定は、図１乃至図１２で説明したデータストロープの復元及びデータの転送で行うことができる。

[0106] この信号線 S 1、S 2 に前述のサイドバンド (S i d e b a n d) 信号線を用いる。メモリアクセスコントローラ 6、6-1、6-2 は、通常運用時にサイドバンド信号線により、エラー等の状態通知を行う。このサイドバンド信号線を用いることにより、初期設定用の信号線が不要となるため、設計コストを低減できる。又、システムマネジメントデバイスに依らないため、システムの複雑性を低減でき、設計工数を削減できる。更に、初期化制御回路 6、6-1 は、各システムで共用の使用が見込まれ、設計工数の削減が行える。

[0107] 本実施の形態では、サイドバンド (S i d e b a n d) 信号線を用いる例で説明したが、本発明はこれに限定するものではなく、その他の L S I 間を接続する信号線を使用することができる。

[0108] (他の実施の形態)

前述の実施の形態では、メモリアクセスコントローラの初期設定の例で説明したが、CPU の初期設定や他の機能回路の初期設定にも適用できる。

[0109] 以上、本発明を実施の形態により説明したが、本発明の趣旨の範囲内において、本発明は、種々の変形が可能であり、本発明の範囲からこれらを排除するものではない。

産業上の利用可能性

[0110] 複数の半導体集積回路装置を具備するシステムにおいて、半導体集積回路装置を数珠つなぎの状態ですべての信号線に接続し、不揮発性メモリに格納した各半導体集積回路装置の設定データを順次読み出し、半導体集積回路装置間で伝送するため、初期レジスタ設定のための特別なインタフェースを削減し、初期レジスタの設定が可能となる。このため、半導体集積回路装置の設計工数及び設計コストを低減できる。

符号の説明

- [0111] 1 不揮発性メモリ
2 マスター L S I
3, 4 スレーブ L S I

5 機能回路

6、6-1 初期化制御回路

50 設定レジスタ

60 PROM制御回路

62 マルチバス送信制御回路

64, 64-1 シフトレジスタ

66 ストローク信号生成回路

68 セレクタ

70 データストローク信号復元制御回路

S1, S2 信号線

請求の範囲

[請求項1]

電子システムであって、

互いに1本の信号線で接続され、設定された設定データにより所定の機能を実行する機能回路を備えた複数の半導体集積回路装置と、

前記複数の半導体集積回路装置の各々の前記設定データを格納する記憶ユニットとを有し、

前記複数の半導体集積回路装置の一の半導体集積回路装置は、

前記記憶ユニットから前記複数の半導体集積回路装置の各々の前記設定データを順次読み出し、前記一の半導体集積回路装置の設定データを前記機能回路に設定し、他の前記半導体集積回路装置の前記設定データを前記信号線を介し前記他の半導体集積回路装置に転送する初期化制御回路を有する

ことを特徴とする電子システム。

[請求項2]

請求項1の電子システムにおいて、

前記他の半導体集積回路装置は、

前記一の半導体集積回路装置の前記初期化制御回路から前記信号線を介しストロブ信号を受信し、前記ストロブ信号に基づいて、ストロブ信号を復元し、復元したストロブ信号に基づいて、前記信号線から受信した前記設定データをレジスタに取り込む第2の初期化制御回路を有する

ことを特徴とする電子システム。

[請求項3]

請求項1の電子システムにおいて、

前記初期化制御回路は、

前記設定データを取り込むシフトレジスタと、

前記シフトレジスタに取り込んだ設定データが前記一の半導体集積回路装置の設定データであるか、前記他の半導体集積回路装置の設定データであるか否かを判定し、前記シフトレジスタに保持された前記一の半導体集積回路装置の設定データを前記機能回路に設定し、前記

シフトレジスタに保持された前記他の前記半導体集積回路装置の前記設定データを前記信号線を介し前記他の半導体集積回路装置に転送する制御回路とを有する

ことを特徴とする電子システム。

[請求項4]

請求項3の電子システムにおいて、

前記一の半導体集積回路装置の初期化制御回路は、

前記他の半導体集積回路装置に送信するストローク信号を生成するストローク信号生成回路を更に有する

ことを特徴とする電子システム。

[請求項5]

請求項1の電子システムにおいて、

前記一の半導体集積回路装置の初期化制御回路の制御回路は、

前記設定データの一部を解析し、設定データが前記一の半導体集積回路装置の設定データであるか、前記他の半導体集積回路装置の設定データであるか否かを判定する

ことを特徴とする電子システム。

[請求項6]

請求項2の電子システムにおいて、

前記他の半導体回路装置の前記初期化制御回路は、

前記設定データを取り込むシフトレジスタと、

前記シフトレジスタに取り込んだ設定データが前記他の半導体集積回路装置の設定データであるか、前記他の半導体集積回路装置に第2の信号線を介し接続された更に他の半導体回路装置の設定データであるか否かを判定し、前記シフトレジスタに保持された前記他の半導体集積回路装置の設定データを前記機能回路に設定し、前記シフトレジスタに保持された前記更に他の前記半導体集積回路装置の前記設定データを前記第2の信号線を介し前記更に他の半導体集積回路装置に転送する制御回路とを有する

ことを特徴とする電子システム。

[請求項7]

請求項6の電子システムにおいて、

前記他の半導体集積回路装置の初期化制御回路は、

前記更に他の半導体集積回路装置に送信するストロープ信号を生成するストロープ信号生成回路を更に有する

ことを特徴とする電子システム。

[請求項8]

請求項6の電子システムにおいて、

前記他の半導体集積回路装置の初期化制御回路の制御回路は、

前記設定データの一部を解析し、設定データが前記他の半導体集積回路装置の設定データであるか、前記更に他の半導体集積回路装置の設定データであるか否かを判定する

ことを特徴とする電子システム。

[請求項9]

請求項1の電子システムにおいて、

前記信号線が、前記各半導体集積回路装置の前記機能回路間の通信のための信号線である

ことを特徴とする電子システム。

[請求項10]

設定された設定データにより所定の機能を実行する機能回路と、

複数の半導体集積回路装置の各々の前記設定データを格納する記憶ユニットから前記複数の半導体集積回路装置の各々の前記設定データを順次読み出し、前記機能回路の設定データを前記機能回路に設定し、他の前記半導体集積回路装置の機能回路の前記設定データを1本の信号線を介し前記他の半導体集積回路装置に転送する初期化制御回路を有する

ことを特徴とする半導体集積回路装置。

[請求項11]

請求項10の半導体集積回路装置において、

前記初期化制御回路は、

前記設定データを取り込むシフトレジスタと、

前記シフトレジスタに取り込んだ設定データが前記一の半導体集積回路装置の設定データであるか、前記他の半導体集積回路装置の設定データであるか否かを判定し、前記シフトレジスタに保持された前記

一の半導体集積回路装置の設定データを前記機能回路に設定し、前記シフトレジスタに保持された前記他の前記半導体集積回路装置の前記設定データを前記信号線を介し前記他の半導体集積回路装置に転送する制御回路とを有する

ことを特徴とする半導体集積回路装置。

[請求項12]

請求項10の半導体集積回路装置において、

前記初期化制御回路は、

前記他の半導体集積回路装置に送信するストローク信号を生成するストローク信号生成回路を更に有する

ことを特徴とする半導体集積回路装置。

[請求項13]

請求項11の半導体集積回路装置において、

前記制御回路は、

前記設定データの一部を解析し、設定データが前記一の半導体集積回路装置の設定データであるか、前記他の半導体集積回路装置の設定データであるか否かを判定する

ことを特徴とする半導体集積回路装置。

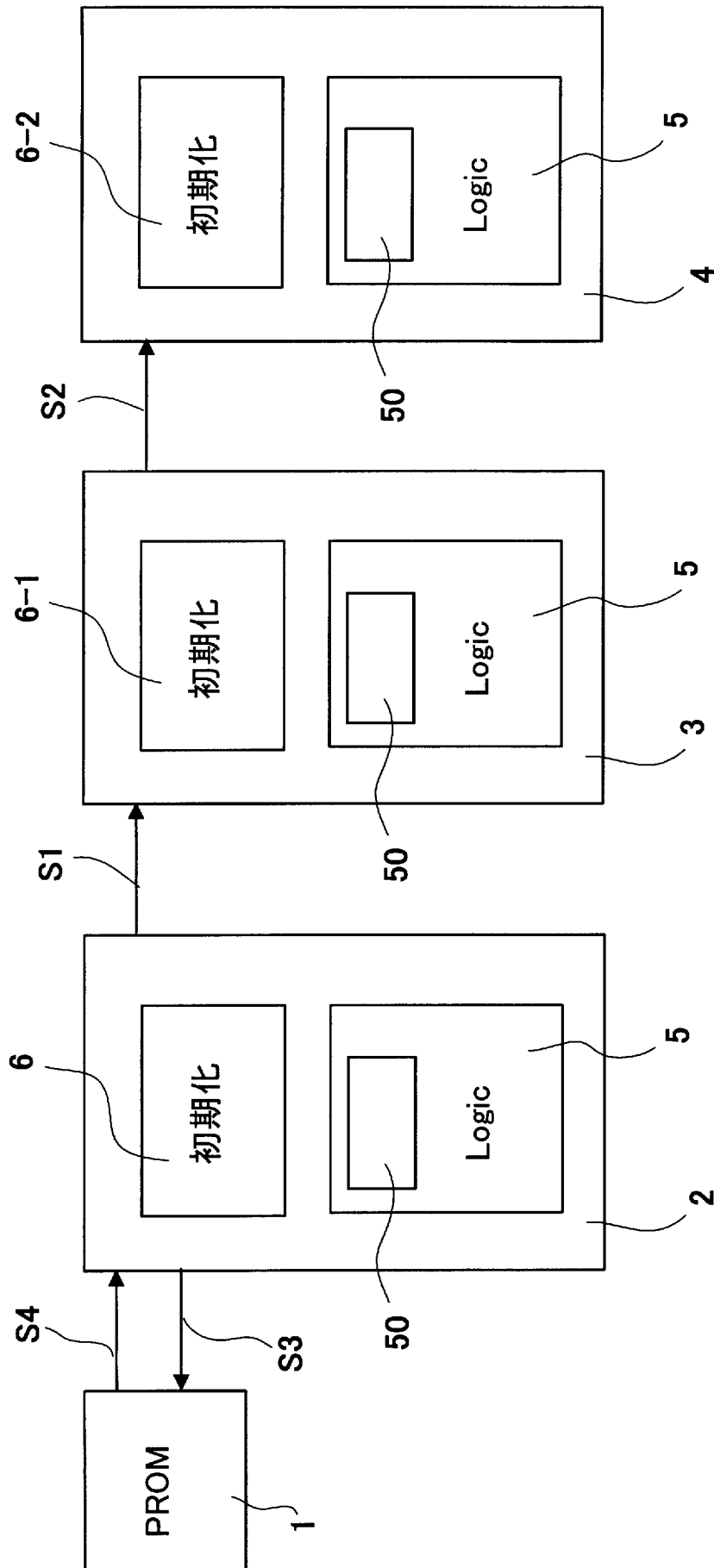
[請求項14]

請求項10の半導体集積回路装置において、

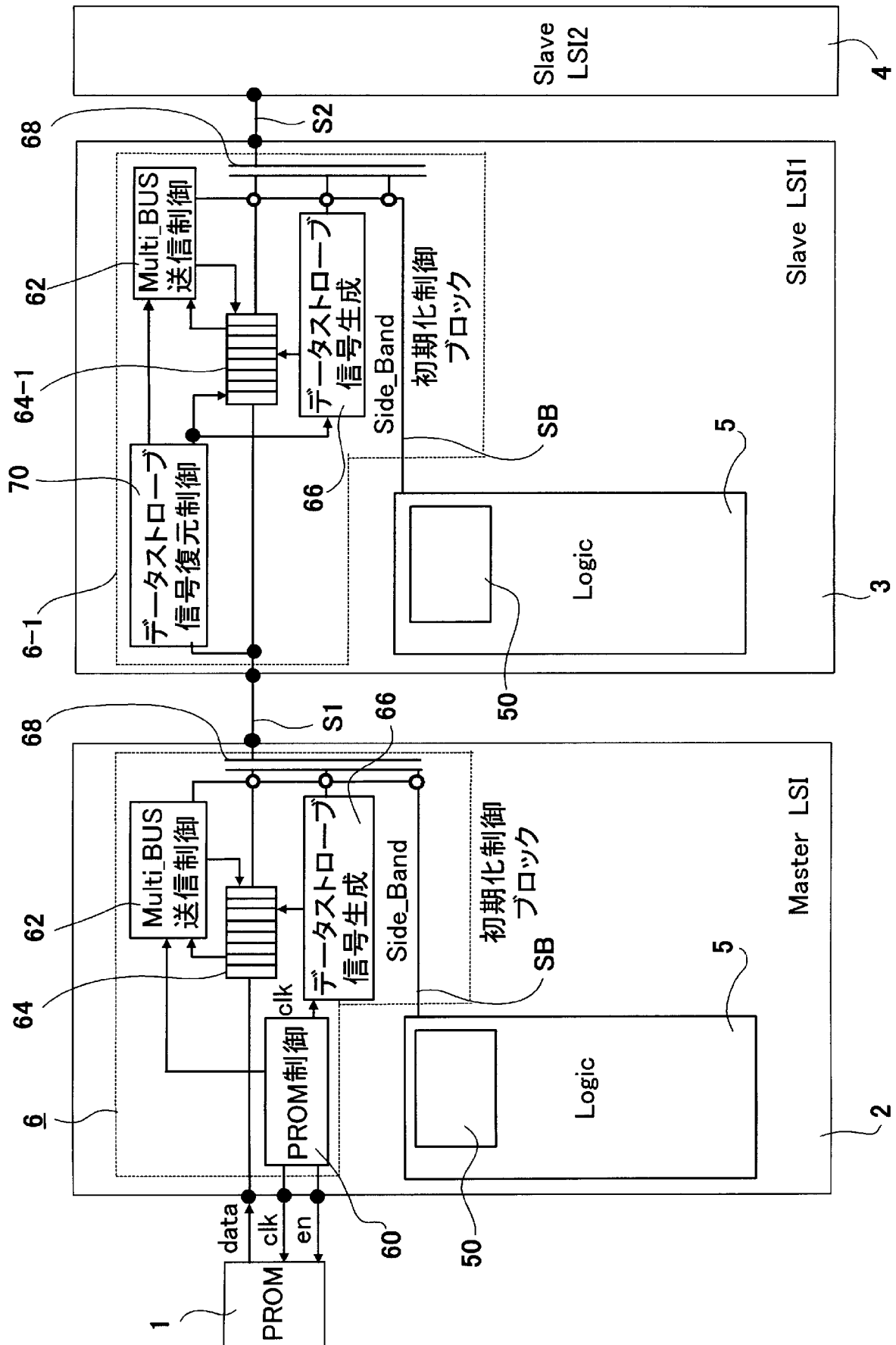
前記信号線が、前記各半導体集積回路装置の前記機能回路間の通信のための信号線である

ことを特徴とする半導体集積回路装置。

[図1]



[図2]



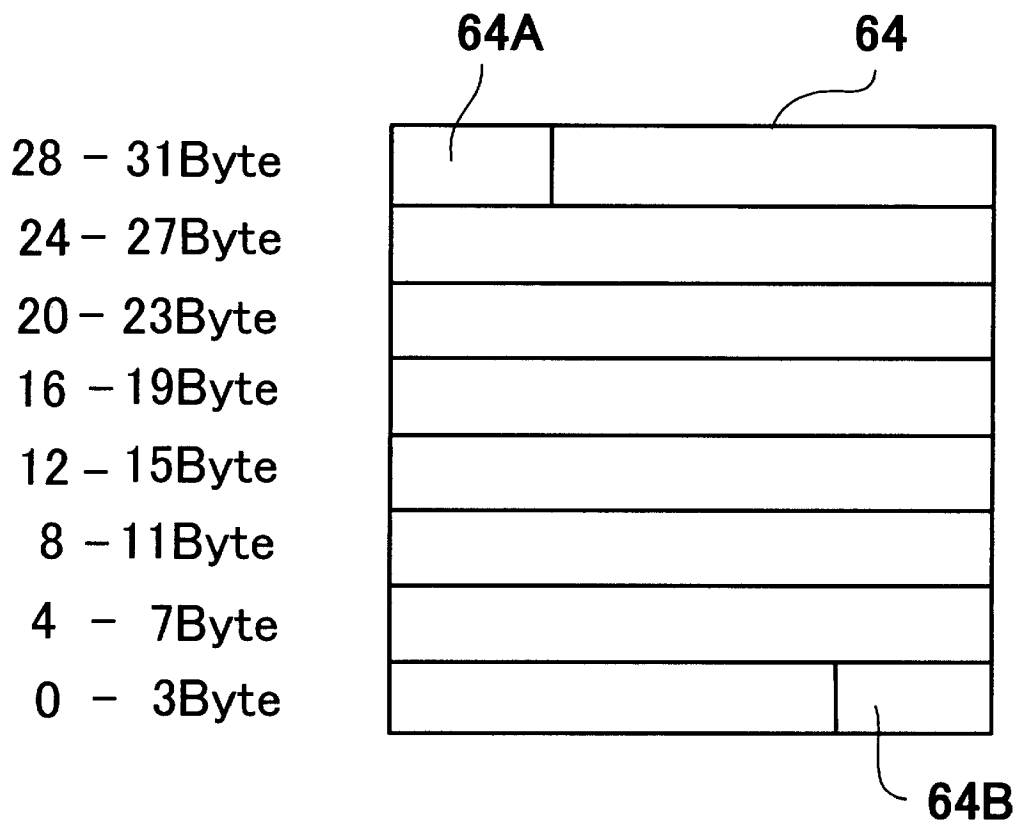
[図3]

レジスタ(Byte)	設定内容
64 - 95	LSI3(Slave2)レジスタ設定
32 - 63	LSI2(Slave1)レジスタ設定
0 - 31	LSI(Master)レジスタ設定

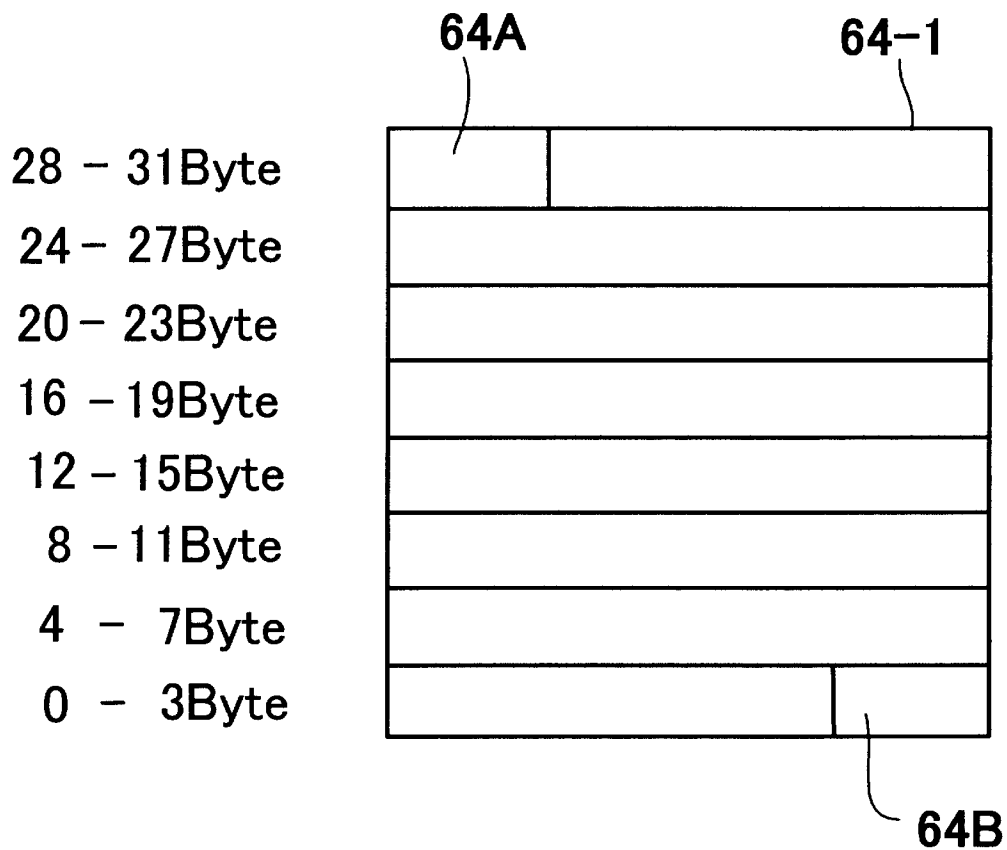
[図4]

動作モード	Multi_B1/Multi_B2 の用途
初期設定時	初期レジスタ書き込み
通常運用時	Side Band 信号

[図5]



[図6]



[図7]

Write Device Number	
[31]	1: 書き込み終了、0: 書き込み未
[30]	書き込みデバイス No を示す。 自身が初期レジスタ設定を Write される 何番目のデバイスかを示す。
[29]	
[28]	
[27]	
[26]	
[25]	
[24]	
	初期値 : 7' b000_0000
	Master LSI : 7' b000_0001
	Slave LSI (1) : 7' b000_0010
	Slave LSI (2) : 7' b000_0011
	(126) : 7' b111_1111

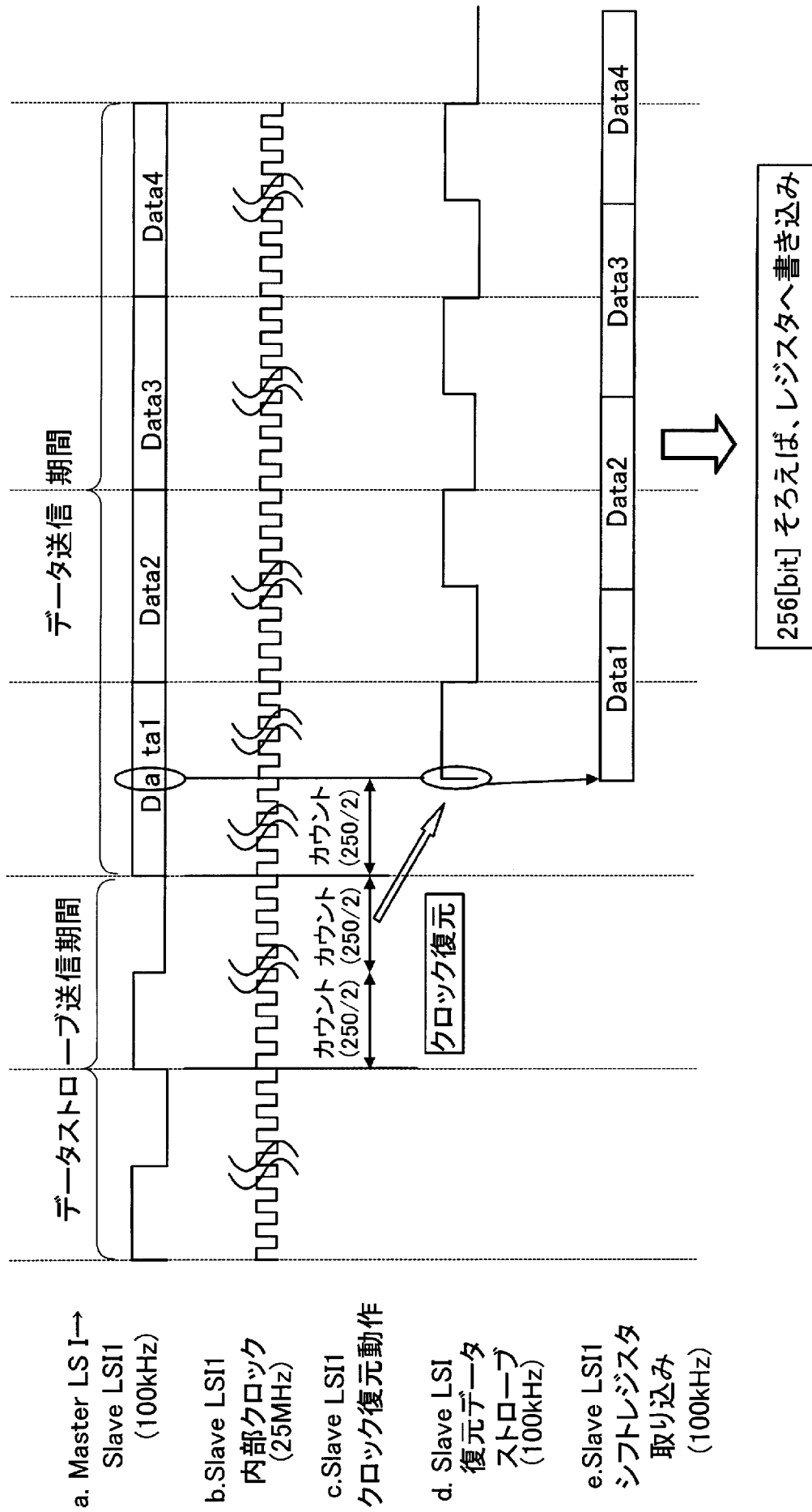
64A

[図8]

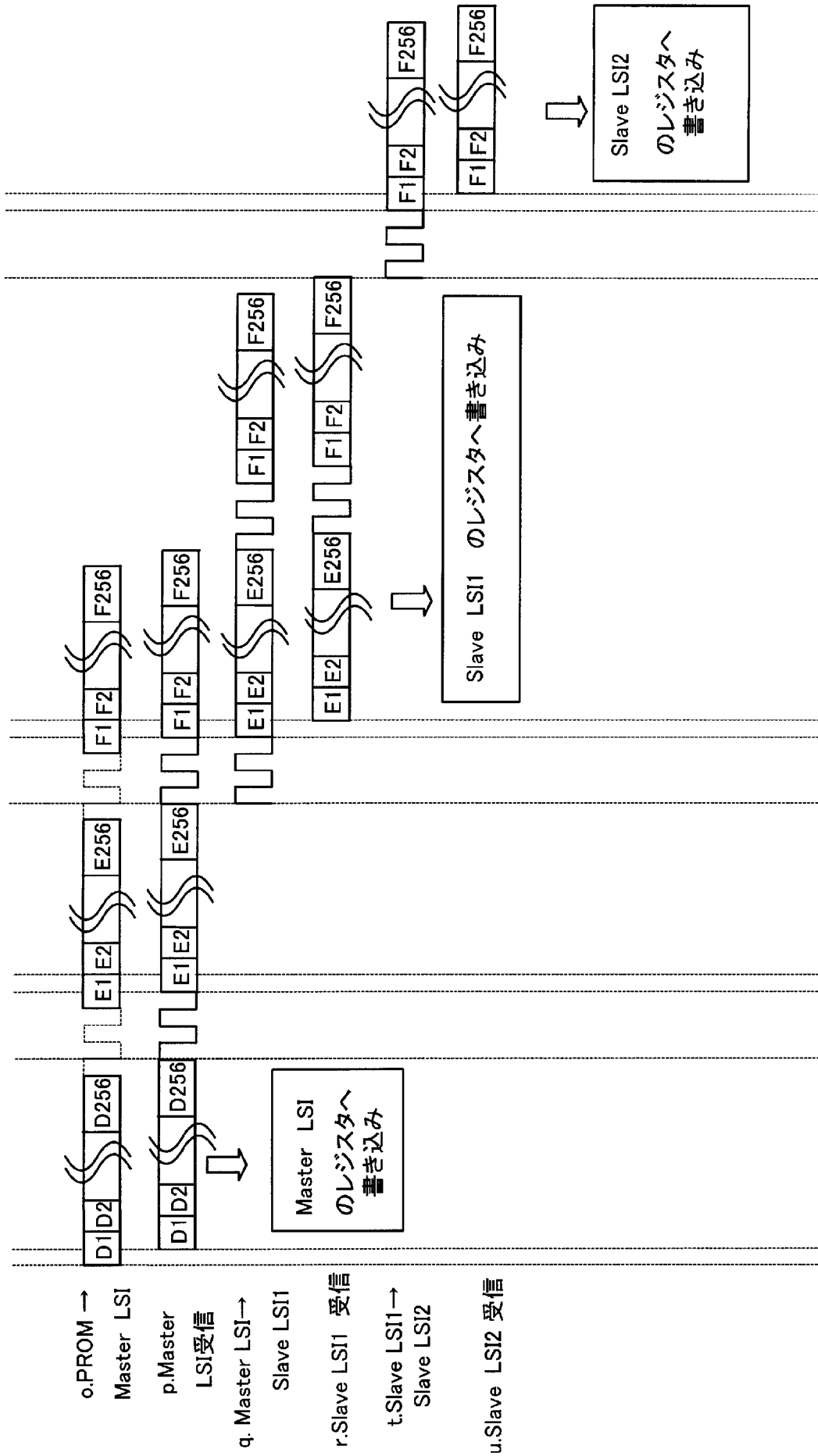
64B

Number of Devices	
[7]	Reserved
[6]	接続されるデバイスの数を示す。
[5]	Master のみ : 7' b000_0001
	Slave(1) : 7' b000_0010
[4]	Slave LSI (2) : 7' b000_0011
[3]	
	(126) : 7' b111_1111
[2]	
[1]	
[0]	

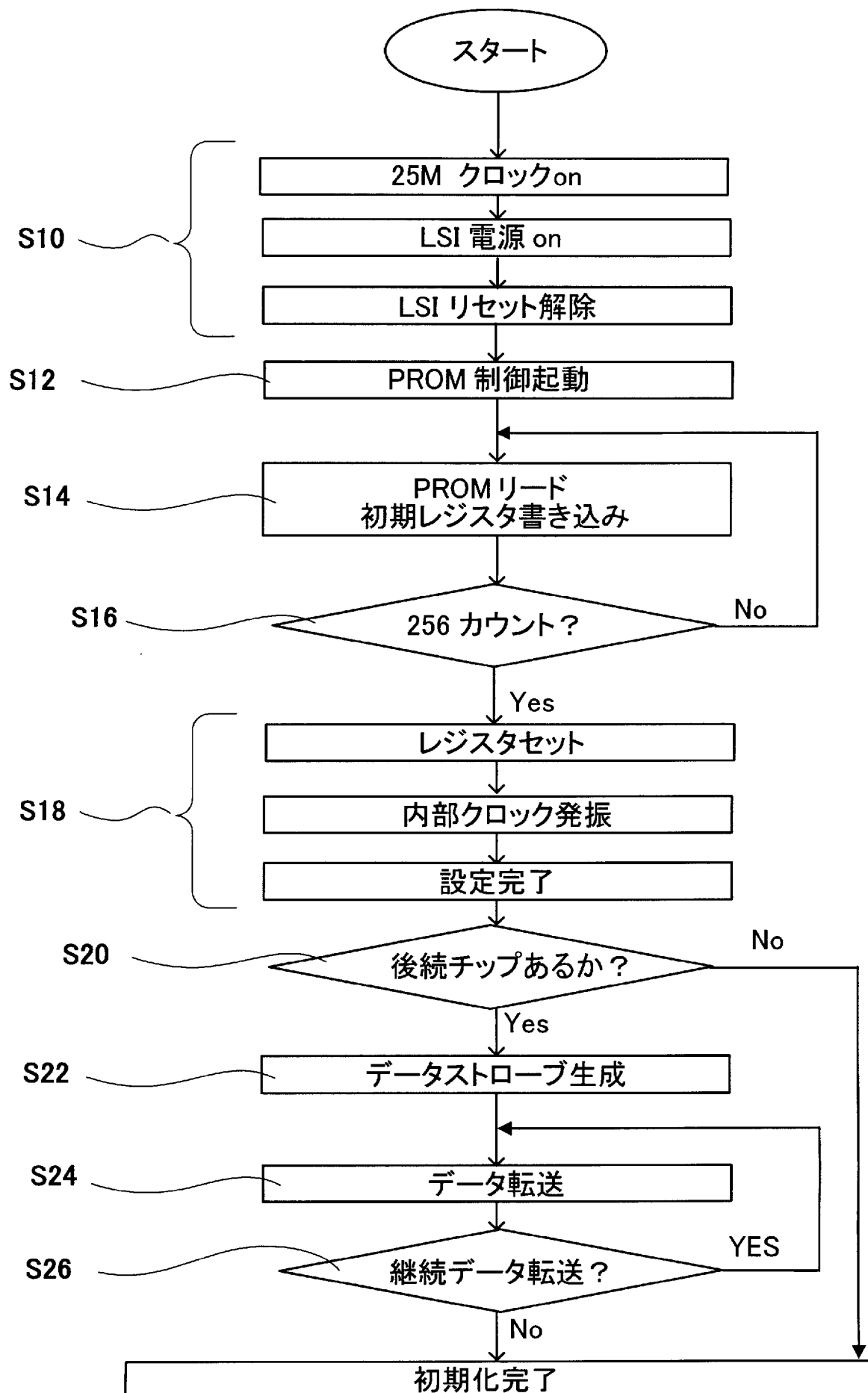
[図9]



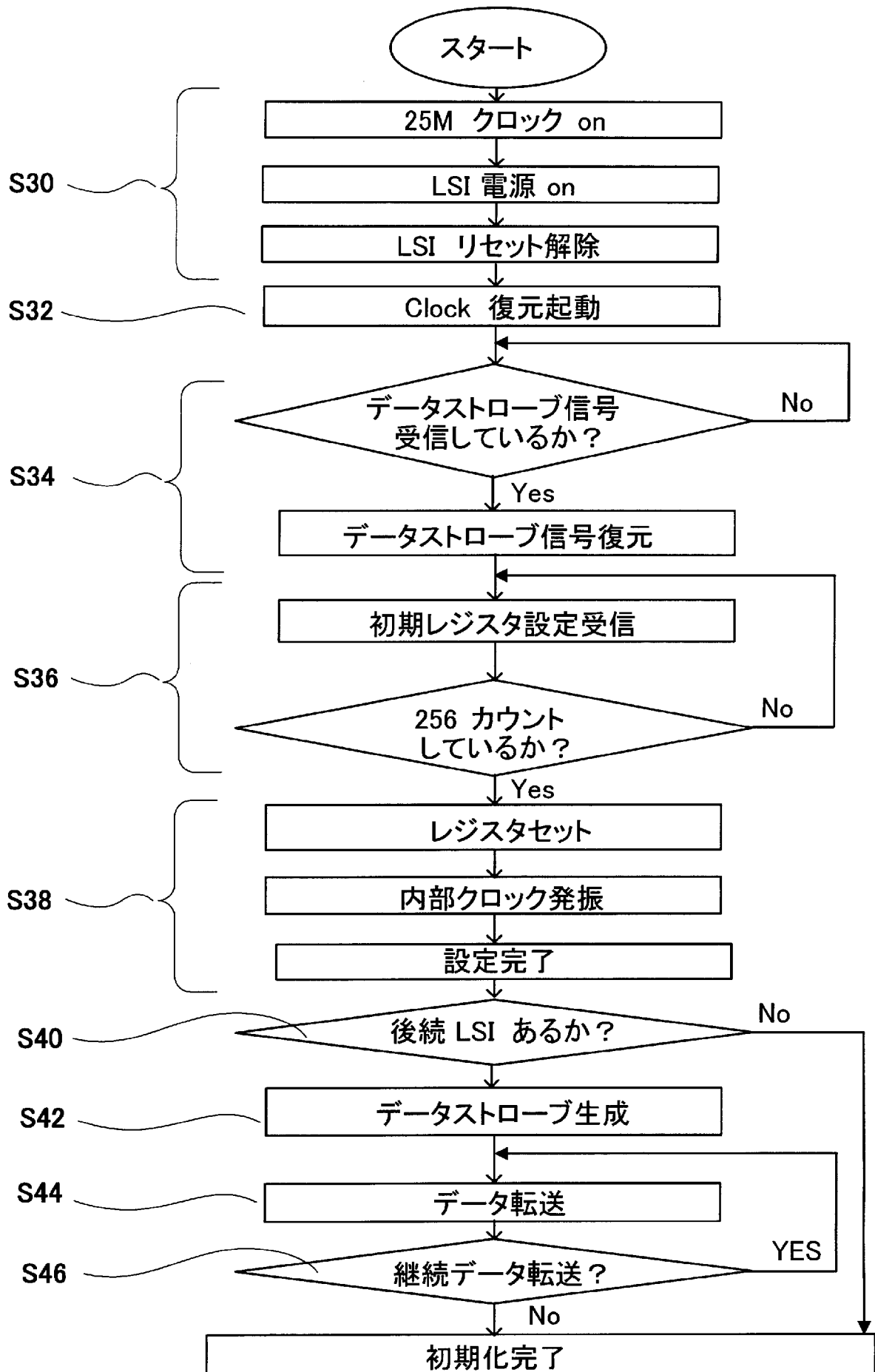
[図10]



[図11]



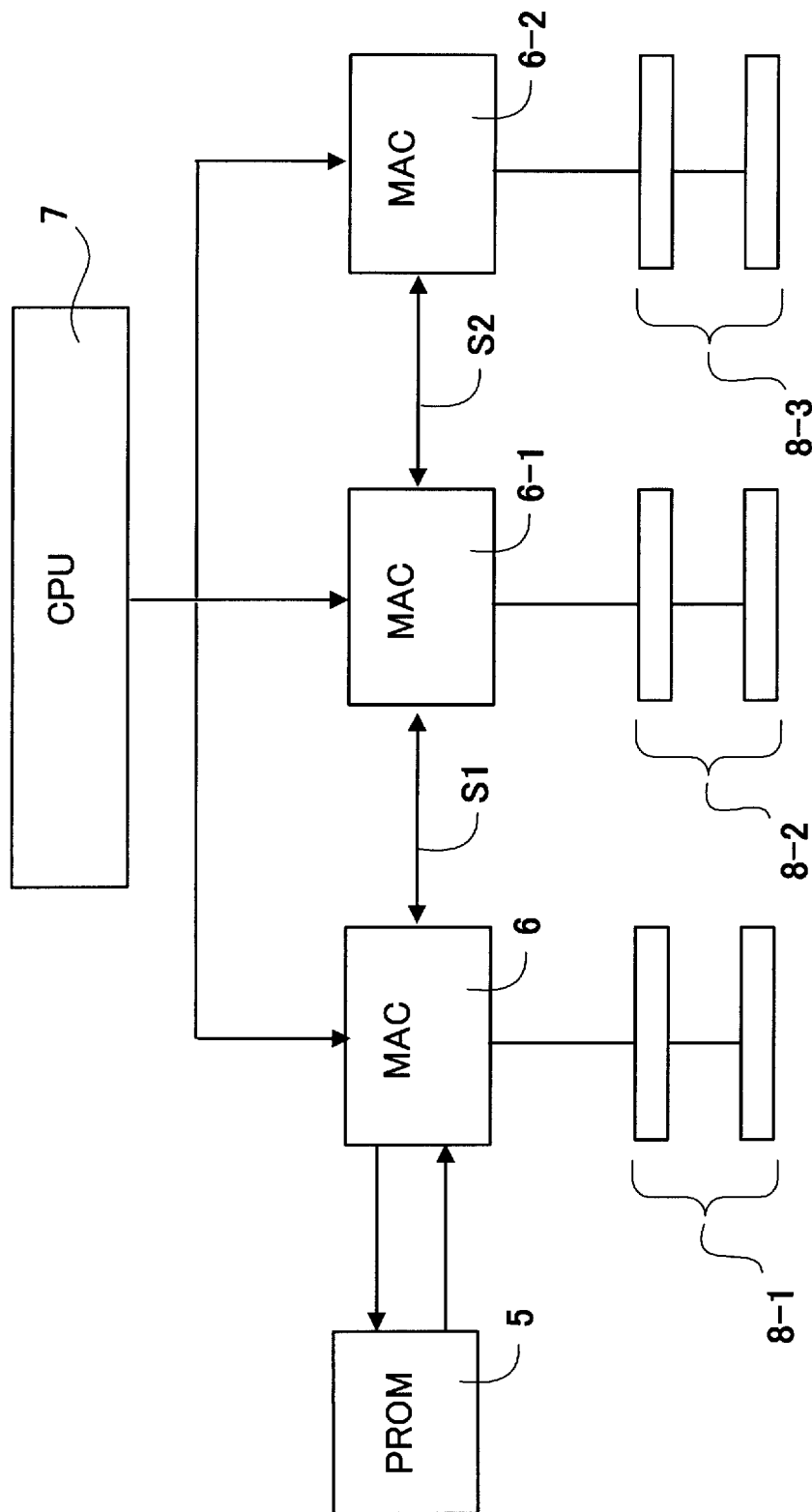
[図12]



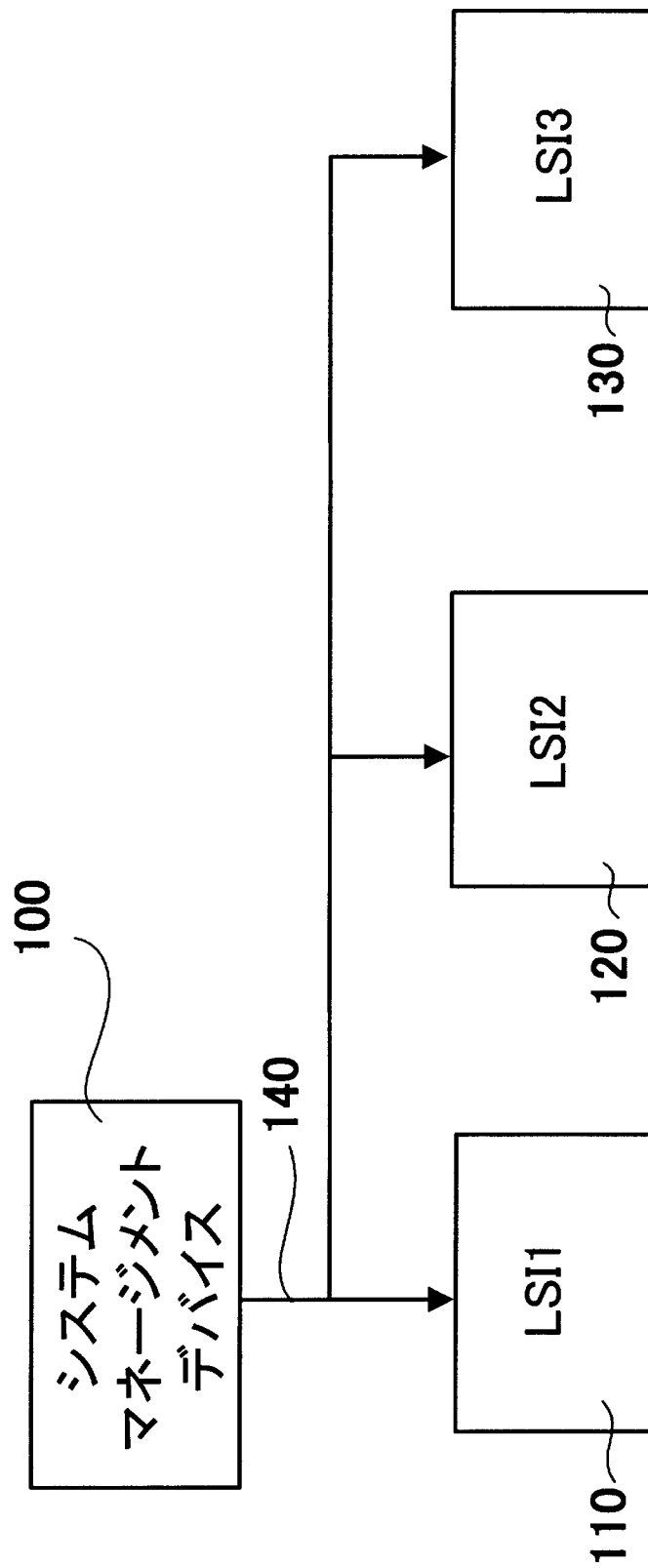
[図13]

Slave数 [Num]	レジスタ数 [Num]	1サイクル [uS]	初期レジスタ設定時間 [mS]
1	256	10	7.730
2			12.895
3			18.060
4			23.225
5			28.390
6			33.555
7			38.720

[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063421

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/24(2006.01) i, G06F13/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F1/24, G06F13/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-136244 A (Omron Corp.), 21 May 1999 (21.05.1999), paragraphs [0006] to [0010], [0032] to [0041] (Family: none)	1-14
A	JP 6-28058 A (Fujitsu Ltd.), 04 February 1994 (04.02.1994), paragraphs [0003] to [0005] (Family: none)	1-14
A	JP 2001-310281 (Sony Corp.) 06 November 2001 (06.11.2001), paragraphs [0042] to [0055] (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08 November, 2010 (08.11.10)

Date of mailing of the international search report
16 November, 2010 (16.11.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063421

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-129235 A (TOKYO ELECTRON DEVICE LTD.), 18 May 2006 (18.05.2006), paragraphs [0029] to [0047] & WO 2006/46775 A1 page 8, line 4 to page 11, line 22	1-14

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G06F1/24(2006.01)i, G06F13/38(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G06F1/24, G06F13/38			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	J P 11-136244 A（オムロン株式会社）1999. 05. 21, 段落【0006】-【0010】、【0032】-【0041】（ファミリーなし）	1-14	
A	J P 6-28058 A（富士通株式会社）1994. 02. 04, 【0003】-【0005】（ファミリーなし）	1-14	
A	J P 2001-310281（ソニー株式会社）2001. 11. 06, 【0042】-【0055】（ファミリーなし）	1-14	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 08. 11. 2010		国際調査報告の発送日 16. 11. 2010	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 中田 剛史 電話番号 03-3581-1101 内線 3521	5E 2951

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 6 - 1 2 9 2 3 5 A (東京エレクトロニクス株式会社) 2 0 0 6 . 0 5 . 1 8 , 【 0 0 2 9 】 - 【 0 0 4 7 】 & W O 2 0 0 6 / 4 6 7 7 5 A 1 , 第 8 頁 第 4 行 - 第 1 1 頁 第 2 2 行	1 - 1 4