(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03H 17/02 (2006.01)

(45) 공고일자 2007년03월28일
(11) 등록번호 10-0700959
(24) 등록일자 2007년03월22일

(21) 출원번호 10-2001-7007426
(22) 출원일자 2001년06월14일
심사청구일자 2004년12월14일
번역문 제출일자 2001년06월14일
(86) 국제출원번호 PCT/US1999/029656
국제출원일자 1999년12월14일
(65) 공개번호 10-2001-0089576
(43) 공개일자 2001년10월06일
(87) 국제공개번호 WO 2000/36744
국제공개일자 2000년06월22일

(81) 지정국 국내특허 : 아랍에미리트, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 도미니카, 에스토니아, 스페인, 핀란드, 영국, 그라나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 탄자니아, 우크라이나, 우간다, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 남아프리카, 짐바브웨,

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 09/211,990 1998년12월14일 미국(US)

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
매쓰렌나트
미국92129캘리포니아주샌디에고바바우타로드넘버99325

(74) 대리인
특허법인코리아나

심사관 : 강성철

전체 청구항 수 : 총 35 항

(54) 저전력 프로그램가능 디지털 필터

(57) 요약

원격통신 시스템 트랜시버와 함께 저전력 프로그램가능 디지털 필터 (10) 가 채용된다. 디지털 필터 (10) 는 입력 신호를 수신하고 제 1 전달함수를 갖는 제 1 유한 임펄스 응답 필터부를 포함한다. 무한 임펄스 응답 필터부 (18) 는 제 1 유한 임펄스 응답 필터부에 접속되어 있고 제 2 전달함수를 갖는다. 제 2 유한 임펄스 응답 필터부 (22) 는 무한 임펄스 응답 필터부에 접속되어 있고 프로그램가능 디지털 필터 (10) 에 의한 입력 신호 (28) 의 수신에 응답하여 필터링된 출력 신호를 출력한다.

대표도

도 1

특허청구의 범위

청구항 1.

입력 신호를 수신하고 제 1 전달함수를 갖는 제 1 유한 임펄스 응답 필터부;

상기 제 1 유한 임펄스 응답 필터부에 접속되어 있고 제 2 전달함수를 갖는 무한 임펄스 응답 필터부;

상기 무한 임펄스 응답 필터부에 접속되어 있고 프로그램가능 디지털 필터에 의한 상기 입력 신호의 수신에 응답하여 필터링된 출력신호를 출력하며, 제 3 전달함수를 갖는 제 2 유한 임펄스 응답 필터부; 및

상기 제 1, 제 2 또는 제 3 전달함수의 프로그램가능 계수를 제공하는 수단을 포함하고,

상기 제 1, 제 2 및 제 3 전달함수는, 저지대역 (stopband) 주파수 상에 흩어져 있는 단위원상의 영점, 통과대역 (passband) 의 드루프를 보상하기 위한 상기 단위원의 실수축상의 추가적인 영점, 및 통과대역 드루프를 보상하고 필터 위상 응답을 이퀄라이제이션하기 위한 통과대역 에지 근처의 극점의 위치설정을 용이하게 하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 2.

제 1 항에 있어서,

상기 제 1, 제 2 및 제 3 전달함수의 계수는 2 의 거듭제곱수인 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서,

상기 제 1 전달함수는 제 1 프로그램가능 계수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 5.

제 4 항에 있어서,

상기 제 2 전달함수는 제 2 프로그램가능 계수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 6.

제 5 항에 있어서,

상기 제 3 전달함수는 제 3 프로그램가능 계수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 7.

제 6 항에 있어서,

상기 프로그램가능 계수를 제공하는 수단은 제어 신호를 제공하는 제어 수단을 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 8.

제 7 항에 있어서,

상기 프로그램가능 계수를 제공하는 수단은 상기 제어 신호에 응답하여 상기 제 1, 제 2 및/또는 제 3 프로그램가능 계수를 제공하는 레지스터 수단을 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 9.

제 7 항에 있어서,

상기 제 1 유한 임펄스 응답 필터부로 입력을 제공하는 고역통과 필터부를 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 10.

제 9 항에 있어서,

상기 제어 수단으로부터의 바이패스 제어 신호에 응답하여 상기 고역통과 필터를 선택적으로 바이패스 시키는 멀티플렉서를 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 11.

제 10 항에 있어서,

상기 제어 수단은,

상기 입력 신호에서 발생하는 바이어스에 응답하여 상기 바이패스 제어 신호를 발생시키는 프로세서를 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 12.

제 7 항에 있어서,

상기 제 1 유한 임펄스 응답 필터부는, 상기 입력 신호내의 원격통신 재머 신호를 제거하는 제 1 재머 필터, 제 2 재머 필터 및 제 3 재머 필터를 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 13.

제 12 항에 있어서,

상기 제 1, 제 2 또는 제 3 재머 필터는,

상기 제 1 프로그램가능 계수를 포함하는 전달함수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 14.

제 12 항에 있어서,

상기 제 1, 제 2 및 제 3 재머 필터는,

상기 제 1 프로그램가능 계수, 제 4 프로그램가능 계수, 및 제 5 프로그램가능 계수를 각각 갖는 제 1, 제 2 및 제 3 재머 필터 전달함수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 15.

제 12 항에 있어서,

상기 유한 임펄스 응답 필터부는 상기 제 1, 제 2 및 제 3 재머 필터의 출력 각각에서 제 1 비트 절단회로, 제 2 비트 절단회로 및 제 3 비트 절단회로를 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 16.

제 15 항에 있어서,

상기 제 1, 제 2 및 제 3 비트 절단회로는 입력 코드 워드로부터 3 개의 최상위비트 및 3 개의 최하위비트를 제거하는 수단을 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 17.

제 16 항에 있어서,

상기 제 1 비트 절단회로는 상기 제 1 재머 필터의 출력에 직렬로 접속되어 있는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 18.

제 16 항에 있어서,

상기 제 2 비트 절단회로는 상기 제 1 재머 필터와 상기 제 2 재머 필터 사이에 직렬로 접속되어 있는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 19.

제 16 항에 있어서,

상기 제 3 비트 절단회로는 상기 제 2 재머 필터와 상기 제 3 재머 필터 사이에 직렬로 접속되어 있는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 20.

제 16 항에 있어서,

상기 제 1 임펄스 응답 필터부는,

상기 제 3 재머 필터에 접속되어 있는 출력을 갖고 선택적으로 활성화되는 고역통과 필터를 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 21.

제 16 항에 있어서,

상기 제 1 재머 필터는 다음과 같은 전달함수

$$16 + b_1 z^{-1} + 16 z^{-2}$$

(z 는 z-도메인의 복소변수이고, b_1 은 상기 제 1 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 22.

제 16 항에 있어서,

상기 제 2 재머 필터는 다음과 같은 전달함수

$$8 + b_2 z^{-1} + 8 z^{-2}$$

(z 는 z-도메인의 복소변수이고, b_2 은 제 4 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 23.

제 16 항에 있어서,

상기 제 3 재머 필터는 다음과 같은 전달함수

$4 + b_3z^{-1} + 4z^{-2}$

(z 는 z-도메인의 복소변수이고, b_3 은 제 5 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 24.

제 6 항에 있어서,

상기 무한 임펄스 응답 필터부는 제 1 이퀄라이제이션 필터 및 제 2 이퀄라이제이션 필터를 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 25.

제 24 항에 있어서,

상기 제 1 이퀄라이제이션 필터의 입력은 상기 제 1 유한 임펄스 응답 필터부의 출력에 접속되어 있는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 26.

제 24 항에 있어서,

상기 제 1 또는 제 2 이퀄라이제이션 필터는 상기 제 2 프로그램가능 계수를 포함하는 전달함수를 갖는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 27.

제 24 항에 있어서,

상기 제 1 이퀄라이제이션 필터는 다음과 같은 전달함수

$64/(64 + a_{11}z^{-1} + a_{12}z^{-2})$

(z 는 z-도메인의 복소변수이고, a_{11} 은 상기 제 2 프로그램가능 계수이고, a_{12} 는 제 6 프로그램가능 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 28.

제 24 항에 있어서,

상기 제 2 이퀄라이제이션 필터는,

상기 제 1 이퀄라이제이션 필터의 출력에 접속되어 있는 입력을 갖고, 다음과 같은 전달함수

$$32/(32 + a_{21}z^{-1} + 16z^{-2})$$

(z 는 z-도메인의 복소변수이고, a_{21} 은 제 7 프로그램가능 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 29.

제 6 항에 있어서,

상기 제 2 유한 임펄스 응답 필터부는 다음과 같은 전달함수

$$-8 + b_4 z^{-1} - 8z^{-2}$$

(z 는 z-도메인의 복소변수이고, b_4 은 상기 제 3 프로그램가능 계수임)

에 의해 특정되는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 30.

제 6 항에 있어서,

상기 출력 신호의 여하한 바이어스를 제거하고 상기 출력 신호의 이득을 조절하는 바이어스 및 이득 보정회로를 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 31.

제 30 항에 있어서,

상기 바이어스 및 이득 보정회로는,

상기 출력 신호로부터 바이어스를 감산하고, 이에 응답하여 오프셋 보상된 신호를 제공하는 감산기를 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 32.

제 31 항에 있어서,

상기 바이어스 및 이득 보정회로는,

상기 오프셋 보상된 신호의 코드 워드에서 소정 개수의 최하위 비트를 제거하고, 이에 응답하여 비트 보정된 신호를 제공하는 수단을 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 33.

제 32 항에 있어서,

상기 소정 개수는 6 인 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 34.

제 32 항에 있어서,

상기 바이어스 및 이득 보정회로는,

상기 비트 보정된 신호를 프로그램가능 팩터로 승산하고, 이에 응답하여 이득 조절된 신호를 제공하는 승산기를 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 35.

제 34 항에 있어서,

상기 바이어스 및 이득 보정회로는,

상기 이득 조절된 신호의 코드 워드에서 제 1 소정 개수의 최하위 비트 및 제 2 소정 개수의 최상위 비트를 제거하고, 이에 응답하여 프로그램가능 디지털 출력 필터 출력 신호를 제공하는 수단을 더 포함하는 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 36.

제 35 항에 있어서,

상기 제 1 소정 개수는 3 이고 상기 제 2 소정 개수는 4 인 것을 특징으로 하는 프로그램가능 디지털 필터.

청구항 37.
삭제

청구항 38.
삭제

청구항 39.
삭제

청구항 40.
삭제

청구항 41.
삭제

청구항 42.
삭제

청구항 43.
삭제

청구항 44.
삭제

청구항 45.
삭제

청구항 46.
삭제

청구항 47.
삭제

명세서

기술분야

본 발명은 디지털 필터에 관한 것이다. 특히, 본 발명은 원격통신 시스템에 사용하기 위한 프로그램가능 디지털 필터에 관한 것이다.

배경기술

디지털 필터는 전자 제어 시스템에서 셀룰러 원격통신 시스템에 이르기까지 다양한 응용분야에서 사용되고 있다. 이러한 응용분야에서는 최소의 전력을 소비하는 프로그램가능 디지털 필터 (programmable digital filter) 를 필요로 한다.

디지털 필터 프로그램가능성 및 저전력 소비는 코드분할 다중접속 (CDMA) 시스템과 같은 디지털 셀룰러 원격통신 시스템에서 특히 중요하다. 통상의 CDMA 셀룰러 원격통신 시스템은 하나 이상의 기지국과 통신하고 있는 복수의 이동 트랜시버를 특징으로 한다. 이동 트랜시버에 의해 송신된 신호는 기지국에 의해 수신되고 이동 교환국 (MSC; mobile switching center) 으로 종종 중계된다. MSC 는 신호를 다른 기지국, 공중 교환 전화망 (PSTN) 또는 다른 이동 트랜시버로 차례로 전송시킨다. 유사하게, 공중 교환 전화망은 신호를 기지국 및 이동 교환국을 통해 이동 유니트로 송신할 수도 있다.

이동 트랜시버, 기지국, 및/또는 MSC 내에서 상이한 샘플 레이트를 채택하는 것이 때로는 이점이 있다. 상이한 샘플 레이트를 채택하기 위해서는, 이동 트랜시버, 기지국, 및/또는 MSC 내에 위치한 디지털 필터가 때로는 프로그램가능해야 한다. 필터 프로그램가능성은 이동 트랜시버 사양이 변화할 때 고가의 하드웨어를 대체할 필요를 감소시킨다.

통상의 프로그램가능 디지털 필터에서, 복수의 레지스터 또는 지연 회로가 직렬로 접속되어 있다. 레지스터의 출력은 필터 전달함수 계수와 관련있는 이득을 갖는 병렬의 프로그램가능 이득회로와 접속되어 있다. 이득회로의 출력은 직렬로 접속되어 있는 승산기의 입력이 된다. 필터 설계는 때로는 과도한 전력을 소비하고 상당한 회로기판 공간을 차지하는 복수의 고가의 디지털 승산기를 요구한다. 디지털 승산기는 필터 전력 소비를 높이고 이동 트랜시버 배터리 수명을 감소시킨다.

따라서, 당해 기술분야에서 입력 주파수 또는 샘플 레이트의 범위를 조절할 수 있는 공간상 효율적인 프로그램가능 디지털 필터에 대한 요구가 존재한다. 또한, 저전력 프로그램가능 디지털 필터를 수용한 절전형 트랜시버에 대한 요구가 있다.

발명의 상세한 설명

당해 기술분야에서의 요구는 본 발명의 프로그램가능 디지털 필터에 의해 해결된다. 예시적인 실시예에서, 본 발명의 필터는 트랜시버와 함께 사용하도록 되어 있고, 입력 신호를 수신하는 제 1 유한 임펄스 응답필터부를 포함한다. 제 1 유한 임펄스 응답 필터부는 제 1 전달함수를 갖는다. 무한 임펄스 응답 필터부는 제 1 유한 임펄스 응답 필터부에 접속되어 있고 제 2 전달함수를 갖는다. 제 2 유한 임펄스 응답 필터부는 무한 임펄스 응답 필터부에 접속되어 있고 프로그램가능 디지털 필터에 의한 입력 신호의 수신에 응답하여 필터링된 출력 신호를 출력한다. 제 2 유한 임펄스 응답 필터부는 제 3 전달함수를 갖는다. 프로그램가능 계수는 제 1, 제 2, 및/또는 제 3 전달함수에 제공된다.

특정의 실시예에서, 제 1 전달함수는 제 1 프로그램가능 계수를 갖는다. 제 2 전달함수는 제 2 프로그램가능 계수를 갖고, 제 3 전달함수는 제 3 프로그램가능 계수를 갖는다. 프로그램가능 디지털 필터는 제어 신호를 제공하는 프로세서를 더 포함한다. 메모리는 제어 신호에 응답하여 제 1, 제 2, 및/또는 제 3 프로그램가능 계수를 제공한다. 고역통과 필터는 제 1 유한 임펄스 응답 필터부에 대한 입력을 제공한다. 멀티플렉서는 프로세서로부터의 바이패스 제어 신호에 응답하여 고역통과 필터를 선택적으로 바이패스시킨다. 프로세서는 DC 오프셋, 즉, 입력신호에서 발생하는 바이어스에 응답하여 바이패스 제어신호를 발생시킨다.

예시적인 실시예에서, 제 1 유한 임펄스 필터부는 입력 신호내의 원격통신 재머 신호를 제거하는 제 1 재머 필터, 제 2 재머 필터 및 제 3 재머 필터를 포함한다. 제 1, 제 2 및 제 3 재머 필터는 제 1 프로그램가능 계수, 제 4 프로그램가능 계수 및 제 5 프로그램가능 계수를 각각 갖는 제 1, 제 2 및 제 3 재머 필터 전달함수를 갖는다. 유한 임펄스 응답 필터부는 제 1, 제 2 및 제 3 재머 필터의 출력에서 각각 제 1 비트 절단회로, 제 2 비트 절단회로 및 제 3 비트 절단회로를 더 포함한다. 본 발명의 바람직한 일 실시예에서, 제 1, 제 2 및 제 3 절단회로는 입력 코드 워드에서 3 개의 최상위비트 및 3 개의 최하위 비트를 제거한다. 제 1 비트 절단회로는 제 1 재머 필터의 출력에 직렬로 접속되어 있다. 제 2 비트 절단 회로는 제 1 재머 필터와 제 2 재머 필터 사이에 직렬로 접속되어 있다. 제 3 비트 절단 회로는 제 2 재머 필터와 제 3 재머 필터 사이에 직렬로 접속되어 있다.

유한 임펄스 응답 필터부는 제 1 이퀄라이제이션 필터 및 제 2 이퀄라이제이션 필터를 포함한다. 제 1 이퀄라이제이션 필터의 입력은 제 1 유한 임펄스 응답 필터부의 출력에 접속되어 있다. 제 1 이퀄라이제이션 필터는 2 개의 프로그램가능 계수를 갖고, 제 2 이퀄라이제이션 필터는 하나의 프로그램가능 계수를 갖는다. 바이어스 및 이득 보정회로는 출력 신호내의 임의의 바이어스를 제거하고, 출력 신호의 이득을 조절한다.

바이어스 및 이득 보정회로는 출력 신호에서 바이어스를 차감하는 감산기를 포함하고, 이에 응답하여 오프셋 보상된 신호를 제공한다. 바이어스 및 이득 보정회로는 오프셋 보상된 신호내의 코드 워드에서 소정의 수의 최하위 비트를 제거하고, 이에 응답하여 비트 보정된 신호를 제공한다. 바이어스 및 이득 보정회로는 비트 보정된 신호에 소정의 팩터를 승산하고, 이에 응답하여 이득 조절된 신호를 제공하는 승산기를 더 포함한다. 바이어스 및 이득 보정회로는 이득 조절된 신호내의 코드 워드에서 제 1 소정의 수의 최하위비트 및 제 2 소정의 수의 최상위비트를 제거하고, 이에 응답하여 프로그램가능 디지털 출력 필터 출력 신호를 제공한다.

예시적인 실시예에서, 프로그램가능 디지털 필터는 제 1 주파수를 갖는 무선 신호를 수신하는 안테나를 포함하는 원격통신 시스템 수신기에 구현되어 있다. 믹서는 무선 신호를 중간 주파수 신호에 믹싱한다. 델타-시그마 아날로그-디지털 컨버터는 중간 주파수 신호를 디지털 중간 주파수 신호로 변환한다. 디지털 필터는 프로그램가능 디지털 필터를 포함하고 디지털 중간 주파수 신호를 (칩 레이트) * 8 샘플 레이트를 특징으로 하는 디지털 베이스밴드 신호로 변환한다. 베이스밴드 프로세서는 디지털 베이스밴드 신호를 칩 레이트로 처리한다.

프로그램가능 디지털 필터의 기능성을 무한 임펄스 응답 필터부 및 유한 임펄스 응답 필터부와 같은 다양한 부분으로 분리시킴으로써, 본 발명의 새로운 설계가 용이하게 된다. 필터 기능성을 복수의 블록으로 분리시키고 각 블록에 대한 전략적인 프로그램가능 계수를 제공함으로써, 프로그램가능 디지털 필터의 전력 소비를 최소화하면서 동시에 프로그램가능 디지털 필터의 합성 전달함수에 대한 제어가 최대화된다.

실시예

여기에서는 본 발명이 특정의 응용에 대한 예시적인 실시예를 참조하여 설명되었지만, 본 발명이 이에 제한되지 않는다고 이해되어야 한다. 본 발명의 사상에 접근한 당업자는 본 발명의 범위내의 추가적인 변형예, 응용예 및 실시예, 및 본 발명이 중요하게 활용될 수 있는 추가적인 분야가 있음을 인식할 수 있을 것이다.

도 1 은 본 발명의 사상에 따라 구성된 프로그램가능 디지털 필터 (10) 의 블록도이다. 프로그램가능 디지털 필터 (10) 는 입력 멀티플렉서 (12), 고역통과 필터 (14), 유한 임펄스 응답 (FIR; finite impulse response) 재머 (jammer) 필터부 (16), 무한 임펄스 응답 (IIR; infinite impulse response) 이퀄라이제이션 필터부 (18), FIR 이퀄라이제이션 필터 (20), 및 직류 (DC) 오프셋 차감 및 이득 보정회로 (22) 를 포함한다. 프로그램가능 디지털 필터(10) 의 다양한 작동 파라미터들은 마이크로프로세서 (24) 및 연관된 메모리 (26) 에 의해 제어된다. 그 파라미터들은 입력 멀티플렉서 (12), FIR 재머 필터부 (16), IIR 이퀄라이제이션 필터 (18), FIR 이퀄라이제이션 필터 (20), 및 DC 오프셋 차감 및 이득 보정회로 (22) 에 접속되어 있는 메모리 (26) 에 저장된다

입력 멀티플렉서 (12) 는 선행하는 이득 스테핑 회로 및 데시메이션 필터로부터 동위상 (in-phase; I) 및/또는 직교위상 (quadrature; Q) 데이터를 포함하는 입력 신호 (28) 를 수신한다 (이하에서 상세히 설명함). 당업자는 본 발명의 범위를 벗어나지 않고 이득 스테핑 회로와는 다른 형태의 회로가 프로그램가능 디지털 필터 (10) 에 선행할 수도 있다는 것을 인식할 수 있을 것이다.

입력 멀티플렉서 (12) 는 마이크로프로세서 (24) 및 연관된 메모리 (26) 로부터의 제어 신호에 응답하여 고역통과 필터 (14) 를 선택적으로 바이패스시킨다. 마이크로프로세서 메모리 (26) 는 멀티플렉서로의 데이터 입력이 DC 오프셋 및/또는 고역통과 필터 (14) 를 통하여 감쇠되어야 하는 다른 신호 성분을 포함하는지에 대한 사전에 존재하는 정보를 저장한다.

이 특정의 실시예에서, 고역통과 필터 (14) 의 전달함수는 다음과 같다.

$$(1-z^{-1}) / (1 - (1023/1024)z^{-1}) \qquad [1]$$

여기서, z 는 z-도메인상의 복소변수이다. 전달함수 [1] 은 DC 오프셋을 제거하도록 설계되어 있다. DC 오프셋은 프로그램가능 디지털 필터 (10) 가 사용되는 선행하는 델타 시그마 변조기 또는 수신기의 무선 주파수 (RF) 전단의 다른 구성부품으로부터 일어날 수도 있다 (이하 상세하게 설명함). 고역통과 필터 (14) 는 멀티플렉서 (12) 를 통해 바이패스되어, DC 오프셋이 입력 신호 (28) 에 존재하지 않는 경우에, 전력을 절약한다.

고역통과 필터 (14) 의 출력은 FIR 재머 필터부 (16) 의 입력에 접속되어 있다. FIR 재머 필터부 (16) 는 좌측에서 우측으로 제 3 재머 필터 (30), 제 1 비트 절단회로 (32), 제 2 재머 필터 (34), 제 2 비트 절단회로 (36), 제 1 재머 필터 (38) 및 제 3 비트 절단회로 (40) 를 포함한다.

작동시, 고역통과 필터 (14) 의 출력은 제 3 재머 필터 (30) 로 입력된다. 제 3 재머 필터 (30) 는 다음과 같은 전달함수에 따라 입력에 대해 작동한다.

$$4 + b_3z^{-1} + 4z^{-2} \qquad [2]$$

여기서, b_3 는 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, b_3 는 CDMA 신호에 대해 12 내지 4 의 범위에 있고 주파수 변조 (FM) 신호에 대해 6 이다. 첫 번째 및 마지막 계수, 즉, 4 및 4 는 2 의 거듭제곱수로, 재머 필터 (30) 의 구현을 저비용으로 할 수 있게 하고 당업자에 의한 구현을 용이하게 한다.

본 특정의 실시예에서, 제 3 재머 필터 (30) 로부터의 출력 신호는 제 1 비트 절단회로 (32) 에 입력되고, 여기서 3 개의 최상위 비트 (MSB) 및 3 개의 최하위 비트 (LSB) 가 신호로부터 절단되고, 포화된다. 포화되는 비트의 수는 응용분야에 따라 특정되고, 당업자가 절단되는 비트의 수를 용이하게 조절하여, 주어진 응용분야에 대한 요구에 맞출 수 있다. 비트 절단회로의 설계 및 구성은 당해 기술분야에서 널리 공지되어 있다.

결과로서의 절단된 신호는 제 2 재머 필터 (34) 에 입력된다. 제 2 재머 필터 (34) 는 다음과 같은 전달함수에 따라 절단된 신호에 대해 작동한다.

$$8 + b_2 z^{-1} + 8z^{-2} \quad [3]$$

여기서, b_2 는 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, b_2 는 CDMA 신호에 대해 16 내지 24 의 범위에 있고 FM 신호에 대해 7 이다. 첫 번째 및 마지막 계수, 즉, 8 및 8 은 2 의 거듭제곱수로, 재머 필터 (30) 의 구현을 저비용으로 할 수 있게 하고 당업자에 의한 구현을 용이하게 한다.

제 2 재머 필터 (34) 로부터의 출력 신호는 3 개의 MSB 및 4 개의 LSB 가 신호에서 절단되는 제 2 비트 절단회로 (36) 에 입력된다. 결과로서의 절단된 신호는 제 1 재머 필터 (38) 에 입력된다. 제 1 재머 필터 (38) 는 다음과 같은 전달함수에 따라 절단된 신호에 대해 작동한다.

$$16 + b_1 z^{-1} + 16z^{-2} \quad [4]$$

여기서, b_1 은 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, b_1 은 CDMA 에 대해 22 내지 2 의 범위에 있고, FM 신호에 대해 5 이다. 첫 번째 및 마지막 계수, 즉, 16 및 16 은 2 의 거듭제곱수로, 재머 필터 (38) 의 구현을 저비용으로 할 수 있게 하고 당업자에 의한 구현을 용이하게 한다.

제 1 재머 필터 (38) 의 출력 신호는 2 개의 MSB 및 5 개의 LSB 가 신호에서 절단되는 제 3 절단회로 (40) 에 입력된다. 결과로서의 절단된 신호는 FIR 재머 필터부 (16) 로부터 IIR 이퀄라이제이션 필터부 (18) 로 출력된다. IIR 이퀄라이제이션 필터부 (18) 는 좌측에서 우측으로 제 1 IIR 이퀄라이제이션 필터 (42) 및 제 2 IIR 이퀄라이제이션 필터 (44) 를 포함한다.

입력 신호 (28) 가 고역통과 필터 (14) 및 FIR 재머 필터부 (16) 에 의해 처리된 후, 통과대역은 드루프 (droop), 즉, 통과대역의 고 주파수 단에서 누락되거나 (dropped off) 감쇠 (sag) 된다. 후속하는 IIR 이퀄라이제이션 필터부 (18) 및 FIR 이퀄라이제이션 필터 (20) 는 통과대역 드루프를 제거하고 위상 응답을 이퀄라이제이션시킨다.

제 1 IIR 이퀄라이제이션 필터 (42) 는 다음과 같은 전달함수에 따라 FIR 재머 필터부 (16) 의 출력에 대해 작동한다.

$$64/(64 + a_{11} z^{-1} + a_{12} z^{-2}) \quad [5]$$

여기서, a_{11} 및 a_{12} 는 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, a_{11} 는 CDMA 에 대해 15 내지 -42 의 범위에 있고, FM 신호에 대해 0 인 반면, a_{12} 는 CDMA 에 대해 40 내지 54 의 범위에 있고, FM 신호에 대해 0 이다. 프로그램불가능한 계수, 즉, 64 는 2 의 거듭제곱수로, IIR 이퀄라이제이션 필터 (42) 의 구현을 저비용으로 할 수 있게 한다.

제 1 IIR 이퀄라이제이션 필터 (42) 의 출력은 제 2 이퀄라이제이션 필터 (44) 에 입력된다. 제 1 이퀄라이제이션 필터 (42) 는 다음과 같은 전달함수에 따라 FIR 재머 필터부 (16) 의 출력에 대해 작동한다.

$$32/(32 + a_{21} z^{-1} + 16z^{-2}) \quad [6]$$

여기서, a_{21} 는 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, a_{21} 는 CDMA 에 대해 2 내지 -22 의 범위에 있고, FM 신호에 대해 -27 이다. 프로그램불가능한 계수, 즉, 16 및 32 는 2 의 거듭제곱수로, 제 1 IIR 이퀄라이제이션 필터 (42) 의 구현을 저비용으로 할 수 있게 한다.

제 2 IIR 이퀄라이제이션 필터 (44) 의 출력은 IIR 이퀄라이제이션 필터부 (18) 로부터 FIR 이퀄라이제이션 필터 (20) 에 입력된다. FIR 이퀄라이제이션 필터 (20) 는 다음과 같은 전달함수에 따라 IIR 이퀄라이제이션 필터부 (18) 의 출력에 대해 작동한다.

$$-8 + b_4 z^{-1} - 8z^{-2} \quad [7]$$

여기서, b_4 는 마이크로프로세서 (24) 및 마이크로프로세서 메모리 (26) 에 의해 제공되는 프로그램가능 계수이다. 본 실시예에서, b_4 는 CDMA 에 대해 32 내지 44 의 범위에 있고, FM 신호에 대해 29 이다. 프로그램불가능한 계수, 즉, -8 은 2 의 거듭제곱수로, FIR 이퀄라이제이션 필터 (20) 의 구현을 저비용으로 할 수 있게 한다.

FIR 이퀄라이제이션 필터 (20) 의 출력은 DC 오프셋 차감 및 이득 보정회로 (22) 에 입력된다. DC 오프셋 차감 및 이득 보정회로 (22) 는 좌측에서 우측으로 DC 오프셋 감산기 (46), 제 4 비트 절단 회로 (48), 이득 보정 승산기 (50) 및 제 5 비트 절단회로 (52) 를 포함한다.

작동시, DC 오프셋 감산기 (46) 는 FIR 이퀄라이제이션 필터 (20) 의 출력을 수신하고 마이크로프로세서 (24) 및 연관된 메모리 (26) 에 의해 제공되는 DC 오프셋값을 차감한다. 마이크로프로세서 (24) 는 메모리 (26) 를 통해 FIR 이퀄라이제이션 필터 (20) 의 출력에서 발생하는 DC 오프셋에 대한 사전에 존재하는 정보를 보유한다. 마이크로프로세서 (24) 및 메모리 (26) 의 구성은 당해 기술분야에서 널리 공지되어 있다.

일단 임의의 DC 오프셋이 DC 오프셋 감산기 (46) 에 의해 신호에서 차감되면, 6 개의 LSB 가 제 4 비트 절단회로 (48) 에 의해 신호에서 절단된다. 결과로서의 절단된 신호는 이득 보정 승산기 (50) 에 입력된다. 이득 보정 승산기 (50) 는 절단된 신호를 메모리 (26) 에 저장된 이득 팩터로 승산한다. 본 실시예에서, 이득 팩터는 1 내지 8 의 범위에 있다.

결과로서의 이득 조절된 신호는 3 개의 MSB 및 3 개의 LSB 가 신호에서 절단되는 제 5 비트 절단회로 (52) 에 입력된다. 결과로서의 절단된 신호는 DC 오프셋 차감 및 이득 보정회로 (22) 로부터 출력되고, 프로그램가능 디지털 필터 (10) 의 출력을 나타낸다. 프로그램가능 디지털 필터의 출력은 샘플 레이트 컨버터로 진행한다 (이하에서 상세히 설명함).

DC 오프셋 차감 및 이득 보정회로 (22) 는 프로그램가능 디지털 필터 (10) 를 통해 또한 프로그램가능 디지털 필터 (10) 가 채용된 회로를 통해 비트 절단에 의해 도입된 DC 오프셋을 차감하기 위한 것이다. 상이한 회로부에 의해 도입된 DC 오프셋이 다양한 단계의 DC 이득에 따라 상이한 특징을 가지기 때문에, DC 오프셋 감산기 (46) 에 의해 구현되는 DC 오프셋 차감은 프로그램가능하고 마이크로프로세서 (24) 를 통해 제어된다.

이득 보정은 제 4 비트 절단회로 (48) 로부터의 재머 필터링된 신호 출력에 1 내지 8 의 범위의 상수를 승산하는 이득 보정 승산기 (50) 를 통해 구현된다. 제 5 비트 절단회로 (52) 에 의해 수행되는 비트 절단후, 이득 보정 승산기 (50) 에 의해 제공되는 유효 이득은 1/8 내지 1 의 범위에 있다. 이득 조절은 프로그램가능 디지털 필터 (10) 의 이득을 입력 신호 (28) 의 샘플링 주파수에 관계없이 거의 일정하게 한다. 또한, 프로그램가능 이득은 프로그램가능 단계 (30, 34, 38, 42, 44 및 20) 내의 신호 레벨의 최적화를 용이하게 하여, 각 단계에 요구되는 비트의 수를 최소화한다. 요구되는 비트의 수를 최소화하는 것은 프로그램가능 디지털 필터 (10) 의 전력 효율을 향상시킨다.

본 발명의 새로운 설계는 각각이 프로그램가능 계수를 포함한 전달함수를 갖는 3 개의 재머 필터 (30, 34 및 38) 로의 재머 제거의 분리에 의해 용이하게 된다. 이는 최소한의 전력을 요구하면서 프로그램가능 디지털 필터 (10) 의 필터링 특성에 대한 제어를 제공한다.

프로그램가능 디지털 필터 (10) 는 이동 트랜시버 수신기 시스템과 함께 사용하기 위해 채택된다 (이하에서 상세히 설명함). 식 [2] 내지 [7] 에 따르는 전달함수는 재머 및 다른 간섭을 감쇠시키도록 설계되어 있다. 약 900 kHz 보다 큰 주파수에 대해 전달함수는 60 dB 초과의 감쇠를 제공한다. 또한, 전달함수는 입력 신호 (28) 의 위상을 이퀄라이제이션시켜 기지국 위상 프리와핑 (pre-warping) 과 결합되었을 때의 전체 평균 제곱 오차가 소정치를 초과하지 않도록 한다. 통과대역이 이퀄라이제이션되어 프로그램가능 필터 (10) 의 전체 주파수 응답이 통과대역에서 거의 편평하다.

입력 신호 (28) 는 F ΔΣ/24 의 샘플 레이트를 갖고, 여기서 F ΔΣ는 선행하는 ΔΣ변조기의 샘플 레이트이다 (이하에서 상세히 설명함). F ΔΣ/24 는 2.5 내지 3.3 MHz 의 범위에 있다. 입력 신호 (28) 의 원하는 통과대역은 0 내지 630 KHz 에 고정되어 있다. 저지대역은 약 900 KHz 보다 큰 모든 주파수를 포함한다. 입력 신호 (28) 의 샘플 레이트는 통과대역 및 저지대역 에지의 위치에 따라 변화한다. 프로그램가능 필터 (10) 의 프로그램가능성은 다양한 샘플 레이트의 수용을 용이하게 한다. 프로그램가능 필터 (10) 는 엄격한 전력 소비 요구조건이 주어진 경우, 필터 주파수 응답에 대한 제어를 최대화시킨다. 프로그램가능 필터 (10) 의 추가적인 프로그램가능 계수의 구현은 추가적인 전력을 소비하는 추가적인 승산기를 필요로 한다.

도 2 는 도 1 의 고역통과 필터 (14) 의 상세도이다. 고역통과 필터 (14) 는 제 1 감산기 (60) 를 포함하고, 제 1 감산기 (60) 의 출력은 제 1 k비트 절단회로 (62) 에 접속되어 있다. 제 1 k비트 절단회로 (62) 의 출력은 (N+k) 비트 레지스터 (64) 에 접속되어 있다. (N+k) 비트 레지스터의 출력은 제 2 k비트 절단회로 (66) 의 입력, 2^k 승산기 (68) 의 입력, 및 제 1 감산기 (60) 의 네거티브 입력에 접속되어 있다. 2^k 승산기 (68) 의 출력은 제 1 감산기 (60) 의 포지티브 입력으에 입력된다. 제 1 감산기 (60) 의 다른 포지티브 입력은 N비트 입력 (28) 을 입력으로서 수신하는 제 2 2^k 승산기 (70) 의 출력에 접속되어 있다.

제 2 k비트 절단회로 (66) 의 출력은 제 2 감산기 (72) 의 네거티브 입력에 접속되어 있다. 제 2 감산기 (72) 의 제 1 포지티브 입력은 N비트 입력 (70) 에 접속되어 있다. 제 2 감산기 (72) 의 제 2 포지티브 입력은 -1 을 제 2 감산기 (72) 로 공급하는 -1 레지스터 (74) 에 접속되어 있고, 제 2 감산기 (72) 는 k비트 절단회로 (62 및 66) 에 의해 공급되는 절단 바이어스를 차감한다.

제 1 및 제 2 감산기 (60 및 72) 는 각각 포지티브 입력의 값들의 합에서 네거티브 입력의 값을 차감한다. 제 1 k비트 절단회로 (62) 및 제 2 k비트 절단회로는 대응하는 입력 신호에서 k 개의 LSB 를 절단하고, 여기서 k 는 상수이다. 제 1 2^k 승산기 (68) 및 제 2 2^k 승산기 (70) 는 각각의 입력 신호에 2^k 만큼 승산하고 이에 응답하여 대응하는 출력을 제공한다. 2^k 승산기 (68 및 70) 는 간단한 레프트 쉬프트 회로로 실행될 수도 있다.

고역통과 필터 (14) 는 다음과 같은 식으로 표현되는 위치 p 를 갖는 극점을 통해 입력 신호 (28) 의 임의의 DC 성분을 제거한다.

$$p = (2^{k-1} - 1)/(2^{k-1}) \qquad [8]$$

F ΔΣ/24 와 동일한 입력 신호 (28) 의 샘플 레이트를 갖는 1 kHz 의 1 dB 주파수에 대해, k = 10 이고 p = 1023/1024 이다.

도 3 은 도 1 의 FIR 재머 필터 (38) 의 상세도이다. FIR 재머 필터 (38) 의 구조는 도 1 의 FIR 재머 필터부 (16) 의 FIR 재머 필터 (30, 34) 와 FIR 이퀄라이제이션 필터 (20) 의 아키텍쳐와 유사하다. FIR 재머 필터 (38) 는 N비트 입력 신호 (84) 를 수신하는 제 1 N비트 레지스터 (82) 를 포함한다. 본 실시예에서, N 은 11 이다. 제 2 N비트 레지스터 (86) 는 제 1 N비트 레지스터 (82) 의 출력에 접속되어 있다. 제 3 N비트 레지스터 (88) 는 제 2 N비트 레지스터 (86) 의 출력에 접속되어 있다. 제 1 가산기 (90) 의 입력은 제 3 N비트 레지스터 (88)의 출력에 접속되어 있다. 제 1 가산기 (90) 의 제 2 입력은 제 1 N비트 레지스터 (82) 의 출력에 접속되어 있고, 제 2 N비트 레지스터 (86) 의 입력이 된다. 제 1 가산기 (90) 의 출력은 입력 신호를 4 비트만큼 쉬프트하는 레프트 쉬프트 회로 (90) 에 접속되어 있다. 레프트 쉬프트 회로 (92) 의 출력은 제 2 가산기 (94) 의 입력에 접속되어 있다. 제 2 가산기 (94) 의 제 2 입력은 계수 승산기 (96) 의 출력에 접속되어 있다. 계수 승산기 (96) 의 제 1 입력은 레지스터와 같은 메모리 장치를 통해 마이크로프로세서로부터 프로그램가능 탭값을 수신한다 (도 1 참조). 계수 승산기의 제 2 입력은 제 2 N비트 레지스터 (86) 의 출력에 접속되어 있고, 제 3 N비트 레지스터 (88) 의 입력이 된다.

FIR 재머 필터 (38) 는 식 [4] 의 전달함수를 구현한다. 당업자는 FIR 재머 필터 (38) 를 용이하게 변형하여 다른 FIR 필터 (30, 34 및 20) 를 구성할 수있다.

FIR 재머 필터 (38) 의 저 주파수 이득은 프로그램가능 계수 b_1 에 의존한다. 본 실시예에서 이득은 32 에서 64 까지 변화한다. 비트의 수는 FIR 재머 필터 (38) 내에서 증가된다는 것을 주목해야 한다.

도 4 는 도 1 의 제 1 IIR 이퀄라이제이션 필터 (42) 의 상세도이다. 제 1 IIR 이퀄라이제이션 필터 (42) 의 아키텍쳐는 도 1 의 제 2 IIR 이퀄라이제이션 필터 (44) 의 아키텍쳐와 유사하다. 제 1 IIR 이퀄라이제이션 필터 (42) 는 K LSB 가산 회로 (100) 로의 N비트 입력 (102) 을 수신한다. K LSB 가산 회로 (100) 의 출력은 (N+K) 비트 가산기 (104) 에 입력된다. 6-LSB 절단회로 (106) 의 출력은 (N+k) 비트 가산기 (104) 의 입력이 된다. (N+K) 비트 가산기 (104) 의 출력은 K LSB 절단회로 (108) 의 입력 및 제 1 (N+K) 비트 레지스터 (110) 에 접속되어 있다. K LSB 절단회로 (108) 의 출력은 제 1 IIR 이퀄라이제이션 필터 (42) 의 출력을 제공한다. (N+K) 비트 레지스터 (110) 의 출력은 제 2 (N+K) 비트 레지스터 (112) 의 입력 및 a_{11} 계수 승산기 (114) 의 입력에 접속되어 있다. a_{11} 계수 승산기 (114) 의 다른 입력은 도 1 의 마이크로프로

세서 메모리 (26) 로부터 a_{11} 계수를 수신한다. 제 2 (N+K) 비트 레지스터 (112) 의 출력은 a_{12} 계수 승산기 (116) 의 제 1 입력에 접속되어 있다. a_{12} 계수 승산기 (116) 의 제 2 입력은 도 1 의 마이크로프로세서 메모리 (26) 로부터 a_{12} 계수를 수신한다. a_{11} 계수 승산기 (114) 와 a_{12} 계수 승산기 (116) 의 출력은 (N+K+6) 비트 가산기 (118) 의 입력으로 제공된다. (N+K+6) 비트 가산기 (118) 의 출력은 6 LSB 절단회로 (106) 의 입력에 접속되어 있다.

K LSB 가산 회로 (100) 는 N비트 입력 (102) 에서 발생하는 입력 코드 워드를 K LSB 만큼 연장시킨다. 추가적인 K LSB 는 0 으로 설정되고 IIR 이퀄라이제이션 필터 (42) 의 출력에서 K LSB 절단회로 (108) 에 의해 절단된다. K 의 값은 소정의 응용분야의 요구조건에 따라 변화하고 회로 시뮬레이션에 의해 결정된다. 본 특정의 실시예에서, K = 0 이다.

(N+K) 비트 가산기 (104) 및 (N+K+6) 비트 가산기 (118) 는 포화 (saturating) 가산기이다. 비트 오버플로가 발생하면, 가산기는 출력값을 가산기가 처리할 수 있는 최대 포지티브값 또는 최소 네거티브값으로 설정한다.

a_{11} 계수 승산기 (114) 와 a_{12} 계수 승산기 (116) 에 각각 입력되는 계수 a_{11} 및 a_{12} 는 각각 -45 내지 15 및 40 내지 54 의 범위에 각각 있다. IIR 이퀄라이제이션 필터 (42) 의 이득은 계수 a_{11} 및 a_{12} 에 의존한다. a_{11} 은 이득에 강하게 영향을 미치지만, a_{12} 는 영향이 적다. 최악의 경우, $a_{12} < 54$ 이면, 결과로서의 이득은 8 의 팩터 미만이다. 이 경우, N비트 입력 신호 (102) 는 IIR 이퀄라이제이션 필터 (42) 에서 오버플로가 발생하지 않음을 보장하기 위해서, 즉, 결과로서의 필터 출력이 N 개의 제공된 비트로 적절히 표현되는 것을 확보하기 위해서 3 개의 별도의 비트를 가져야 한다.

도 5 는 도 1 의 고역통과 필터 (14) 를 포함하지 않은 도 1 의 프로그램가능 디지털 필터의 전달함수의 극-영점도 (130) 이다. 극-영점도 (130) 는 단위원 (132) 의 상반부를 나타내고 허수축 (134) 및 실수축 (136) 을 포함한다. 단위원 (132) 상의 3 개의 영점 (138) 은 900 kHz 내지 1.67 MHz 범위의 저지대역 주파수에 흩어져 있다. 3 개의 영점 (138) 은 제 1 재머 필터 (38), 제 2 재머 필터 (34) 및 제 3 재머 필터 (30) 로부터 기원하고 최대 재머 감쇠를 위해 단위원 (132) 상에 위치하고 있다. 630 kHz 의 통과대역 에지 근처에 위치한 2 개의 극점 (140) 은 통과대역 드루프를 보상하고 필터 위상 응답을 이퀄라이제이션하도록 한다. 2 개의 극점 (140) 은 IIR 이퀄라이제이션 필터부 (18) 로부터 기원한다. 실수축 (136) 상의 2 개의 영점 (142) 은 통과대역 드루프를 보상하고 FIR 이퀄라이제이션 필터 (20) 로부터 기원한다.

도 6 은 도 1 의 프로그램가능 디지털 필터 (10) 를 채용하고 본 발명에 따라 구성된 이동 트랜시버 (170) 의 도이다. 트랜시버 (170) 는 좌측에서 우측으로 안테나 (150), 듀플렉서 (152), RF-IF 믹싱 회로 (174), 델타-시그마 아날로그-디지털 컨버터 (ΔΣADC) (176), 디지털 필터 (172) 및 베이스밴드 프로세서/복조기 (24') 를 포함한다. 베이스밴드 프로세서/복조기 (24') 의 출력은 송신부 (180) 로 제공되고, 송신부 (180) 의 출력은 듀플렉서 (152) 에 접속되어 있다. 기준 주파수 발생 회로 (154) 는 RF-IF 믹싱 회로 (174), ΔΣADC (176), 디지털 필터 (172) 및 베이스밴드 프로세서/복조기 (24') 에 접속되어 있고, 필요한 기준 주파수를 공급한다.

디지털 필터 (172) 는 좌측에서 우측으로 디지털 다운 컨버트 및 샘플 레이트 감소 회로 (184), 이득 스테핑 회로 (186), 프로그램가능 디지털 필터 (10) 및 샘플 레이트 변환회로 (182) 를 포함한다.

작동시, 안테나 (150) 는 무선 송신 및 수신에 둘다 사용된다. 듀플렉서 (152) 는 수신 및 송신용으로 안테나 (150) 의 2 가지 사용을 용이하게 한다. 안테나 (150) 에 의해 무선 주파수 (RF) 신호를 수신하면, 듀플렉서 (152) 는 수신된 신호를 RF 신호가 IF 신호로 변환되는 RF-IF 믹싱 회로 (174) 로 향하게 한다. RF-IF 믹싱 회로 (174) 의 구성은 당해 기술분야에서 널리 공지되어 있다.

결과로서의 IF 신호는 디지털 신호로 변환되는 ΔΣADC (176) 에 입력된다. ΔΣADC (176) 는 1 비트 아날로그-디지털 컨버터 (도시하지 않음) 와 직렬로 연결된 델타-시그마 변조기를 포함하고, 그 구성은 당해 기술분야에서 널리 공지되어 있다. ΔΣADC (176) 는 비교적 높은 주파수 IF 신호를 디지털 신호로 변환으로부터 초래되는 바람직하지 못한 왜곡을 방지하기 위해 높은 동적 범위를 갖도록 선택된다. ΔΣADC (176) 는 디지털 IF 주파수 신호를 디지털 필터 (172) 로 출력한다.

디지털 필터 (172) 에서, 디지털 IF 주파수 신호는 하향변환 및 샘플 레이트 감소회로 (184) 에 의해 베이스밴드 주파수로 하향변환된다. 하향변환 및 샘플 레이트 감소회로 (184) 는 디지털 IF 주파수 신호를 디지털 동위상 (I) 및 직교위상 (Q) 신호로 분리한다. 결과로서의 디지털 I 및 Q 베이스밴드 신호의 이득은 이득 스테핑 회로 (186) 에서 조절된다. 이득 스테핑 회로는 베이스밴드 프로세서/복조기 (178) 에 접속되어 있다.

그 후, 프로그램가능 디지털 필터 (10) 는 이득 조절된 I 및 Q 디지털 베이스밴드 신호의 재머 신호 및 다른 바람직하지 못한 신호를 감쇠시킨다. 프로그램가능 디지털 필터 (10) 는 디지털 필터 (172) 의 복잡한 위상 응답을 이퀄라이제이션시키고, 통과대역 드루프를 보상하고, 이득 조절된 I 및 Q 디지털 베이스밴드 신호에 존재하는 임의의 DC 오프셋을 제거한다. 프로그램가능 디지털 필터 (10) 의 전력 효율적인 설계는 트랜시버 (170) 상의 설계 제약을 완화시키고, 그 구현을 용이하게 한다.

필터링된 I 및 Q 신호는 프로그램가능 디지털 필터 (10) 로부터 샘플 레이트 변환 회로 (182) 로의 출력이다. 샘플 레이트 변환회로 (182) 에서, 베이스밴드 프로세서/복조기 (24') 의 디스프레딩 및 처리를 위해 I 및 Q 신호의 샘플 레이트는 칩 레이트, 즉, CHIPx8 로 변환된다. 샘플 레이트 컨버터 (182) 는 디지털 필터 (172) 의 출력을 베이스밴드 프로세서/복조기 (24') 에서의 칩 레이트로 레이트-매칭시킨다.

베이스밴드 프로세서/복조기 (24') 는 프로그램가능 계수를 레지스터와 같은 베이스밴드 프로세서/복조기 (24') 의 메모리 (도 1 의 (26) 참조) 로부터 프로그램가능 디지털 필터 (10) 로 제공한다. 또한, 베이스밴드 프로세서/복조기 (24') 는 음성과 같은 데이터 및 다른 정보를 송신부 (180) 로 출력한다.

송신부 (180) 는 믹서, 업 컨버터, 필터 등 (도시하지 않음) 을 포함하고 당업자에 의해 구성될 수도 있다. 송신부 (180) 는 무선 전송용 베이스밴드 프로세서/복조기 (24') 로부터 신호 출력을 조합한다. 조합된 신호는 듀플렉서 (152) 에 의해 안테나 (150) 를 통해 송신된다.

RF-IF 믹서 (174) 는 기준 주파수 발생회로 (154) 에 의해 공급되는 IF 클록 신호 (190) 를 필요로 한다. ΔΣADC (176) 는 F ΔΣ 의 주파수를 갖는 F ΔΣ 클록 신호 (192) 를 필요로 한다. 본 실시예에서, F ΔΣ는 CDMA 신호에 대해 60 내지 80 MHz 의 범위에 있다.

F ΔΣ클록 신호 (192) 는 기준 주파수 발생회로 (154) 에 의해 공급된다. 유사하게, 기준 주파수 발생회로 (154) 는 F ΔΣ/6 클록 신호 (156), F ΔΣ/2 클록 신호 (158) 및 CHIPx8 클록 신호 (160) 를 샘플 레이트 변환회로 (182) 로 공급한다. CHIPx8 클록신호 (160) 는 베이스밴드 프로세서/복조기 (24') 로 공급된다.

기준 주파수 발생회로 (154) 는 일 이상의 직접 디지털 합성기 및/또는 위상 동기 루프 (PLL; phase locked loop) 및 전압제어형 온도 보상형 수정 발진기 (VC-TCXO; voltage controlled temperature compensated crystal oscillator) 와 같은 주파수 기준을 통해 당업자에 의해 구성될 수도 있다.

트랜시버 (170) 는 전력 효율 디지털 필터 (172) 를 통해 디지털 도메인에서 이득 조절, 믹싱 및 필터링 기능을 실행하여 크기 및 에너지 소비에 상당한 이점을 유발한다. 또한, 종래의 아날로그 실행에 존재하는 이득 및 위상 부정합 문제점은 트랜시버 (170) 에 의해 효과적으로 제거된다.

샘플 레이트 변환회로 (182) 용으로 사용될 수도 있는 샘플 레이트 변환회로의 구성은 당해 기술분야에서 공지되어 있다. 그러나, 바람직한 실시예에서, 샘플 레이트 변환회로 (182) 는 본 발명의 양수인에게 양도되어 여기에 참조로 인용된, Mathe 등에 의해 1998년 6월 10일 출원된 미국 특허출원 번호 제 09/119,073호, 발명의 명칭 "LOW-POWER SAMPLE RATE CONVERTER" 의 사상에 따라 구성된다.

또한, 여기에서는 본 발명을 특정의 응용분야에 대한 특정의 실시예를 참조하여 설명하였다. 본 발명에 접근할 수 있는 당업자는 본 발명의 범위내에서 추가적인 변형예, 응용례 및 실시예를 인식할 것이다.

따라서, 첨부한 청구의 범위는 본 발명의 범위내에서 이러한 모든 응용례, 변형례 및 실시예를 포함하고자 하는 것이다.

도면의 간단한 설명

도 1 은 본 발명의 사상에 따라 구성된 프로그램가능 디지털 필터의 블록도이다.

도 2 는 도 1 의 고역통과 필터의 상세도이다.

도 3 은 도 1 의 FIR 재머 필터부의 FIR 재머 필터 및 FIR 이퀄라이제이션 필터의 아키텍쳐를 나타내는 도면이다.

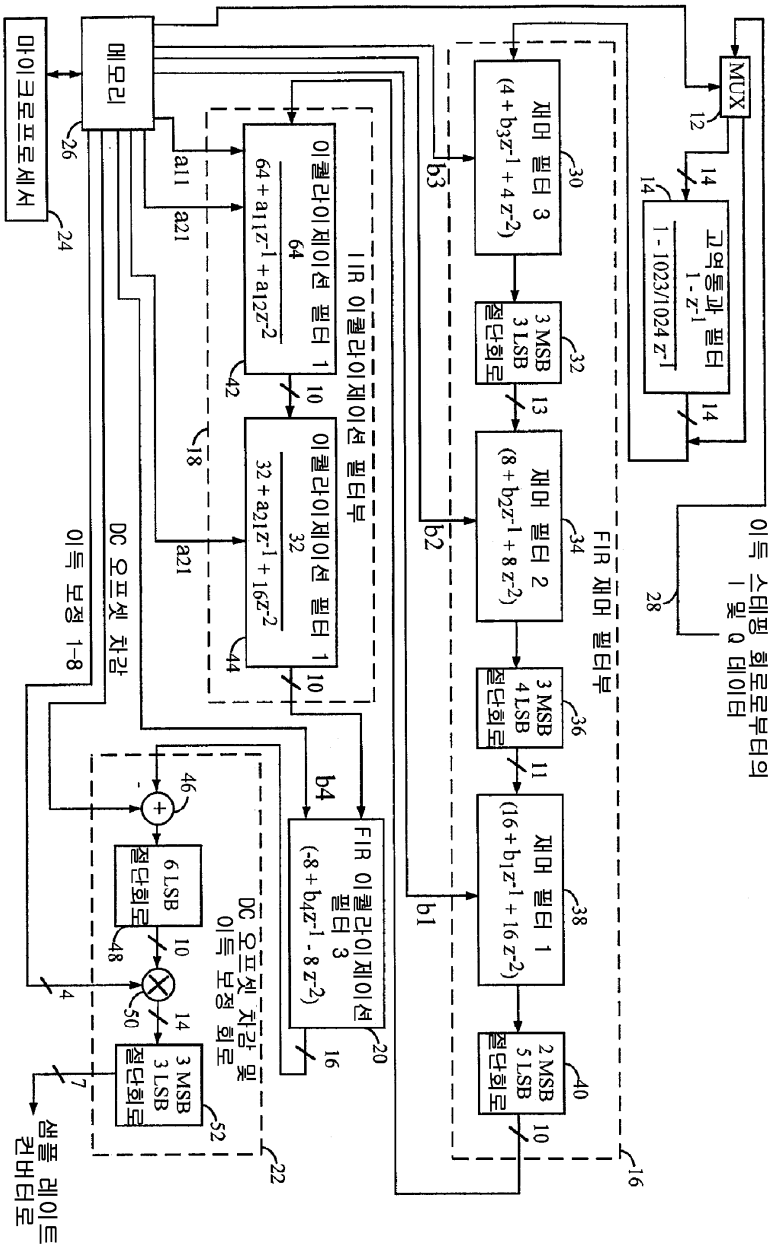
도 4 는 도 1 의 IIR 이퀄라이제이션 필터부의 IIR 이퀄라이제이션 필터의 아키텍쳐를 나타내는 도면이다.

도 5 는 고역통과 필터를 포함하지 않은 도 1 의 프로그램가능 디지털 필터의 전달함수의 극-영점도이다.

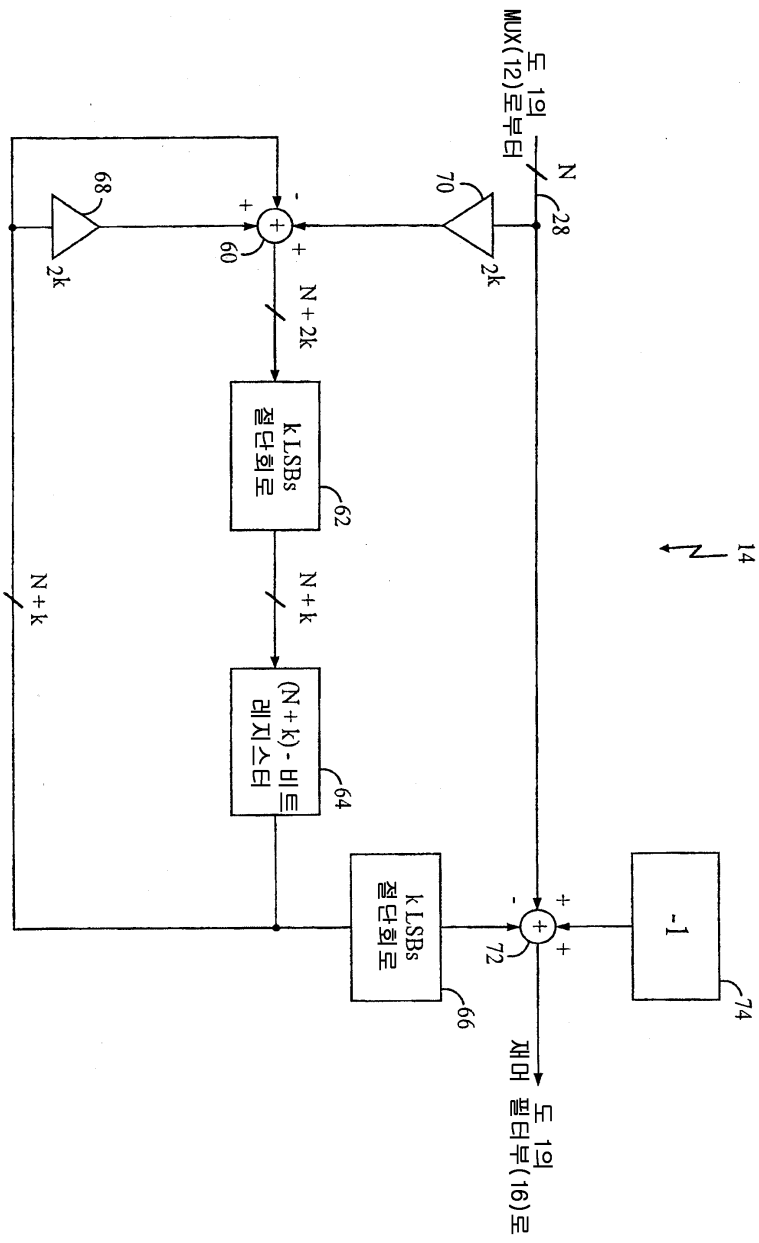
도 6 은 본 발명의 사상에 따라 구성된 도 1 의 프로그램가능 디지털 필터를 사용하는 이동 트랜시버의 도면이다.

도면

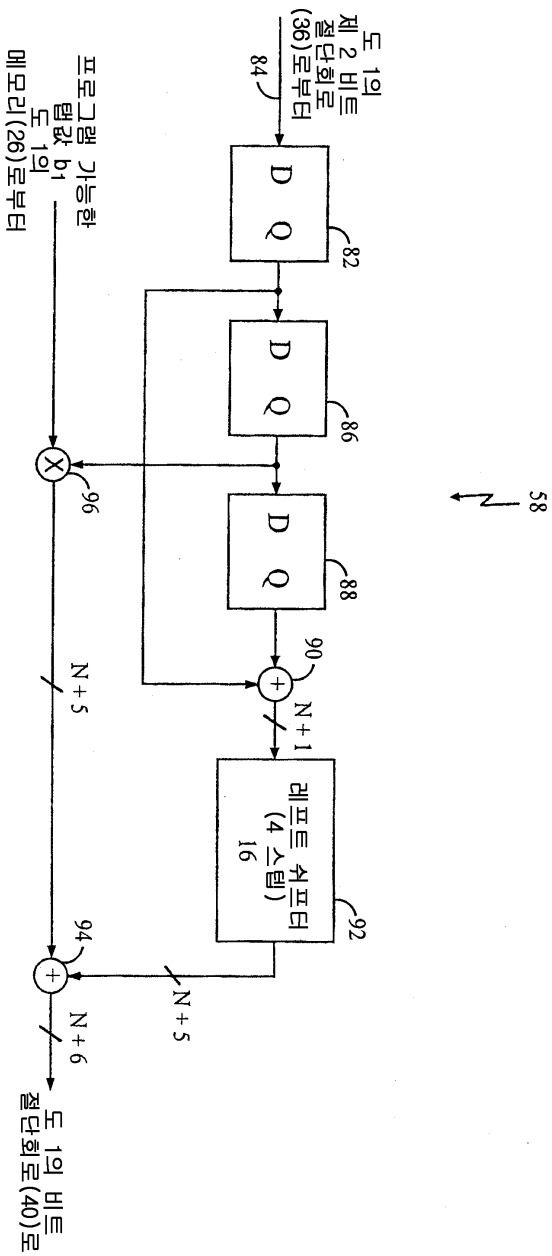
도면1



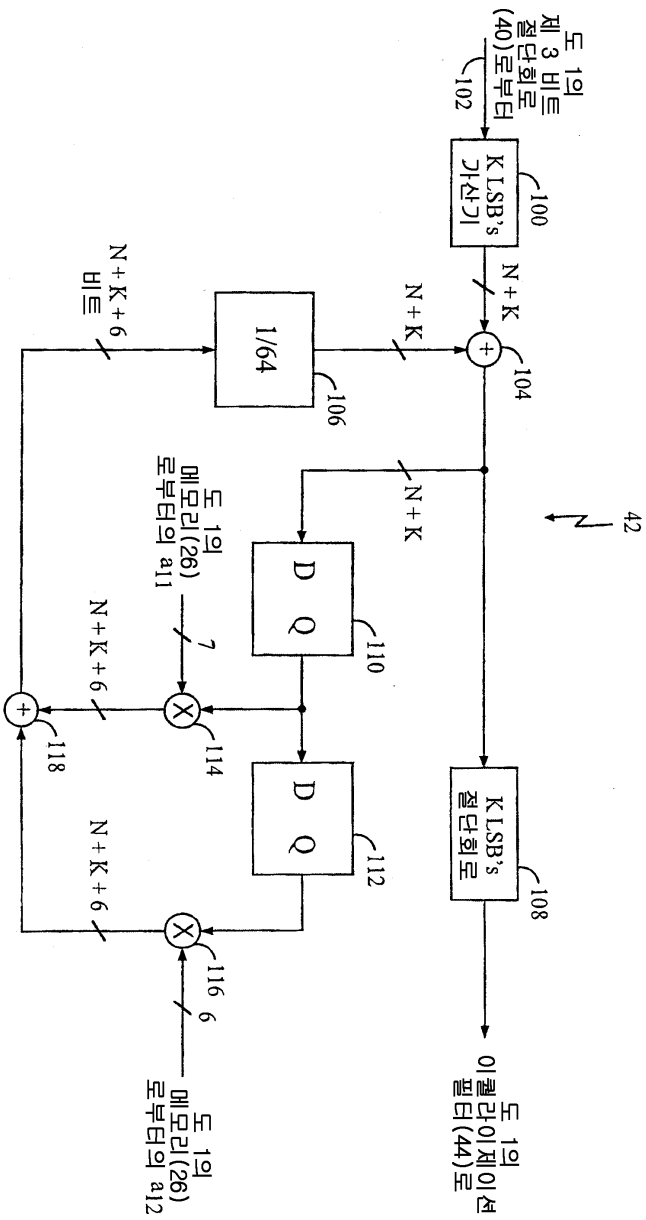
도면2


도 1의 MUX(12)로부터
N
28
70
2k
68
2k
60
+
-
+
N + 2k
k LSBs 절단회로
62
N + k
(N + k) - 비트 레지스터
64
N + k
14
k LSBs 절단회로
66
-1
74
72
재머
도 1의 필터부(16)로

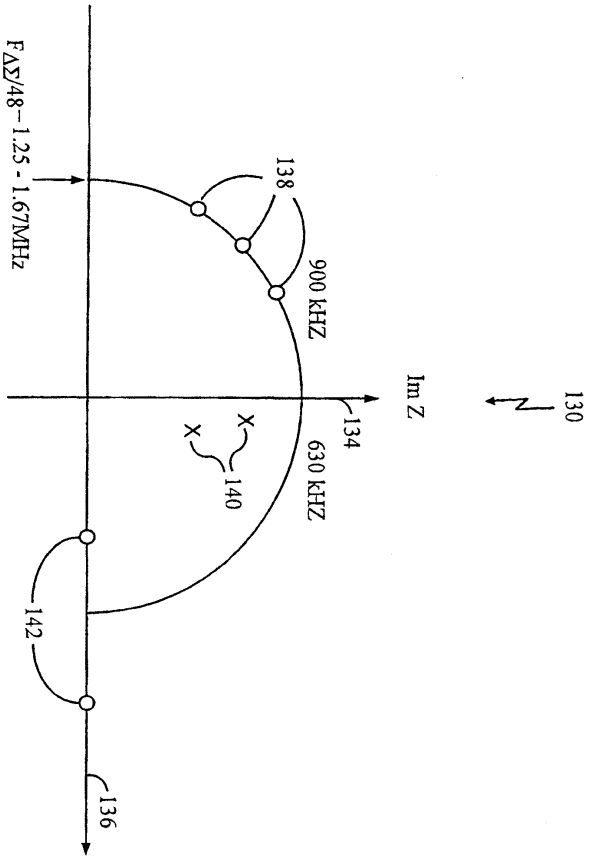
도면3


도 1의
제 2 비트
절단회로
(36)로부터
84
D Q
82
D Q
86
D Q
88
58
프로그램 가능한
탭값 b_1
도 1의
메모리(26)로부터
96
90
N+5
N+1
레프트 쉬프터
(4 스텝)
16
92
94
N+5
N+6
도 1의 비트
절단회로(40)로

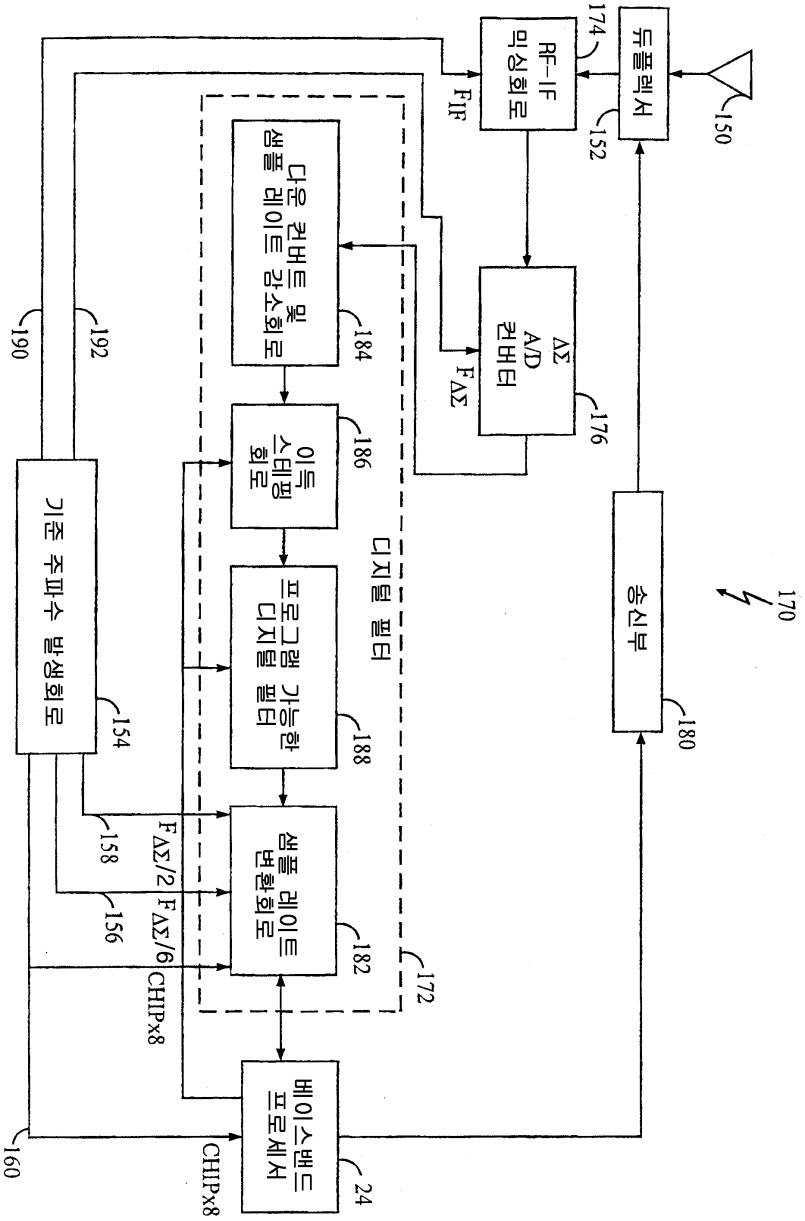
도면4


도 1의 제 3 비트 절단회로(40)로부터
102
K LSB's 가산기
100
N+K
104
N+K
1/64
106
N+K+6 비트
N+K
42
D Q
110
도 1의 메모리(26) 로부터의 a11
7
N+K+6
114
118
D Q
112
N+K+6
116
6
도 1의 메모리(26) 로부터의 a12
K LSB's 절단회로
108
도 1의 이퀄라이제이션 필터(44)로

도면5



도면6


듀플렉서
150
RF-IF 믹싱회로
152
174
F_{IF}
ΔΣ A/D 컨버터
176
$F_{\Delta\Sigma}$
다운 컨버트 및 샘플 레이트 감소회로
184
이득 스테핑 회로
186
프로그램 가능한 디지털 필터
188
샘플 레이트 변환회로
182
디지털 필터
172
베이스밴드 프로세서
24
CHIPx8
송신부
180
170
기준 주파수 발생회로
154
158
156
$F_{\Delta\Sigma}/2$
$F_{\Delta\Sigma}/6$
CHIPx8
160
190
192