

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】令和 1 年 12 月 19 日 (2019.12.19)

【公開番号】特開 2018-105917 (P2018-105917A)

【公開日】平成 30 年 7 月 5 日 (2018.7.5)

【年通号数】公開・登録公報 2018-025

【出願番号】特願 2016-249338 (P2016-249338)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/3233 (2016.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

【F I】

G 0 9 G 3/30 J

G 0 9 G 3/3233

G 0 9 G 3/20 6 1 2 T

G 0 9 G 3/20 6 1 1 H

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 2 4 B

H 0 5 B 33/14 A

【手続補正書】

【提出日】令和 1 年 11 月 8 日 (2019.11.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

【図 1】本技術による一実施の形態に係る表示装置の概略構成図である。

【図 2】各画素の回路構成の一例を表す図である。

【図 3】1 つの画素に着目したときの電源線、信号線および制御線に印加される電圧、駆動トランジスタのゲート電圧およびソース電圧、ならびに接続点 A の電圧の経時変化の一例を表す図である。

【図 4】画素の動作の一例を表す図である。

【図 5】画素の動作の一例を表す図である。

【図 6】画素の動作の一例を表す図である。

【図 7】画素の動作の一例を表す図である。

【図 8】駆動トランジスタのソース電圧の経時変化の一例を表す図である。

【図 9】画素の動作の一例を表す図である。

【図 10】画素の動作の一例を表す図である。

【図 11】画素の動作の一例を表す図である。

【図 12】画素の動作の一例を表す図である。

【図 13】各画素の回路構成の一変形例を表す図である。

【図 14】上記実施の形態およびその変形例に係る表示装置の一適用例の外観を表す斜視図である。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0022】

書き込みトランジスタTr2のゲートは、制御線WSLに接続されている。書き込みトランジスタTr2のソースまたはドレインが信号線DTLに接続されている。書き込みトランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子がスイッチングトランジスタTr3のソースまたはドレインに接続されている。書き込みトランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子は、さらに、保持容量Cs2の一端に接続されている。スイッチングトランジスタTr3のゲートが制御線CTL1に接続されている。スイッチングトランジスタTr3のソースまたはドレインが、書き込みトランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子と、保持容量Cs2の一端とに接続されている。スイッチングトランジスタTr3のソースおよびドレインのうち書き込みトランジスタTr2および保持容量Cs2に未接続の端子は、駆動トランジスタTr1のゲートと、保持容量Cs1の一端とに接続されている。駆動トランジスタTr1のゲートが、スイッチングトランジスタTr3のソースおよびドレインのうち保持容量Cs2および書き込みトランジスタTr2に未接続の端子と、保持容量Cs1の一端とに接続されている。駆動トランジスタTr1のソースまたはドレインが電源線DSLに接続されている。駆動トランジスタTr1のソースおよびドレインのうち電源線DSLに未接続の端子が有機EL素子13のアノードと、保持容量Cs1の他端とに接続されている。保持容量Cs1の一端が駆動トランジスタTr1のゲートに接続されている。保持容量Cs1の他端が駆動トランジスタTr1のソースおよびドレインのうち電源線DSLに未接続の端子に接続されている。保持容量Cs2の一端が書き込みトランジスタTr2のソースおよびドレインのうち信号線DTLに未接続の端子に接続されている。保持容量Cs2の一端は、さらに、スイッチングトランジスタTr3のソースおよびドレインのうち駆動トランジスタTr1のゲートに未接続の端子に接続されている。保持容量Cs2の他端は、スイッチングトランジスタTr4のソースまたはドレインに接続されている。スイッチングトランジスタTr4のゲートは、制御線CTL2に接続されている。スイッチングトランジスタTr4のソースまたはドレインは、保持容量Cs2に接続されている。スイッチングトランジスタTr4のソースおよびドレインのうち保持容量Cs2とは反対側の端子が電源線DSLに接続されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

タイミング生成回路22は、ドライバ30内の各回路が連動して動作するように制御するものである。タイミング生成回路22は、例えば、外部から入力された同期信号Tinに応じて（同期して）、ドライバ30内の各回路に対して制御信号を出力する。タイミング生成回路22は、さらに、表示パネル10内の各制御線CTL1および各制御線WSLに対して所定の制御信号を出力する。タイミング生成回路22は、例えば、2種類の電圧（Von、Voff）を出力可能となっている。具体的には、タイミング生成回路22は、駆動対象の画素11へ、制御線CTL1および制御線WSLを介して2種類の電圧（Von、Voff）を供給し、書き込みトランジスタTr2およびスイッチングトランジスタTr3のオンオフ制御を行う。オン電圧Vonは、書き込みトランジスタTr2およびスイッチングトランジスタTr3のオン電圧以上の値となっている。オフ電圧Voffは、書き込みトランジスタTr2およびスイッチングトランジスタTr3のオン電圧よりも低い値となっており、かつ、オン電圧Vonよりも低い値となっている。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 3 3

【補正方法】 変更

【補正の内容】

【 0 0 3 3 】

図 3 は、1つの画素 11 に着目したときの制御線 W S L、電源線 D S L、信号線 D T L および制御線 C T L 1、C T L 2 に印加される電圧、駆動トランジスタ T r 1 のゲート電圧 V g およびソース電圧 V s および接続点 A の電圧 V a の経時変化の一例を表したものである。図 4 ~ 図 7、図 9 ~ 図 11 は、画素 11 の動作の一例を表したものである。図 8 は、駆動トランジスタ T r 1 のソース電圧 V s の経時変化の一例を表したものである。

【手続補正 5】

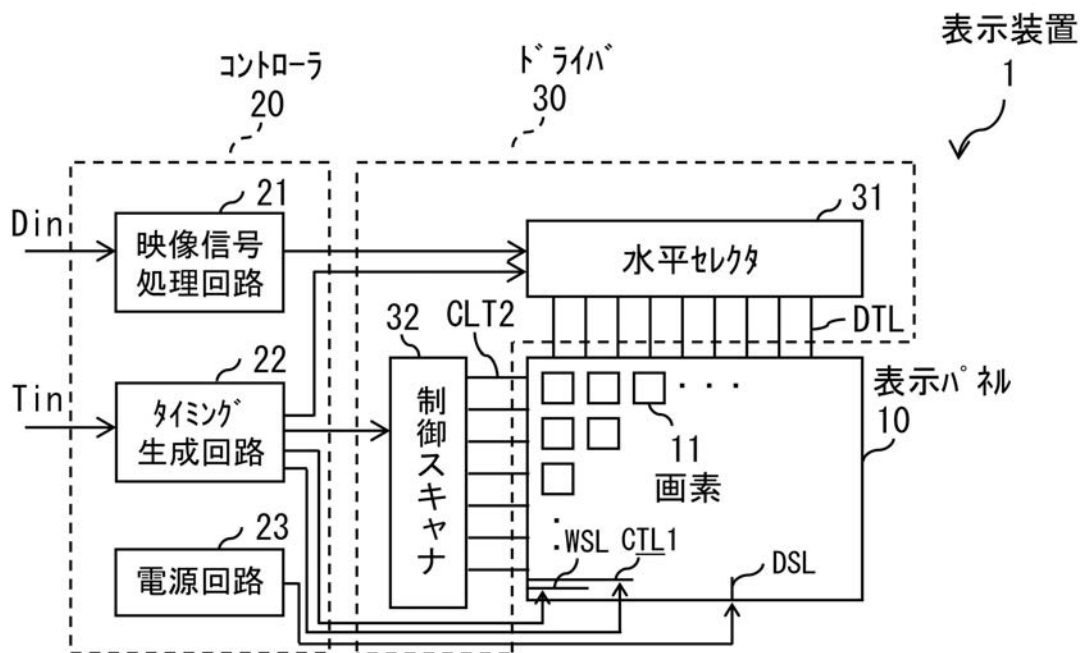
【補正対象書類名】 図面

【補正対象項目名】 図 1

【補正方法】 変更

【補正の内容】

【図 1】



【手続補正 6】

【補正対象書類名】 図面

【補正対象項目名】 図 3

【補正方法】 変更

【補正の内容】

【図3】

