



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00810164.7

[45] 授权公告日 2005 年 6 月 8 日

[11] 授权公告号 CN 1205658C

[22] 申请日 2000.5.24 [21] 申请号 00810164.7

[30] 优先权

[32] 1999.5.25 [33] US [31] 09/318,403

[86] 国际申请 PCT/US2000/014363 2000.5.24

[87] 国际公布 WO2000/072372 英 2000.11.30

[85] 进入国家阶段日期 2002.1.10

[71] 专利权人 理查德·K·威廉斯

地址 美国加利福尼亚州

共同专利权人 韦恩·B·格拉博斯基

[72] 发明人 韦恩·B·格拉博斯基

理查德·K·威廉斯

审查员 刘静_1

[74] 专利代理机构 北京市柳沈律师事务所

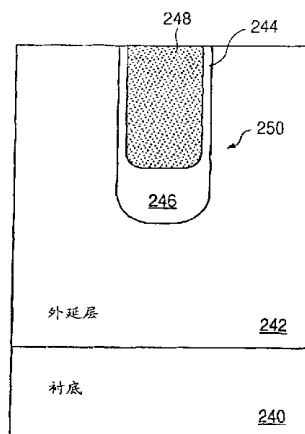
代理人 李晓舒 魏晓刚

权利要求书 1 页 说明书 22 页 附图 82 页

[54] 发明名称 具有多厚度栅极氧化层的槽型半导体器件的制造方法

[57] 摘要

本发明公开了一种如金属-氧化物-半导体场效应晶体管的槽型半导体器件,通过增大槽底部上栅极氧化层的厚度减小了槽弯角处的强电场。在一制造方法中,在槽蚀刻后定向沉积氧化硅,在槽底部产生厚氧化层。在壁上生长薄栅极氧化层之前,去除槽壁上沉积的任何氧化物。然后在一个或多个阶段中用多晶硅填充槽。在另一方法中,在蚀刻槽壁前在槽底部的氧化层上沉积少量光致抗蚀剂。或多晶硅可沉积在槽中,并回刻至槽底部仅剩下一部分。然后氧化多晶硅,并用多晶硅填充槽。本方法可结合氧化层的定向沉积,之后是多晶硅填充和氧化。形成“钥匙孔”形栅电极的方法包括在槽底部沉积多晶硅、氧化多晶硅上表面、蚀刻氧化的多晶硅、和用多晶硅填充槽。



-
1. 一种制造槽型栅极功率半导体器件的方法，包括：
提供一半导体材料；
5 在半导体材料中形成槽；
将半导体材料放置在等离子体强化化学气相沉积反应室内；
在该反应室中产生电介质的荷电粒子；
在该半导体材料上沉积电介质的层；
在该反应室中建立电场，该电场定向取向，以导致该电介质的荷电粒子
10 优先沉积在水平表面上，从而导致电介质的层沉积在槽底部上的厚度远
比在槽侧壁上的厚；以及
在该槽中沉积导体材料以形成栅电极。
2. 如权利要求1所述的方法，其特征在于，产生荷电粒子包括在反应
室中在至少两种气体之间形成化学反应。
- 15 3. 如权利要求2所述的方法，其特征在于，产生荷电粒子包括在反应
室中形成等离子体。

具有多厚度栅极氧化层的槽型半导体器件的制造方法

5

技术领域

本发明涉及一种具有嵌入槽中的栅电极的半导体器件，尤其涉及在该器件处于截止条件下的同时经历高电压差时，保护这种器件免遭对栅极氧化层的损害的结构和方法。本发明尤其涉及槽型MOSFET(金属-氧化物-半导体场效应晶体管)。

10

背景技术

有一类半导体器件，其中的栅电极形成在自半导体芯片的表面延伸的槽中。一个例子是槽型栅极MOSFET，其它的例子包括绝缘栅极双极晶体管(IGBT)，结型场效应晶体管(JFET)和积累模式场效应晶体管(ACCUFET)。所有的这些器件都具有槽结构的共同特点，出于某种原因，槽的底部可以暴露在高电场下，或槽的底部可以形成包括栅电极和围绕槽的半导体材料的寄生电容。

图1至图10显示现有槽型栅极器件的截面图及其特点。图1显示一种槽型栅极MOSFET 100，它具有一个顶金属层102，一个形成在槽106中并通过栅极氧化层110与外延硅层108分开的栅极104。MOSFET 100还包括一个N+源极区112和一个P本体114。MOSFET 100的漏极包括一个N外延层108和一个N+衬底116。在P本体114之下建立一个深P+区118，如布鲁克(Bulucea)等人在美国专利第5,072,266号中所提出的那样。深P+区118和N外延层108之间的PN结形成一个在该处通常发生雪崩击穿电压箝位二极管117。P+本体接触区119形成金属层102和P本体114之间的接触层。通过氧化层120使一般由多晶硅形成的栅极不受金属层102影响，该氧化层处于栅极104之上，并不与槽本身对应的部件，一般为一个接触掩膜构图。

如图所示，栅极氧化层 110 由一个沿多晶硅栅极 104 的三个侧面的均匀

30

薄氧化层构成。即栅极氧化层110在槽侧壁上的部分以及栅极氧化层110在槽底部上的弯曲和直线部分（除在槽底部发生的一些与应力有关并与蚀刻有关的氧化层厚度上的变化外）通常为在例如150埃至1200埃范围内的均匀厚度。

- 5 这种常规类型的MOSFET有很多变体。例如，图2显示了一种基本类似于MOSFET 100，但不包括深P+区118的MOSFET 130。MOSFET 130的栅极穿过P本体132而稍稍突出，因为P本体132的深度和槽134的深度是在两个无关的过程中确定的。因而，在直立器件中不能保证漏极区内多晶硅栅极的净重叠。结果是这种变体影响器件的运行，并且也可以影响其可靠性。另外，在图2中没有由深P+区118形成的附加二极管以箝位电压，因此无论哪
- 10 儿的电压升高到器件进入雪崩的点上，击穿都会发生。

- 图3所示的MOSFET 140是MOSFET 100和130的变体，其中，MOSFET单元142不包含深P+区，而包含深P+区的二极管单元144以预定的间隔在整个阵列上分布，以充当电压箝位并限制MOSFET单元中电场的强度。在
- 15 MOSFET 140中，栅极氧化层是厚度均匀的。

- 图4A-4G显示了击穿现象的各个方面。图4A显示了在具有较厚栅极氧化层的槽型栅极器件150中击穿处的电场强度等值线。器件150在效果上是一个栅极二极管，是大部分槽型栅极垂直功率MOSFET的一种结构元件。如图
- 20 所示，在雪崩击穿过程中将出现碰撞电离的最强电场位于P+本体区正下方的结处。相反，图4B所示的器件160具有较薄的栅极氧化层。虽然在P+区下面仍发生一些电离，但最高的电场水平此时位于槽的弯弯角部。场电极诱导击穿机制导致电场强度增大。

- 图4C和4D分别显示进入雪崩击穿时器件150和160的电离等值线。无论是如图4C所示的厚栅极氧化层，还是如图4D所示的薄栅极氧化层，最终在
- 25 “深”雪崩中，即当器件被强制在雪崩中传导大电流时，击穿开始在槽的弯弯角部出现。甚至在厚氧化层的情况下（图4C），其中峰值电场不在槽的弯弯角处（图4A），当漏极电压增大时，电离最终在槽的弯弯角部出现。然而，在图4D中有更多的等值线，这表明栅极氧化层薄的位置上有更高的电离率。

- 图4E显示，如果引入一个包括深P+区的二极管箝位装置，如图中右
- 30 手侧所示，则该二极管将在较低电压击穿，并且在槽的弯弯角部将不发生雪崩击穿。如果穿过二极管的电路电阻足够低，则二极管将箝制器件的最大电

压。结果，电压将永远上升不到槽弯角部附近发生雪崩击穿的点上。

图4F是显示20V和30V器件的作为栅极氧化层厚度(X_{OX})的函数的击穿电压(BV)的曲线图。30V器件中外延层(epi)的掺杂浓度更小。30V器件理想地应当具有约38V的雪崩击穿。在20V器件中，外延层将被更重地掺杂，并且该器件理想地应当具有约26或27V的雪崩击穿。随着栅极氧化层从1,000埃变薄到几百埃，击穿电压基本上相对恒定，或者在栅极的场电极形状实际上开始有助于减小电场时，该击穿电压实际上甚至可以一定程度地增加。但是，在小于几百埃的厚度上，击穿恶化开始出现。

在击穿电压开始降低（对于30V器件的外延层低于30V，对于20V器件则低于20V）的点以上，该区域被标识为场电极诱导(fpi)击穿。在此区域，击穿出现在槽附近。对于一个可靠的器件，需要附加一个二极管箝位装置，该装置具有低于场电极诱导区中击穿电压的击穿电压，使得二极管首先被击穿。利用具有图4F所示击穿电压的二极管，在30V器件中栅极附近将不再发生击穿，但是该二极管具有过高的击穿电压而不能保护20V的器件。为了保护20V的器件，二极管箝位装置的击穿电压将不得不低于20V器件的曲线。

图4G是图4A-4D所示器件的示意性电路图，显示了与MOSFET并联的栅极二极管以及与MOSFET和栅极二极管均并联的二极管电压箝位电路。设计该电路，使得二极管箝位电路首先击穿。在二极管箝位电路之前栅极二极管绝不会“雪崩”。随着栅极氧化层变得更薄，这也变得越来越困难。

图5A和5B显示了在一个具有尖锐的槽弯角的器件170和一个具有圆的槽弯角的器件172中的电离等值线。图5B表明圆化槽的弯角未减小电离程度，但基本上，如果足够强地将器件驱动至击穿，则击穿仍出现在槽的弯角部，且器件处于危险中。

图6A-6C分别显示MOSFET 180中的电场强度等值线、等电位线和电力线。MOSFET 180的栅极被连接到源极和本体上，并接地，而漏极加偏压 V_D 。从图6B明显看出，穿过该区域，漏极电压 V_D 被划分并隔开。在图6B的左手侧，等电位线被挤压而靠在一起，尤其在槽的弯角部周围，它们被挤得更紧。这产生了与等电位线成直角的电力线，如图6C所示。这样可以看出为什么在槽的弯角部出现高电场，以及为什么圆化弯角部未解决这个问题。这基本上是一个体积问题，因为，因存在一个终止在具有下表面区域的电

极，即栅极上的电场，于是电力线被挤在弯角处。

图6D显示了通过在栅极上施加正电压 V_G 而使其导通时的MOSFET 180。电流沿槽的侧壁向下流动，然后它还沿槽的底部扩散开，并以偏离槽侧部的一个角度进入台面下方的区域内。然而，在该过程中，电流流过具有高电场的区域，如图6A的电场等值线所示。当大电流流过具有高电场的区域时（这将是器件饱和的情形），电流载流子与外延层的原子碰撞，并通过动量转换使额外的载流子停止。这形成新的电子-空穴对，该电子-空穴对接着被加速并导致额外的碰撞，这使其它原子电离。

图6E显示了MOSFET 180处于导通状态时其中的电离等值线。例如，当器件150处于截止状态时，图6E所示的电离等值线不同于图4C所示的那些。区别在于，电离等值线在槽侧部周围一路上扬，在P本体附近变平。这在器件上有数种损伤效果。一种效果是，在栅极氧化层附近产生了可以通过该区域中的强电场而很容易地被加速的电子-空穴对。电子-空穴对实际上可以被捕获在栅极氧化层中，并且它们能损害栅极氧化层。

另外，通过使槽侧部周围的区域似乎比实际更重地掺杂，此种现象在可施加到器件上的电压值上形成了上限，因为如此多的电子-空穴对得以产生，使得它们开始减轻外延层的有效掺杂浓度。这种现象的出现是因为来自新产生的电子-空穴对的电子通过正的漏极电压 V_D 而被推入衬底内，且空穴被推入P本体内。最终的效果是，因为电子和空穴只可以以特定的速度行进，所以局部电荷分布调节自身以维持电中性。具体地说，被称为耗尽区或空间电荷区的区域环绕反向偏置结，其中（不存在碰撞电离）没有自由电荷载流子。驻留在耗尽区内的不可动电荷，即结的N型侧上的正离子和结的P型侧上的负离子，在整个结上产生“内部”电场。在有碰撞电离的情况下，穿过N型区漂移的空穴添加到正的固定电荷上，从而增强电场，进一步增强碰撞电离过程。这些剩余的空穴使得此例中为N型材料的外延区因为“内部”电场的增强而显得被更重地掺杂。最终的效果是电场上的增强，此增强减弱了雪崩。在图6F的电流-电压特性曲线上显示了此效应，其中漏电流 I_D 在特定的漏电压下急剧增大。这种情形发生时的漏电压对于所示的每个栅电压是相同的。此问题随着栅极氧化层的变薄而恶化。

槽器件的另一个问题涉及电容。图7A是具有由电流源192驱动的栅极并具有电阻负荷194的MOSFET 190的示意图。连接到源极和漏极上的电压源

196提供在漏极上导致漏极电压 V_D 的电压 V_{DD} 。如图7B-7D所示，在 t_1 时刻，电流源192开始给栅极供给恒定电流，且栅极上相对于源极的，图7C中被标记为 V_G 的电压开始上升。但是，因为它不能立即达到阈值，所以漏极电压 V_D 因MOSFET 190仍没有导通而未开始下降。一旦在 t_2 时刻 V_G 达到阈值，则MOSFET 192饱和并导通，且承载电流。 V_D 开始下降，但是当其开始降低时，它导致MOSFET 192的漏极和栅极之间的电容耦合，并暂停栅极电压 V_G 的上升进程。 V_G 保持平坦，直到MOSFET 192进入线性区。然后，MOSFET 192开始看起来象分压器中的导通电阻，即MOSFET 192上的小电压和电阻194上的电压 V_{DD} 的大部分。

10 在该点上，栅极和漏极之间的电容耦合效应被满足，且 V_G 继续其到更高电压的上升进程。平稳状态归因于类似米勒(Miller)效应的栅极与漏极交叠电容，但这不是小信号效应。这是大信号效应。此时，漏电流 I_D 还继续上升，但如图7D所示，其上升进度减慢。

图7E显示作为栅极 Q_G 上电荷的函数的 V_G 曲线，其中， Q_G 等于 I_G 乘以时间 t ， I_G 为一常量。栅极电压 V_G 上升到一定的水平，然后保持恒定，然后其再次上升。如果在漏极和栅极之间没有反馈电容，则电压将线性上升，但不同的是，直线为曲线的平稳段所中断。

在图7E中，因为 C 等于 ΔQ 除以 ΔV ，所以点 V_{G1} 、 Q_{G1} 对应于一特定的电容。因为需要更多的电荷以达到点 Q_{G2} 和 V_{G1} ，所以该点反映了更大的电容。所以器件中的电容，如图7F所示，在相对恒定的低值 C_{ISS} 开始，然后再跃至较高的有效值 $C_G(\text{eff})$ ，然后相对恒定。因为此种效应，器件具有比切换过渡过程中所需的更高的有效电容。结果，在使器件导通过程中，存在过度的能量损耗。

20 如图7G所示，输入电容实际上具有多个分量，包括栅极-源极电容 C_{GS} 和栅极-本体电容 C_{GB} ，它们中没有一个具有栅极-漏极电容 C_{GD} 的放大效应。栅极-漏极电容 C_{GD} 示于图7G中，在槽底部和侧壁周围。等价电路图示于图7H中。即使 C_{GD} 具有与 C_{GS} 和 C_{GB} 相同的数量级，但因为它在切换过程中被放大，所以电学上它看起来更大（如大5至10倍）。

30 如上所述，圆化槽底部有助于限制对栅极氧化层的损害，尽管这不是问题的全部解决方案。图8A-8C显示了形成一个具有圆弯角的槽的过程。在图8A中，小反应离子202经过表面上掩膜200中的开口蚀刻硅。离子202通过

一个电场在向下的方向上被加速，使得它们蚀刻大致具有笔直侧壁的槽。当槽达到一定深度时解除电场，如图8B所示。或者，也可以改变该化学反应。在过程结束时，如图8C所示，修正电场，使得蚀刻离子在所有不同的方向上行进。这样不仅开始加宽槽，而且圆化底部。因此，该过程包括一个被转变成各向同性蚀刻的各向异性蚀刻。各向异性还受作为蚀刻操作在槽侧壁上的副产物的聚合物形成影响。如果化学反应在聚合物形成时就将其去除，则蚀刻就将以更为各向同性的方式进行。如果聚合物保留在侧壁上，则仅槽的底部继续蚀刻。

图9A-9D显示一种包括产生掩膜210（图9A）、蚀刻槽212（图9B）、在槽的壁上形成氧化层214（图9C），然后用多晶硅层216填充槽（图9D）的方法，其中，氧化层214可以被去除并再重新生长以消除缺陷（这被称作牺牲性氧化）。

图10A-10F显示形成槽型MOSFET的一般过程。该过程起始于生长在N⁺衬底222上的N-外延层220（图10A）。例如，利用图9A-9C所示的过程，在N-外延层220中形成多晶硅填充的槽224（图10B）。根据表面氧化在过程中如何产生，表面可以是平坦的，也可以不平坦。然后引入P-本体226，虽然可以在形成槽224之前引入P本体226（图10C）。两个流程都是可制造的，但优选的是首先形成槽，因为蚀刻过程会影响P本体中的掺杂浓度。然后掩蔽表面并注入N⁺源极区228（图10D）。注入可选的浅P⁺区230，直至P-本体和将要沉积的金属层之间的欧姆接触层。P⁺区230可以通过氧化层232中的一个开口得以注入，其中，氧化层232沉积在该区域上，并得以蚀刻以形成接触掩膜（图10E）。接触掩膜可以用于，也可以不用于确定P⁺区232。最后，把金属层234沉积在表面上，以接触N⁺源极区228和P⁺区230（图10F）。

25 发明内容

根据本发明，形成一种槽型栅极半导体器件，该器件具有把栅电极与围绕在槽周围的半导体材料分开的介电层，其中，介电层的厚度在槽底部区域中更大。此结构有助于降低槽底部，尤其是弯角部或圆角部附近的电场强度并降低电容，槽的底部在该弯角部或圆角部向槽的侧壁过渡。

根据本发明的一个方面，提供一种制造槽型栅极功率半导体器件的方法，包括：提供一半导体材料；在半导体材料中形成槽；将半导体材料放置在等离子体强化化学气相沉积反应室内；在该反应室中产生电介质的荷电粒子；在该半导体材料上沉积电介质的层；在该反应室中建立电场，该
5 电场定向取向，以导致该荷电电介质粒子优先沉积在水平表面上，从而导致电介质的层沉积在沟槽底部上的厚度远比在沟槽侧壁上的厚；以及在该槽中沉积导体材料以形成栅电极。

制作此结构采用几个过程。一个过程包括下列步骤。在半导体材料中蚀刻槽。然后执行对介电材料的定向沉积，使得介电材料优选地沉积在水平面上，如槽的底部。这通过在沉积室（如化学气相沉积或溅射室）中产生一个电场从而将电介质的荷电离子向半导体材料加速来实现。槽用将要形成栅电极的导体材料填充。定向沉积后，可以除去沉积到槽侧壁上的任何电介质，并且可以在槽的侧壁上生成常规介电层。在很多过程中，介电材料是二氧化硅，而导体材料是多晶硅。

在一个过程中，将导体材料回刻到与半导体材料的表面大致共面的水平面上，并在介电材料的上表面上沉积介电层。在一种变体中，优选地在导体材料被回刻到槽内之后氧化导体材料（例如多晶硅）以形成氧化层。导体材料可以被氧化至一厚度，使得其自身的氧化物足以绝缘栅电极，或可以在该氧化的导体材料上沉积另一种绝缘材料如玻璃。

在另一种变体中，分两个阶段沉积形成栅电极的导体材料。

在另一种替换中，在介电材料的优先沉积之后涂覆掩蔽材料，如光致抗蚀剂。从除槽底部以外的所有位置去除掩蔽材料，并且对槽进行蚀刻或浸渍以从槽的侧壁除去介电材料。然后在槽的侧壁上形成介电层。

在再一种替换中，在电介质定向沉积后，沉积诸如多晶硅的可以氧化而形成电介质的材料，并回刻之直到仅该材料的一部分保留在槽底部的电介质顶部上。然后氧化该材料，以在槽的底部形成较厚的介电层。

另一组替换避免了介电材料的定向沉积。取而代之的是，沉积诸如多晶硅的可以氧化以形成电介质的材料，并回刻之直到仅一部分保留在槽的底部。

根据本发明的过程可以包括将槽与槽之间的“台面”的上表面的接触部自对准的过程。诸如氮化硅的材料“硬”层用作槽掩膜。硬掩膜保持在适当位置上直到已经优选地通过氧化多晶硅栅极而在栅电极上形成介电层。然后除去硬掩膜，曝露台面的整个上表面，并允许在此与金属层形成接触。

本发明的一个过程包括使用槽顶角附近的侧壁间隔物以防止栅电极和半导体台面之间的短路。沉积槽掩膜并在槽掩膜中形成一个确定槽位置的开口之后，把一层如氮化硅的“硬”材料和可选用的重叠氧化层各向同性地沉积到槽掩膜的开口中。“硬”材料沉积在槽掩膜的暴露边缘上。然后进

行蚀刻，之后，在开口中心区域中暴露半导体材料的表面，但部分沉积的电介质保留在槽掩膜的侧部边缘上，形成侧壁间隔物。然后蚀刻槽。电介质侧壁间隔物在后形成的栅电极和台面中的半导体材料之间提供附加的电绝缘。

- 5 另一组过程提供一“钥匙孔”形状的槽，其中，厚介电层在槽的侧壁上向上延伸一段距离。槽被蚀刻之后，在槽的底部和侧壁上生长或沉积较厚的氧化物衬料。用多晶硅填充槽，然后回刻多晶硅，使得只有一部分保留在槽的底部，以重叠氧化物衬料。从槽的侧壁除去暴露的氧化物衬料。然后通过加热而局部氧化多晶硅，以在其暴露面形成氧化层，并在同样的
- 10 加热过程中在槽的侧壁上形成氧化层。然后对槽进行氧化物蚀刻，此刻蚀去除由多晶硅形成的氧化层以及槽侧壁上的一些氧化层。然后用多晶硅填充槽，以产生一个钥匙孔形的栅电极。

- 在上述形成钥匙孔形栅电极的过程的变体中，在槽的底部和侧壁上形成氧化物衬料之后，在槽底部的氧化物衬料之上沉积一定量的诸如光致抗
- 15 蚀剂的掩蔽材料。然后进行氧化物蚀刻，以从槽的侧壁上除去氧化物衬料，并从槽的底部除去掩蔽材料。在槽的侧壁上生成较薄的栅极氧化层，并用形成栅电极的诸如多晶硅的导体材料填充槽。

附图说明

20

图1是具有用作电压箝位装置的深P+二极管的现有技术的槽型功率MOSFET的截面图；

图2是具有平面本体-漏极结的现有技术的槽型功率MOSFET的截面图；

- 25 图3是具有电压箝位装置的现有技术的槽型功率MOSFET的截面图，其中该电压箝位装置分布在包含平面本体-漏极结的MOSFET单元之间；

图4A是显示具有厚栅极氧化层的MOSFET中的电场等值线的截面图；

图4B是显示具有薄栅极氧化层的MOSFET中的电场等值线的截面图；

- 图4C是显示雪崩击穿突然发生时具有厚栅极氧化层的MOSFET中的电
- 30 离等值线的截面图；

图4D是显示雪崩击穿突然发生时具有薄栅极氧化层的MOSFET中的电

离等值线的截面图;

图4E是显示包含用作电压箝位装置的深P+区域的器件中的电离等值线的截面图;

图4F是显示在具有不同掺杂浓度的外延层中制造的MOSFET中的作为
5 栅极氧化层厚度函数的击穿电压的曲线图;

图4G是具有反向并联二极管箝位电路的槽型功率MOSFET的电路图;

图5A是显示具有直角形槽弯角的槽型功率MOSFET内的电离等值线的截面图;

图5B是显示具有圆形槽弯角的槽型功率MOSFET内的电离等值线的截
10 面图;

图6A是显示具有平面本体-漏极结的槽型功率MOSFET内的电场等值线的截面图;

图6B是显示具有平面本体-漏极结的槽型功率MOSFET中的等电位线的截面图;

图6C是显示具有平面本体-漏极结的槽型功率MOSFET中电力线的截
15 面图;

图6D是显示具有平面本体-漏极结的槽型功率MOSFET中电流流动线的截面图;

图6E是显示槽型功率MOSFET导通时其中的电离等值线的截面图;

图6F是显示不同栅极电压下功率MOSFET的I-V曲线族的曲线图, 显示
20 维持电压如何通过碰撞电离降低;

图7A是功率MOSFET的栅极充电电路的电路图;

图7B是显示功率MOSFET的栅极驱动电流的阶跃函数的应用的曲线
图;

图7C是显示在图7B所示的条件下栅极电压和漏极电压如何变化的曲
25 线图;

图7D是显示在图7B所示的条件下漏极电流如何改变的曲线图;

图7E是显示作为电荷函数的栅极电压如何变化的曲线图;

图7F是显示当功率MOSFET导通时有效输入电容如何变化的曲线图;

图7G是显示槽型功率MOSFET中栅极电容的构成的截面图;

图7H是槽型MOSFET的等价电路的电路图, 显示了中间电极电容;

图8A-8C是显示具有圆形弯角的栅极槽如何形成的截面图;

图9A-9D是显示蚀刻栅极槽并用多晶硅填充槽的过程的截面图;

图10A-10F是显示制造常规槽型功率MOSFET的过程的截面图;

图11A是在槽的底部具有厚氧化层的槽型功率MOSFET的截面图;

- 5 图11B是显示图11A中的在半导体上表面上构图有厚氧化层的MOSFET的截面图;

图11C是图11A的具有与槽的壁对准的厚重叠氧化层的功率MOSFET的截面图;

图12是显示根据本发明的若干工艺顺序的示意性流程图;

- 10 图13A-13N显示用于制造在槽的底部具有厚氧化层的槽型功率MOSFET的工艺顺序,其中使用氧化层的定向沉积,并蚀刻多晶硅至与半导体材料的顶部平齐的水平面上;

图14A-14F显示另一种工艺顺序,其中,蚀刻多晶硅至半导体材料表面以下的水平面上,然后使之氧化;

- 15 图15A-15F显示了另一工艺顺序,其中,在两个阶段中沉积多晶硅;

图16A-16E显示了另一工艺,其中,使用少量光致抗蚀剂来掩蔽槽底部的厚氧化层;

图17A-17F显示一种工艺,其中,多晶硅被蚀刻至接近槽底部的水平面上,然后被氧化;

- 20 图18A-18F显示另一工艺,其中多晶硅被氧化;

图19A-19L显示制造槽型功率MOSFET的过程,其中,MOSFET具有处于栅电极之上的氧化层,该氧化层与槽壁自对准;

图20A-20F显示用于在功率MOSFET的有源阵列部分中制造槽型栅极以及栅极总线的工艺顺序;

- 25 图21A-21E显示因凹切氮化物下的薄氧化层而出现的问题;

图22A-22C显示此问题的其它实例;

图23A-23G显示可以在根据本发明的功率MOSFET的制造中出现的其它问题;

- 30 图24A-24F显示了在去除自对准器件中顶部氧化层的过程中因凹切硬掩膜而出现的问题;

图25A-25H显示了制造具有厚底部氧化层和氮化物侧部隔离物的槽型

功率MOSFET的过程;

图26A和26B显示了在厚底部氧化层器件中形成栅极氧化层的过程中会出现的问题;

图27A-27D显示了避免图26A和26B中所示问题的方法;

5 图28-33显示了可以根据本发明制造的不同类型的槽型功率MOSFET;

图34显示了利用常规接触掩膜并结合厚底部氧化层制造槽型功率MOSFET的工艺顺序的流程图;

图35A-35L说明了显示图34的工艺截面图;

图36-39是显示具有“钥匙孔”形栅电极的槽型功率MOSFET的截面图;

10 图40A-40L显示了制造具有钥匙孔形栅电极的MOSFET的工艺顺序;

图41A-41F显示了制造具有钥匙孔形栅电极的MOSFET的另一工艺顺序; 以及

图42A-42C分别显示了常规功率MOSFET、具有厚底部栅极氧化层的功率MOSFET和具有钥匙孔形栅电极的功率MOSFET中的电场强度。

15

具体实施方式

通过减小MOSFET的栅极和漏极间的耦合电容, 可以部分解决与其栅极和漏极之间的互作用有关的问题。根据本发明, 这通过增厚槽底部的栅极氧化层的厚度来实现。图11-27显示了用于在槽的底部上形成厚栅极氧化层的各种结构和顺序。

图11A显示了在衬底240上生长的外延("epi")层242。栅极氧化层244衬在槽250的壁上, 且栅极氧化层244的厚部246位于槽250的底部。槽250中填充多晶硅248。注意, 在多晶硅248的顶部上没有氧化层。图11A的布局可以是一个过渡结构; 可以在过程的以后阶段在多晶硅248的顶部上形成氧化层。多晶硅248一般被掺至重掺杂浓度。它可以通过数种方式, 用一个具有硅外延表面的基本平坦的上表面, 即平面形成。使表面平坦的一种方法是沉积多晶硅层至一较大的厚度, 然后回刻之。产生一个平坦表面的另一方法是沉积多晶硅至大于填充槽所需量的一个厚度, 然后将表面化学机械抛光至平坦。平坦表面对降低后来在制造过程中将形成的台阶的高度是需要的。

图11B显示一种在多晶硅层248的顶部有一氧化层252的结构。因为氧化层252的横向边缘不对应于槽250的壁，所以氧化层252很可能用一个掩膜和一个蚀刻步骤形成。氧化层252既可以沉积（如通过化学气相沉积），也可以热生长，或是这些步骤的组合。图11C显示根据专利申请第09/296,959号
5 的宗旨生长的顶部氧化层254，该申请在此引为参考。氧化层254的侧边大体与槽250的壁对齐，并且氧化层254向下延伸而进入槽250中。因此，多晶硅层248被埋入槽250中。图11B和11C的实施例均在槽的底部具有一个厚栅极氧化区246。

图12是可以用于制造根据本发明的栅极槽的几个工艺流程的示意图。
10 这些工艺流程的细节示于图13-20中。图12以框图的形式说明，可以利用光致抗蚀剂掩膜或硬掩膜工序，以及随后的通过选择性蚀刻、回浸或选择性氧化而平坦化的定向氧化物沉积形成槽。在没有定向沉积的情况下，可以采用选择氧化。最后，利用一步或两步工艺用多晶硅填充槽。

更具体地，从图12的左侧起，形成槽有两种选择。在一种选择中，如
15 图13-18所示，槽利用以后将被除去的掩膜形成，使得作为其它加工步骤的参照的掩膜不可用。其它的选择是使用“硬”掩膜来形成槽，如以上参考的专利申请第09/296,959号中所述的那样，于是，该硬掩膜将用作后续工序中的参照。此种选择一般性地描述于图19和20中。形成槽之后，在槽的壁上一致生长一个牺牲氧化层，然后将其除去。然后可以在槽壁上形成氧化物衬料。此阶段产生一个在其壁上具有均匀氧化层的槽，在硅的上表面上具有或不具有硬掩膜。
20

然后可以进行所谓的定向电介质沉积，它包括在槽的底部沉积比槽的侧壁上更多的氧化物。有三种选择。如图16所示，可以进行一选择性回刻，这允许厚氧化层保留在槽的底部，并从槽的侧壁上除去氧化层。如图13-15
25 所示，可以执行“回浸(dipback)”以从槽的侧壁上去除氧化层。最后，可以执行选择性氧化，如图17A和18所示，其中，在槽的底部形成多晶硅层，然后将其氧化以在槽的底部形成附加的氧化层。取代定向电介质沉积，或除定向电介质沉积之外，可以执行多晶硅层的选择性氧化。

在工艺的此阶段，利用底部上的厚氧化层形成一个槽。在半导体的上
30 表面上可以有或可以没有“硬”掩膜。接下来，在槽壁上生长一薄氧化层，并用多晶硅填充槽。多晶硅可以沉积为单层，也可以沉积为两层，在沉积

之间有一“回刻”。在两阶段工艺中沉积多晶硅有利于槽间“台面”内掺杂剂的引入，并有利于在晶片的表面上制造可用于制造二极管、电阻器和其它多晶硅器件的更轻掺杂的多晶硅层。

最后，沉积玻璃层，并在玻璃层中形成接触孔。

5 图13A-13N显示了利用氧化物“回浸”法的过程。该过程起始于形成在衬底260上的外延层262。在外延层262的上表面上形成一个掩膜层264，掩膜层上有一个将形成槽的开口。掩膜层264可以是光致抗蚀剂或一些其它的材料，并且可以形成在氧化层266的顶部。然后利用常规的方法形成槽268，如图13A所示。

10 在图13B中，在槽的表面上形成一个牺牲氧化层270。然后去除牺牲氧化层270，如图13C所示。牺牲氧化层270可以从100埃到1000埃厚；一般地，在300埃厚的范围。这可以通过在氧化气氛中在800℃至1100℃加热该结构10分钟至5小时而形成。气氛既可以是氧气，也可以是氧气和氢气。如果气氛是氧气和氢气的组合，则因为反应将产生水蒸汽而被称作“湿”氧化，
15 且这将影响氧化物的连续性和生长率。

可选地，然后在槽268的壁上形成氧化物衬料272。衬料272可以有100埃至600埃范围内的厚度。衬料272避免沉积的氧化层与硅直接接触，尤其在硅和沉积的氧化层之间的界面处，对于充电状态该衬料具有电势。在槽的壁上增加一个清洁的氧化层提供了一种低充电状态(reduced charge
20 state)。

如图13E所示，在外延层262的表面上施加一个电场，并且通过该电场，电介质离子形成并且向下进入槽268中。优选地，把等离子体强化化学气相沉积室用于此过程。电场向下加速电介质离子，使得它们优选地沉积在水平面上，包括槽268的底部。氧化物的化学气相沉积包括氧气与硅烷、二氯
25 甲硅烷或四氯化硅的气相化学反应。氧气源一般是氮氧化物，硅烷是典型的硅源。等离子体强化化学气相沉积机可以从像诺伍勒斯系统及应用材料(Novellus Systems and Applied Materials)这样的公司获得。

实现定向沉积的另一种方法是从氧化物涂层靶上把氧化物薄膜溅射到晶片上。因为溅射是一个动量转换过程，所以沉积发生在直线上。

30 此过程的结果如图13F所示，图中氧化层270形成在槽268的内和外侧。注意，氧化层270在槽268底部上比在槽268侧壁上更厚。它在外延层262的

平坦表面上也较厚。还可以用非化学气相沉积的方法，如旋转涂敷来产生氧化层270。

- 层270可以由氧化物以外的其它材料形成，如掺磷玻璃或硼磷硅玻璃。也可以由其它具有低介电常数K的材料，如聚合物或聚酰亚胺组成。可以在
- 5 层270中加入气泡以减小介电常数。

在图13G中，氧化层270已经被回刻或回浸，以去除槽268侧壁上的部分。氧化层270的底部274保留在槽268的底部。如图13H所示，加热该结构，从而在槽268的侧壁上形成薄氧化层276。然后沉积多晶硅层278以填充槽268并溢出结构的上表面。这在图13I中显示。

- 10 如图13J所示，然后回刻多晶硅层278直到大致与外延层262的上表面共面。接下来，除去外延层262表面上的部分氧化层270，注意不要蚀刻过多槽侧壁上的氧化层276。此步骤的结果示于图13K。优选地通过使多晶硅层278在氧化层276上稍稍凸出而避免氧化层276的去除。在图13L中，结构的整个上表面，包括多晶硅层278的上表面，已被氧化而形成氧化层280。

- 15 如图13M所示，玻璃层282重叠在氧化层280的表面上，然后构图玻璃层282和氧化层280，并蚀刻之，以形成外延层262的接触孔，这产生图13N所示的结构。

- 图14A-14F显示以图13I所示的结构开始的另一过程。图14A对应于图13I。回刻多晶硅层278，如图14B所示，然后氧化多晶硅层278剩余部分的上表面以形成氧化层290，如图14C所示。然后在结构的整个表面上沉积玻璃层292，如图14D所示。在玻璃层292的上表面上形成一个掩膜层294，并蚀刻层270和292以形成接触孔，如图14F所示。然后去除掩膜层294。
- 20

- 图15A-15F显示还以图13I所示结构开始的另一过程。图15A对应于图13I。回刻多晶硅层278至槽内的一水平面上，如图15B所示。接下来，在整个结构上沉积第二多晶硅层300，如图15C所示。然后回刻多晶硅层300，但要仔细以确保氧化层276在槽上弯角部的部分不暴露。最终的结构如图15D所示。接下来，去除氧化层270，如图15E所示，且在结构的整个表面上形成氧化层302。然后在氧化层302上沉积玻璃层304，产生图15F所示的结构。
- 25

- 图16A-16E显示以图13F所示的结构开始的另一过程。图16A对应于图13F。然后，在结构之上形成光致抗蚀剂层，并以足以清除结构顶部的光致抗蚀剂层并将其保留在槽268底部的方式显影和冲洗。这利用了这样一个事
- 30

实,即难以使槽268底部的光致抗蚀剂层脱离。图16B中显示了在槽268的底部具有光致抗蚀剂层310的剩余部分的最终结构。然后进行氧化物蚀刻,从槽268的侧壁上去除部分氧化层270。然后进行彻底的冲洗,以去除光致抗蚀剂310,产生图16C所示的结构。然后氧化该结构,从而在槽的侧壁上形成一个薄氧化层312,并用多晶硅层314填充槽,如图16D和16E所示。可以进行两步多晶硅沉积,如图15A-15C所示。

图17A-17F显示以图13F所示的结构开始的另一过程。图17A对应于图13F。如图17B所示,沉积一个牺牲多晶硅层320。回刻多晶硅层320直到仅一小部分322保留在槽268的底部上。然后氧化多晶硅层320的部分322。采用低温氧化工艺(如700至950℃),因为低温多晶硅比单晶硅氧化得快。因而在部分322中以比在槽268的侧壁上更快的速率形成氧化层。最终结构示于如图17B,在槽268的底部有一氧化层324。从槽268的侧壁上去除部分氧化层270,如图17E所示,并在槽268的侧壁上形成薄栅极氧化层326,如图17F所示。

图18A-18F显示以图13B所示的结构开始的另一过程。图18A对应于图13D,其中刚形成了氧化物衬料272。取代采用如图13E所示的定向电介质沉积,沉积一个牺牲多晶硅层330,如图18B所示。回刻多晶硅层330直到仅一小部分332保留在槽268的底部,如图18C所示。然后对该结构进行低温氧化,如上所述,把多晶硅部分332转变成氧化层334,如图18D所示。然后从该结构的侧壁和上表面上剥去氧化物衬料272,如图18E所示,并在槽268的侧壁上生长栅极氧化层336。于是,最终结构示于图18F。

图19A-19I显示一种包含以上参考的专利申请第09/296,959号中所描述的超级自对准工艺的要素的过程。该结构形成在一个生长于衬底340上的外延层342中。在外延层342的表面上形成一薄氧化层346,并用一个如氮化硅的硬掩膜材料层344将其覆盖。在氮化物层344和氧化物层346中蚀刻一个开口,如图19A所示。

如图19B所示,利用常规的方法在外延层342中蚀刻一个槽348。在槽348的壁上形成一牺牲氧化层(未示出),然后将其除去。如图19C所示,然后在槽348的壁上形成一个氧化物衬料350。如图19D所示,执行上述与图13E有关的类型的定向沉积,形成一氧化层352。氧化层352包括槽348底部的较厚部分354。如图19E和19F所述,从槽348的侧壁上除去部

分氧化层 352 和氧化物衬料 350。这通过将该结构浸入例如 170HF 酸中实现。然后形成栅极氧化层 356，并用多晶硅层 358 填充该槽。这些步骤示于图 19G 和 19H。

5 如图 19I 所示，然后回刻多晶硅层 358 至薄氧化层 346 表面上方的水平面。在图 19J 中，已经从氮化物层 344 以上除去了厚氧化层 352，多晶硅层 358 保护槽 348 边缘的薄氧化层 356。然后退火该结构，使得多晶硅层 358 的一部分被氧化，而在槽的上部区域中形成一厚氧化层 360，如图 19K 所示。最后，如图 19L 所示，去除氮化物层 344。

10 图 20A-20F 显示具有两个槽的两阶段多晶硅过程，一个槽处于有源阵列中，另一个槽是栅极总线的一部分。该过程起始于图 19H 所示的时刻，多晶硅层 388 填充了槽 374A 和 374B。厚氧化层 384 已经在槽 374A 和 374B 的底部上形成。氮化硅层 374 覆盖在外延层 372 的表面上。氮化物层 374 被氧化层 382 覆盖。

15 回刻多晶硅层 388，如图 20B 所示，并去除氧化层 382。在多晶硅层 388 上沉积一第二多晶硅层 390，并在第二多晶硅层 390 的顶部上例如沉积一个由氮化物或聚酰亚胺形成的“硬”层 392。最终结构示于图 20C。

20 如图 20D 所示，从有源阵列区（槽 374A）蚀刻多晶硅层 390 和硬层 392，将这些层剩在栅极总线区域（槽 374B）中。然后加热该结构以氧化槽 374A 中的多晶硅层 388，产生槽上部区域中的厚氧化层 394。此时，在第二多晶硅层 390 的暴露边缘上形成一个氧化层 396。此结构示于图 20E。

最终，除去硬层 374 和 392 的暴露部分，产生图 20F 所示的布局。

25 图 21A-20E 和 22A-22C 说明了需要避免的两个问题。图 21A 显示了沿槽壁的牺牲氧化层 400，以及外延层上表面上的薄氧化层 404 和氮化物层 402。如图 21B 所示，在去除牺牲氧化物层 400 的过程中，已经在氮化物层 402 之下去除了的一部分薄氧化层 404。解决此问题的方法是将氧化物过度蚀刻的时间减至最少，或使用尽可能薄的氧化层 404，甚至与 15 至 90 埃一样薄。

30 当形成栅极氧化层 406 时，这是在厚氧化层 408 在槽底部形成之后，栅极氧化层 406 可以不充分覆盖槽的上部弯角，如图 21C 所示。图 21D 和 21E 显示了多晶硅层 412 已经被沉积并利用氮化物层 414 而从器件的有源阵列区被回刻之后的布局，显示了将多晶硅层 412 与槽的上部弯角处的外延层隔开的薄氧化层。

图 22A-22C 说明了另一个潜在的问题区。图 22A 显示了一个处于图 19D 所示的相同阶段上的器件，厚氧化层 352 已得以定向沉积，在槽的底部形成一个厚的部分 354。在从槽的侧壁上除去氧化物的过程中，如图 22B 所示，从氮化物层 344 下面去除了一部分薄氧化层 346。然后，当生长栅极氧化层 356 时，槽的上部弯角处的氧化层部分过薄，这会导致氧化物中的缺陷和栅极与外延层之间的短路。此问题示于图 22C 中。另外，解决办法是将任何氧化层的过度蚀刻减至最小，或采用等离子体蚀刻，该等离子体蚀刻的化学反应各向同性地进行蚀刻。

图 23A 显示当多晶硅填充形成在如图 21E 所示的氮化物层下方的空腔时会导致的问题。多晶硅层 420 的一部分 420A 延伸到槽的外部，并将形成与金属层的短路，该金属层在以后沉积来接触外延层。氧化期间，氧化物 422 不消耗填充在氮化物凸出部之下的硅。氮化物的去除使栅极遭受源极金属短路。图 23B 显示了一种变体，其中通过氧化层将 420B 部分与主多晶硅层 420 隔开。图 23C 显示了多晶硅层 420 形成向上凸出的尖峰 420C 的情况，这导致栅极多晶硅层 420 和后沉积的金属层之间的短路的可能。另外，填充在氮化物层下的多晶硅在氧化后保留下来，这留下了可能的栅极与源极的短路。

图 23D 显示了短路器件的栅极 I-V 特性曲线。将低电阻称作“硬”短路。图 23E 显示了“软”的或二极管状的短路的特性曲线。与由金属与多晶硅栅极顶部的直接接触导致的硬短路不同，二极管状的短路可能会出现在如图 23F 所示的栅极总线区内。在此类故障中，在多晶硅与硅台面接触的位置上，N+区或柱被掺入 P 本体中，产生图 23G 中示意性显示的寄生二极管和 MOSFET。

图 24A-24F 显示了因过蚀刻第一多晶硅层或畸形的、扭曲的槽而导致二极管短路的加工机理。在图 24A 中，有源单元和栅极总线区用第一层 N+ 掺杂的多晶硅填充，然后被回刻，以产生如图 24B 所示的结构。如果多晶硅的回刻是非均匀的，则槽氧化层的一侧可能会暴露，如图 24C 所示，然后该侧在去除顶部氧化层的浸渍过程中被侵袭和蚀刻。在图 24D 中，沉积第二多晶硅层并通过掩膜构图，在左侧留下有源单元，在右侧留下栅极总线。顶部氧化之后，如图 24E 所示，左侧上的有源单元氧化并自愈，但在栅极总线区内，触及硅的多晶硅掺入导致图 24F 所示的二极管状栅极短

路的N+柱。多晶硅的均匀回刻和均匀形状的槽避免了此问题。

图 25A-25H 描述了通过氮化物侧壁隔离物的使用来避免这些问题的一种工艺。该工艺起始于在衬底 500 上生长的外延层 502。薄氧化层 504 生长在外延层 502 的上表面上，氮化物层 506（或一些其它的“硬”层）和二氧化层 508 依次形成在氧化层 504 上。因而层 504、506 和 508 形成本领域公知的氧化物-氮化物-氧化物(ONO)夹层。最终结构示于图 25A。

如图 25B 所示，在 ONO 夹层中蚀刻一个开口。然后在结构的顶部沉积一氮化物层 510，产生如图 25C 所示的布局。各向异性地蚀刻氮化物层 510。因为氮化物层 510 的垂直厚度远大于 ONO 夹层边缘附近的厚度，所以各项异性蚀刻在氧化层 504 和氮化物层 506 的暴露边缘上留下了侧壁隔离物 512。去除氧化层 508 之后的此结构示于图 25D。

如图 25E 所示，然后蚀刻槽 514，并形成和去除一般的牺牲栅极氧化层（未示出）。图 25F 显示定向沉积氧化层 516 之后的结构，该结构在槽 514 的底部留下一厚的氧化部分 518。这在形成栅极氧化层 520 之后实现。然后用多晶硅层 522 填充槽，该层被回刻，注意不要侵蚀下面的氧化层 520。多晶硅和硅几乎接触的位置上的顶部区域随后在过程中将被进一步氧化。另外，一些氧化层将生长在氮化物侧壁盖之下，象一个“鸟嘴”。此结构示于图 25G。然后去除氧化层 516，产生图 25H 所示的实施例。

如图 26A 和 26B 所示，在槽侧壁上生长栅极氧化层会导致槽侧壁中的“弯曲”，如图 26B 中的弯曲 530 所示。如图 26A 所示，此问题在于氧化物在槽的暴露侧壁 532 上均匀生长。但是，在厚氧化层 534 在槽的底部上开始的地方，由于结构的几何形状，氧化不会以线性的形式进行。这产生弯曲 530 处氧化层的降低的厚度。

解决此问题的一种方法示于图 27A-27D。图 27A 显示了热生长氧化衬料 540 并定向沉积氧化层 542 之后的结构，如上所述。如图 27B 所示，从槽的侧壁上去除衬料 540 和层 542。然后将该结构浸如 170HF 酸中。因为通过沉积工艺沉积的氧化物蚀刻得比热生长氧化物快，所以浸渍之后，结构如图 27C 所示，衬料 540 的上表面稍处于氧化层 542 的上表面之上。当在槽的侧壁上热生长栅极氧化层时，所得的氧化层厚度较为均匀。在槽壁中没有“弯曲”。图 27D 显示已在槽的侧壁上生长了栅极氧化层 544 之后的布局。虚线表示氧化前硅的原始位置。

图 28-33 显示了可以利用本发明的原理制造的各种器件。

图 28 显示了一种在外延层和衬底之间的界面处具有平坦底部的 P 本体区和 N 掩埋层的功率 MOSFET。图 28 示出了一种将厚槽底部氧化层与延伸到槽之间的整个台面上的接触部结合的器件，虽然也可以使用接触掩膜和非平面的顶部氧化层。图 29 显示根据 Bulucea 等人的美国专利第 5,072,266 号的宗旨的 MOSFET，它类似于图 28 显示的那个，不同之处是每个 MOSFET 单元包含一个深 P+区。图 30 的实施例在 MOSFET 单元中有一个平坦底部的 P 本体区，以及一个包含用于电压箝制 MOSFET 单元的深 P+区的二极管单元。此类布局在专利申请第 08/846,688 号中有所表明，在此引为参考。

在图 31 所示的器件中，独立 MOSFET 单元中的 P 本体区和重叠的金属层之间没有接触。相反，本体在第三维上接触，如威廉姆斯(Williams)等人的美国专利第 5,877,538 号中所述，该专利在此引为参考。注意，MOSFET 单元中的一个包含一个深 P+区，以限制槽底部的电场强度。此外，优选的是，利用自对准接触平坦化顶部氧化层，但这不是必须的。

在图 32 所示的实施例中，槽延伸到 N 掩埋层中，使得只有厚氧化区覆盖重掺杂的掩埋层。

图 33 的实施例是积累模式的 MOSFET (ACCUFET)，如威廉姆斯等人的美国专利第 5,856,692 号中所指示那种，该专利在此引为参考。

图 34 是显示槽型 MOSFET 的利用常规接触掩膜并结合了厚槽底部氧化层的工艺流程的原理图。该工艺的步骤一般包括漏极和深本体区的形成、槽的蚀刻和栅极的形成，本体和源极区的注入，以及接触部的开口和金属层的沉积。在图 34 中，具有截角的方框代表可选步骤。因而，通过注入或通过注入和扩散的深本体区的引入与本工艺一致。

此过程示于图 35A-35L。将氧化层 554 用作掩膜，在 N 外延层 550 中形成槽 552。在槽 552 的壁上形成氧化物衬料 556 (图 35B)，并且如上述那样进行定向氧化物沉积，形成在槽的底部具有较厚部分 560 的氧化层 558 (图 35C)。然后蚀刻槽 552 的侧壁 (图 35D)，并且在槽 552 的壁上热生长一栅极氧化层 (图 35E)。

然后沉积多晶硅层 564 以填充槽 552 (图 35F)。回刻多晶硅层 564 至槽中 (图 35G)。氧化层 566 沉积在结构的上表面上，并向下延伸到槽中直至多晶硅层 564 的上表面 (图 35H)。然后回刻氧化层 566 (图 35I)，并注

入 P 型掺杂剂如硼，形成 P 本体区 568。然后掩蔽上表面（未示出），并注入 N 型掺杂剂如砷或磷，形成 N+源极区 570。在上表面上沉积另一个氧化层 572 并构图，产生如图 35L 所示的结构。然后接触孔可以被顶层金属填充，或者先用平坦化金属如钨，或用阻挡金属如 Ti/TiN 填充。

- 5 图 36-39 显示多晶硅栅极在横截面上为“钥匙孔”形状的几个实施例。较厚的栅极氧化层不仅沿槽的底部延伸，而且沿槽的侧壁向 P 本体区和 N 外延层之间的节延伸。沿槽侧壁的加厚的栅极氧化层有助于缓和该节处的电场。

- 10 图 36 显示一种 MOSFET，它具有以周期性间隔组合到 MOSFET 单元中的平坦底部 P 本体区和二极管单元。在此 MOSFET 的优选形式中，采用了钥匙孔形栅极。图 37 显示一个 P 本体不延伸到表面，但相反在第三维上被接触的实施例。浅 P+区示于台面内一大于 N+源极区的深度上。图 38 显示一个槽延伸到形成于外延层和衬底之间界面上的 N 掩埋层中的实施例。图 39 显示一个 P 本体在第三维上被接触，且槽延伸到 N 掩埋层内的实施例。
- 15 例。

- 用于形成具有钥匙孔形的槽的器件的工艺流程示于图 40A-40L。该过程起始于生长在衬底 600 上的外延层 602。在外延层 602 的上表面上形成一个氧化层 604，如图 40A 所示。构图氧化层 604 并蚀刻槽 606，如图 40B 所示。在槽的壁上形成牺牲氧化层（未示出），并将其除去。然后在槽 606 的壁上生长氧化物衬料 608（如图 40C 所示）。
- 20

- 如图 40D 和 40E 所示，沉积多晶硅层 610 以填充槽 606，并回刻，使得 612 部分保留在槽的底部。然后从槽 606 的壁上蚀刻氧化物衬料 608，如图 40F 所示。执行各向异性硅蚀刻，以将多晶硅部分 612 的上表面下压在氧化物衬料 608 的上表面以下，如图 40G 所示。然后实施热氧化过程，在槽 606 的壁上形成氧化层 616，在多晶硅部分 612 的上表面上形成氧化层 618。结果示于图 40H。然后蚀刻氧化层 618，在过程中去除氧化层 616 的一部分，产生图 40I 所示的结构。
- 25

- 然后在整个结构上沉积第二多晶硅层 619，如图 40J 所示。回刻多晶硅层 619，如图 40K 所示。然后氧化多晶硅层 619 的上表面，如图 40L 所示。
- 30 此方法的变体示于图 41A-41F 中。在槽的壁上形成氧化物衬料 608 之后，如图 40C 所示，光致抗蚀剂层得以涂覆、显影和洗除，只剩下槽 606

底部上的一部分 630。这示于图 41A。然后从槽 606 的壁上蚀刻氧化物衬料 608，如图 41b 所示，并从槽的底部除去光致抗蚀剂层的部分 630。这样产生图 41C 所示的结构。

5 栅极氧化层 632 热生长在槽 606 的壁上，槽 606 由多晶硅层 634 填充，如图 41D 和 41E 所示。回刻多晶硅层 634 至外延层 602 上表面的水平面上。然后热氧化多晶硅层 634，产生图 41F 所示的器件。

10 图 42A-42C 显示了沿现有技术的槽型器件中的槽侧壁的电场强度与本发明实施例中的电场强度的比较。图 41A 显示，在现有技术的器件中，电场强度具有两个分别在本体 - 漏极结和栅电极底部出现的尖峰。图 42B 显示一个在槽的底部上有厚氧化层的器件。如所述，电场依然在本体 - 漏极结处尖峰，但栅电极底部的峰稍低于现有技术器件中的峰。最终，图 42C 显示一种具有钥匙孔形栅电极的器件。在此情况下，电场在本体 - 漏极结处仍然达到峰值，但栅电极底部的尖峰被消除。

15 虽然已描述了根据本发明的若干实施例，但应该理解的是，这些实施例只是说明性的，且不是对本发明的广泛范围或广泛本质的限制。

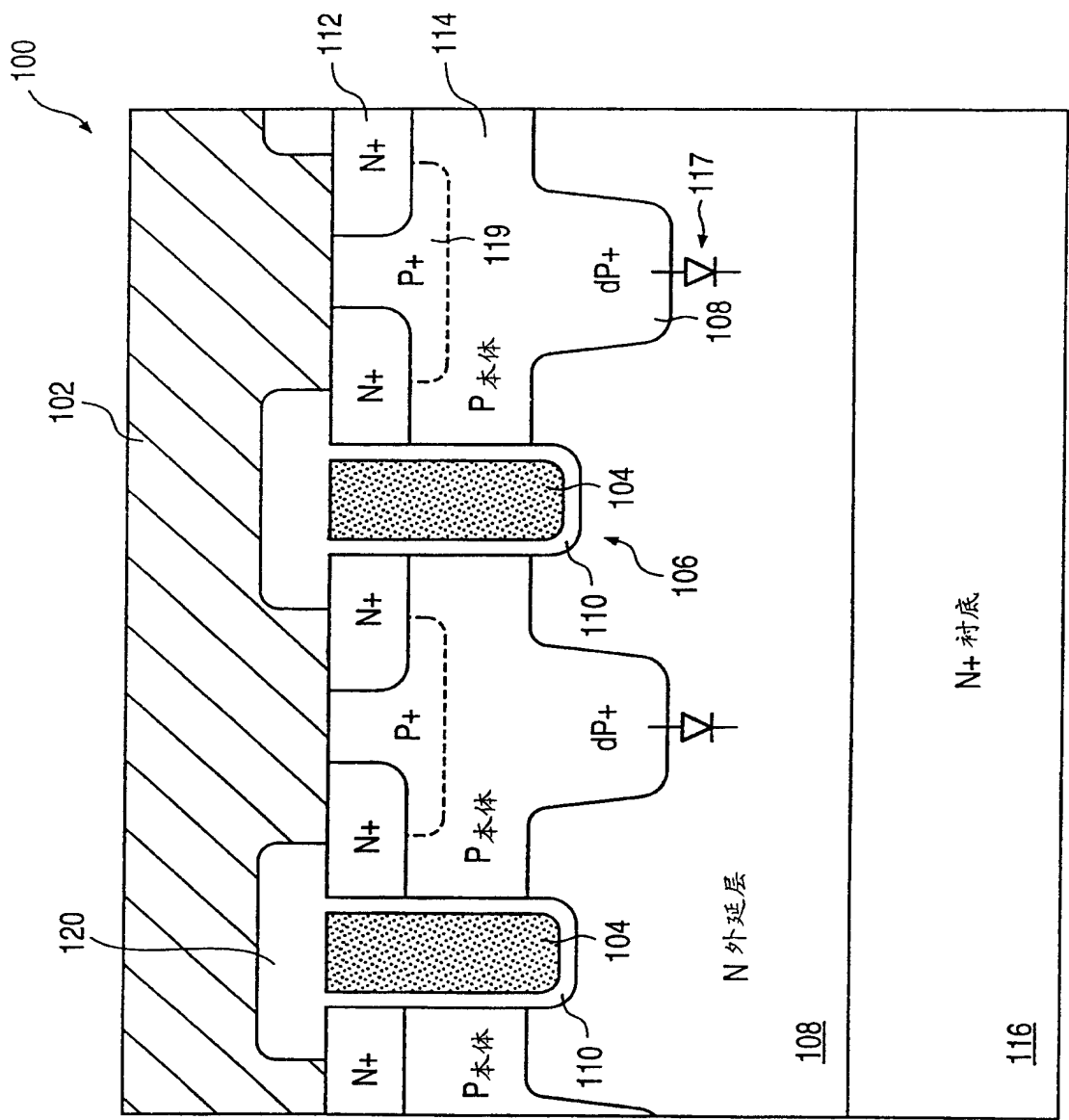


图 1

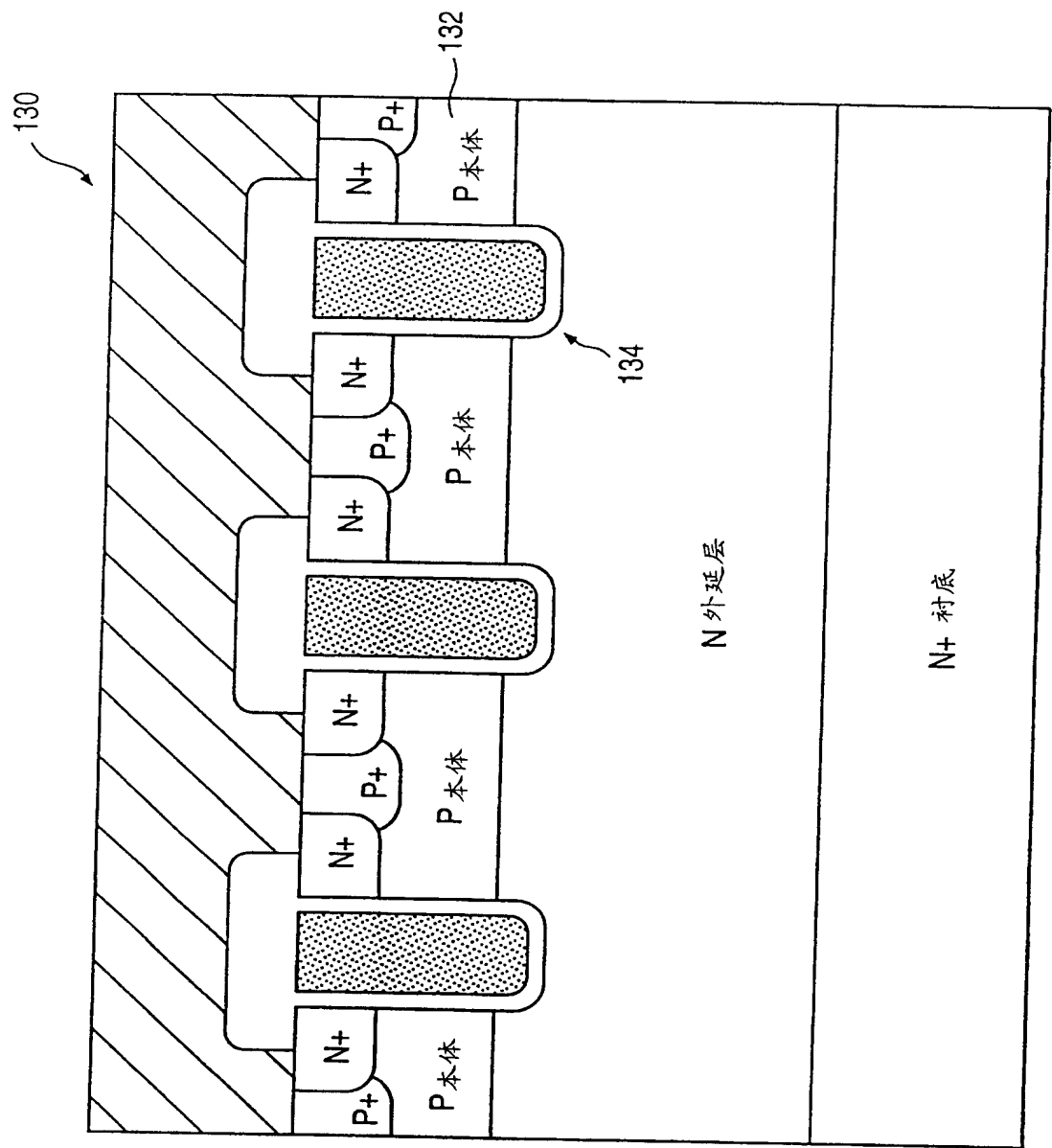


图 2

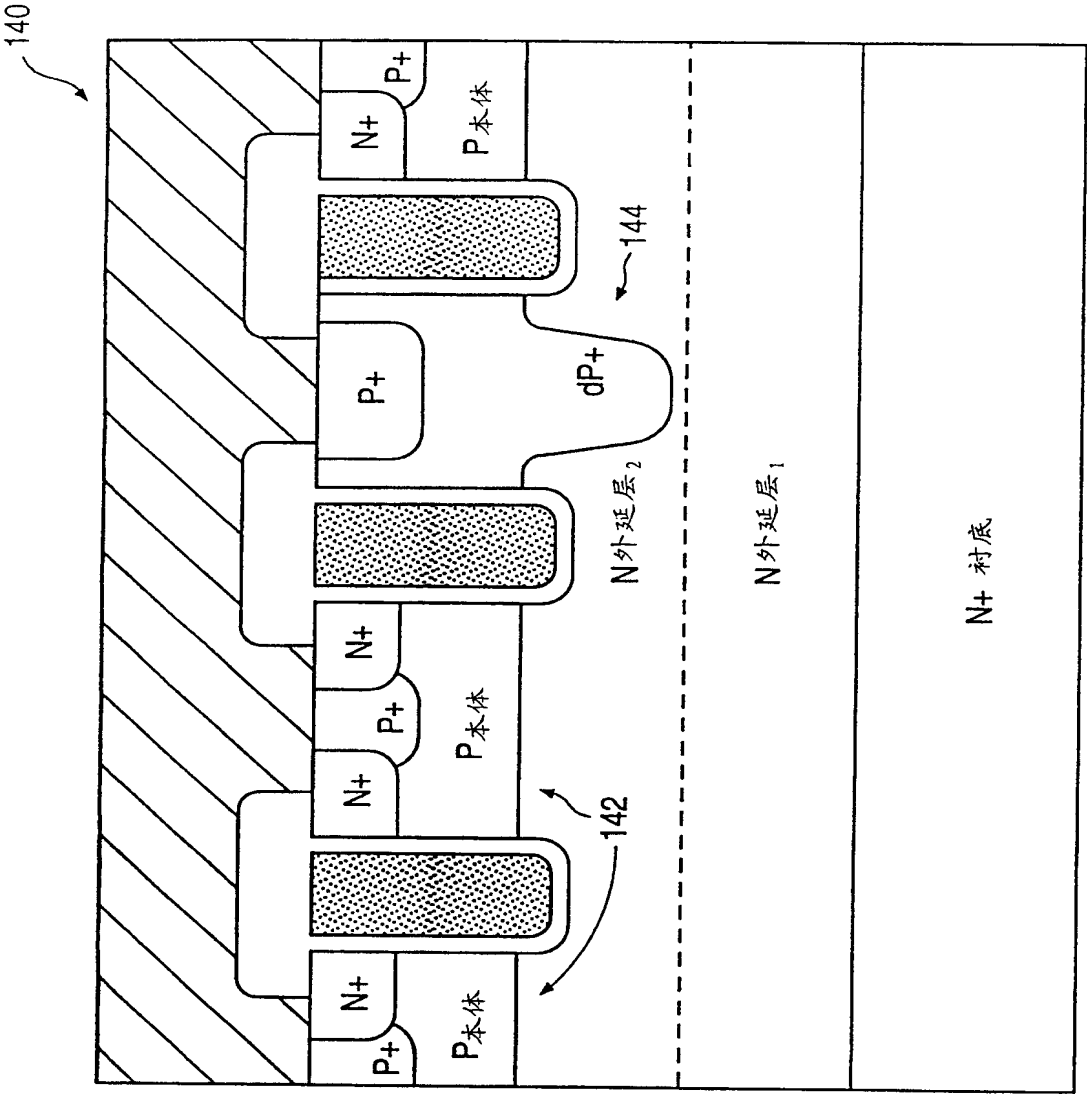


图 3

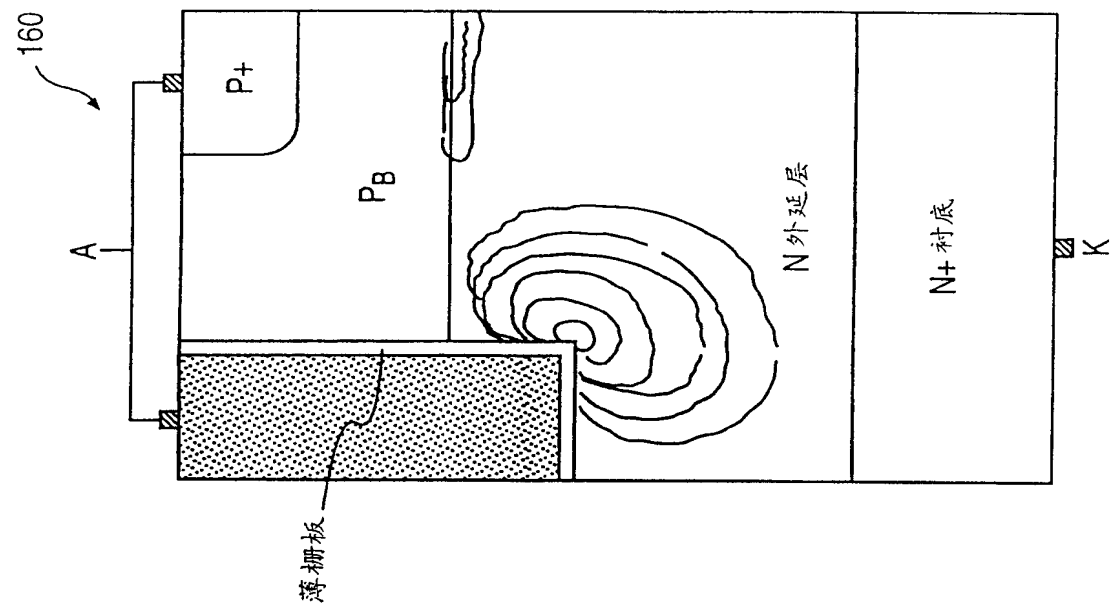


图 4B

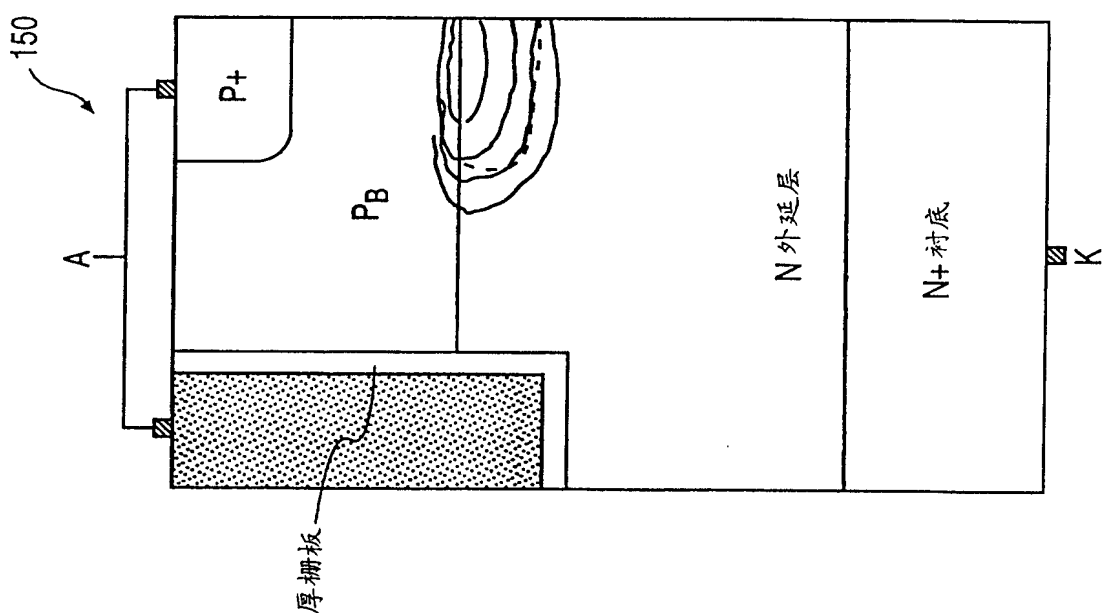


图 4A

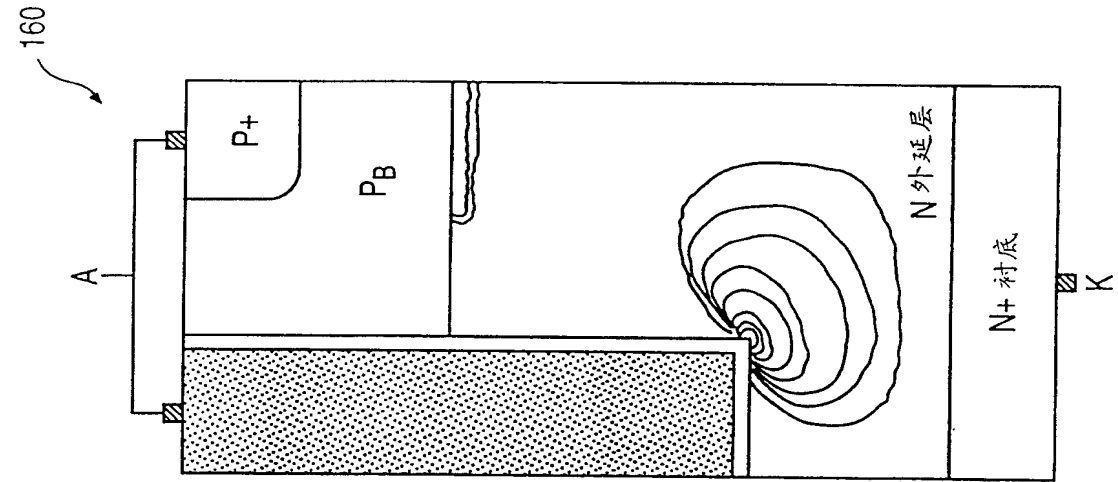


图 4D

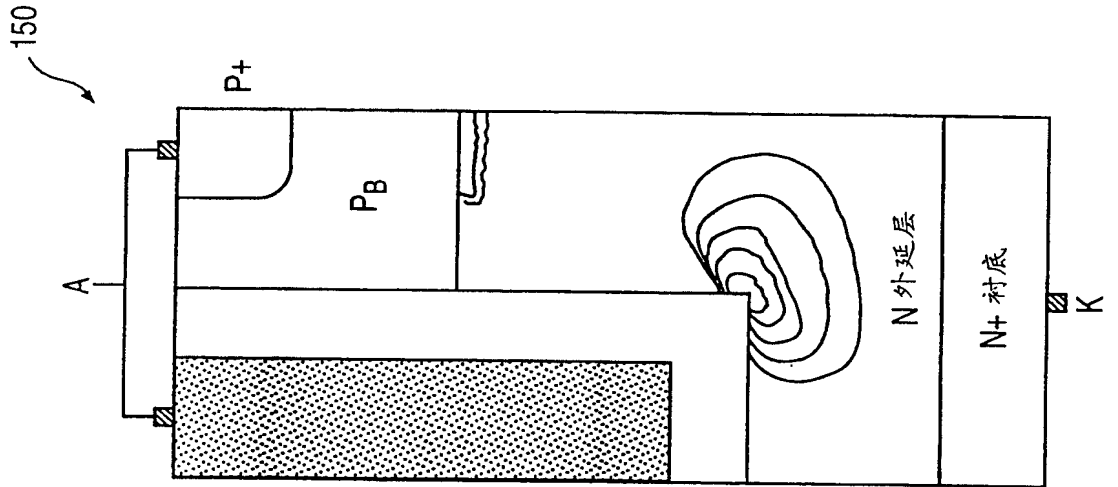


图 4C

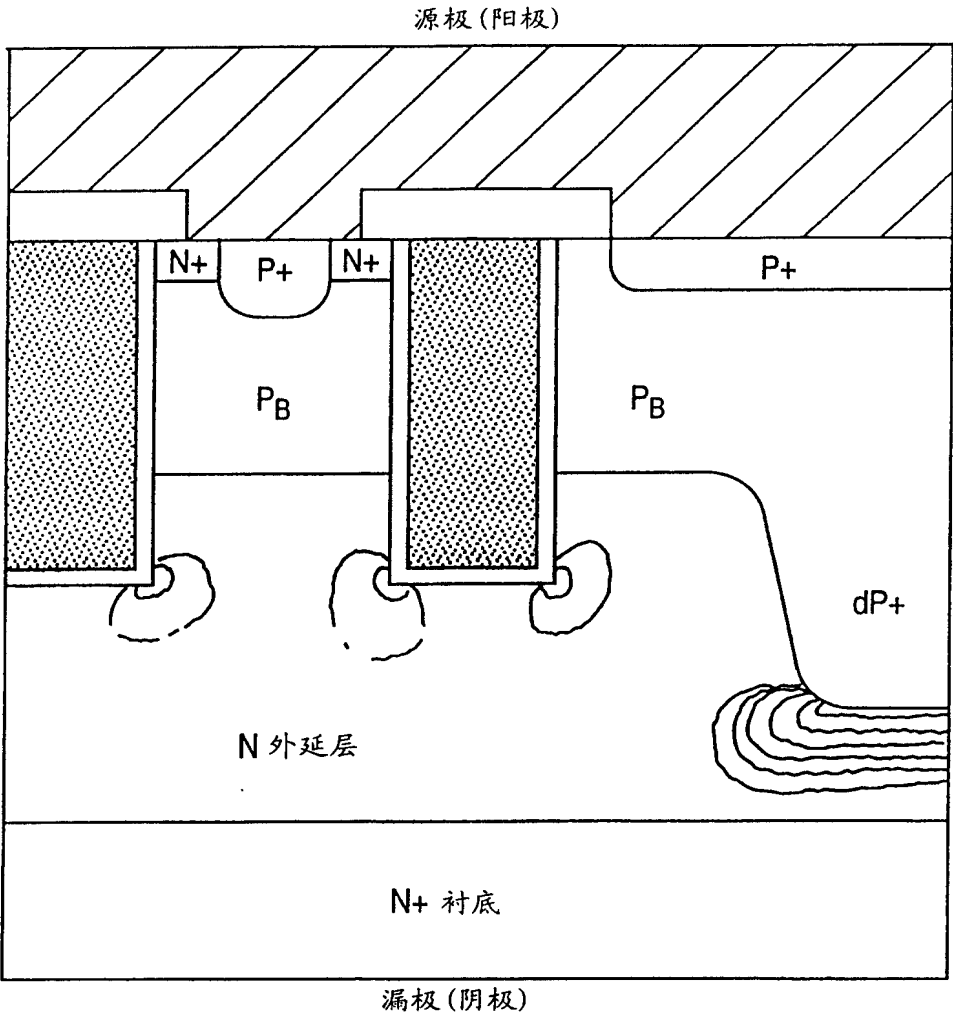


图 4E

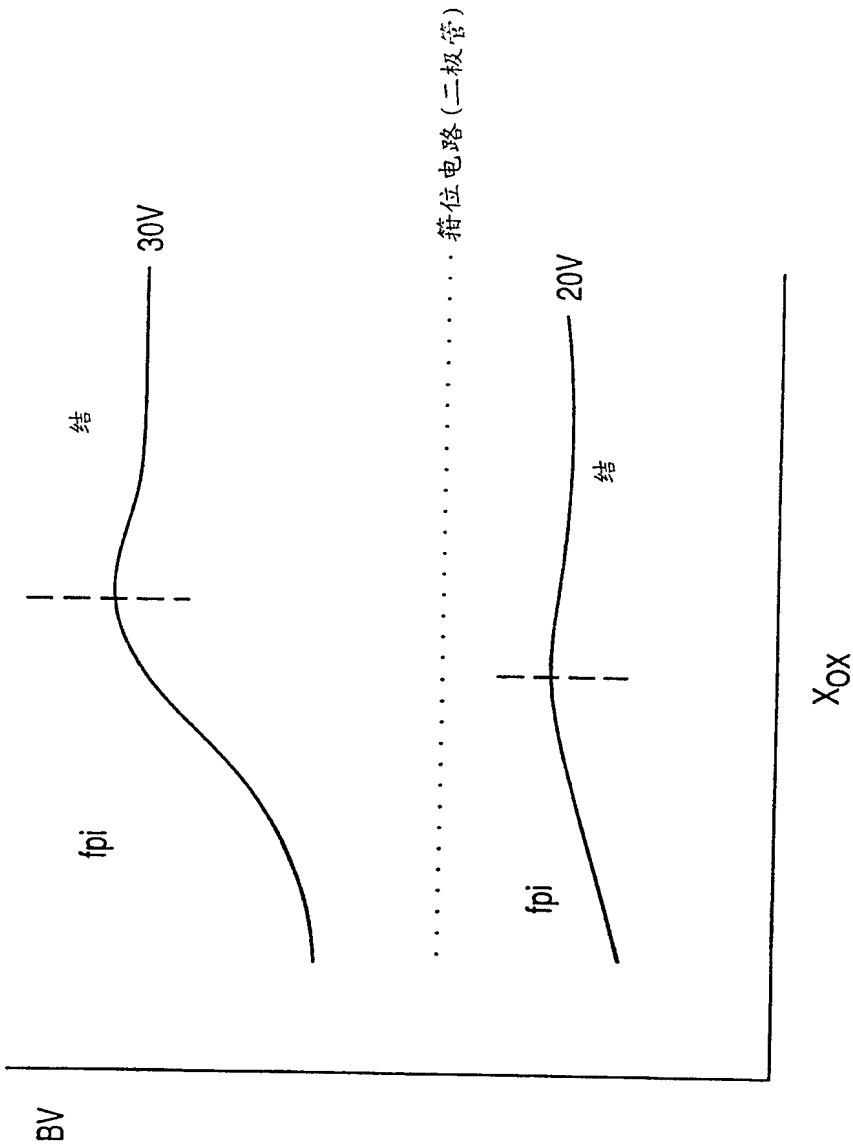


图 4F

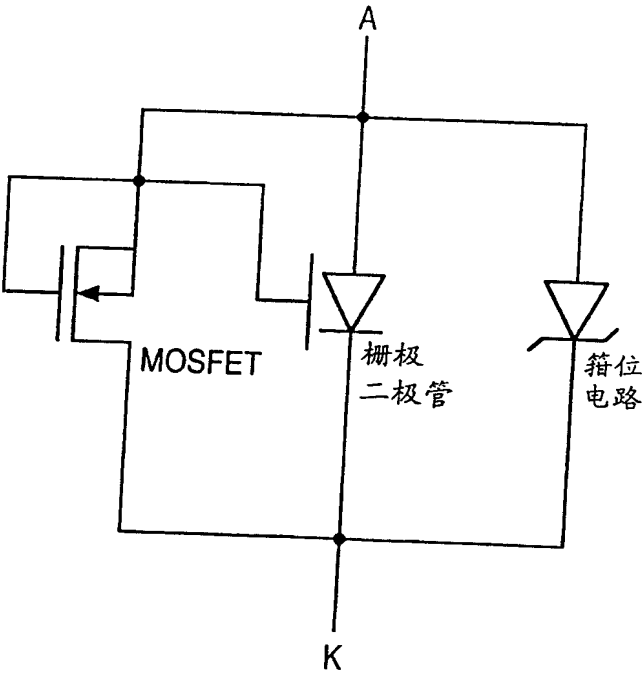


图 4G

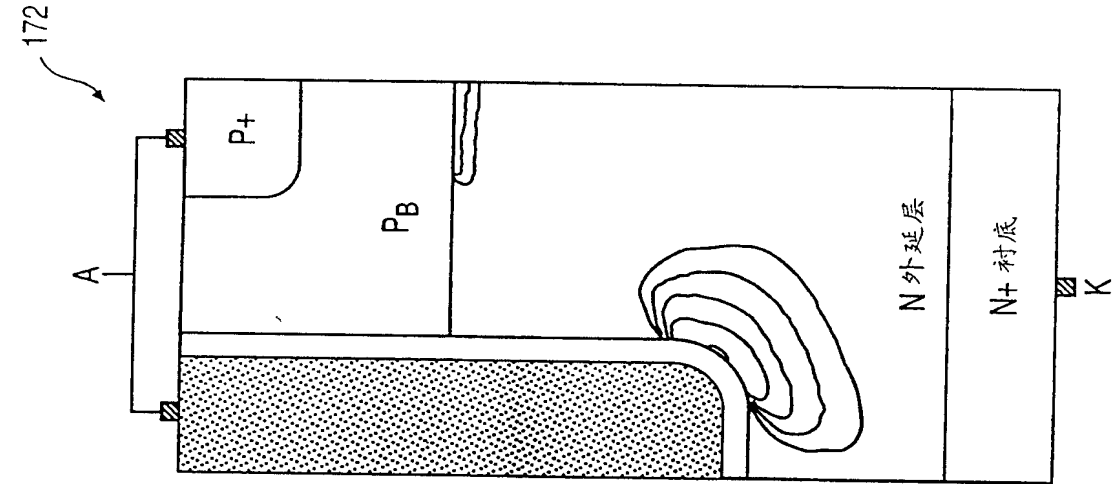


图 5B

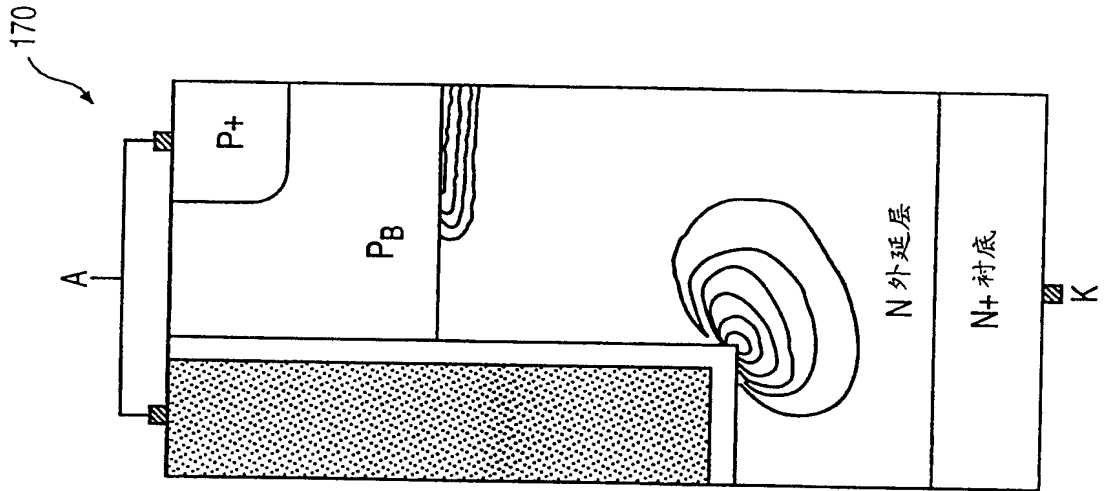


图 5A

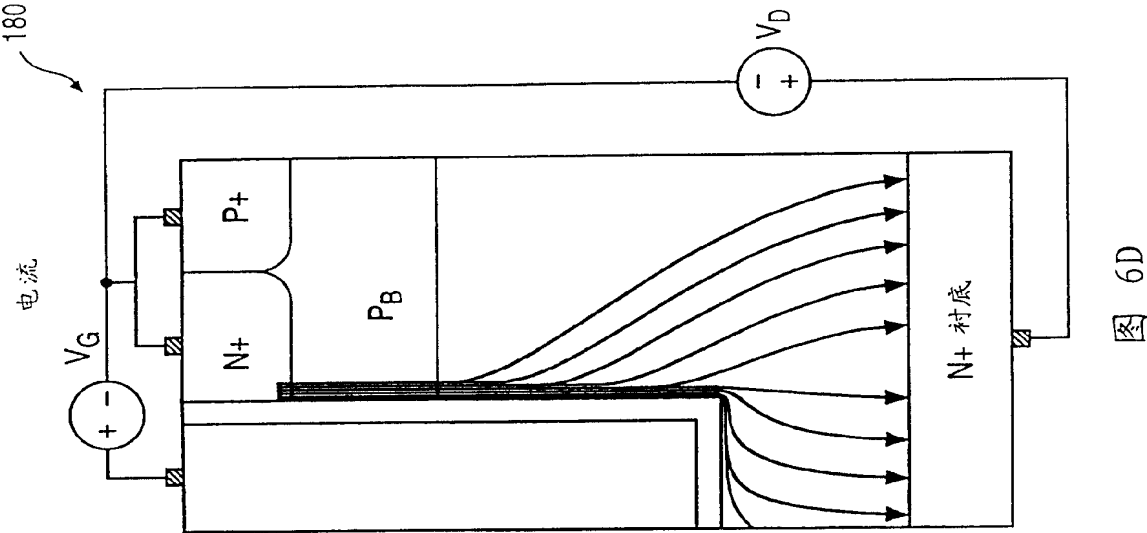


图 6D

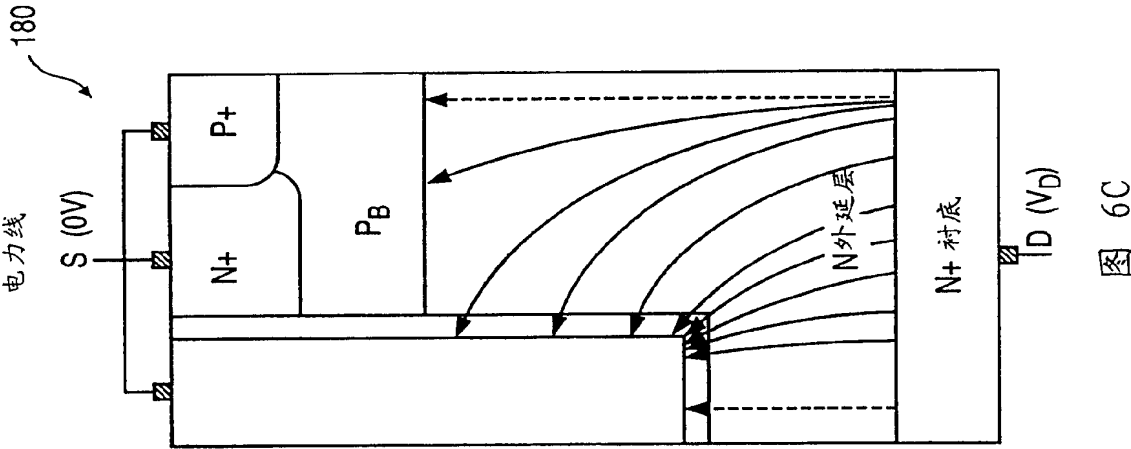


图 6C

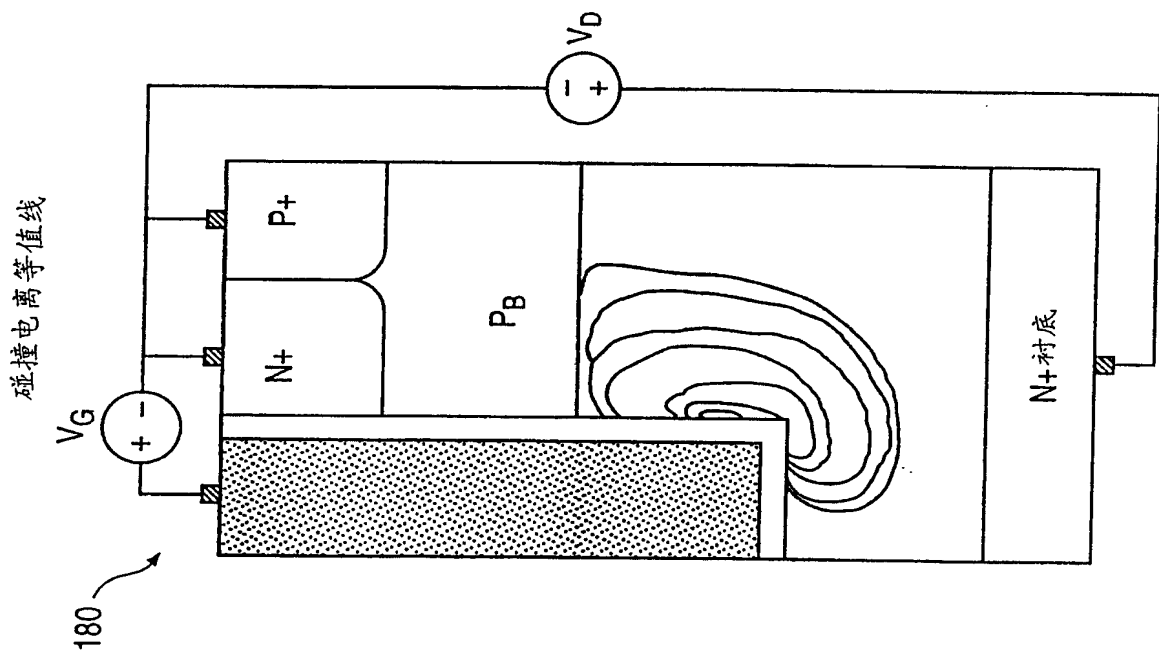


图 6E

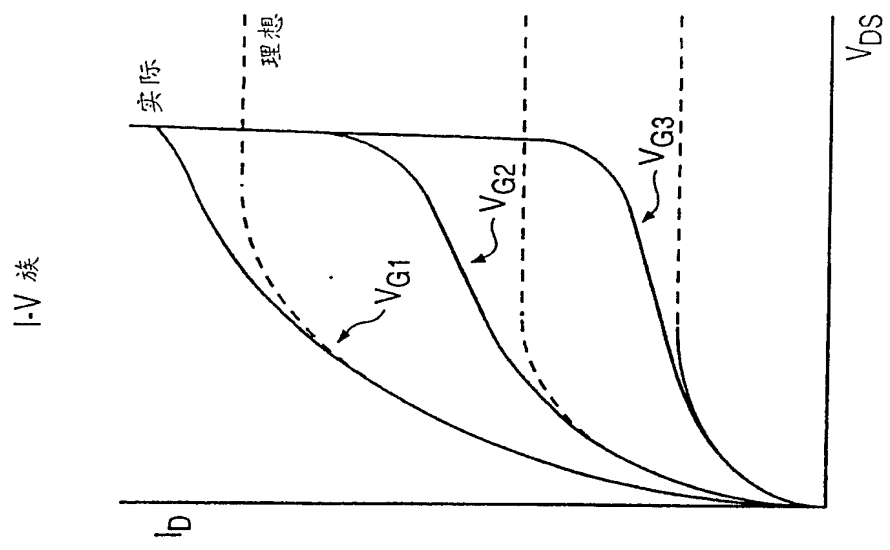


图 6F

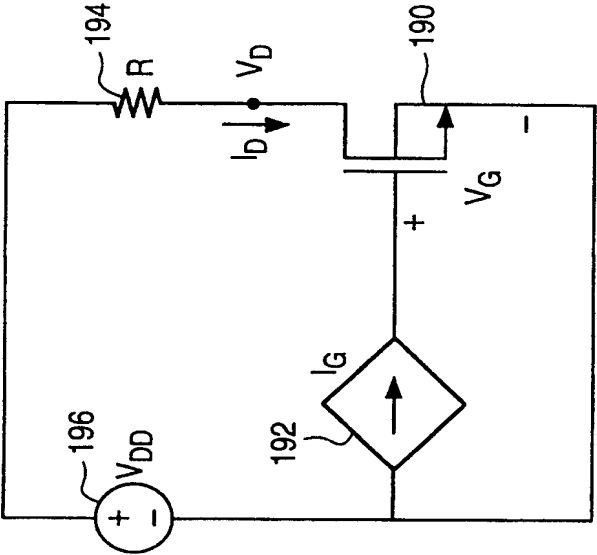


图 7A

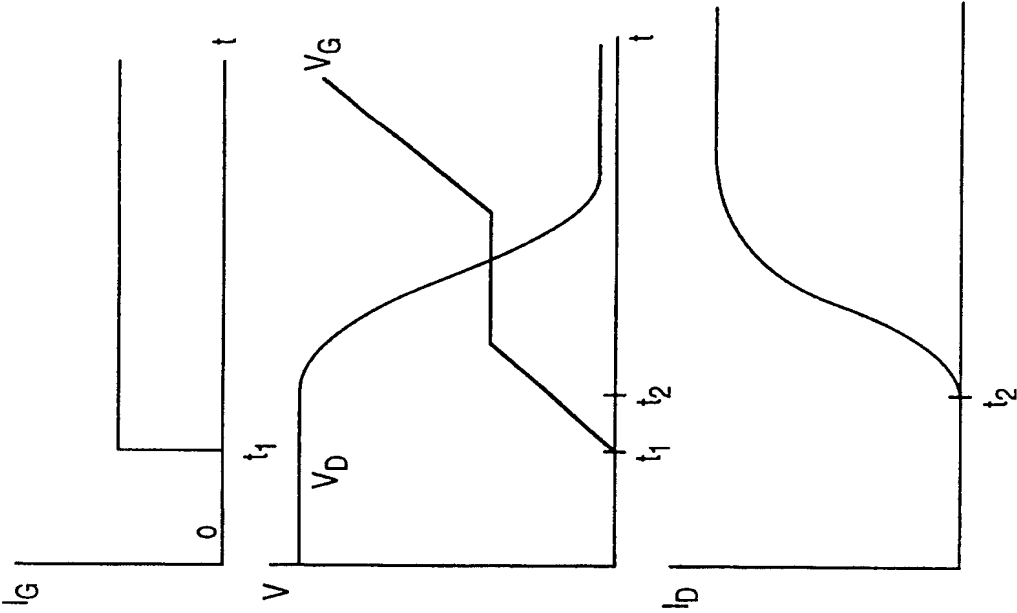


图 7B

图 7C

图 7D

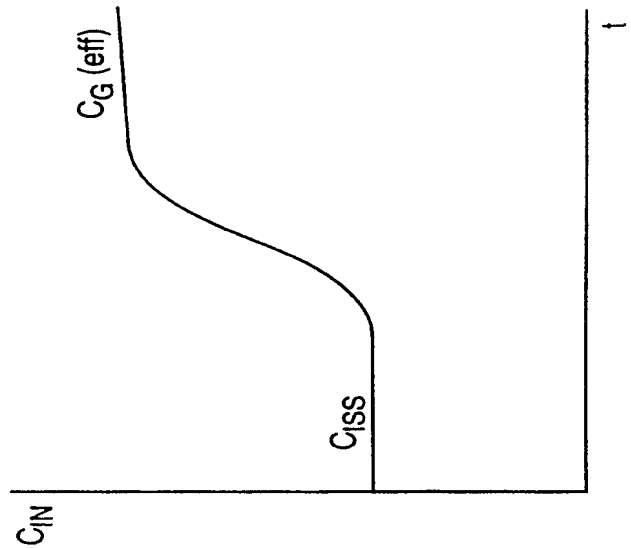


图 7F

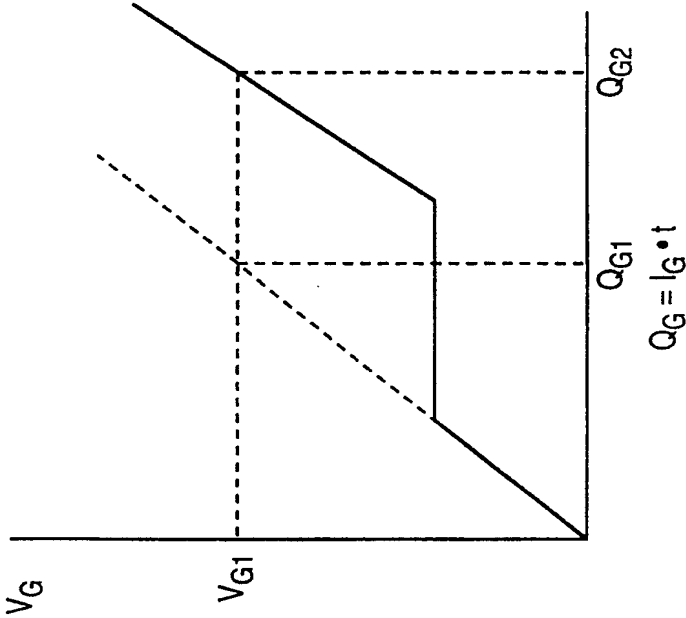


图 7E

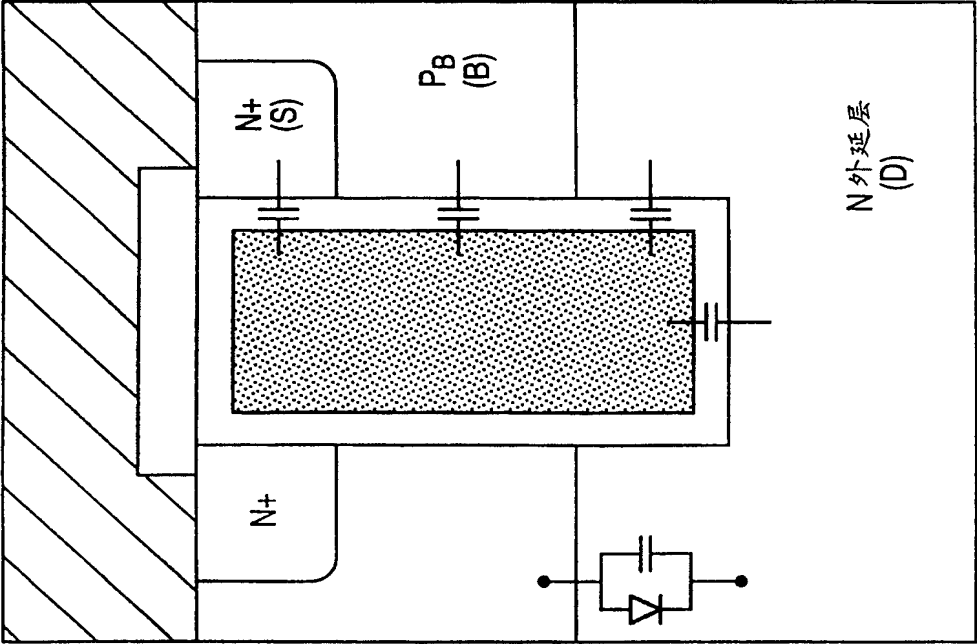


图 7G

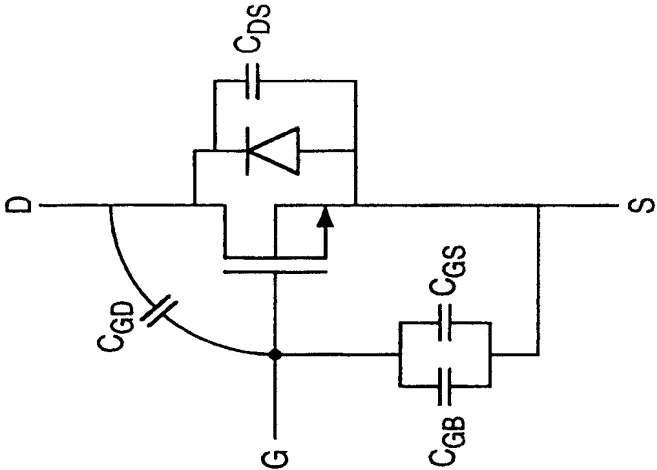


图 7H

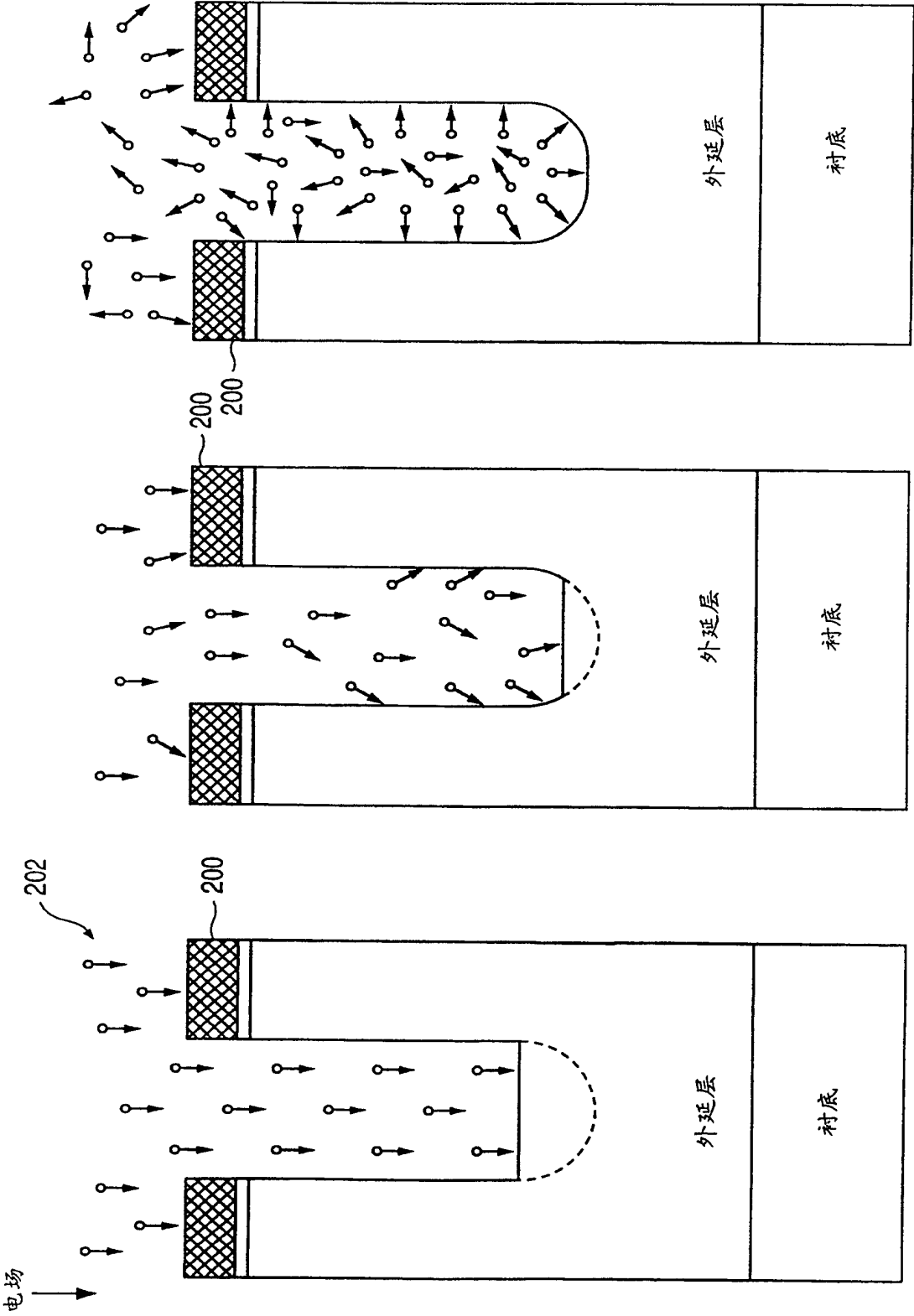


图 8A

图 8B

图 8C

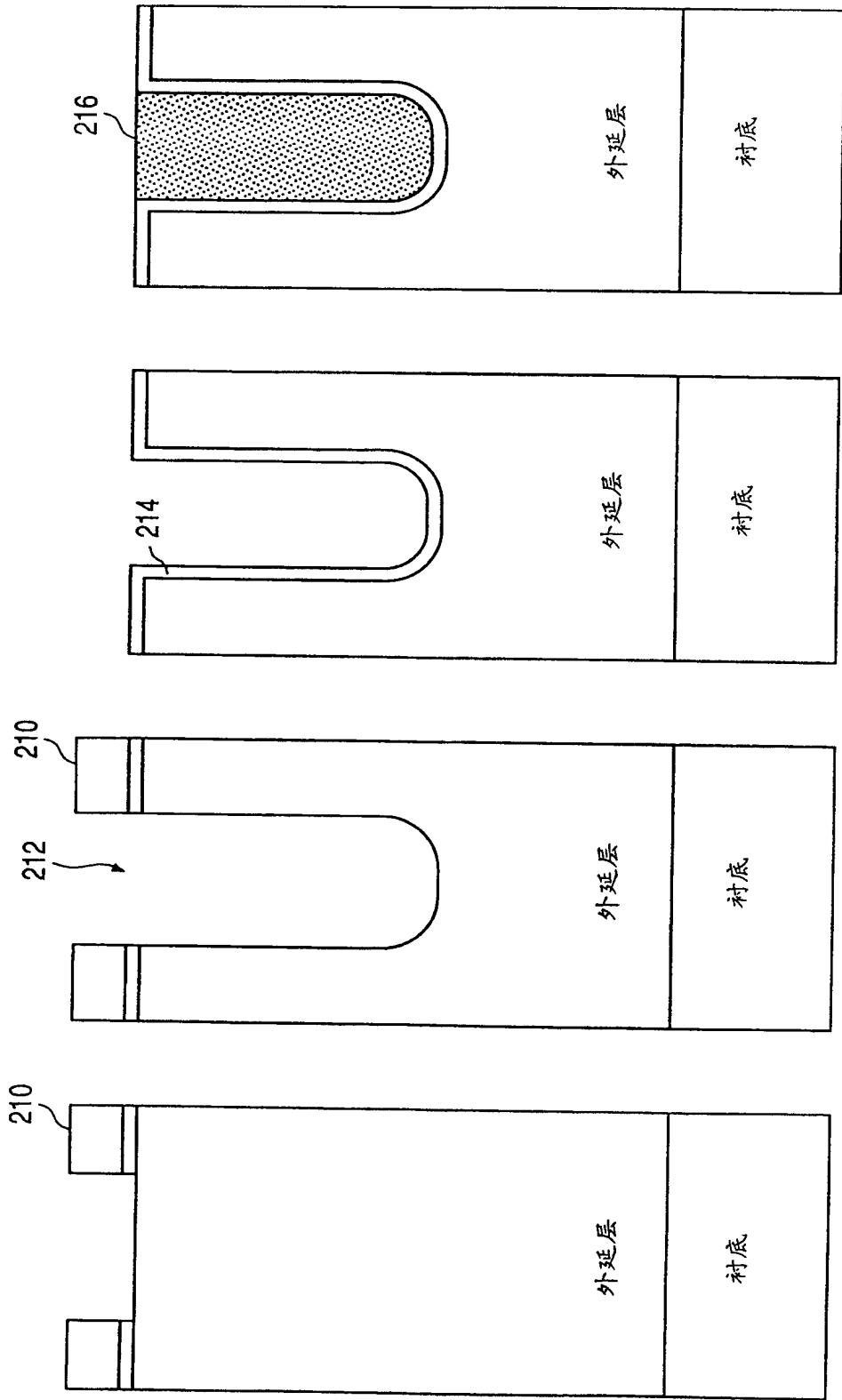


图 9D

图 9C

图 9B

图 9A

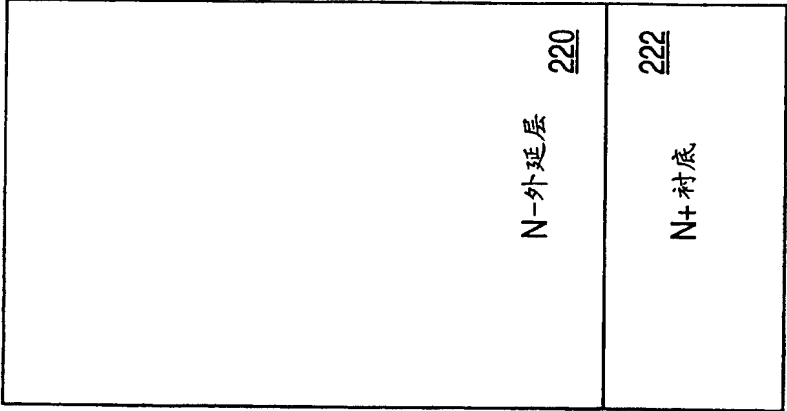


图 10A

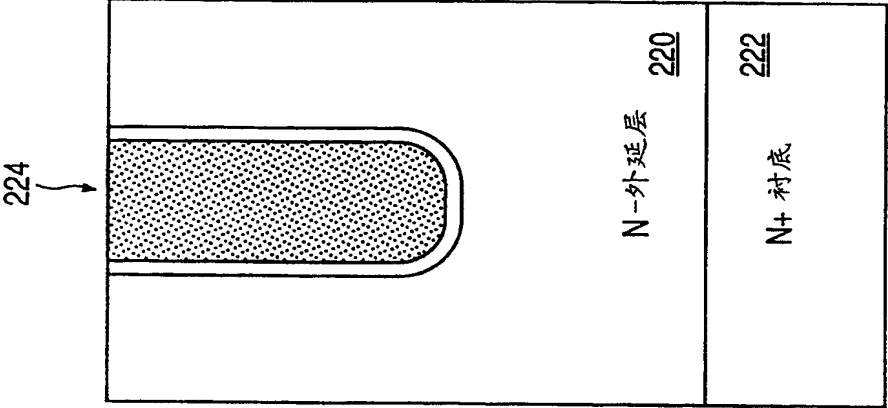


图 10B

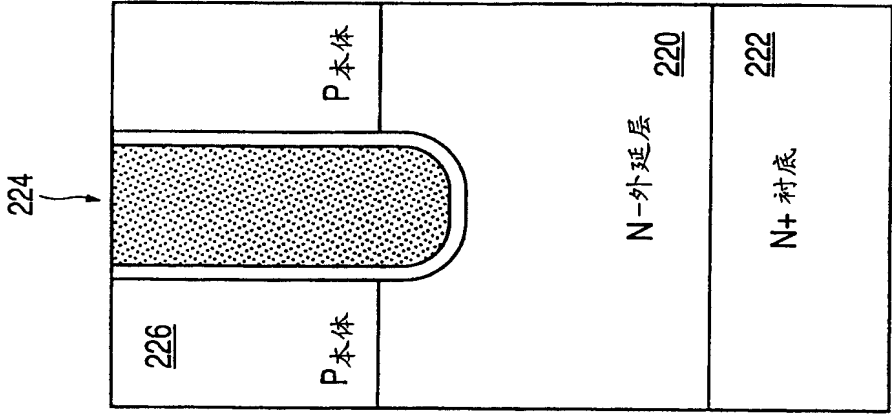


图 10C

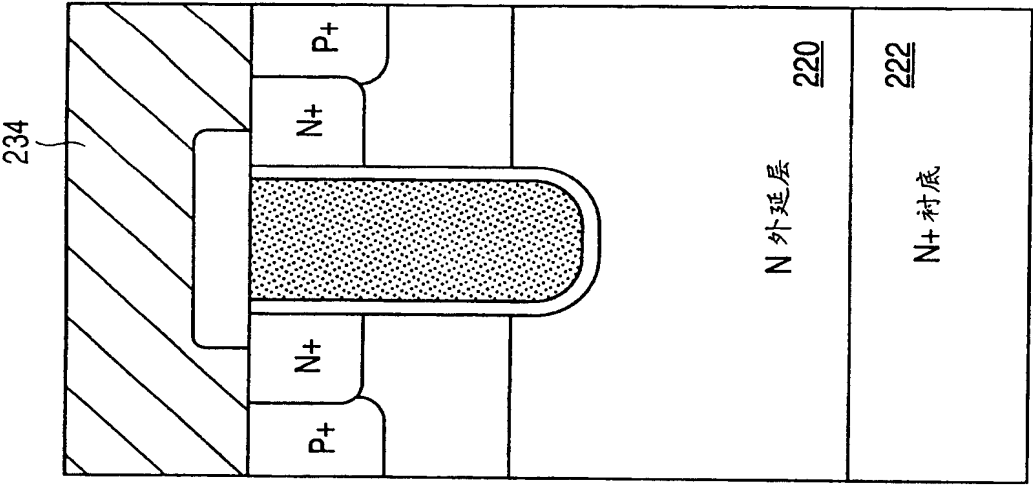


图 10F

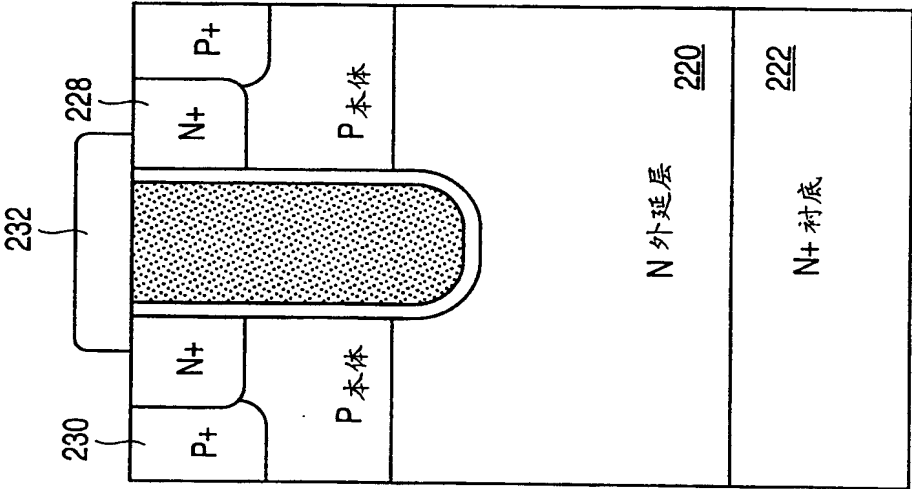


图 10E

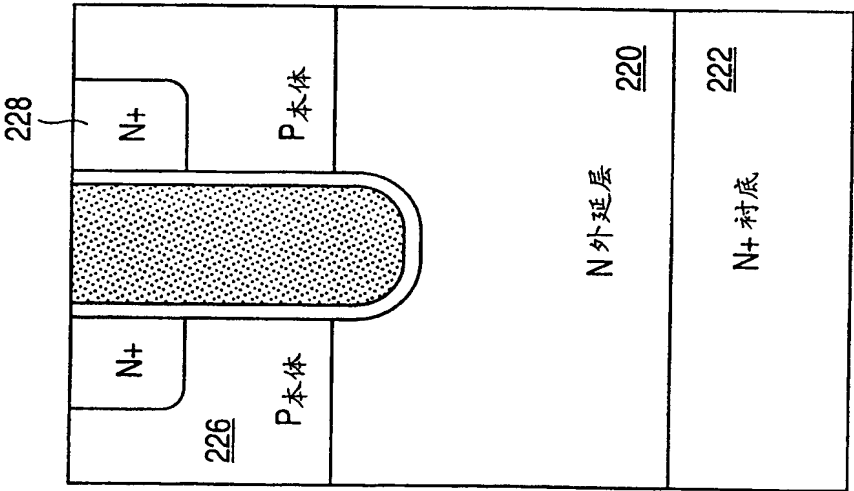


图 10D

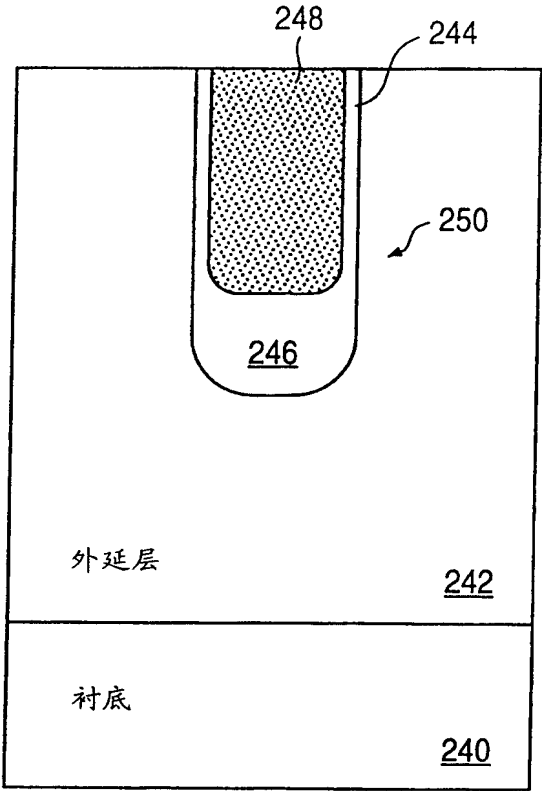


图 11A

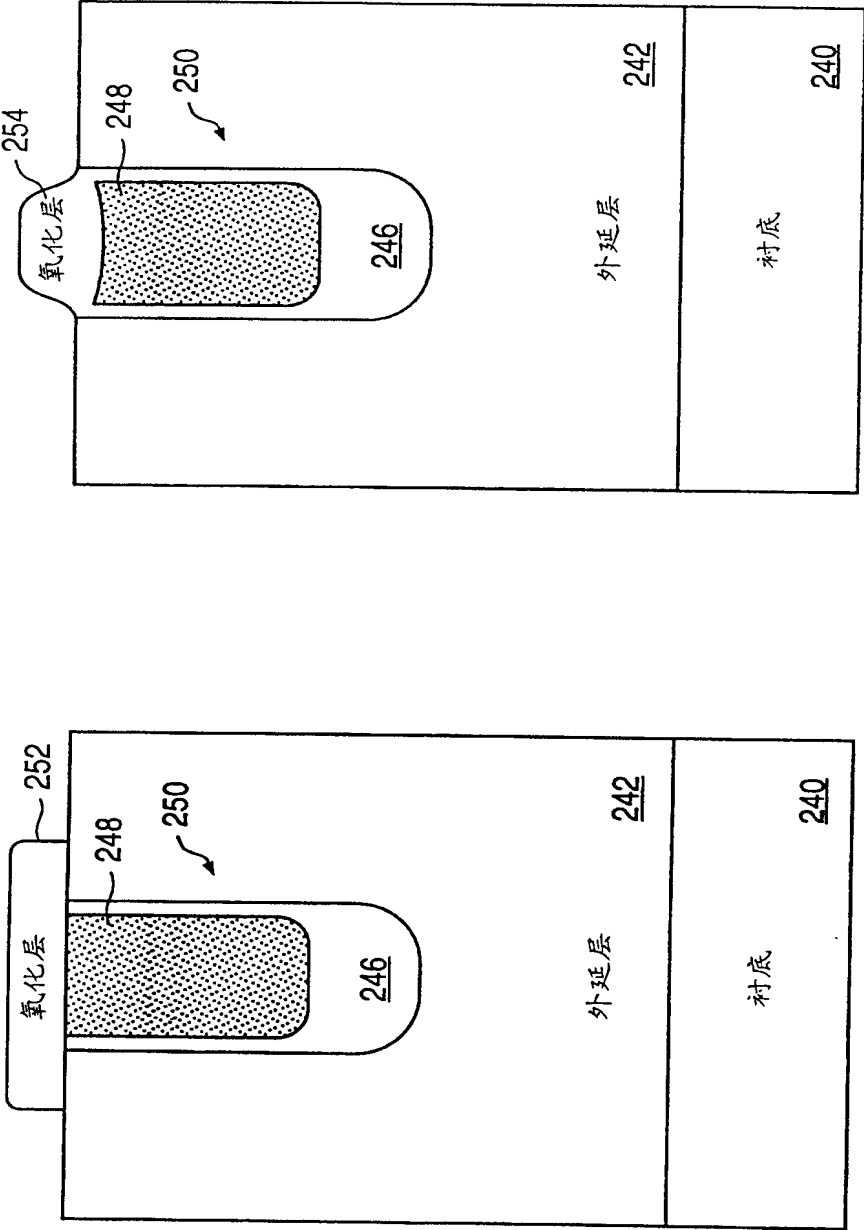


图 11C

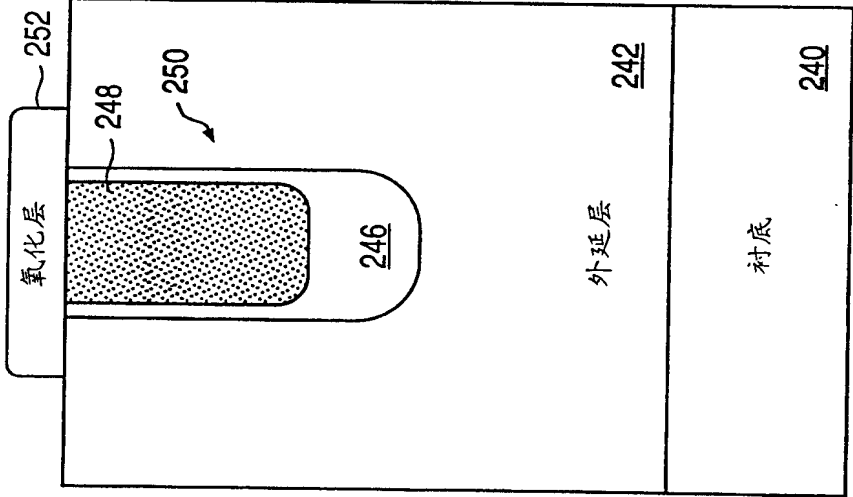
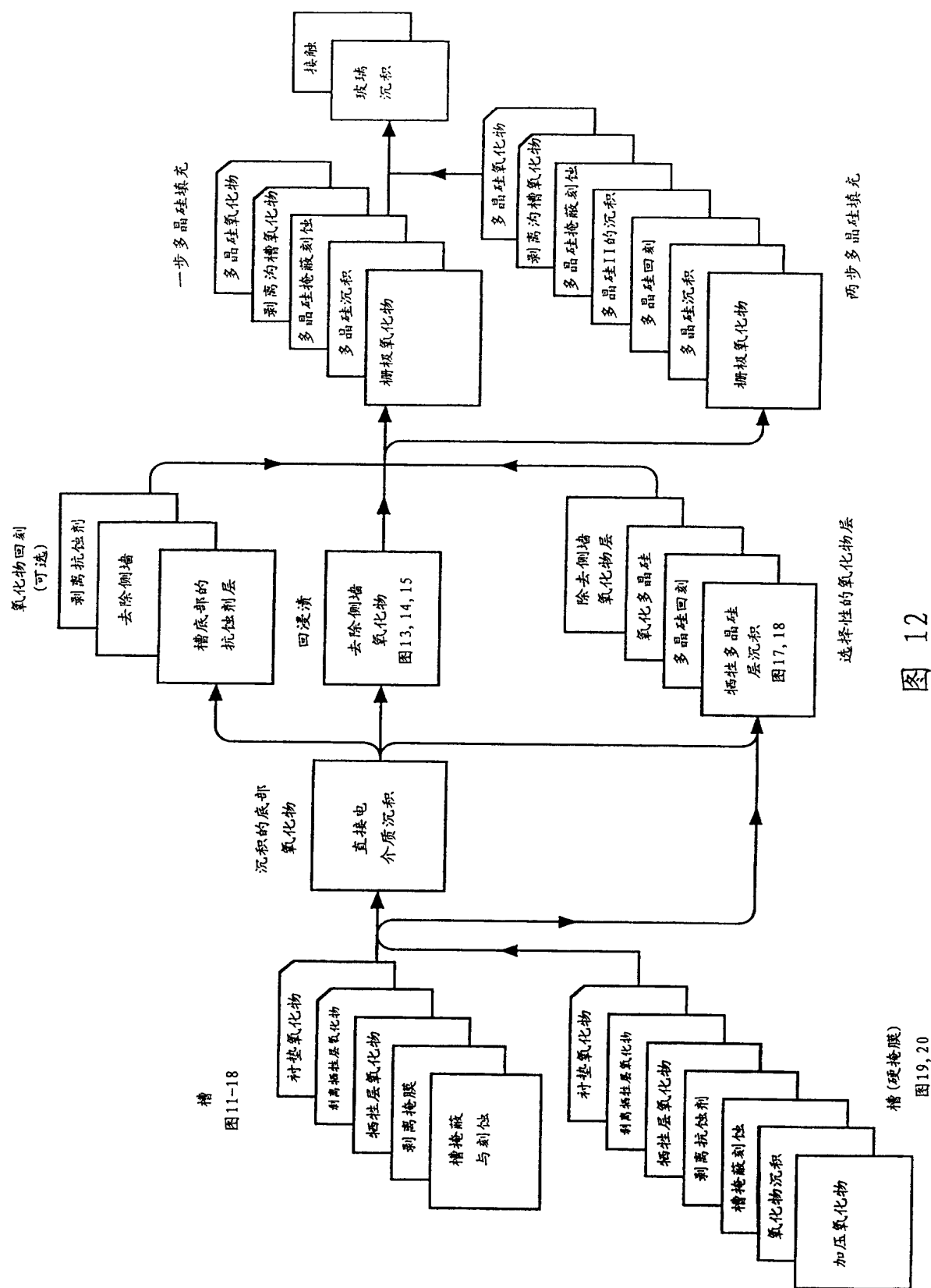


图 11B



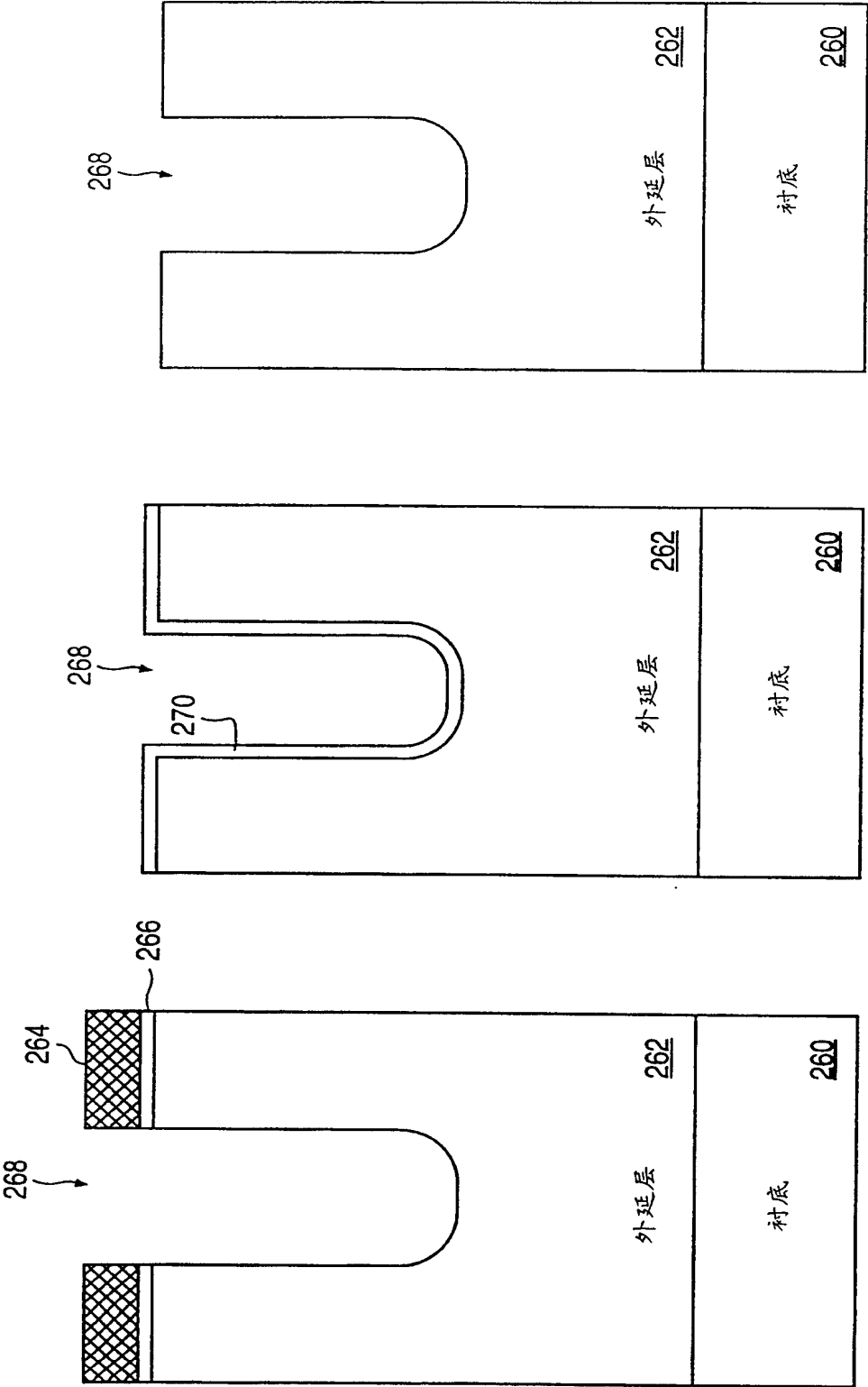


图 13A

图 13B

图 13C

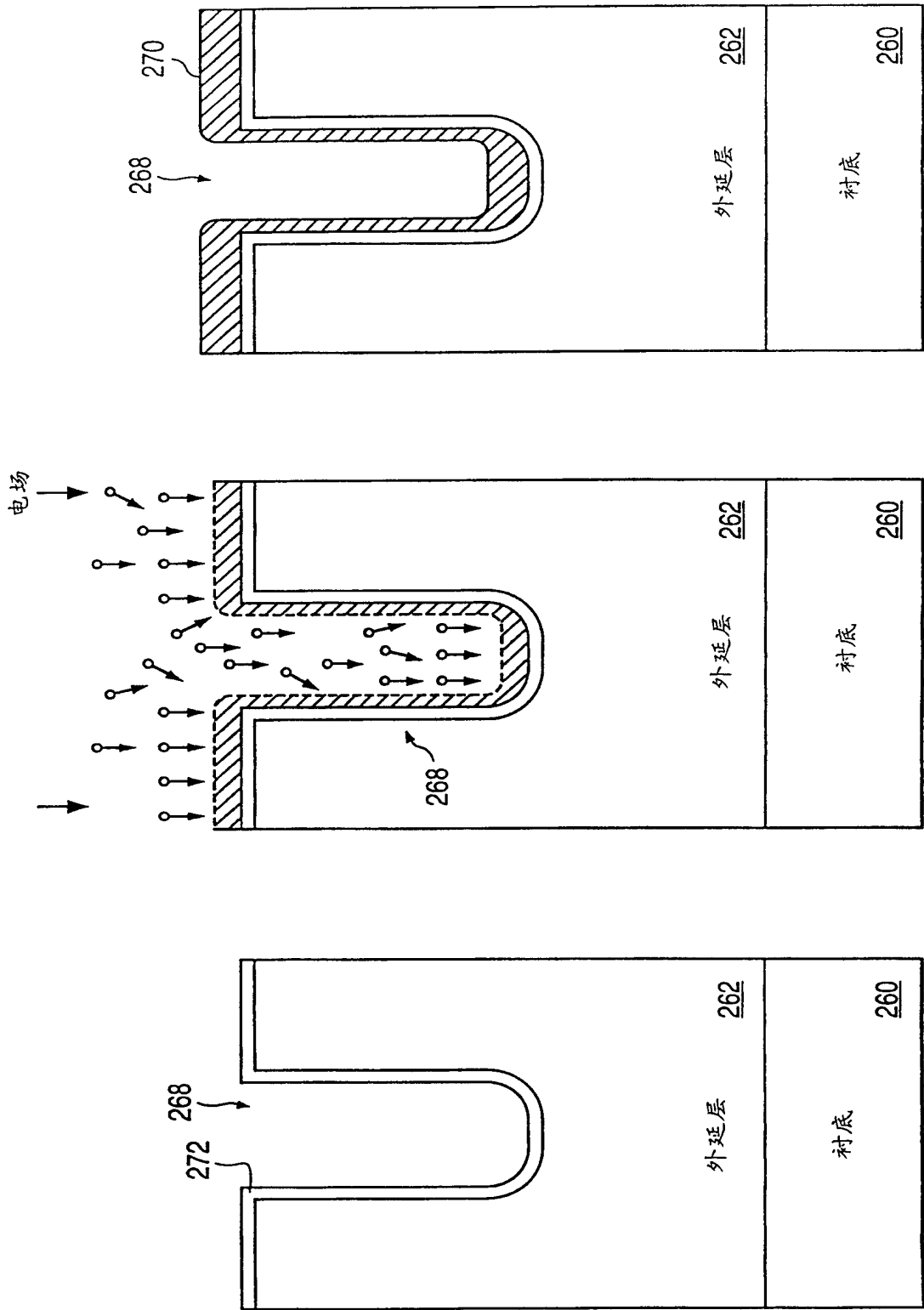


图 13F

图 13E

图 13D

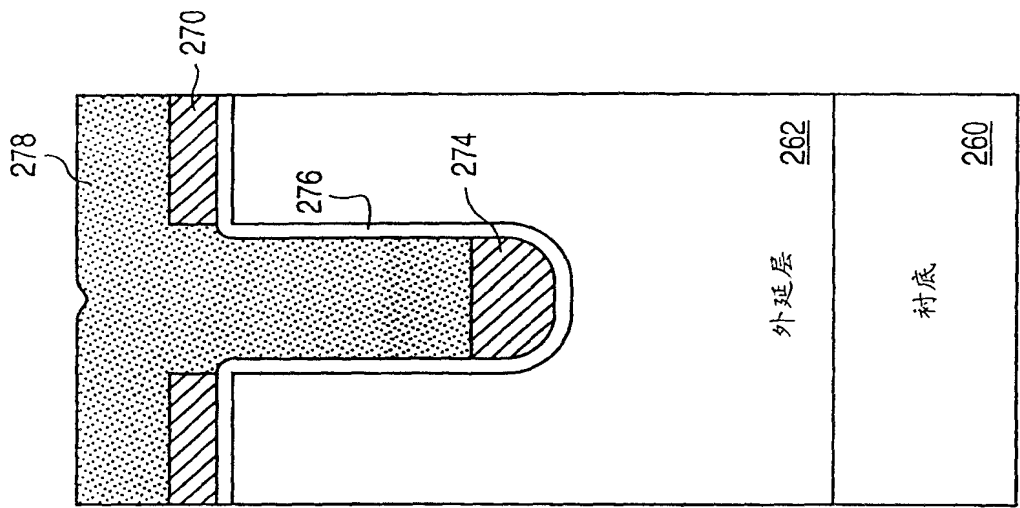


图 13I

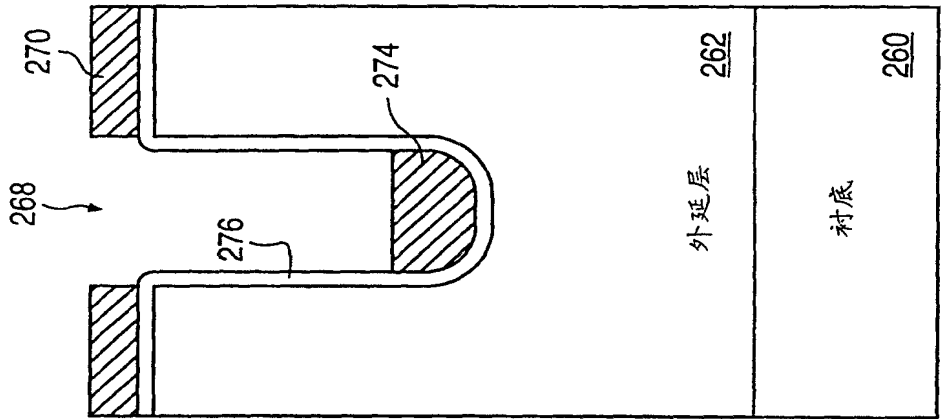


图 13H

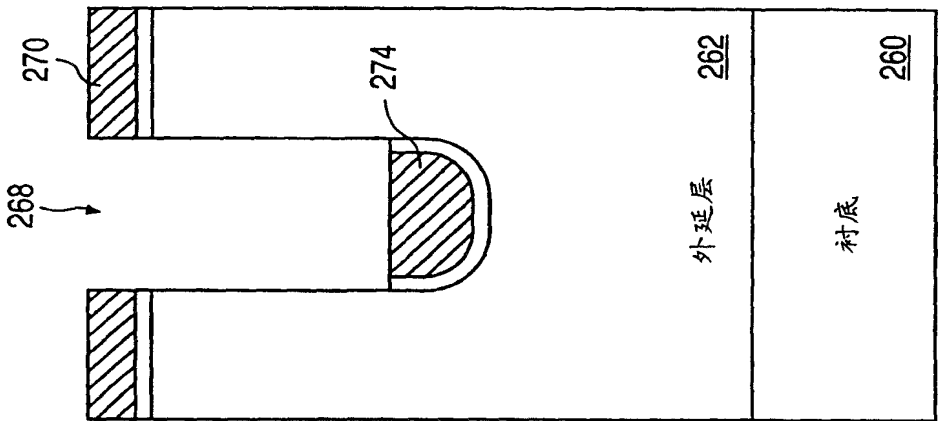


图 13G

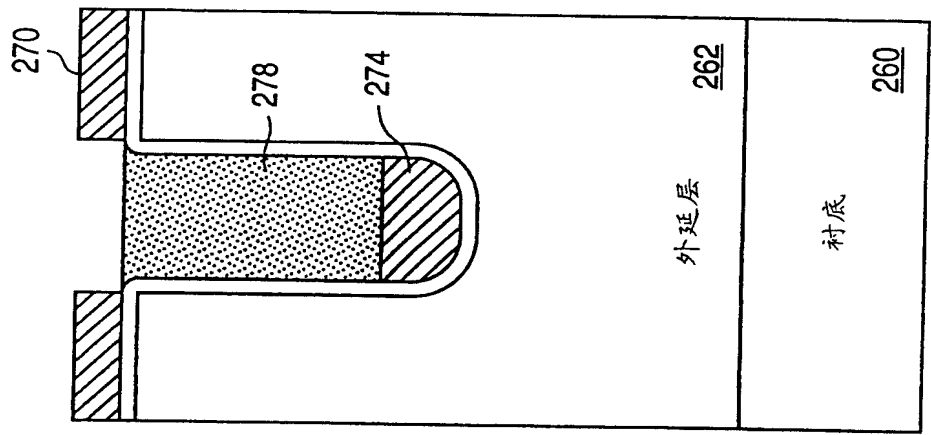


图 13J

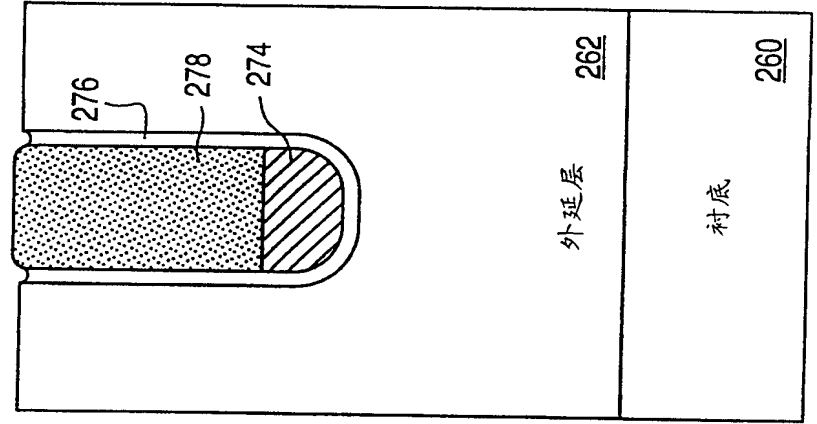


图 13K

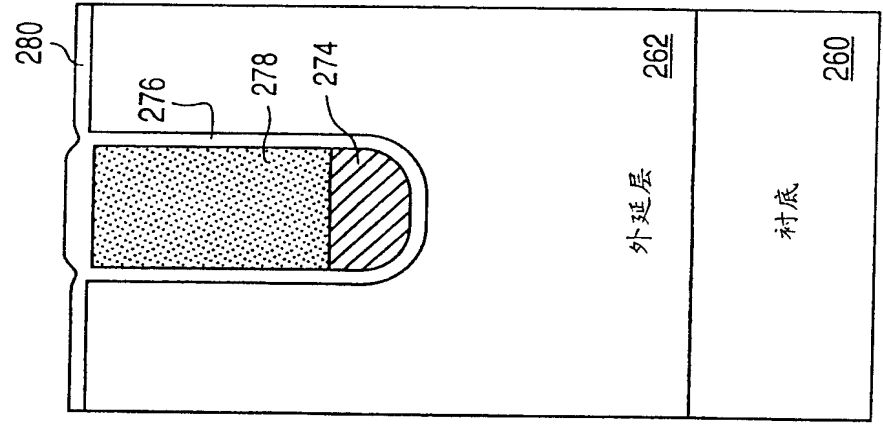


图 13L

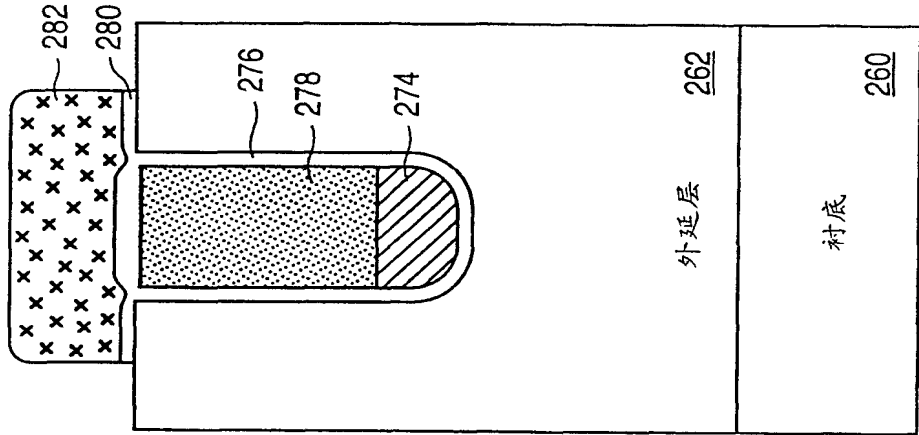


图 13N

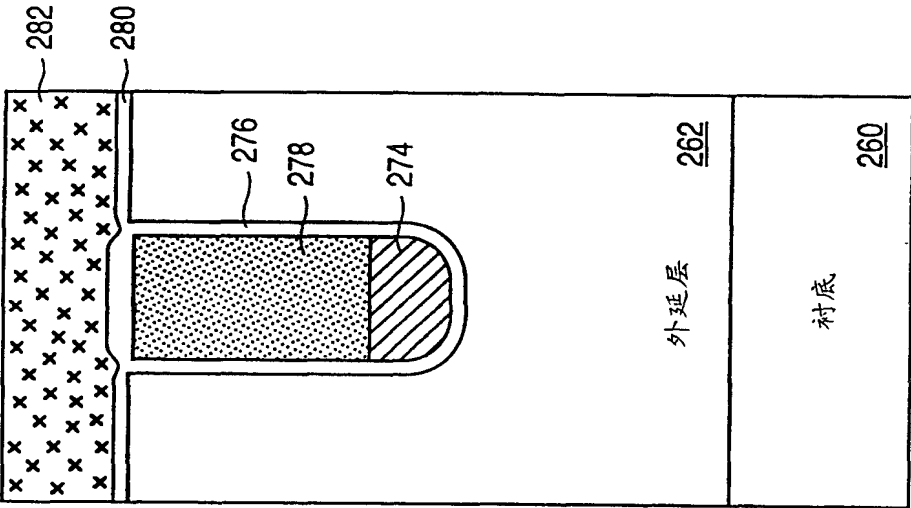


图 13M

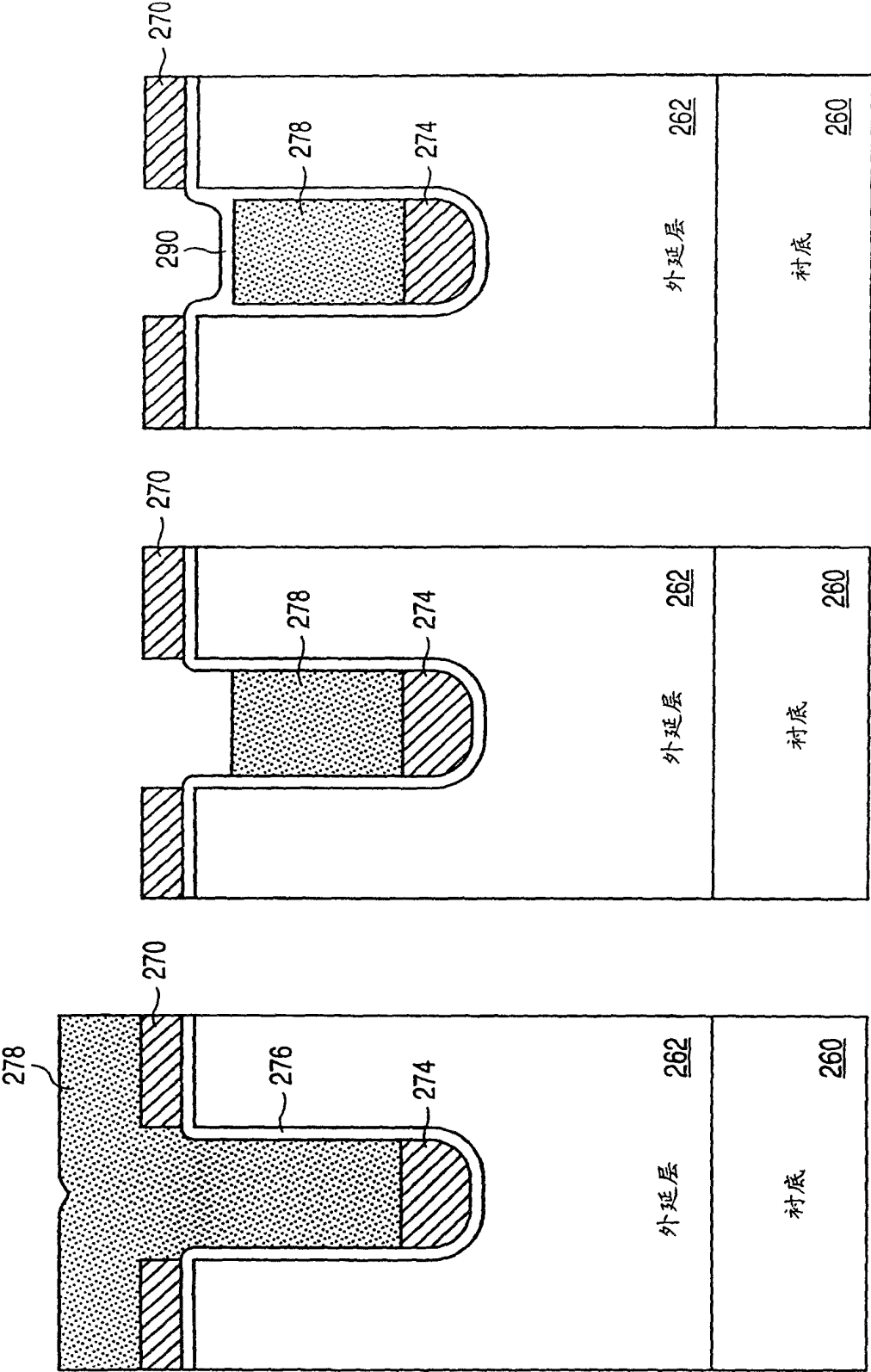


图 14C

图 14B

图 14A

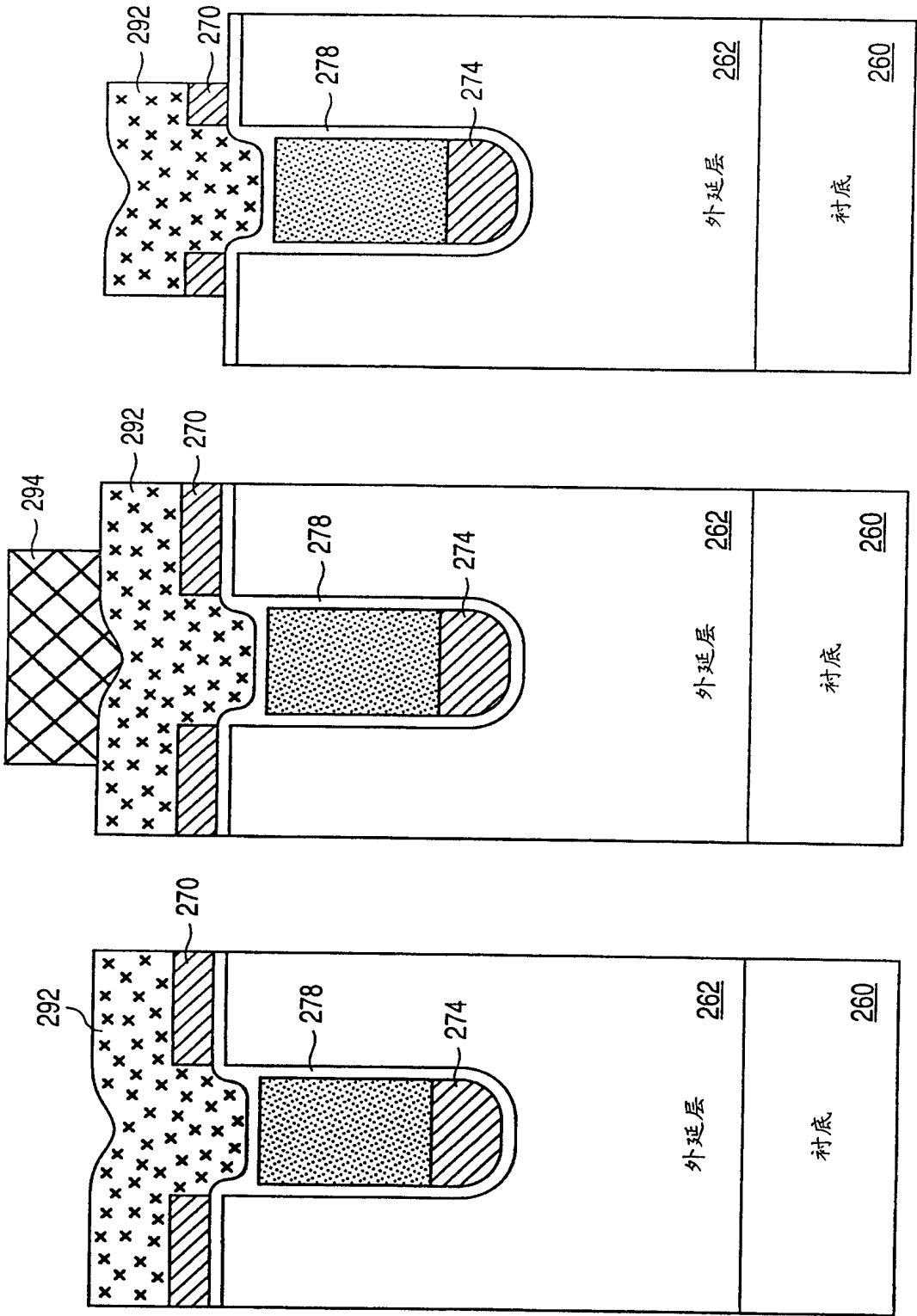


图 14D

图 14E

图 14F

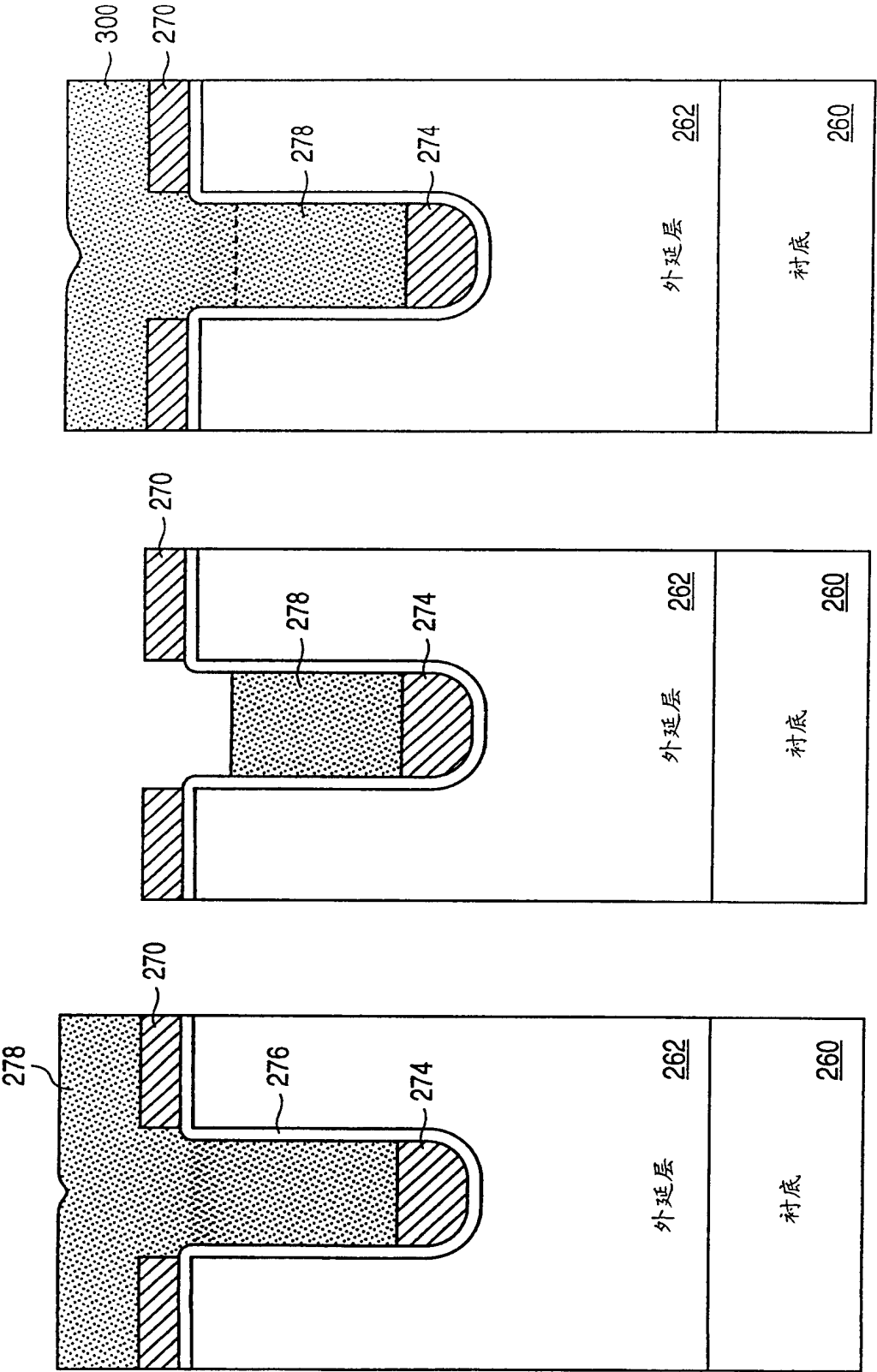


图 15C

图 15B

图 15A

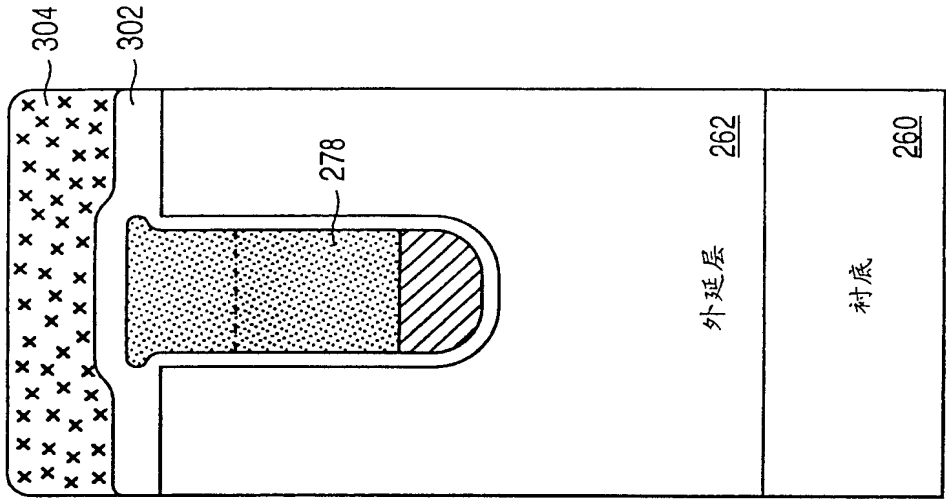


图 15F

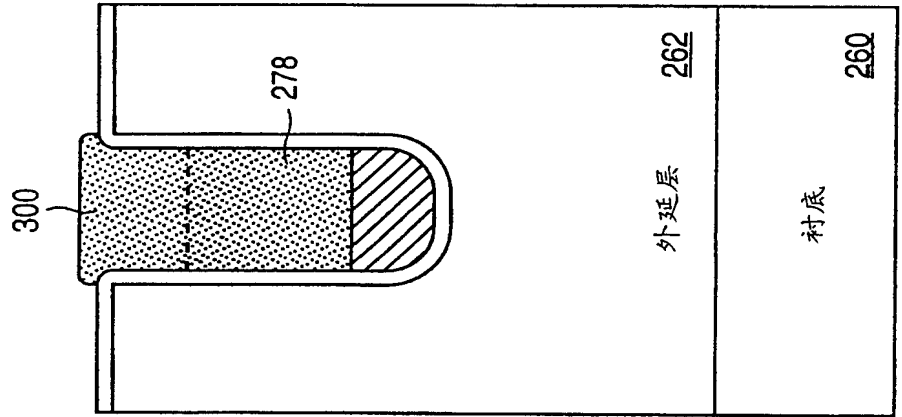


图 15E

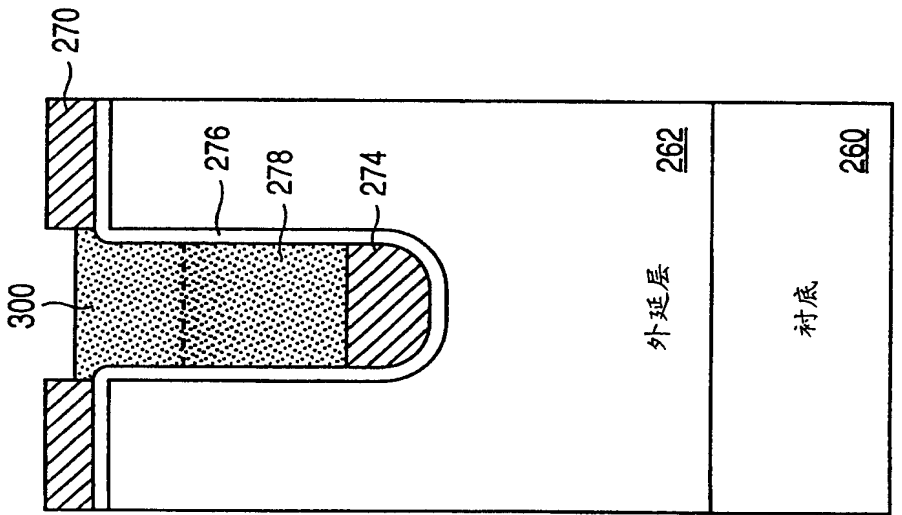


图 15D

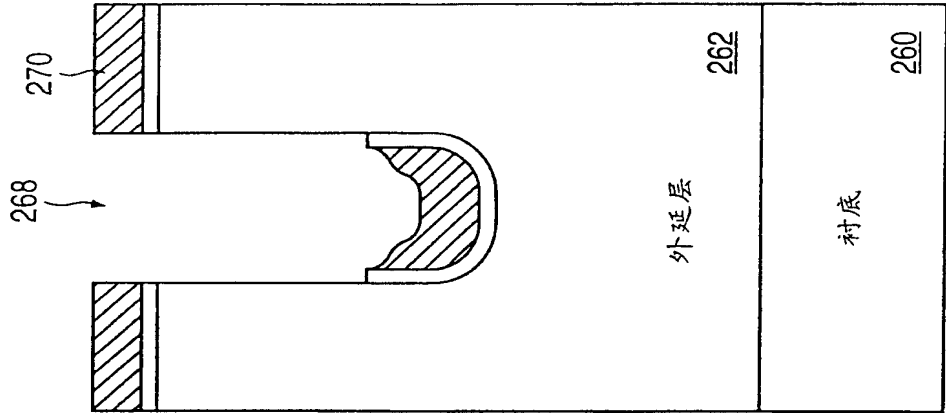


图 16C

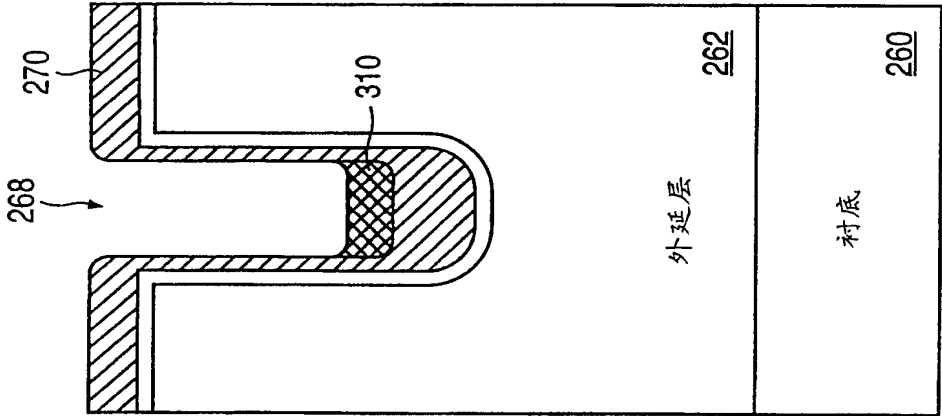


图 16B

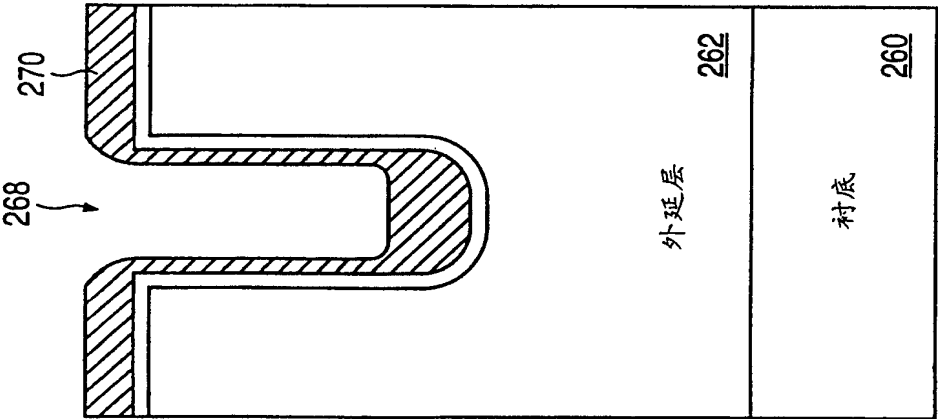


图 16A

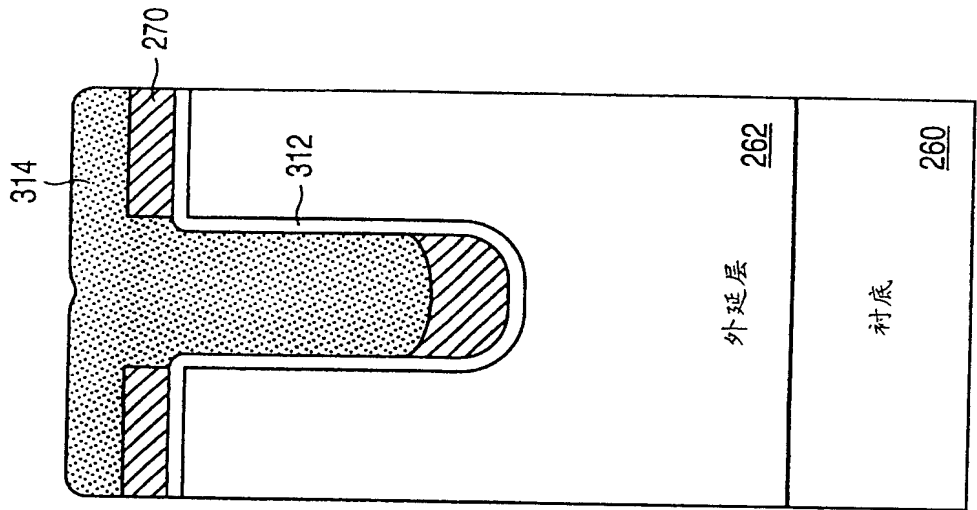


图 16E

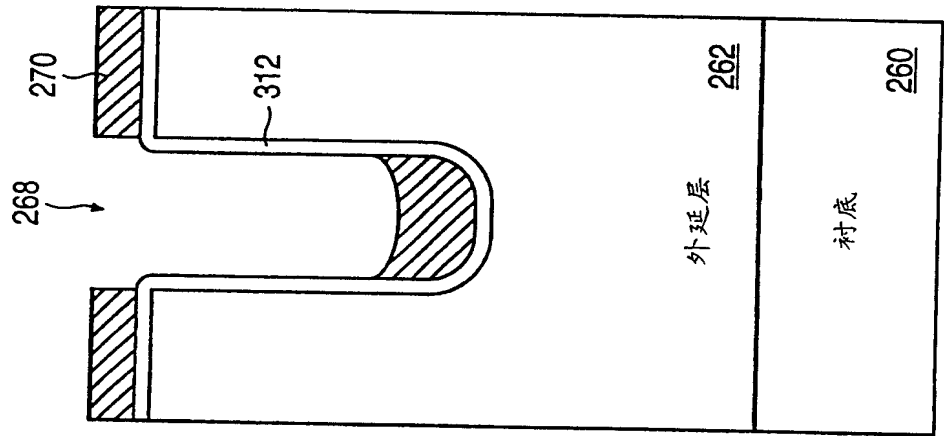


图 16D

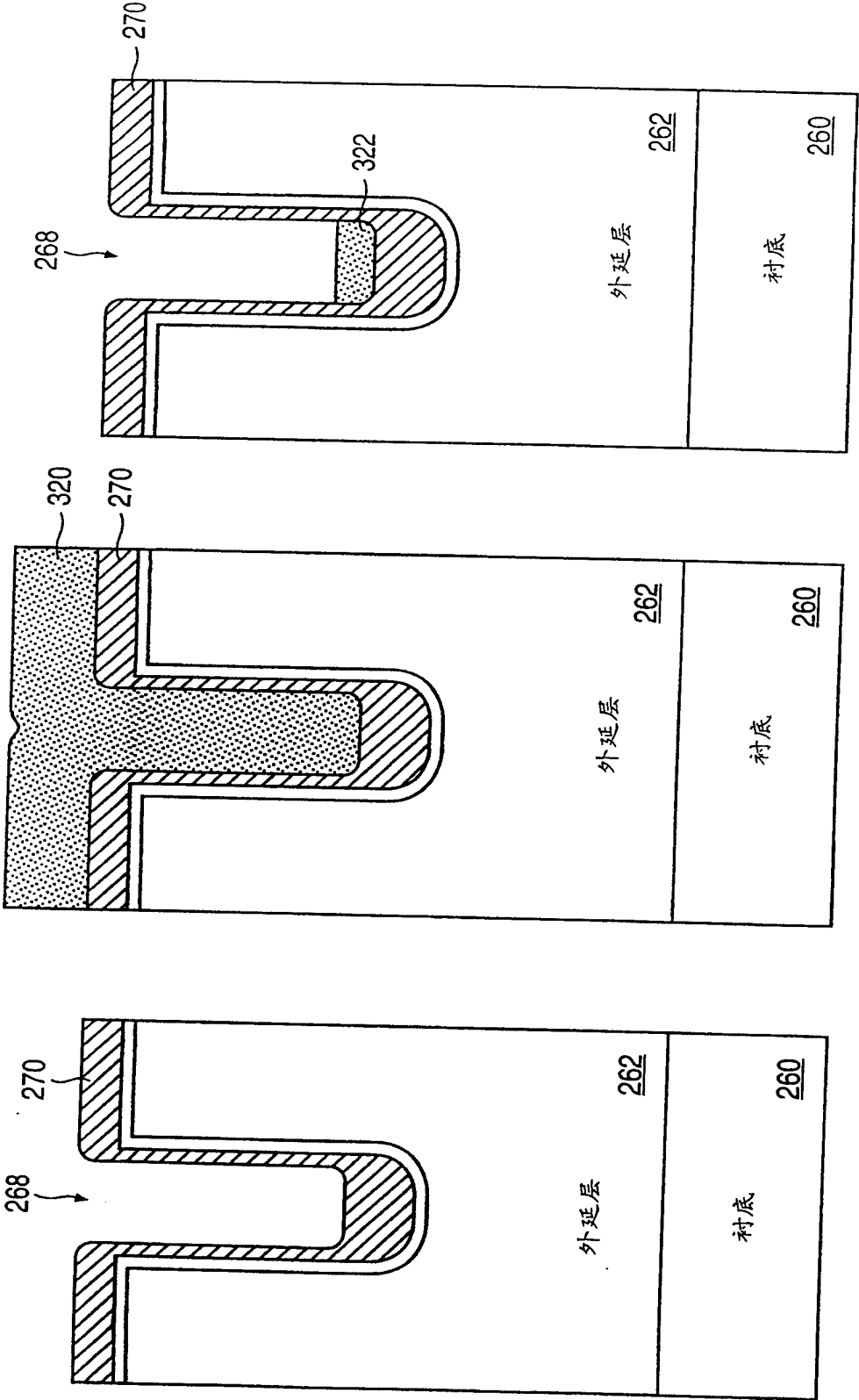


图 17C

图 17B

图 17A

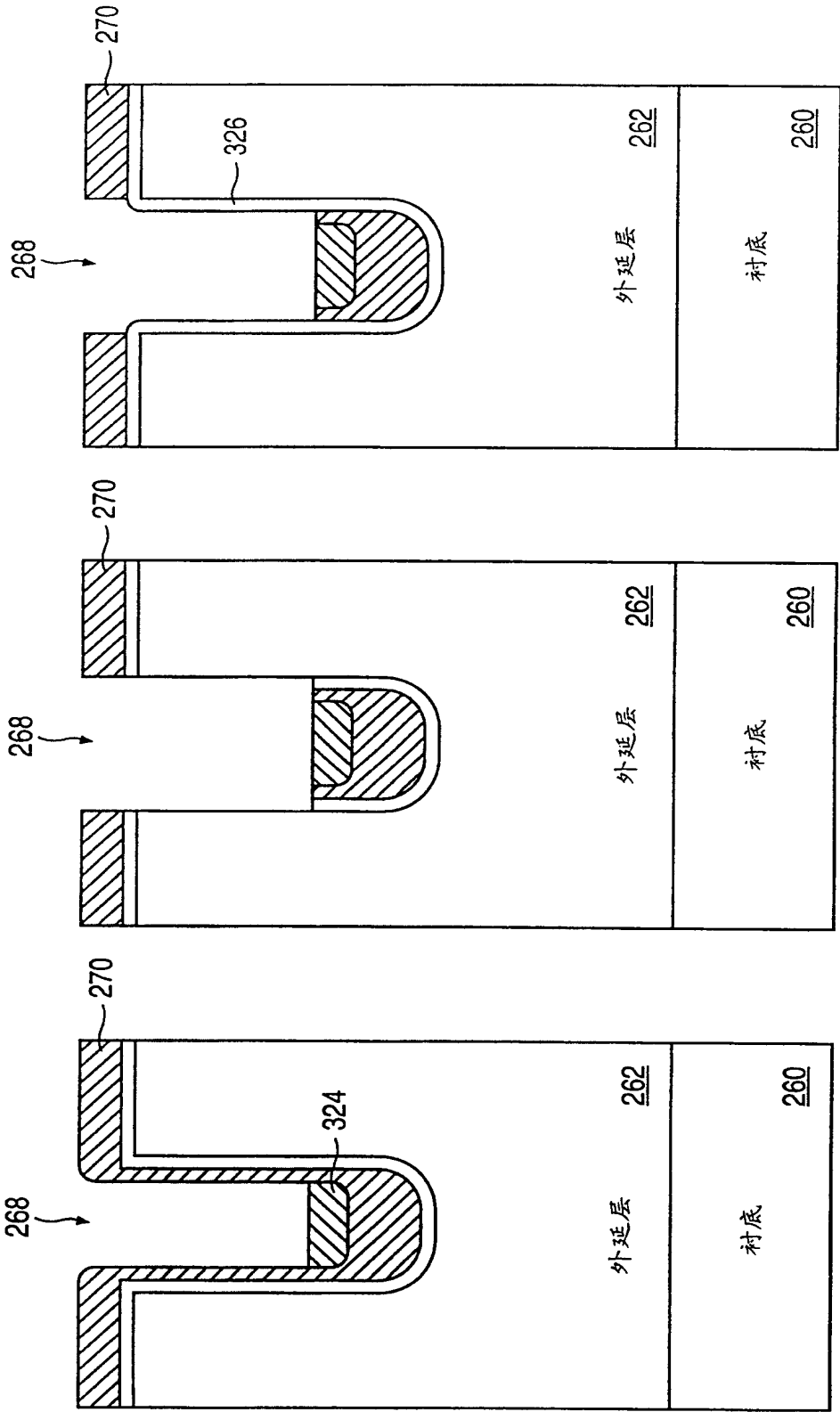


图 17F

图 17E

图 17D

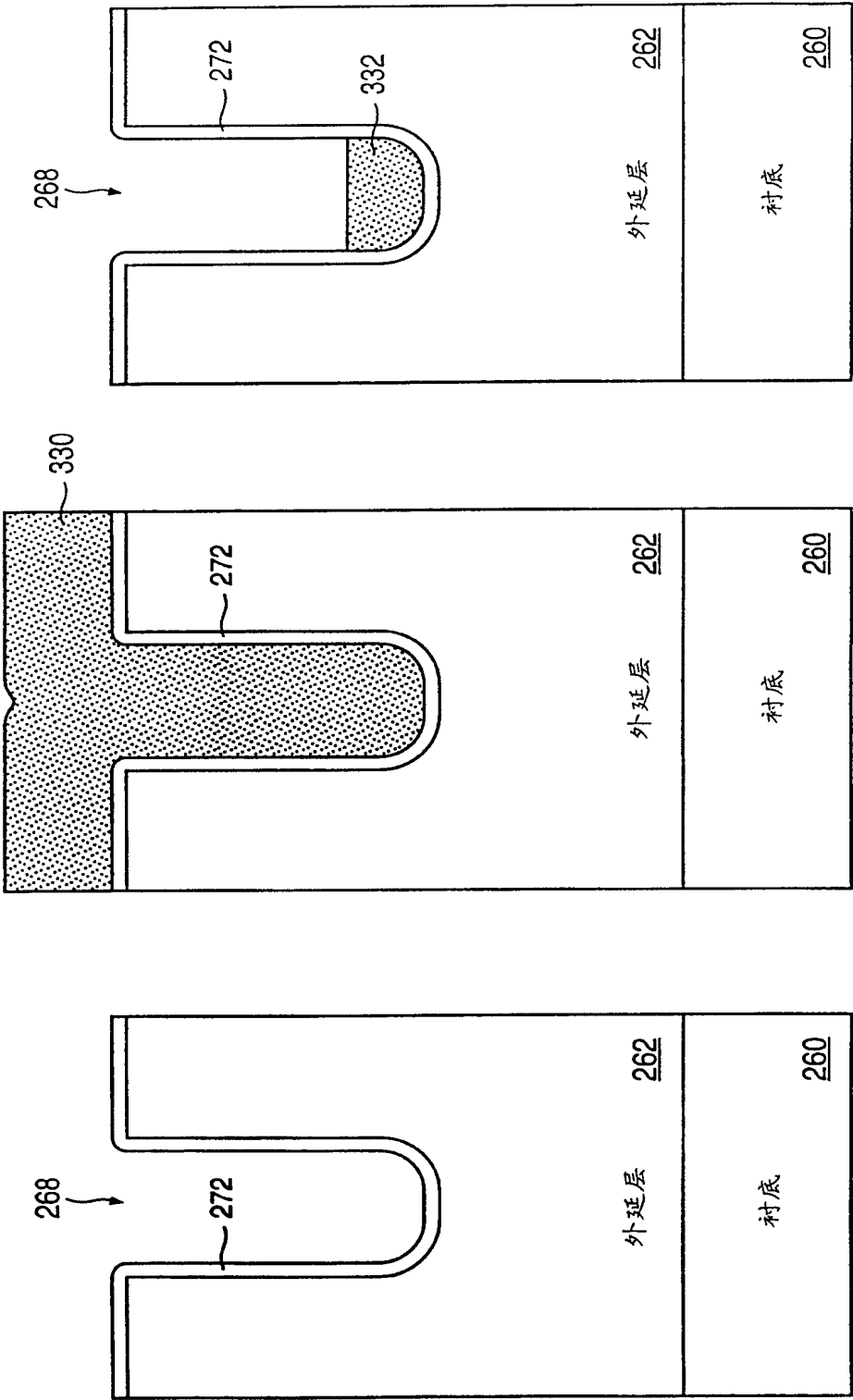


图 18A

图 18B

图 18C

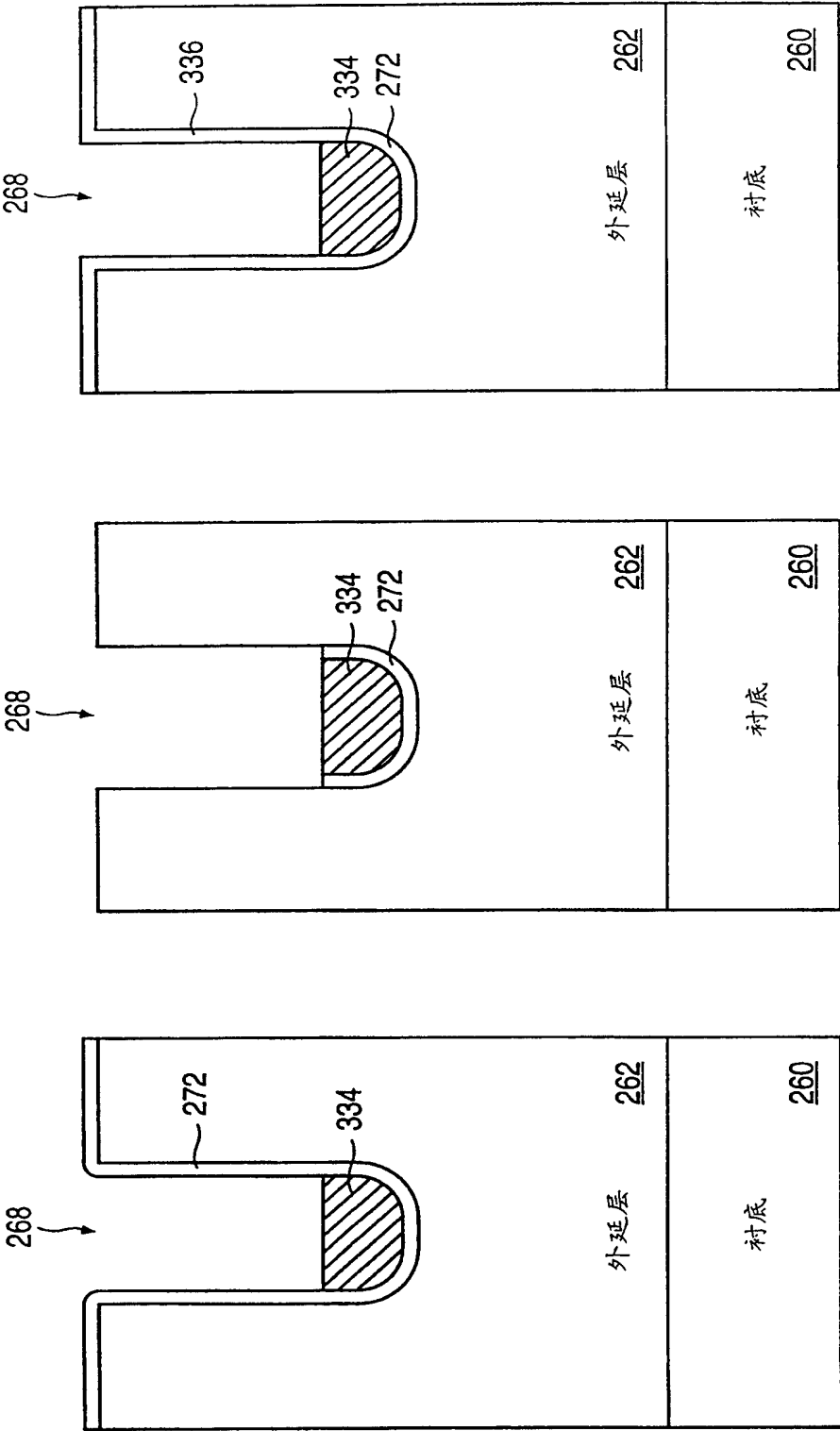


图 18D

图 18E

图 18F

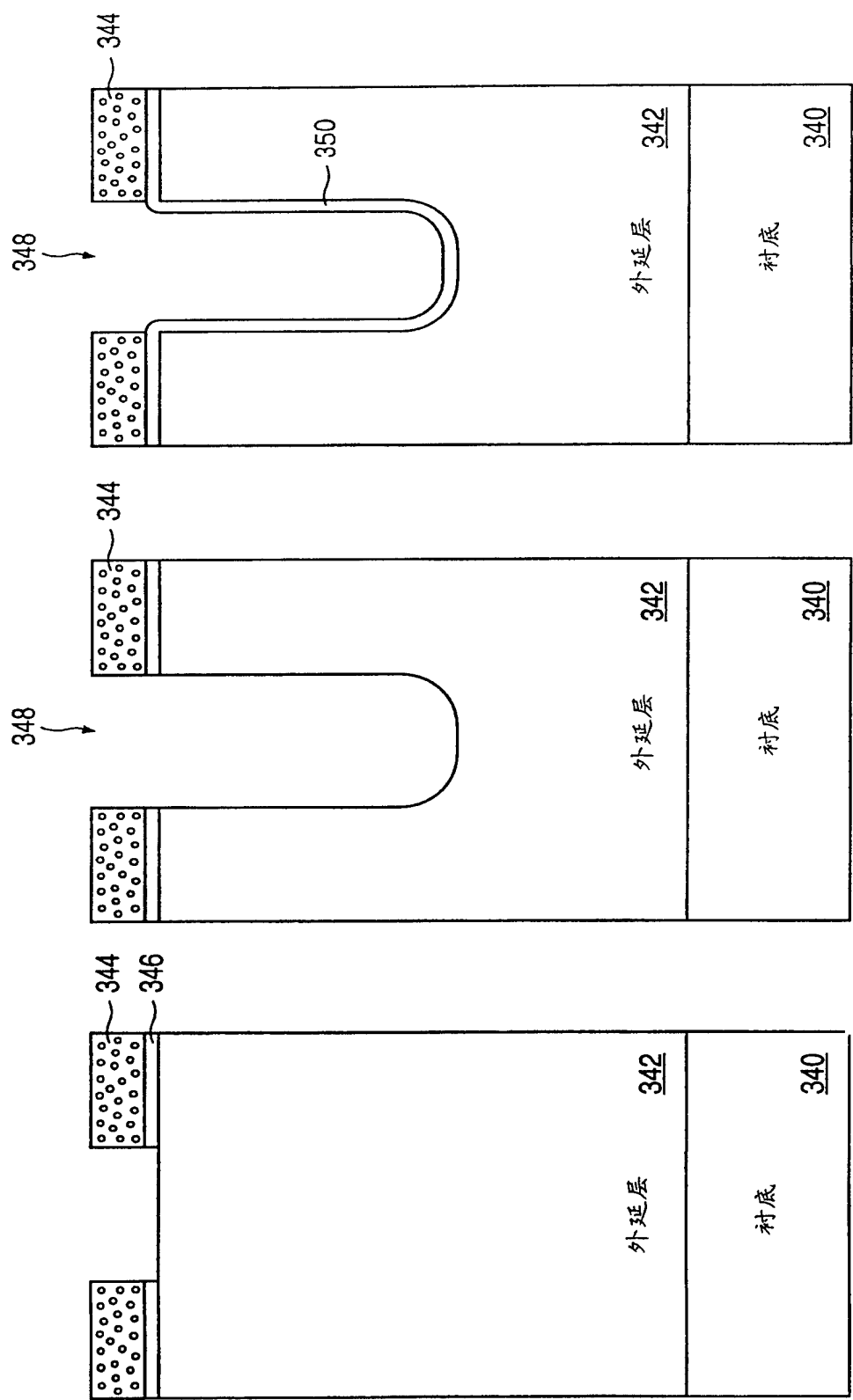


图 19A

图 19B

图 19C

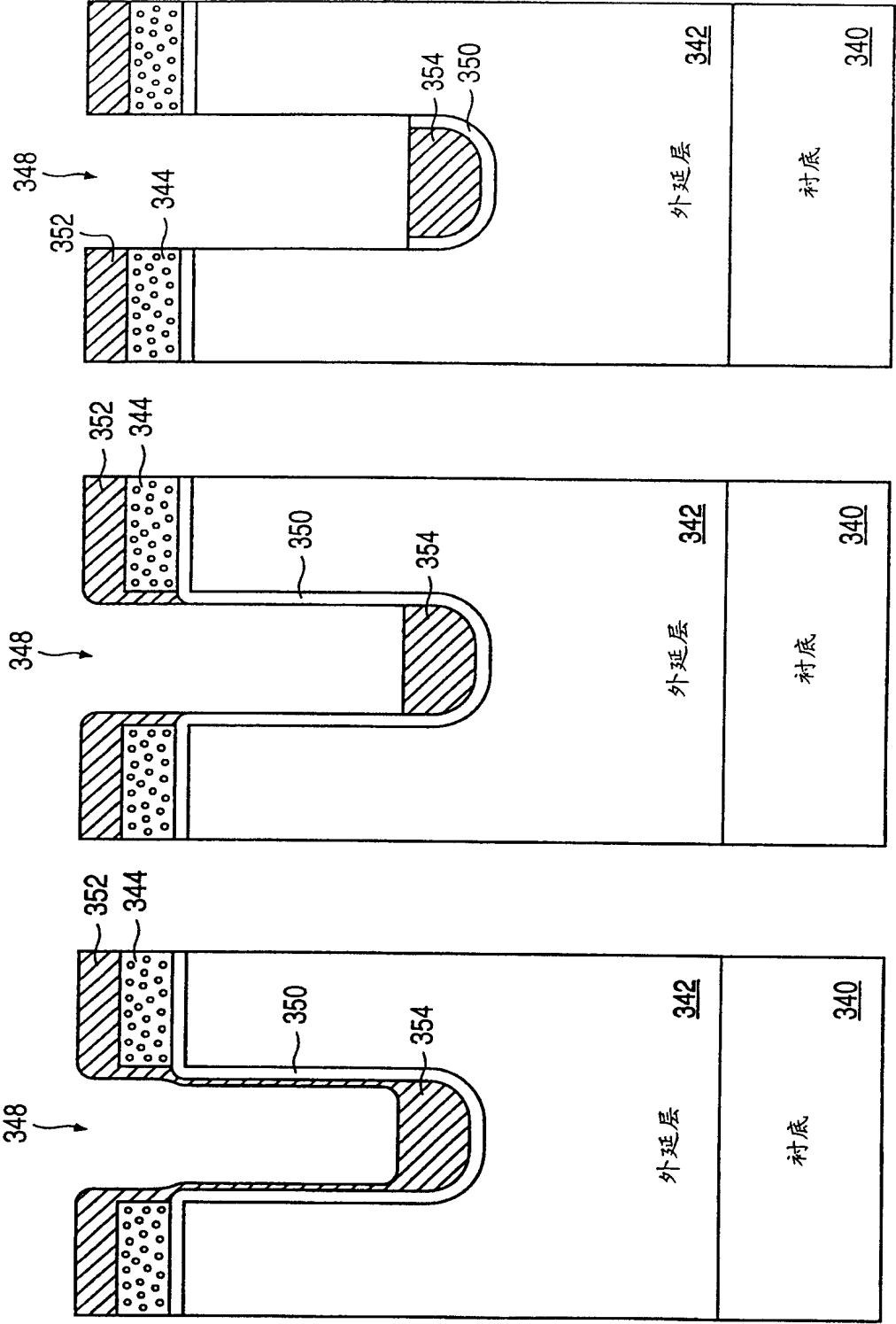


图 19F

图 19E

图 19D

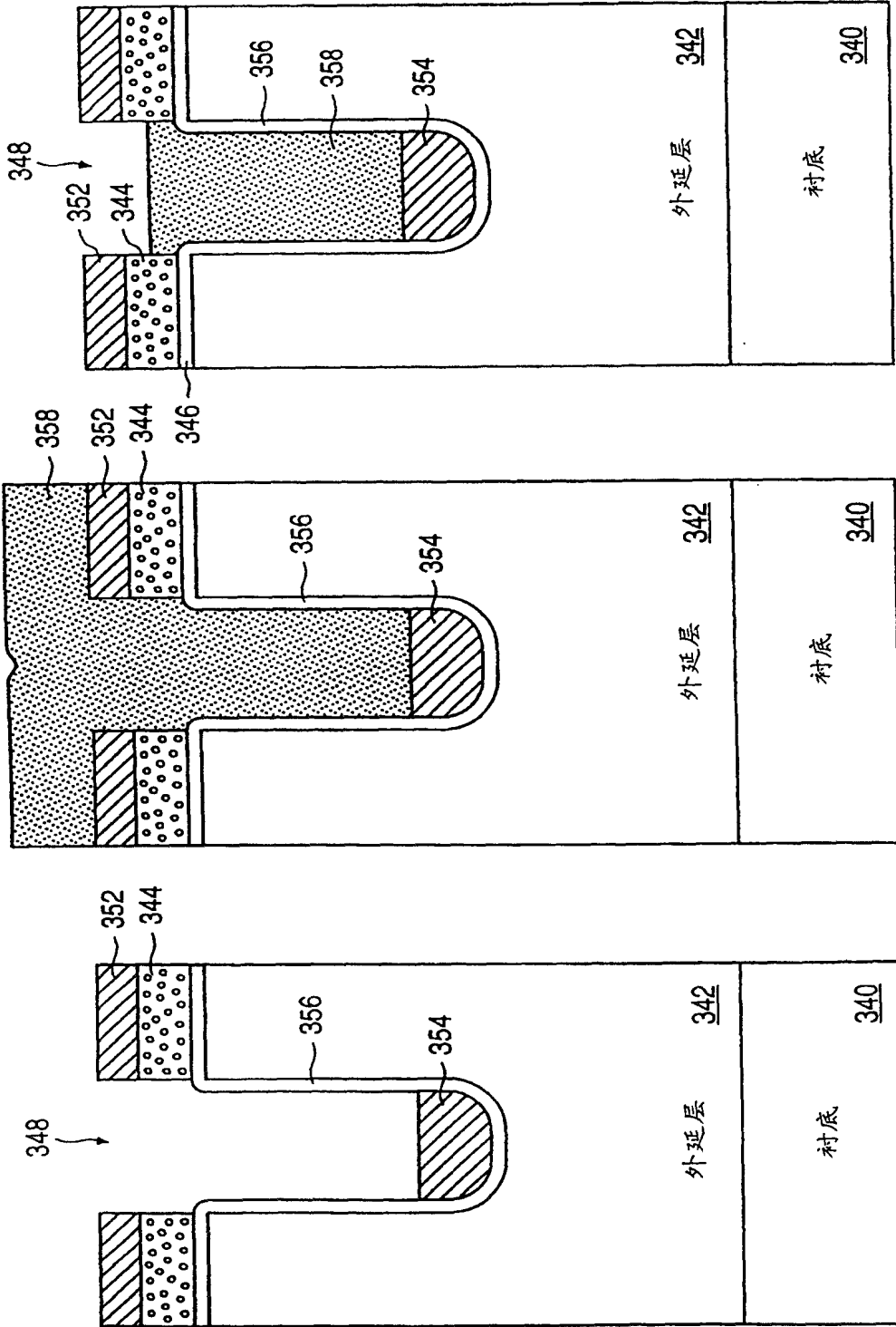


图 19G

图 19H

图 19I

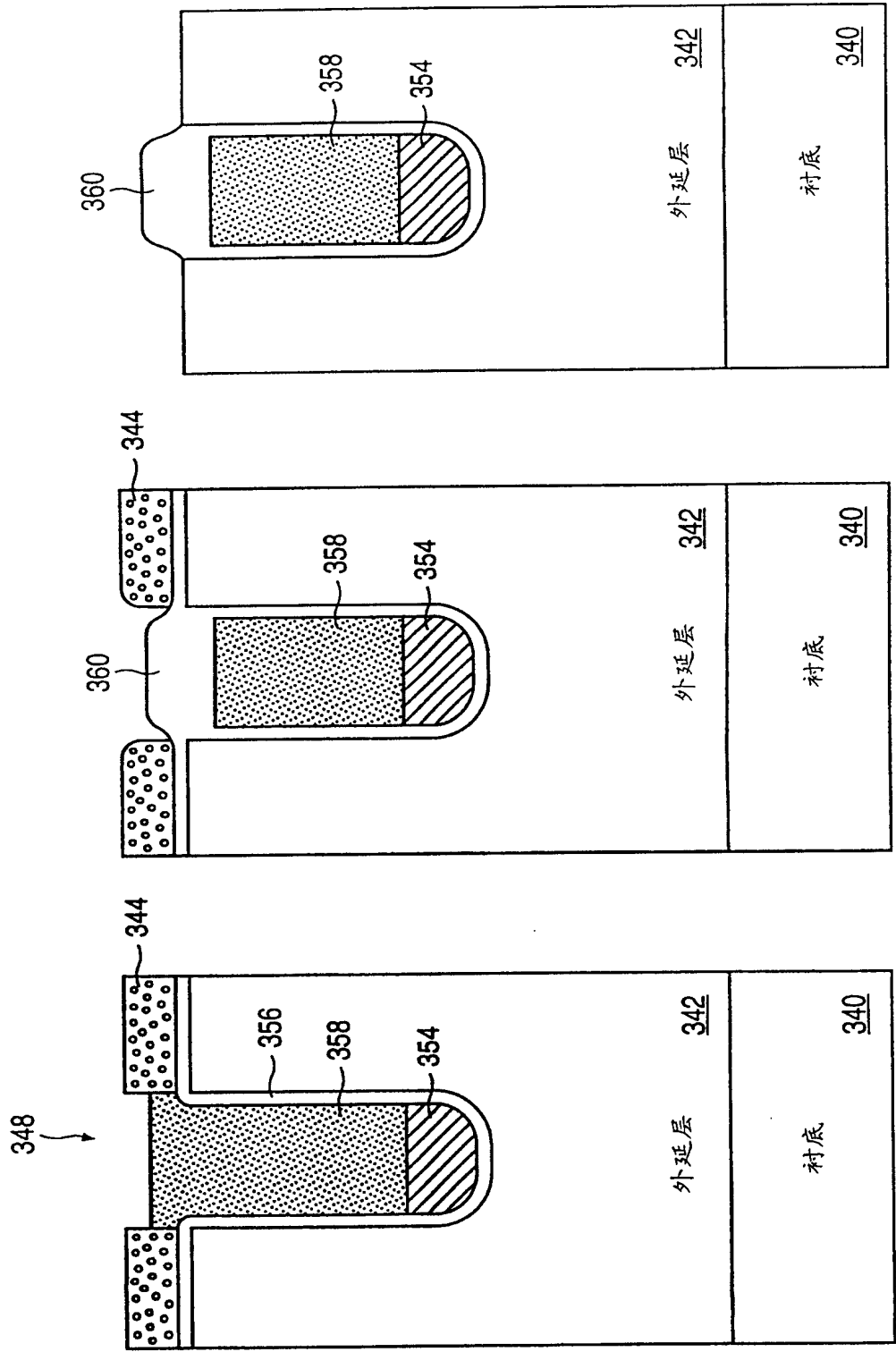


图 19L

图 19K

图 19J

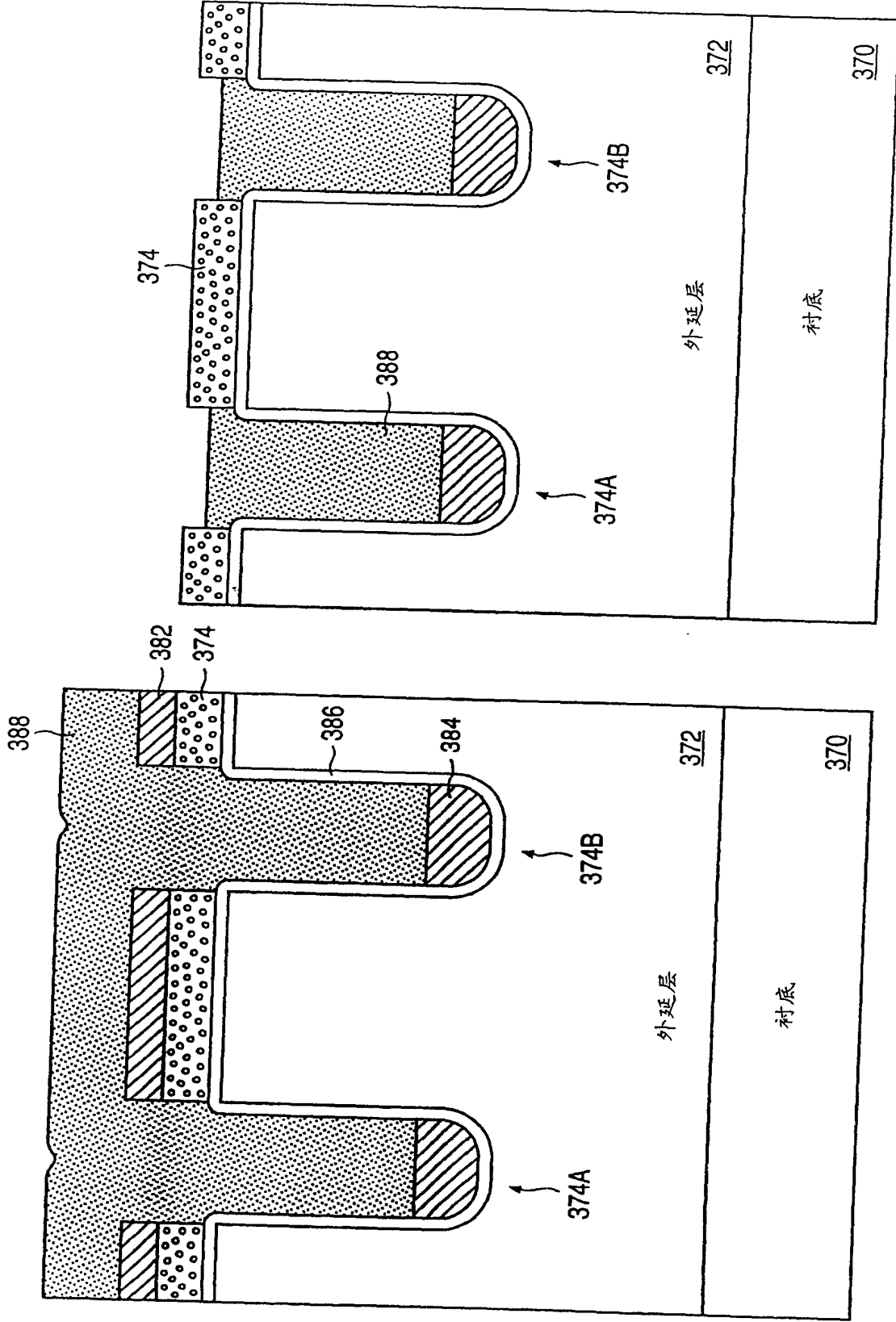


图 20A

图 20B

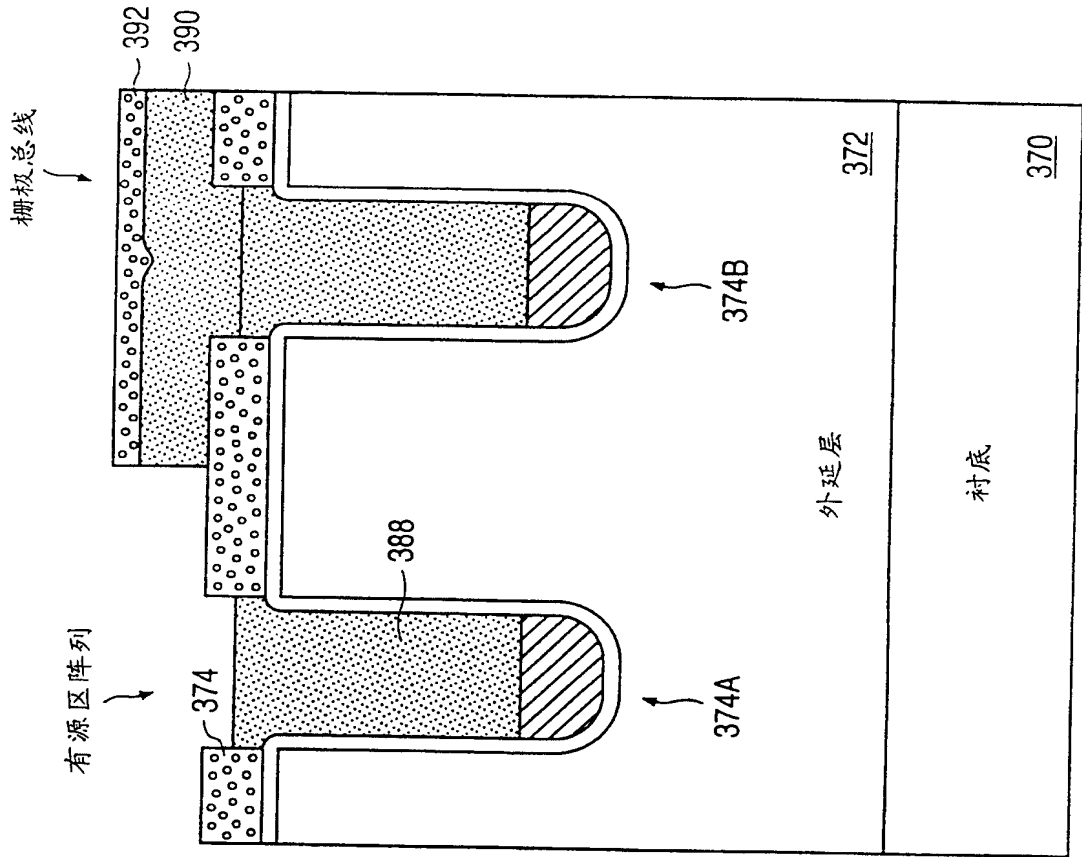


图 20D

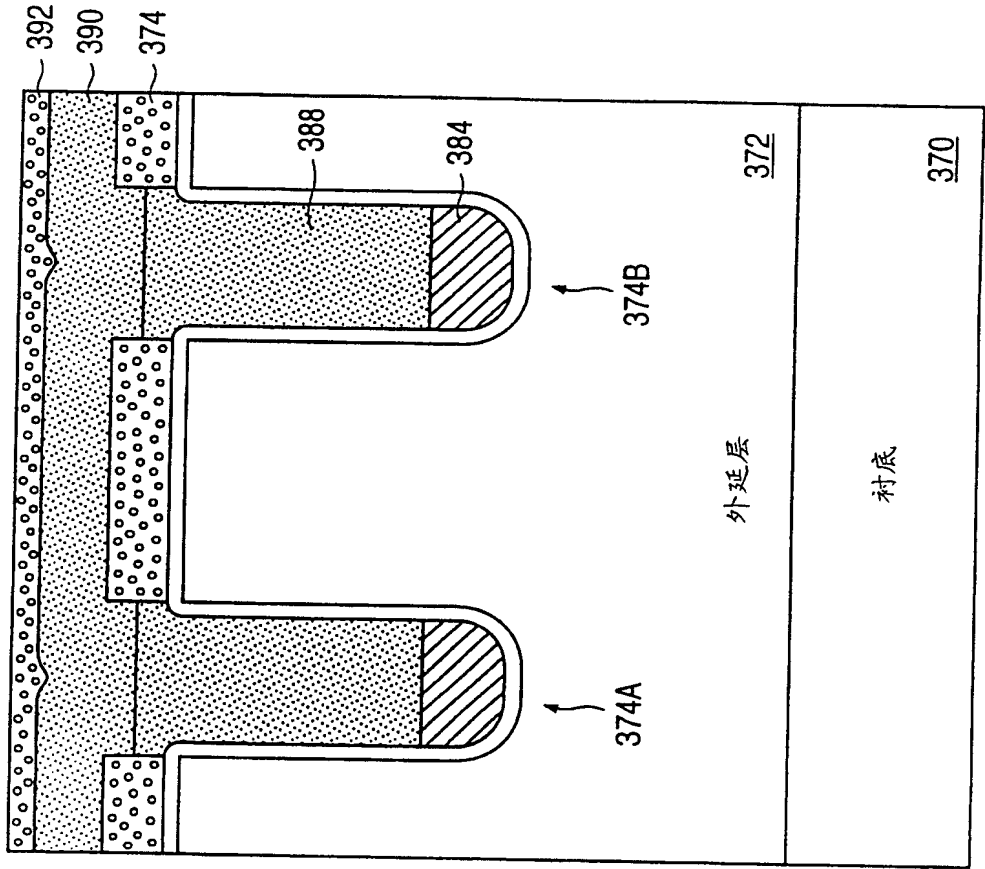


图 20C

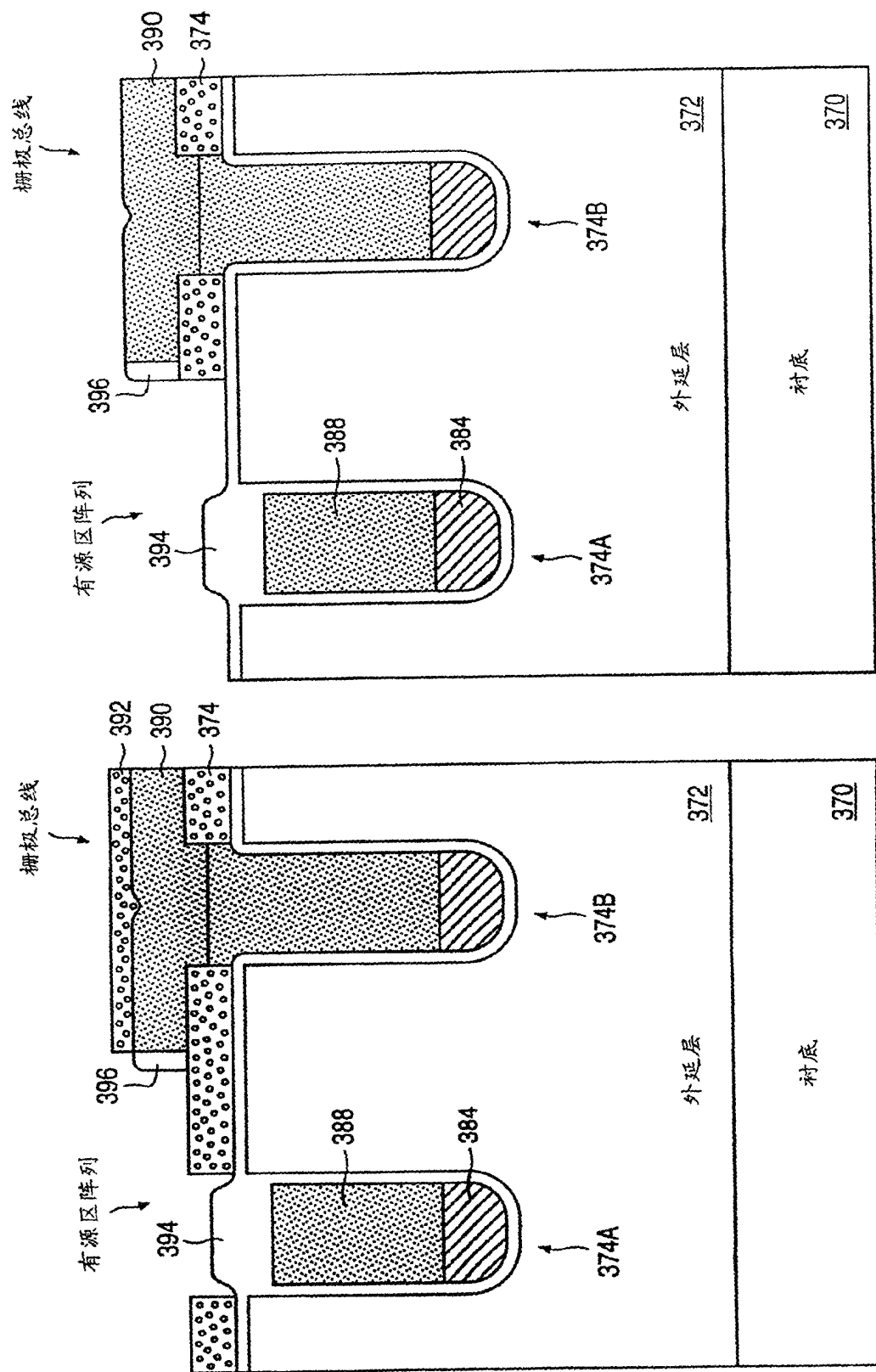


图 20F

图 20E

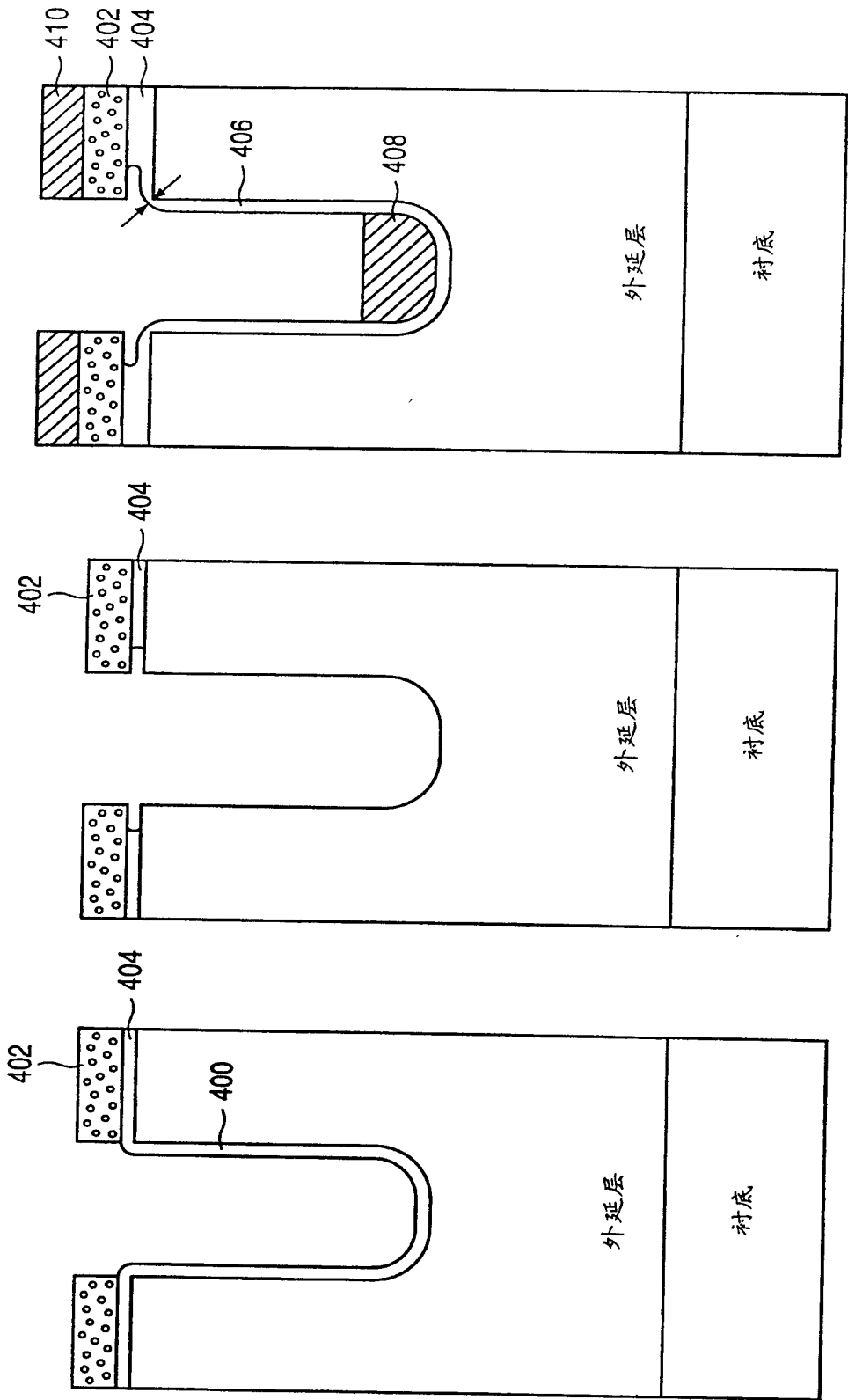


图 21A

图 21B

图 21C

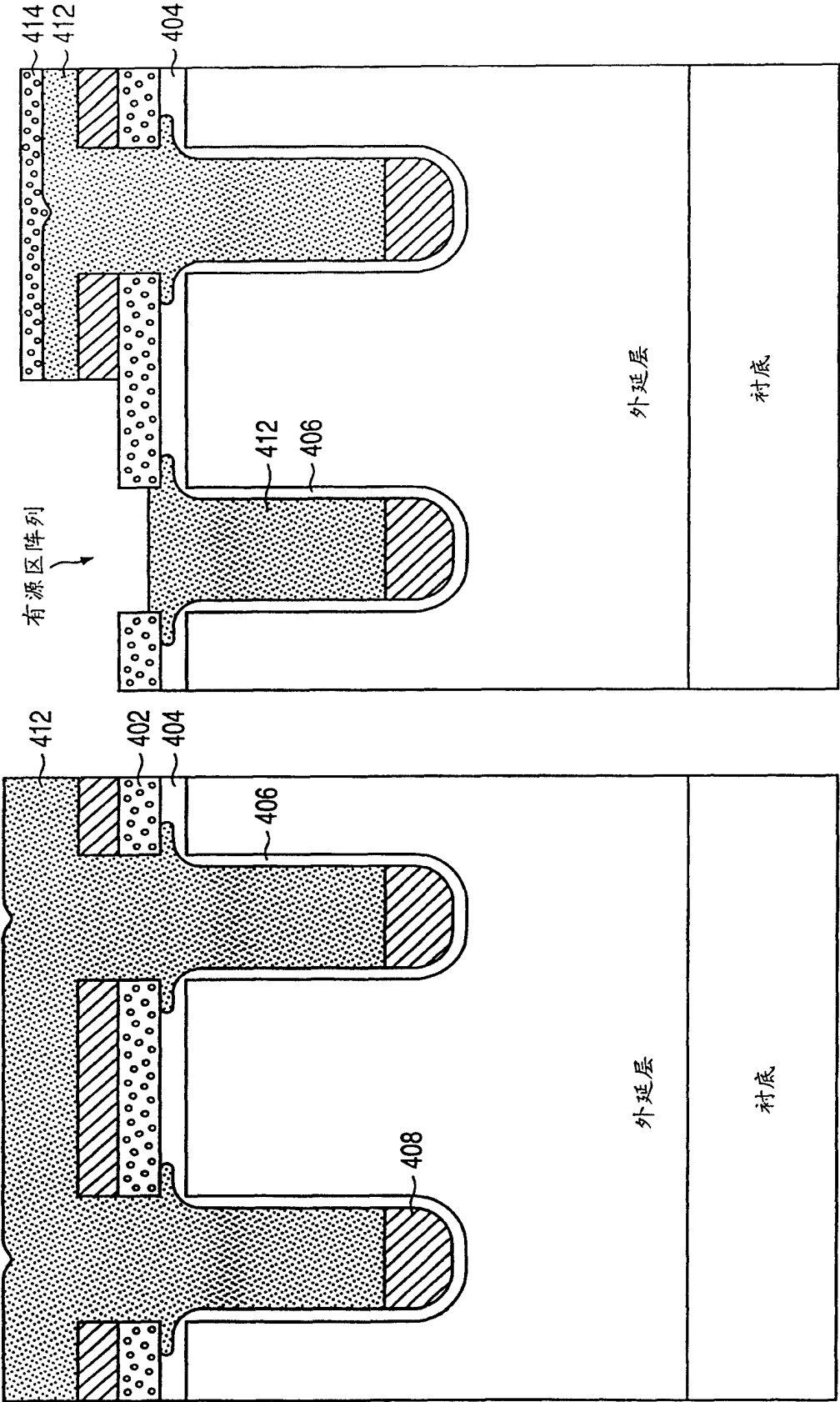


图 21E

图 21D

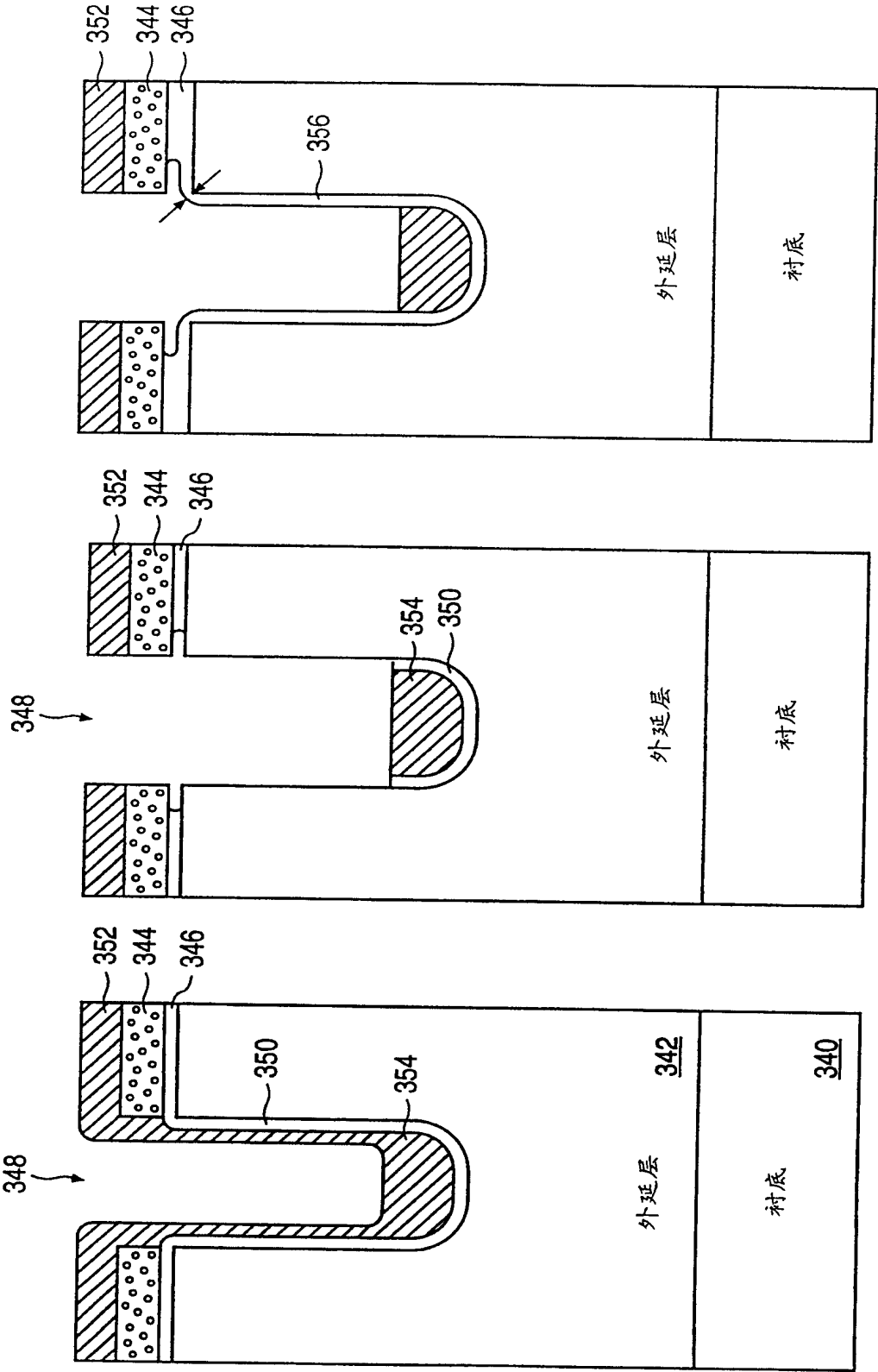


图 22C

图 22B

图 22A

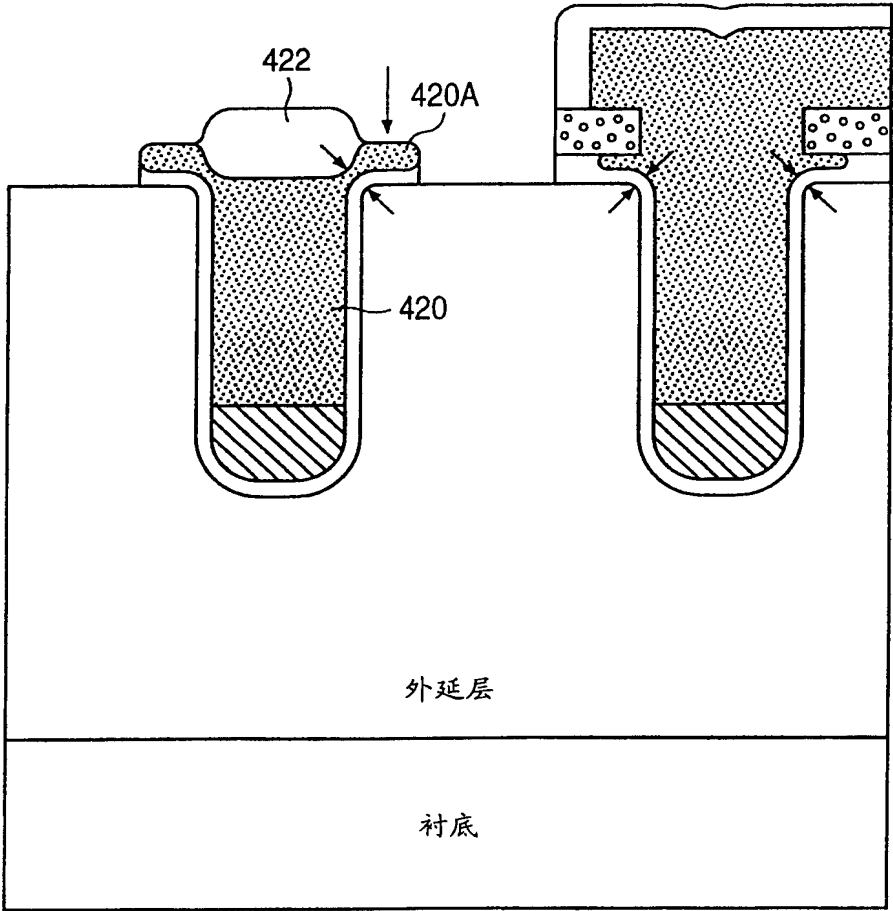


图 23A

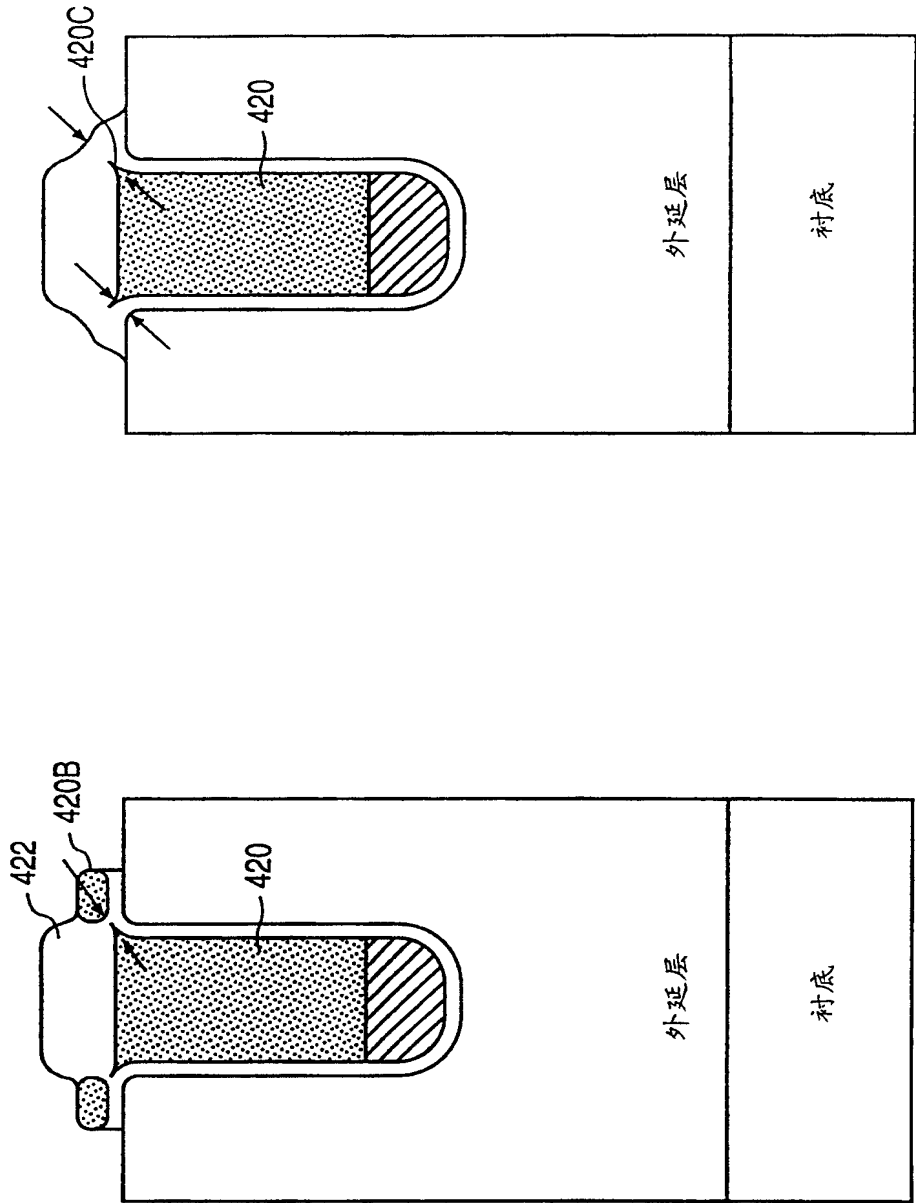


图 23C

图 23B

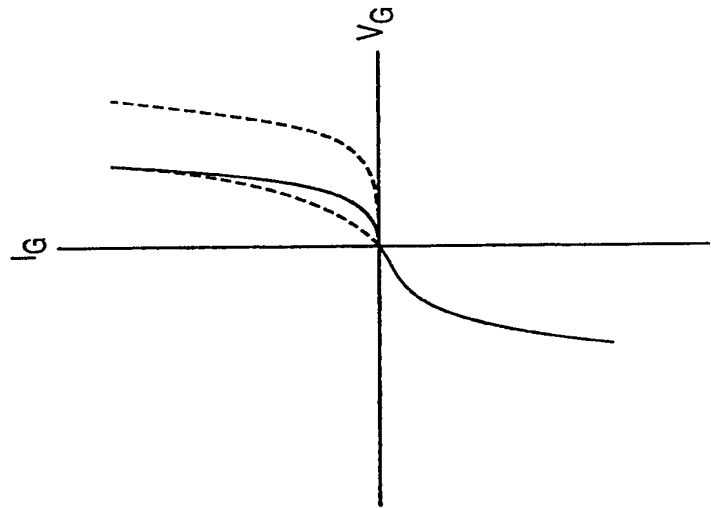


图 23E

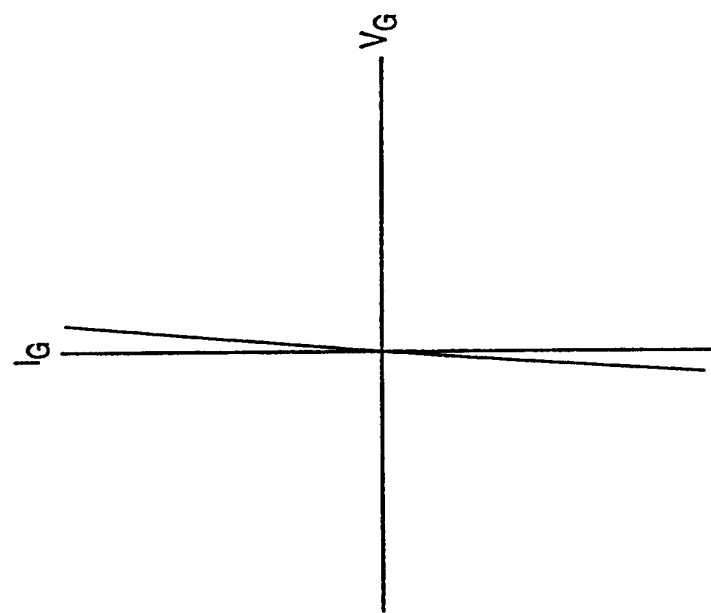


图 23D

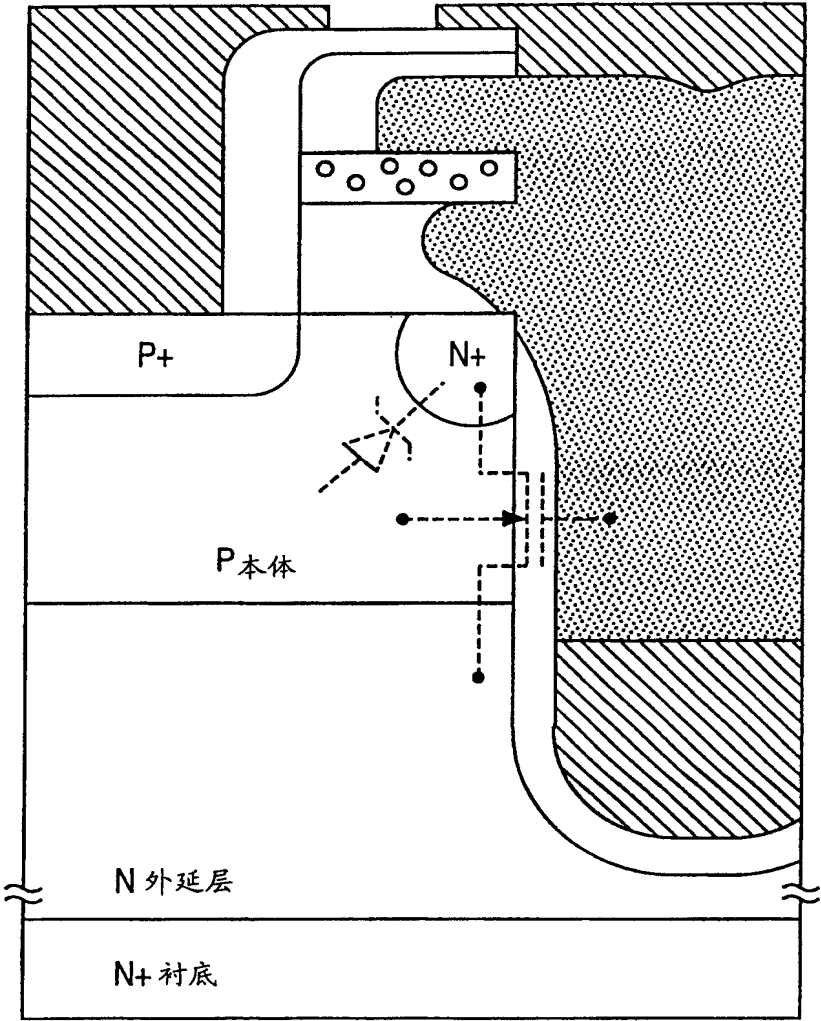


图 23F

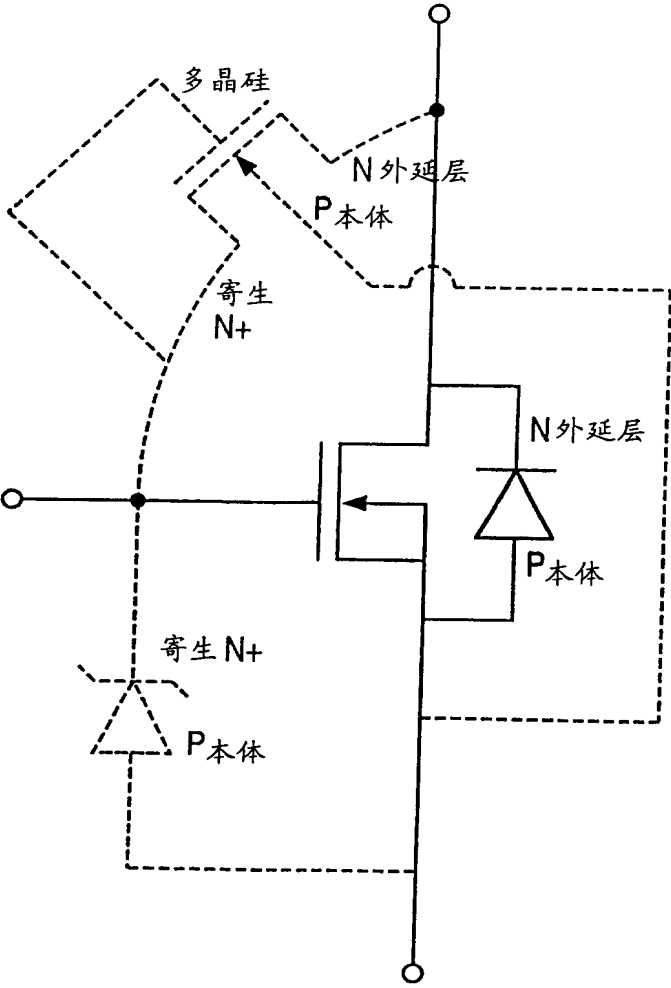


图 23G

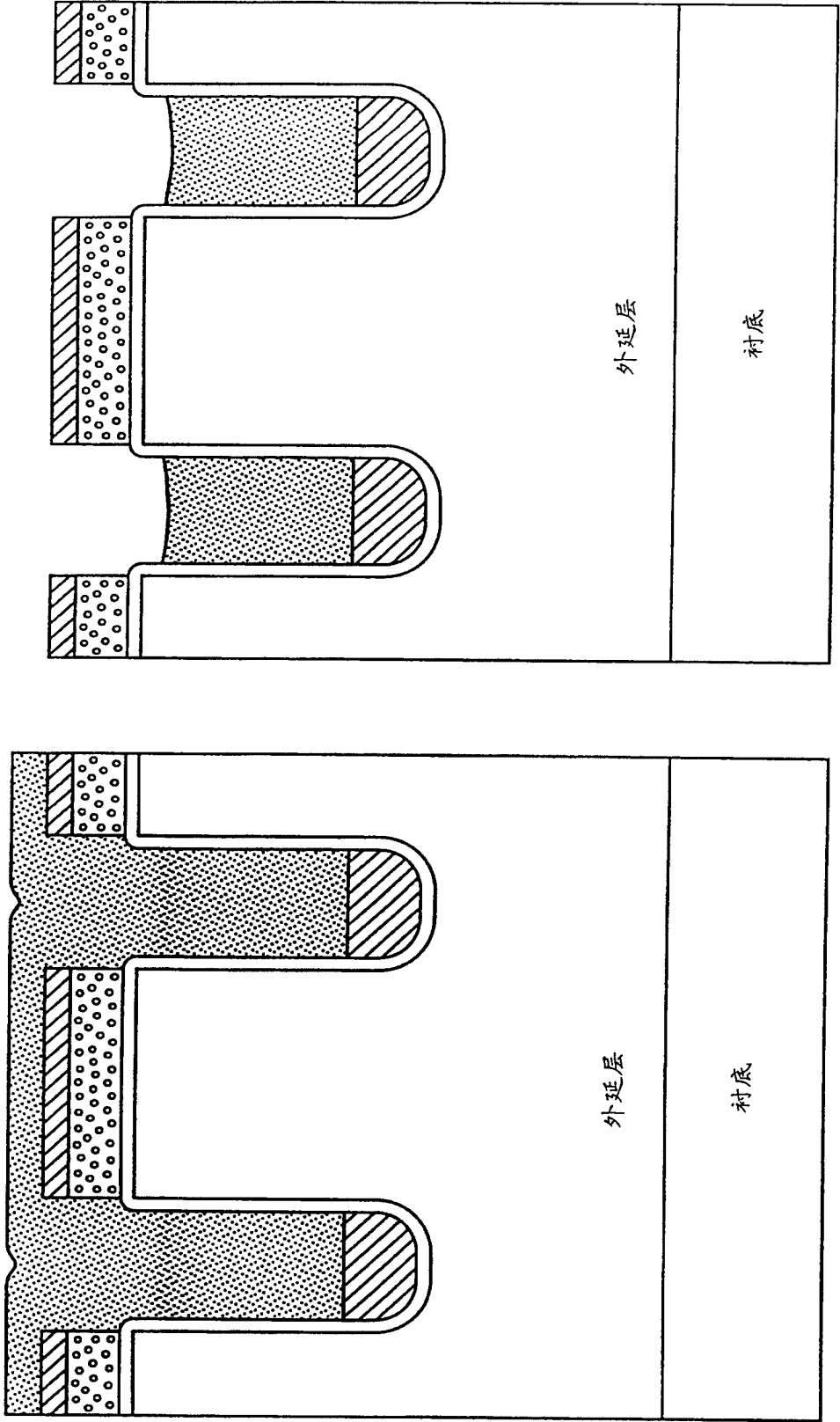


图 24B

图 24A

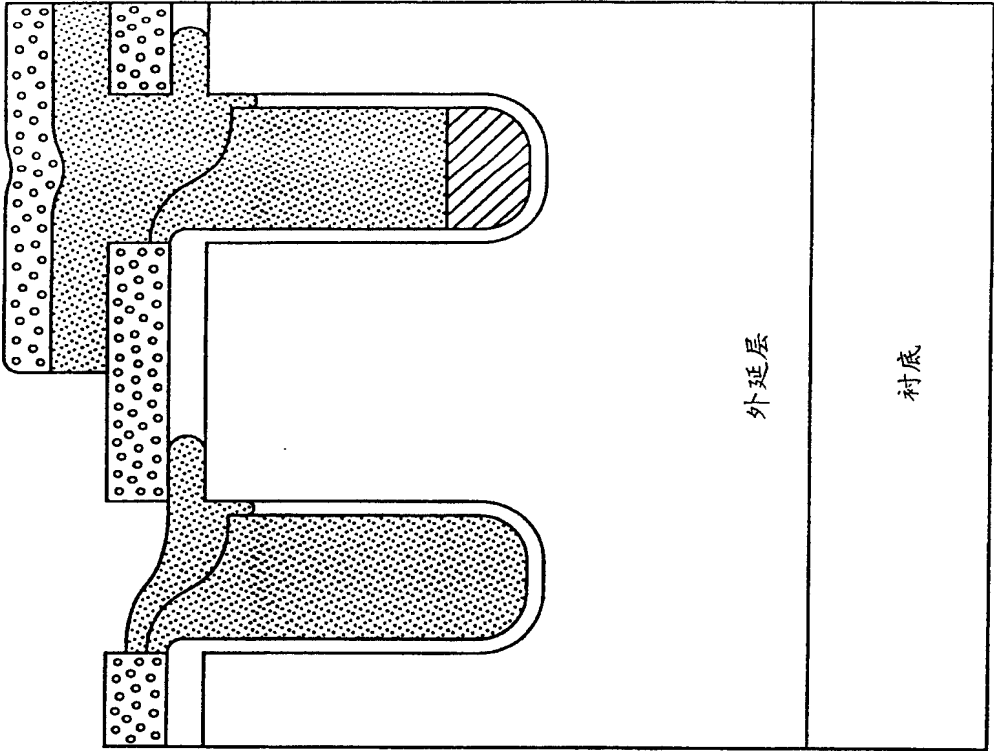


图 24D

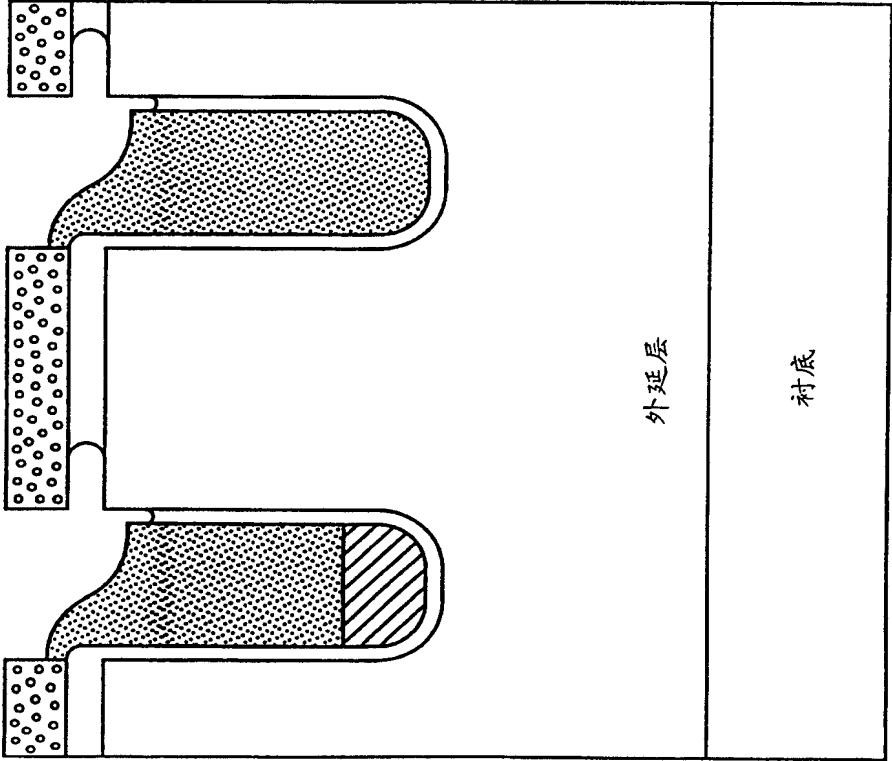


图 24C

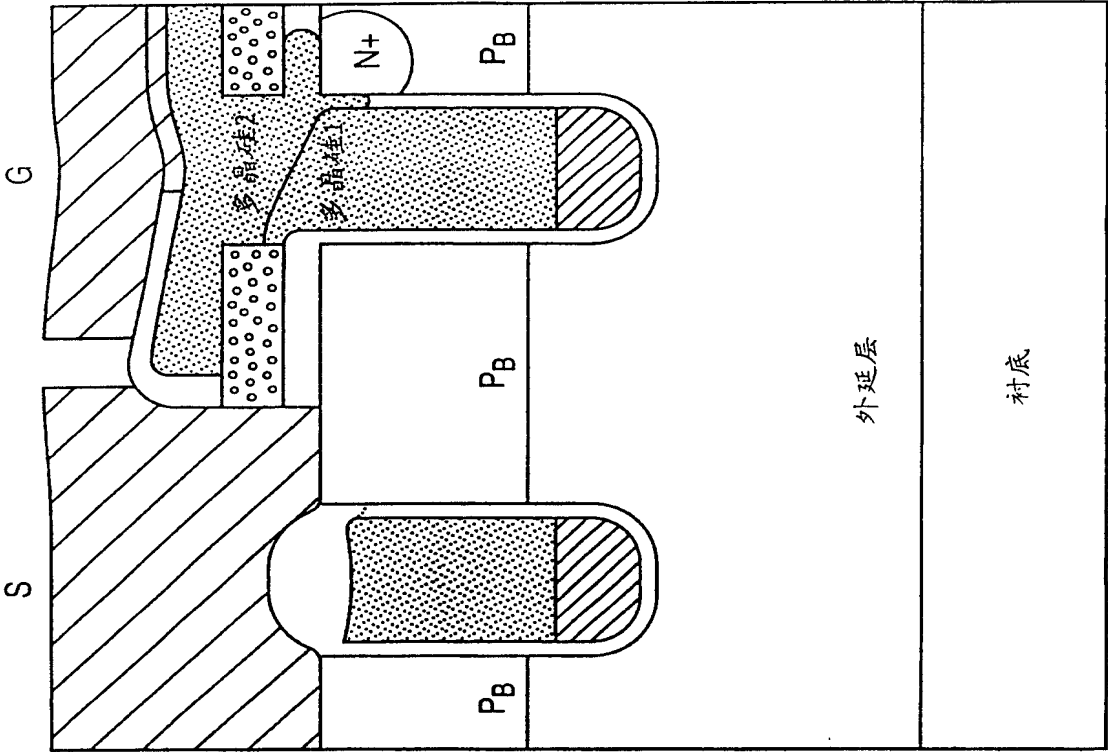


图 24F

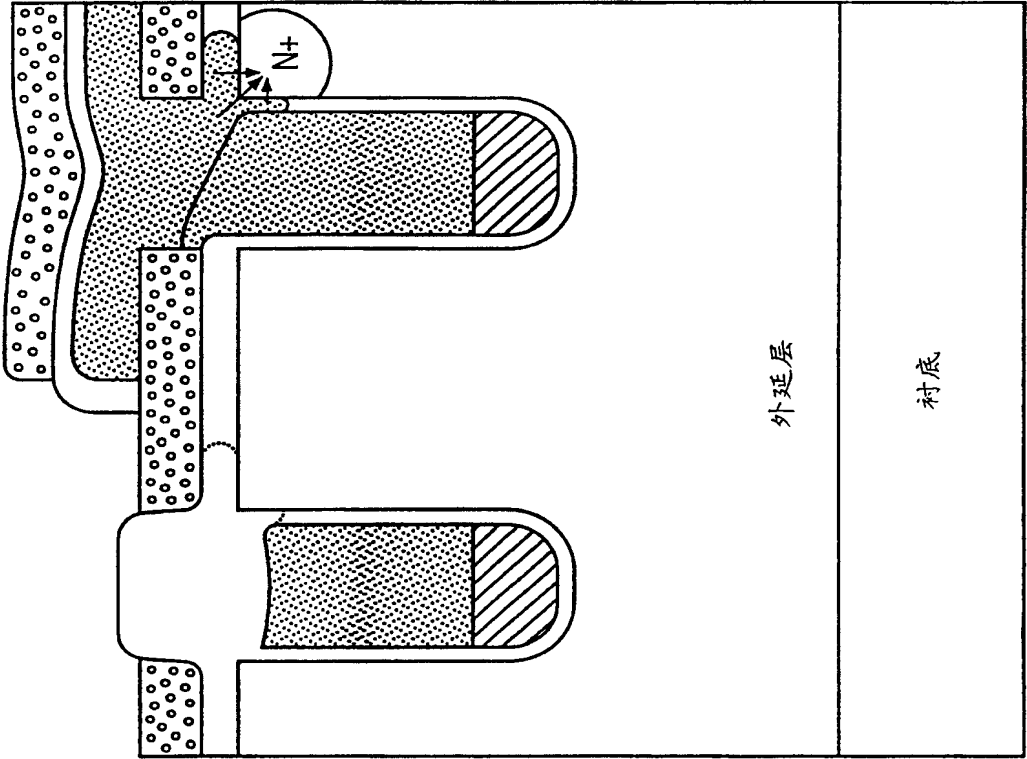


图 24E

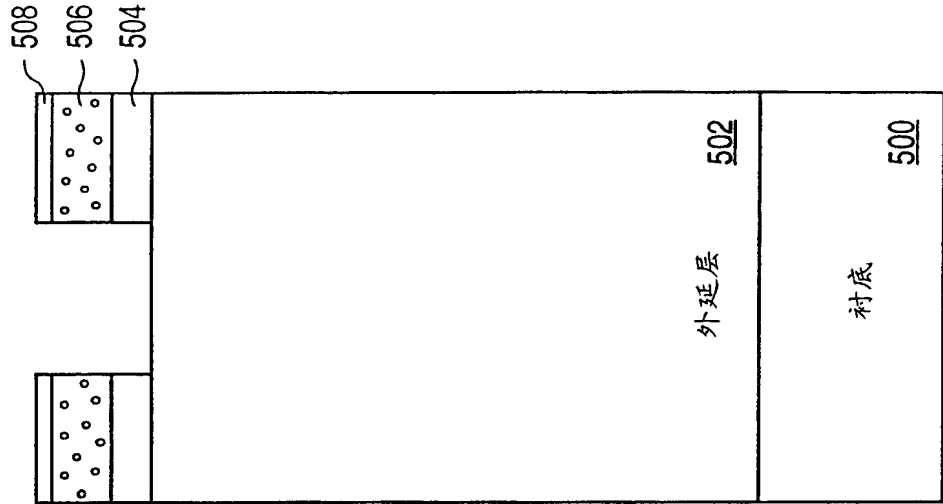


图 25B

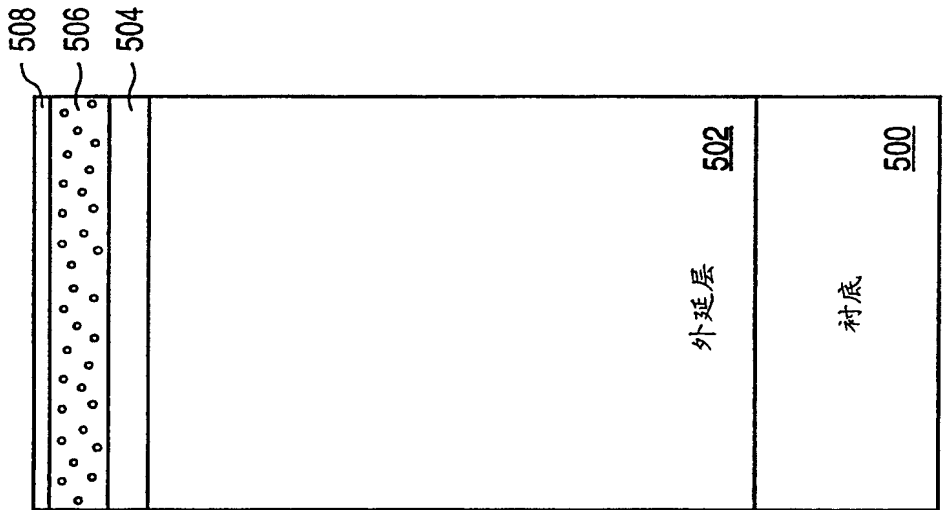


图 25A

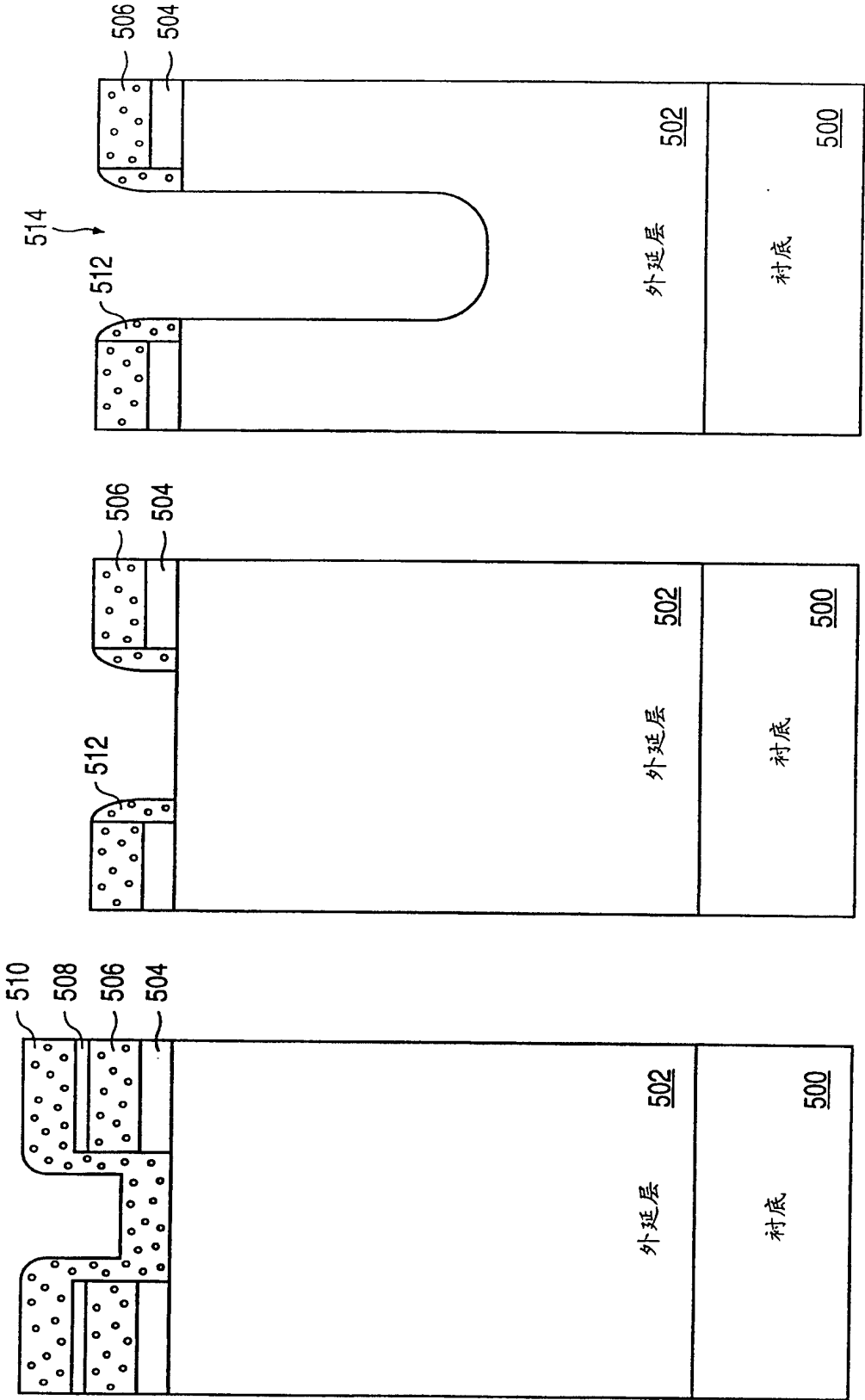


图 25C

图 25D

图 25E

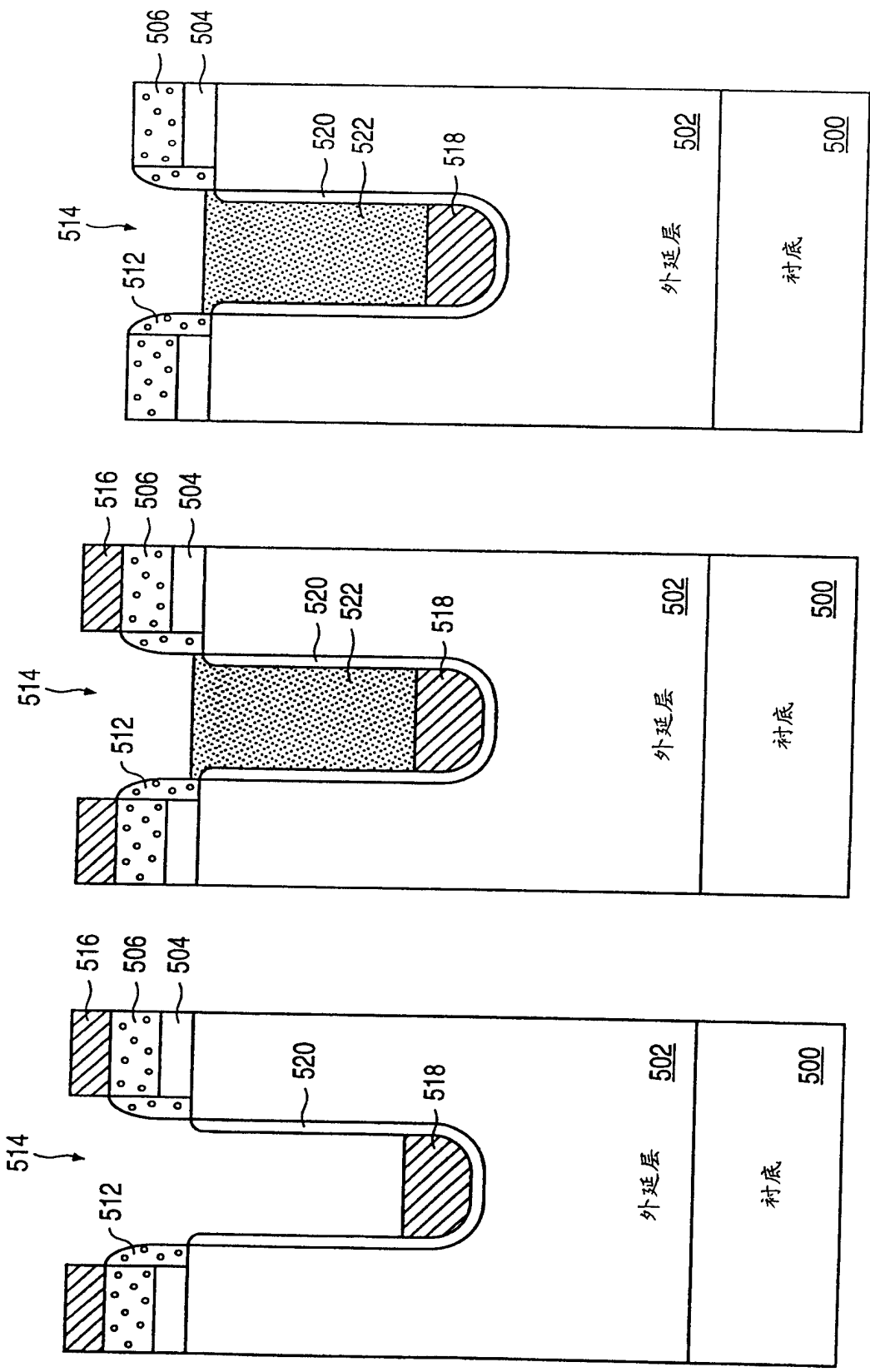


图 25H

图 25G

图 25F

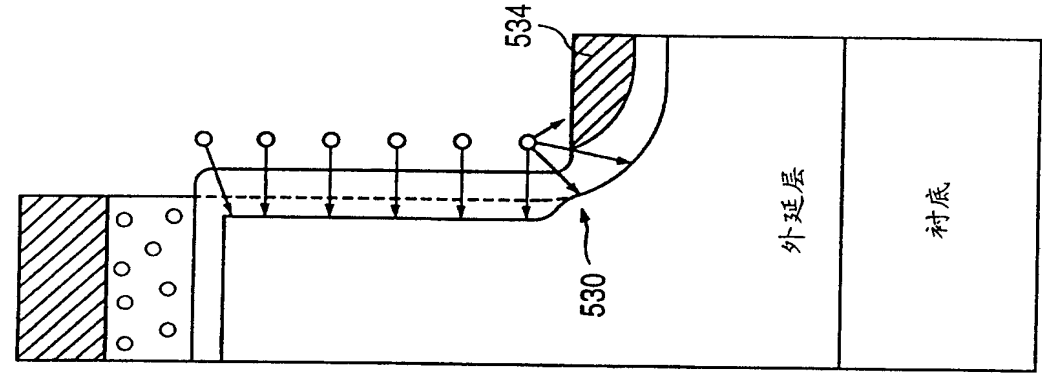


图 26B

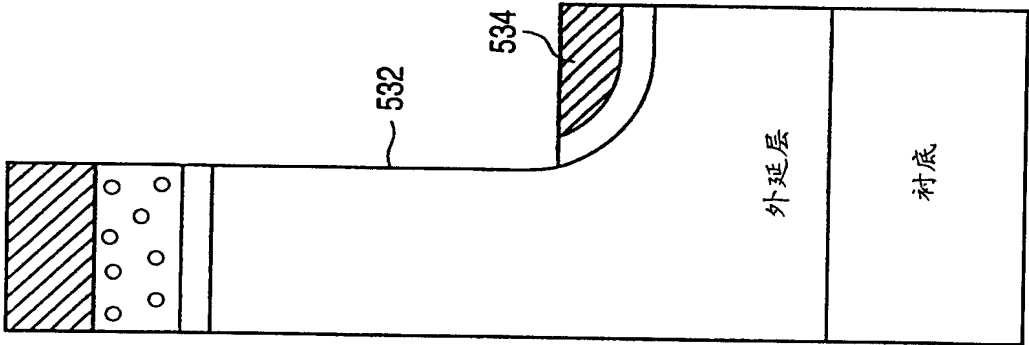


图 26A

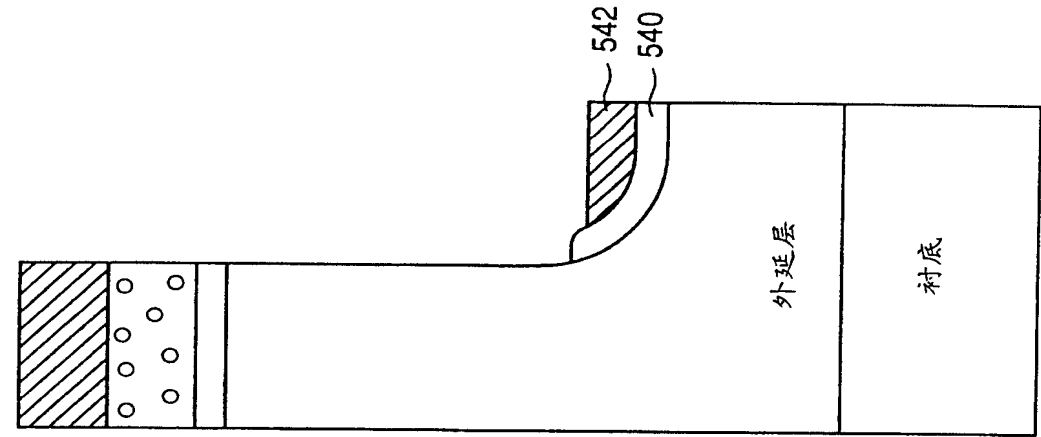


图 27C

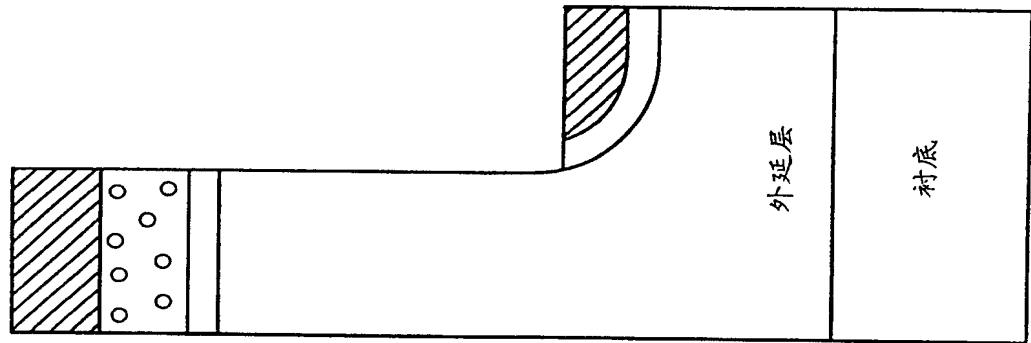


图 27B

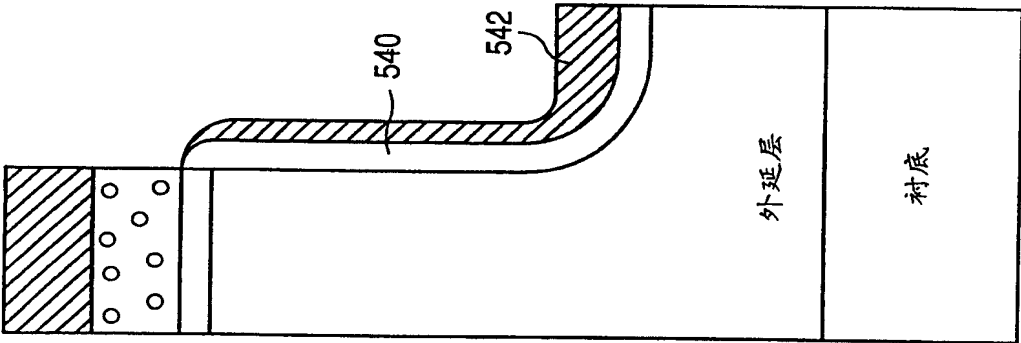


图 27A

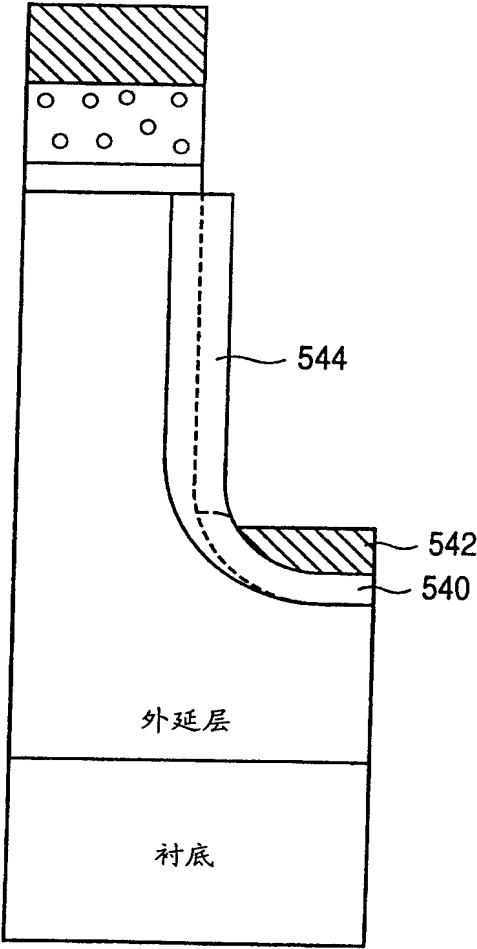


图 27D

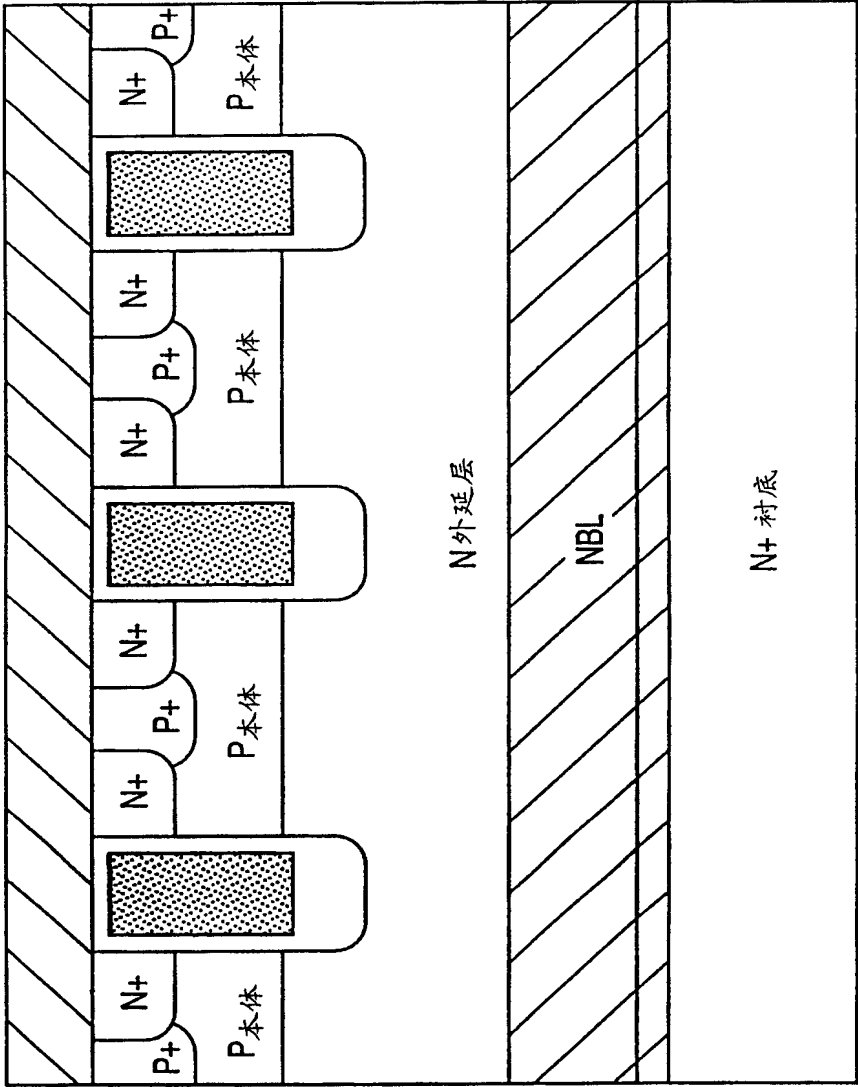


图 28

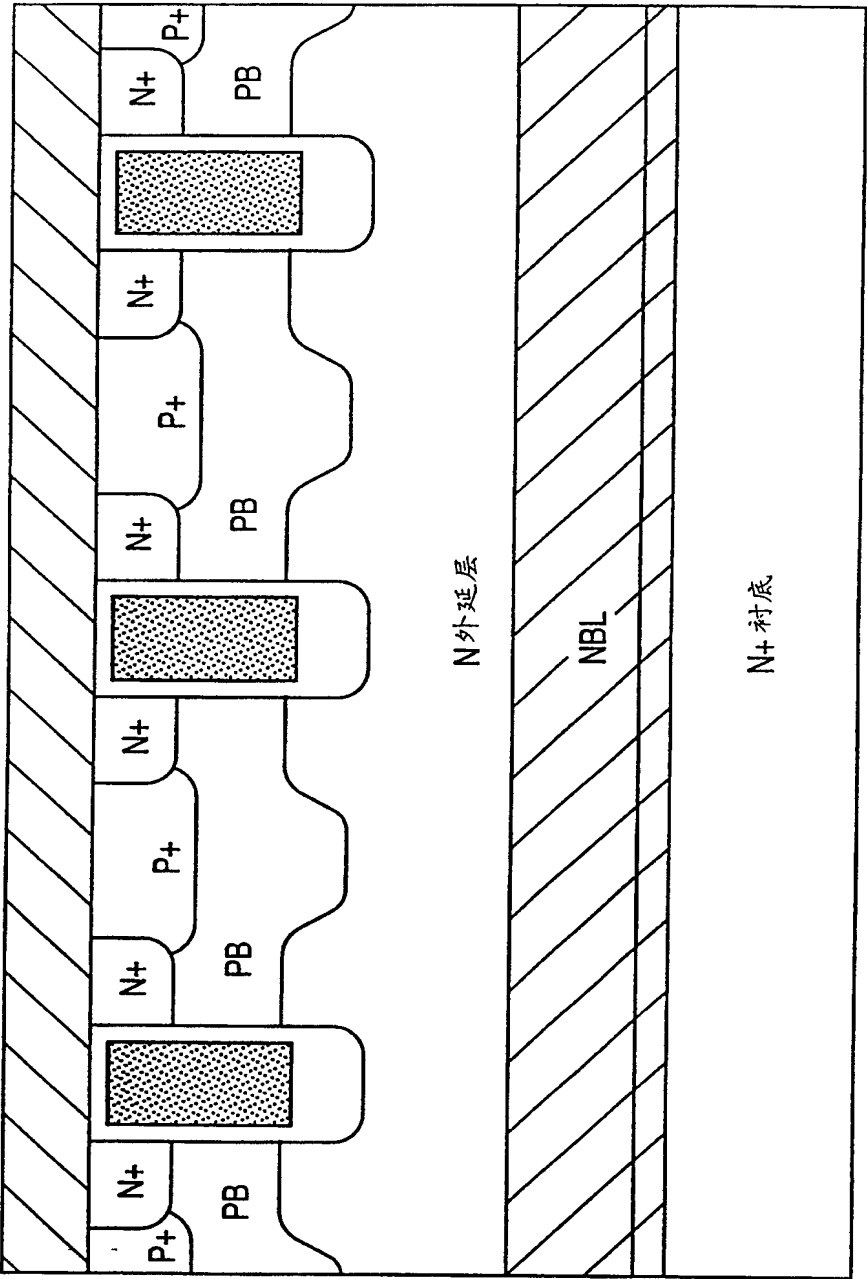


图 29

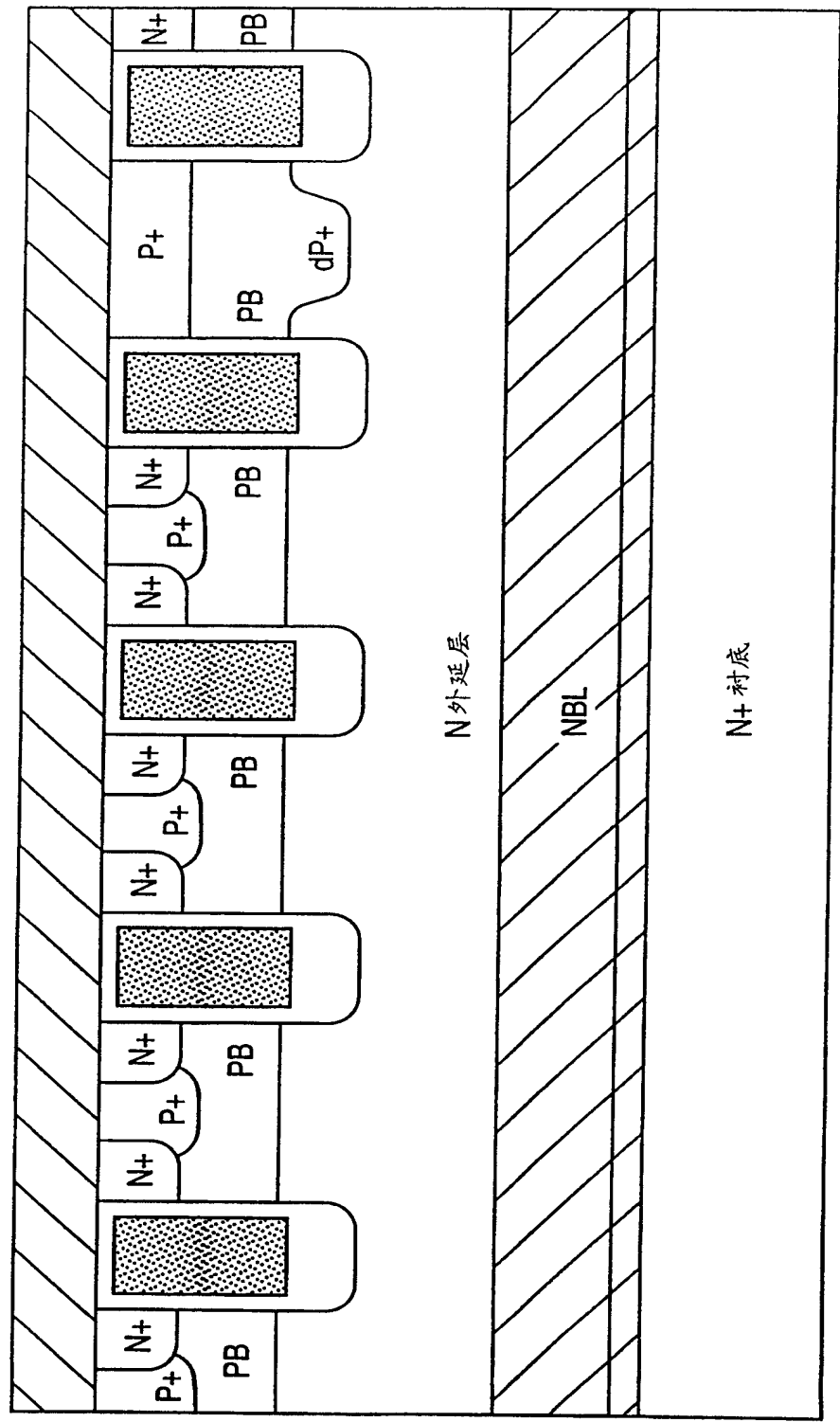


图 30

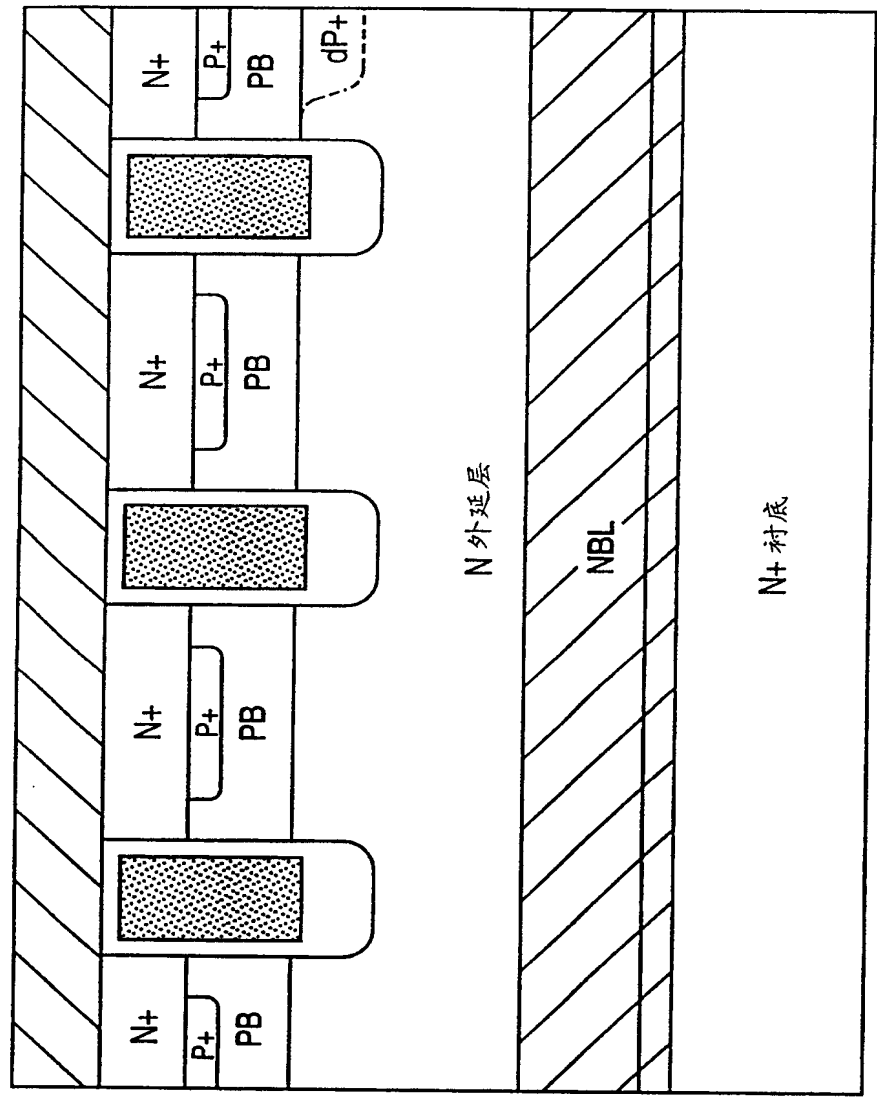


图 31

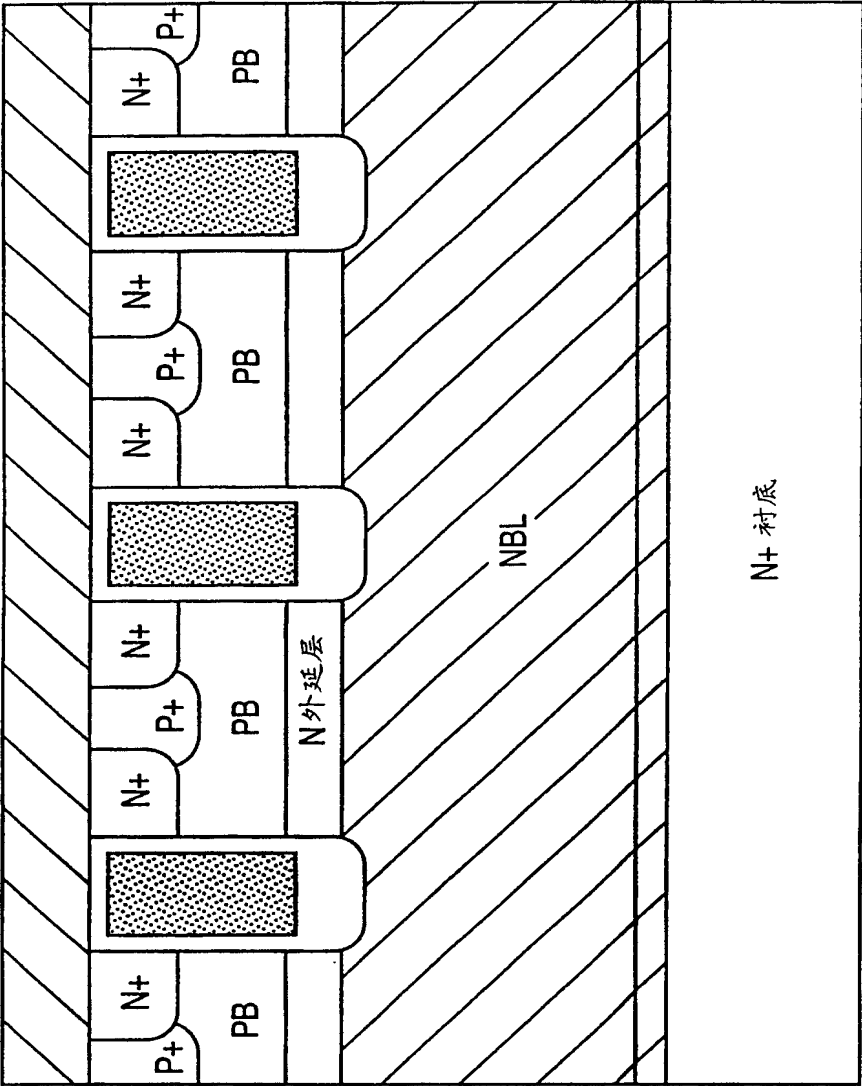


图 32

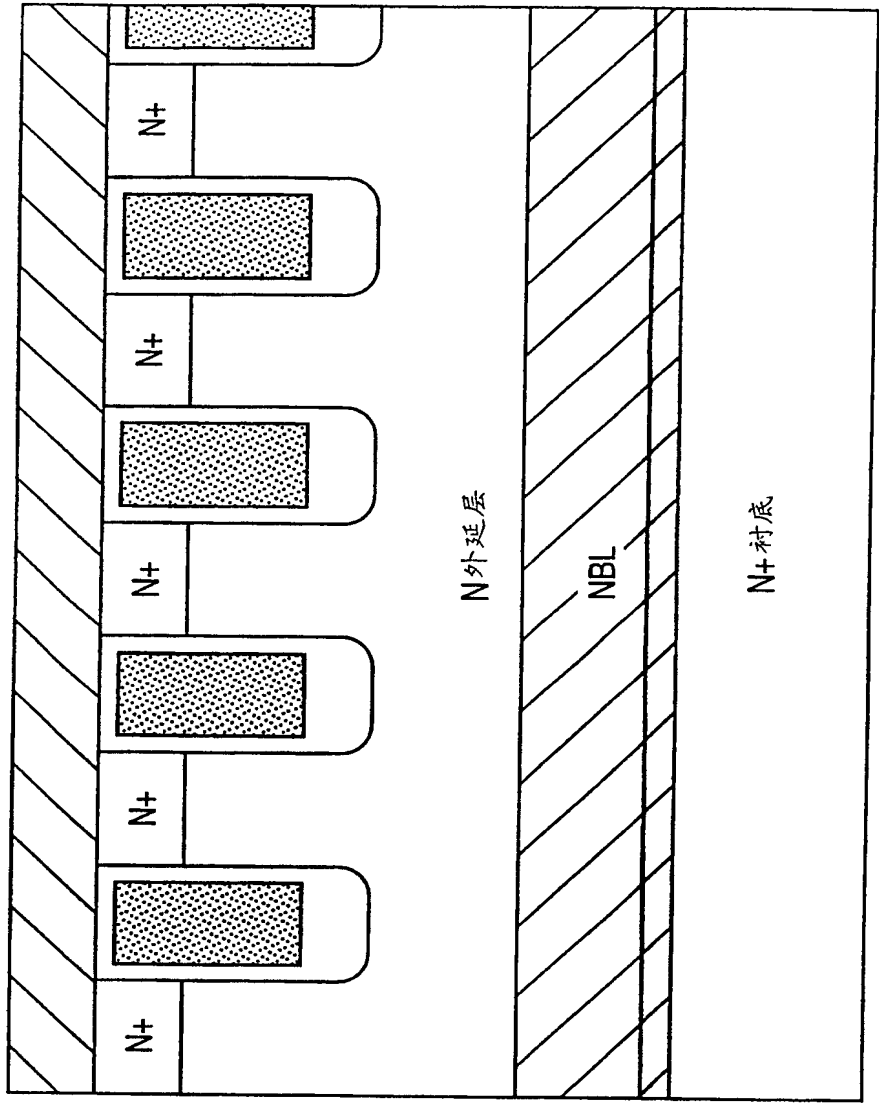


图 33

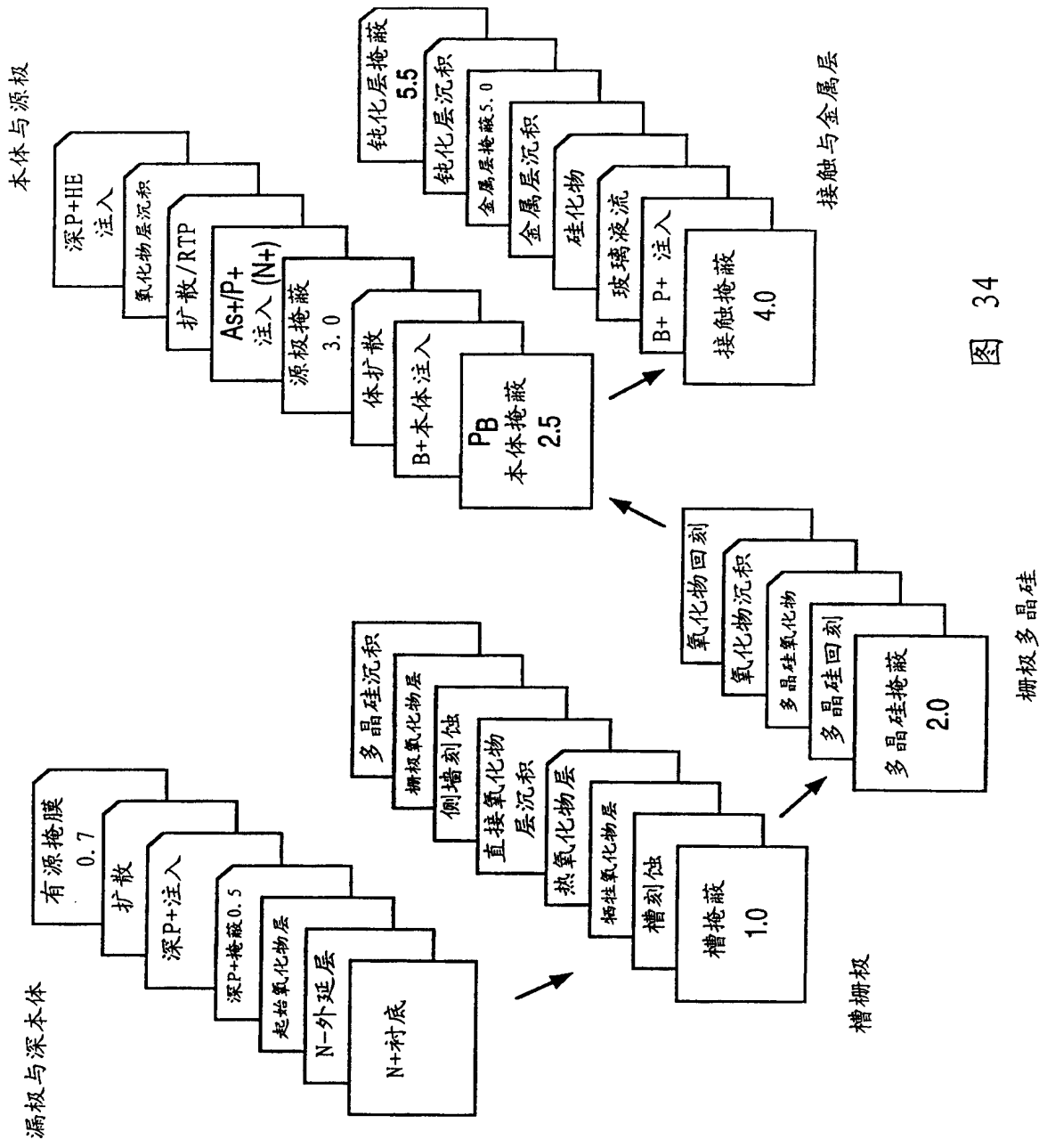
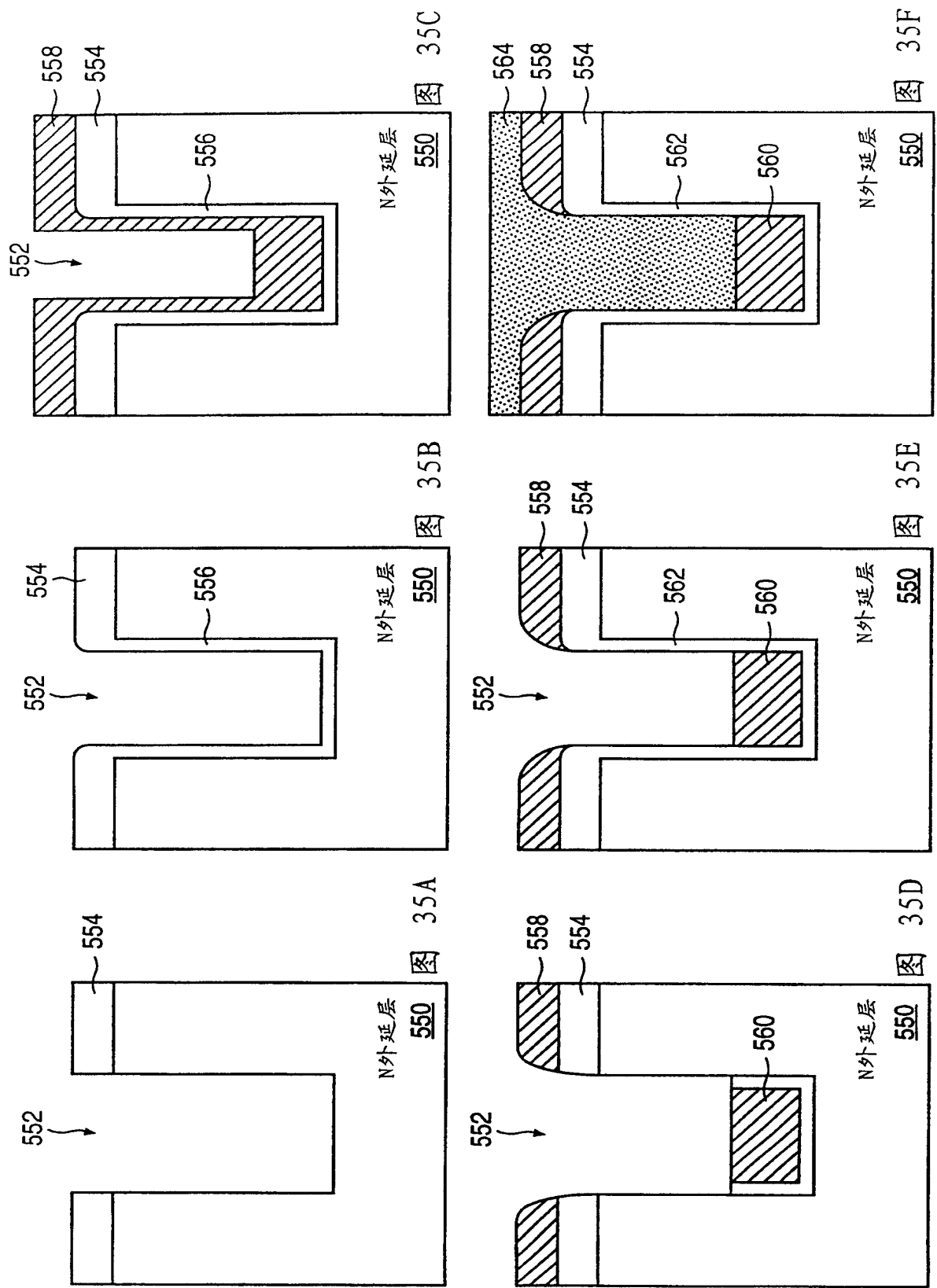
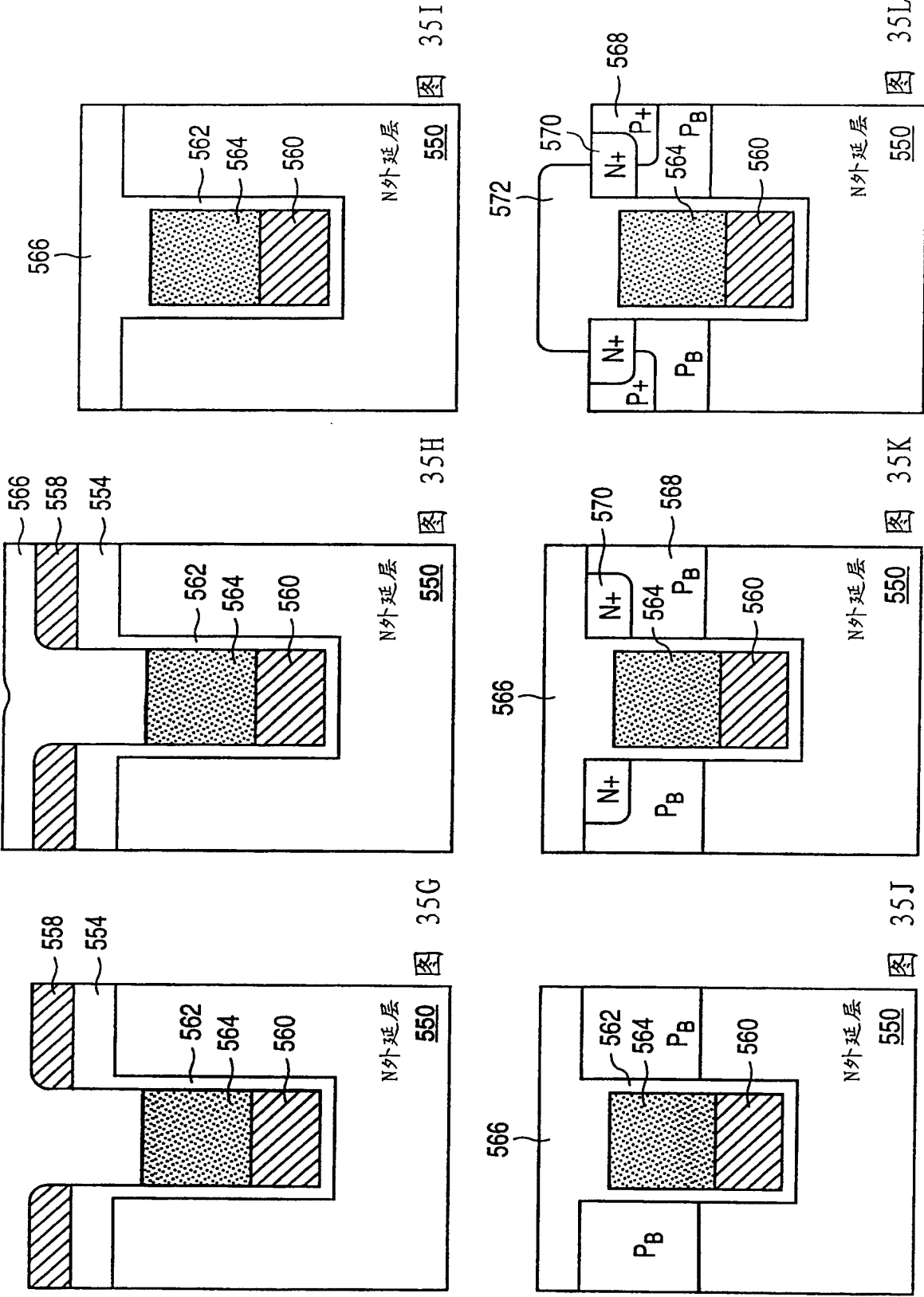


图 34





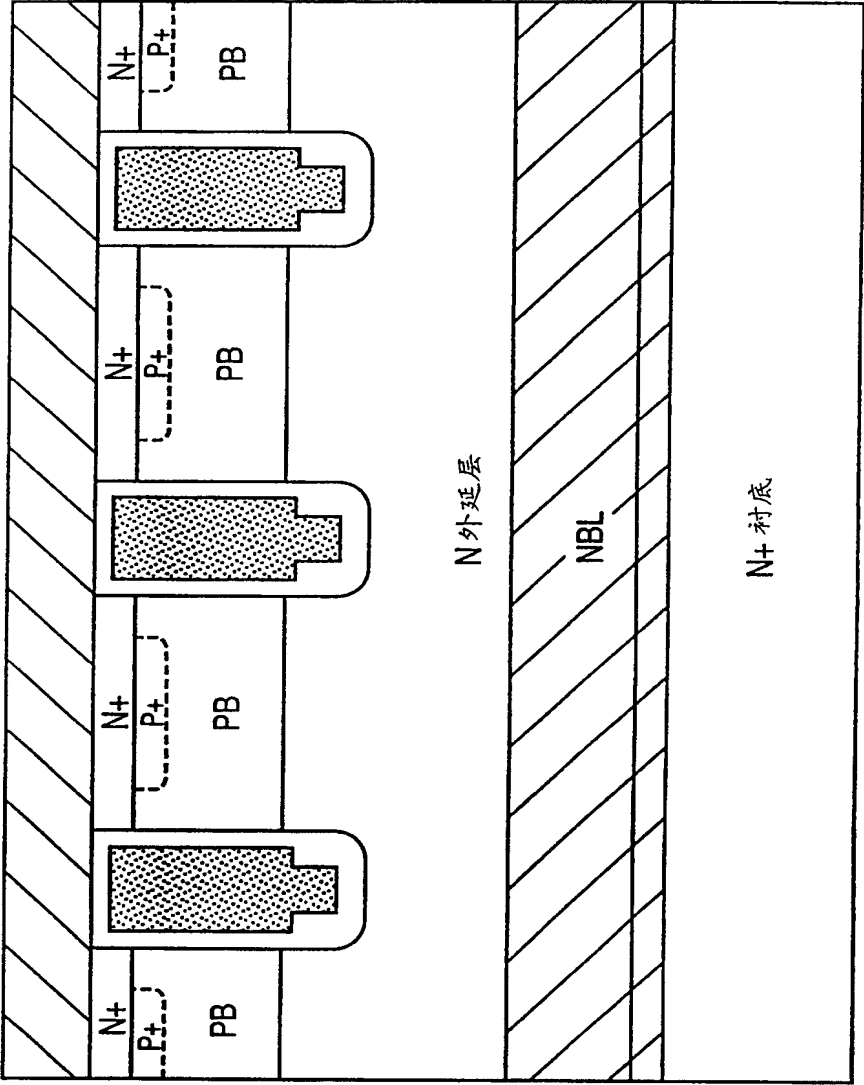


图 37

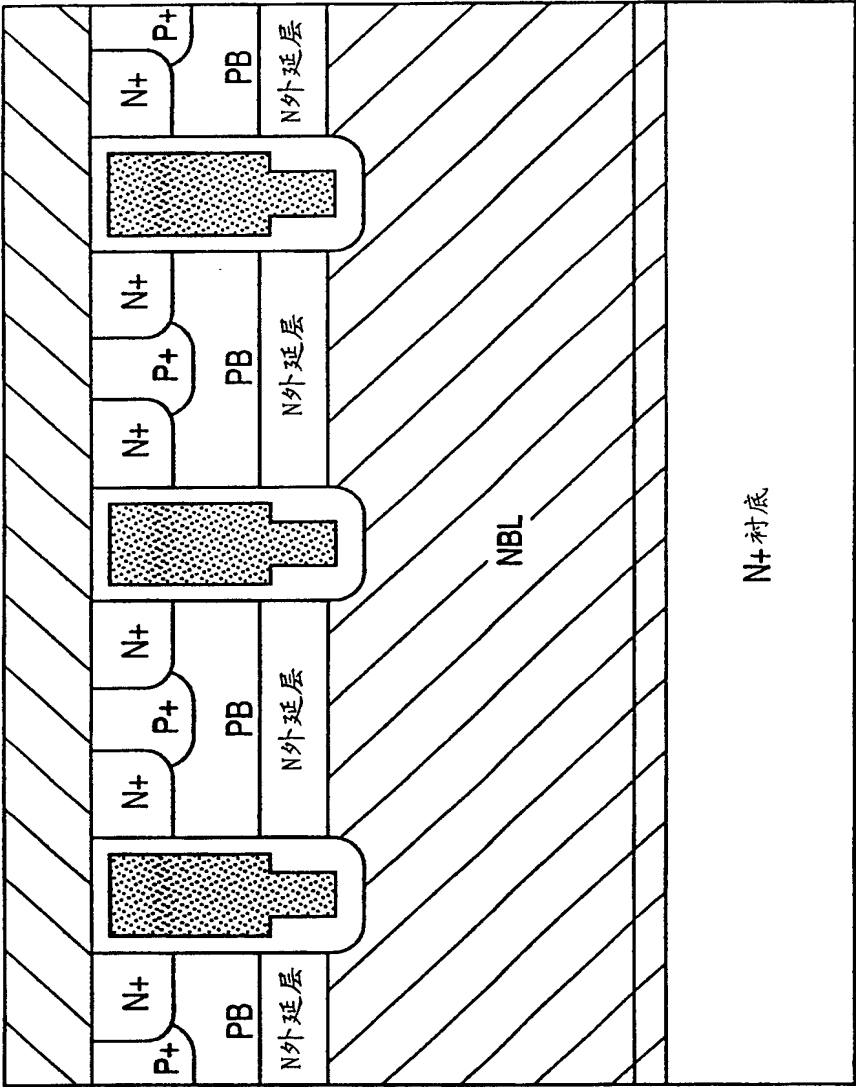


图 38

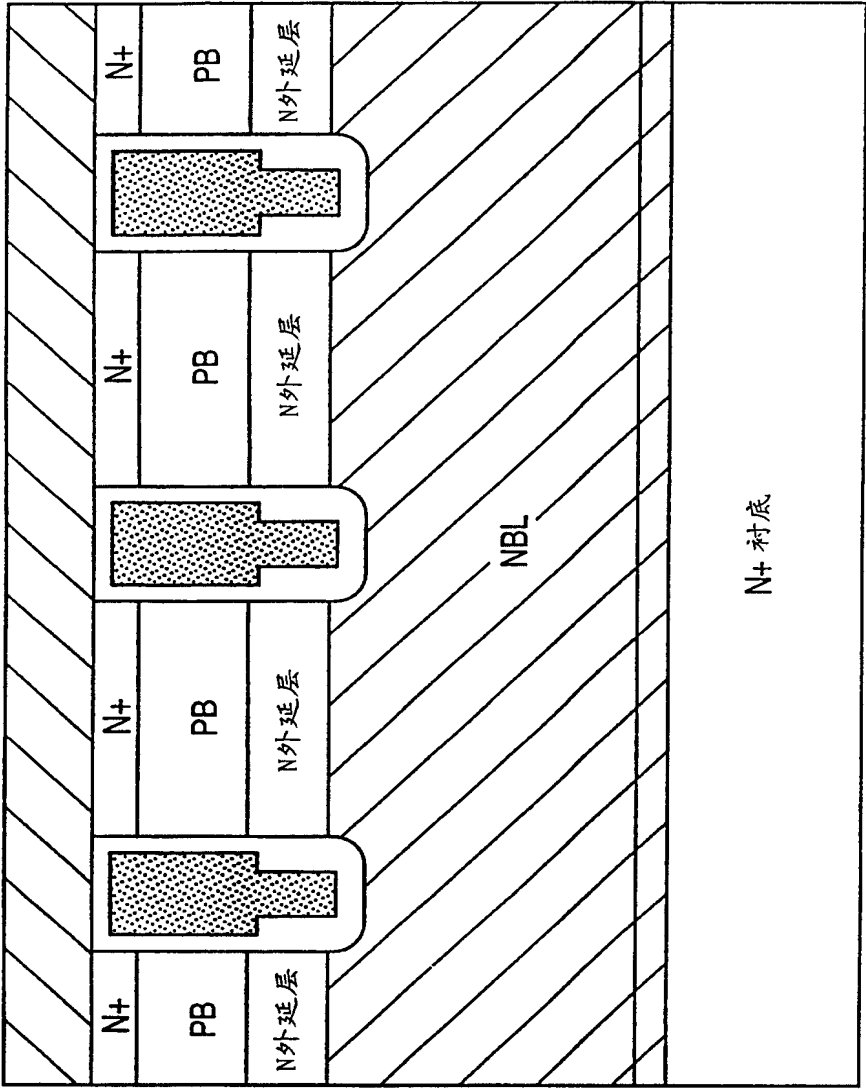


图 39

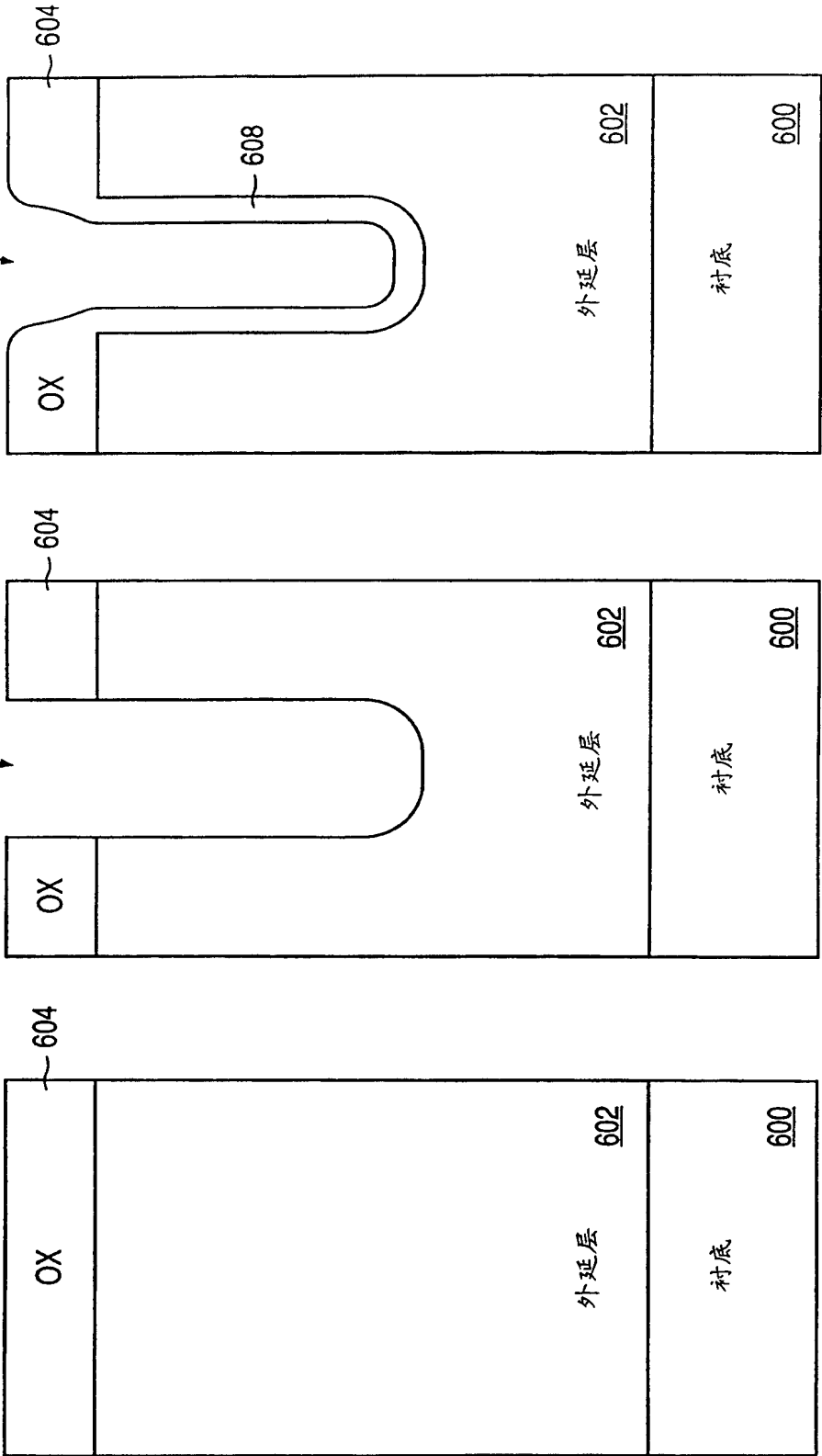


图 40C

图 40B

图 40A

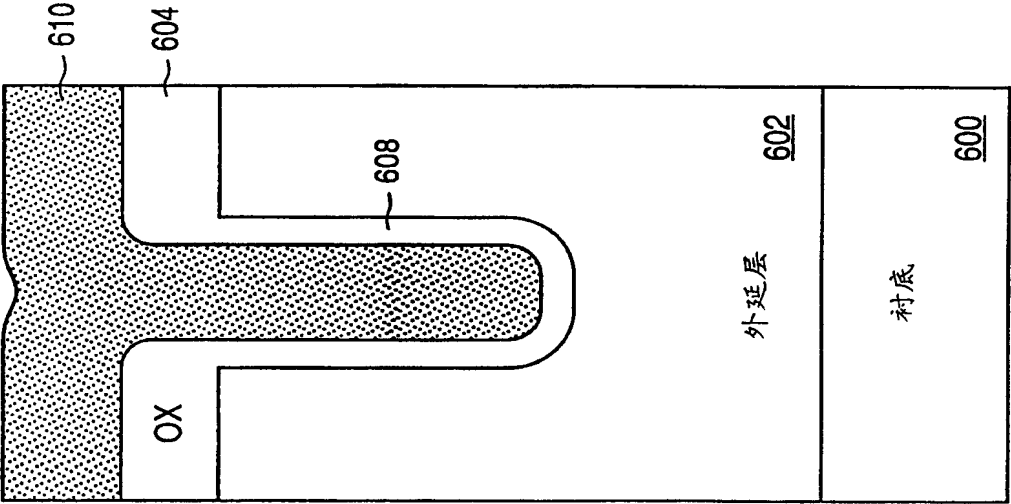


图 40D

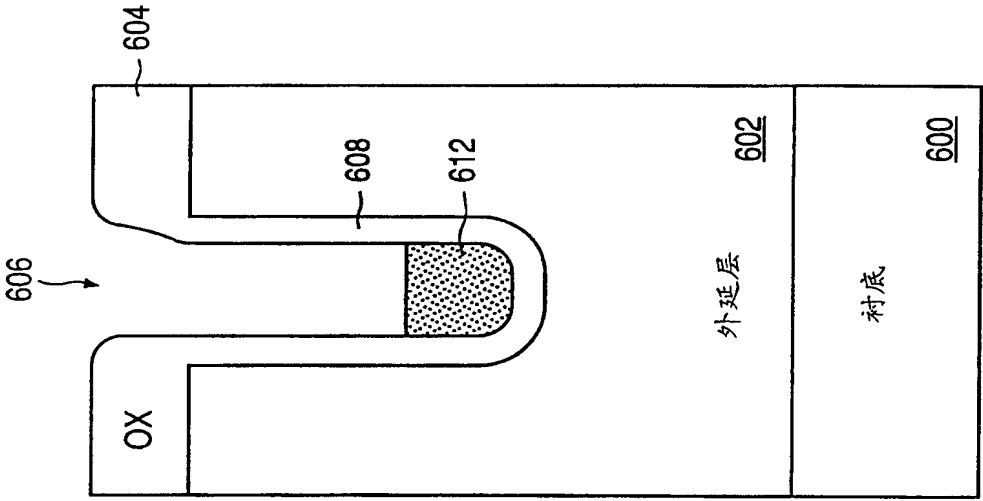


图 40E

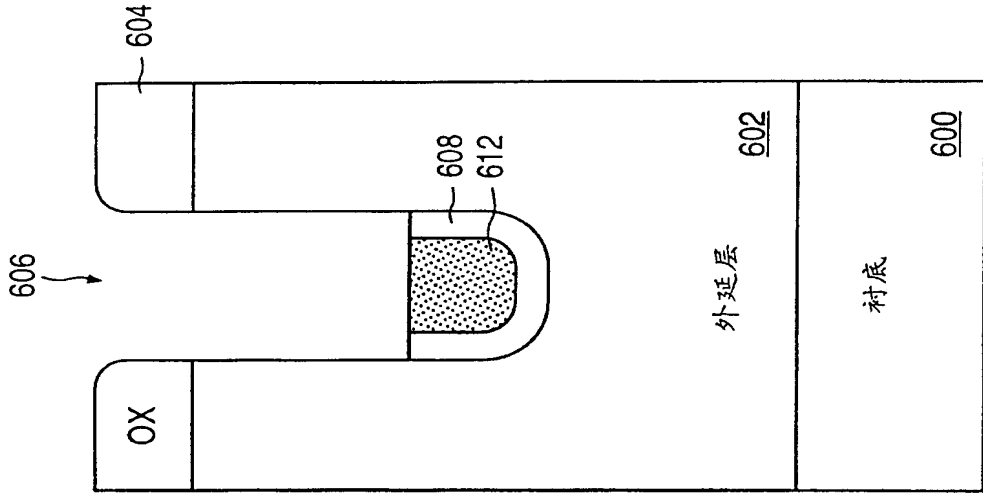


图 40F

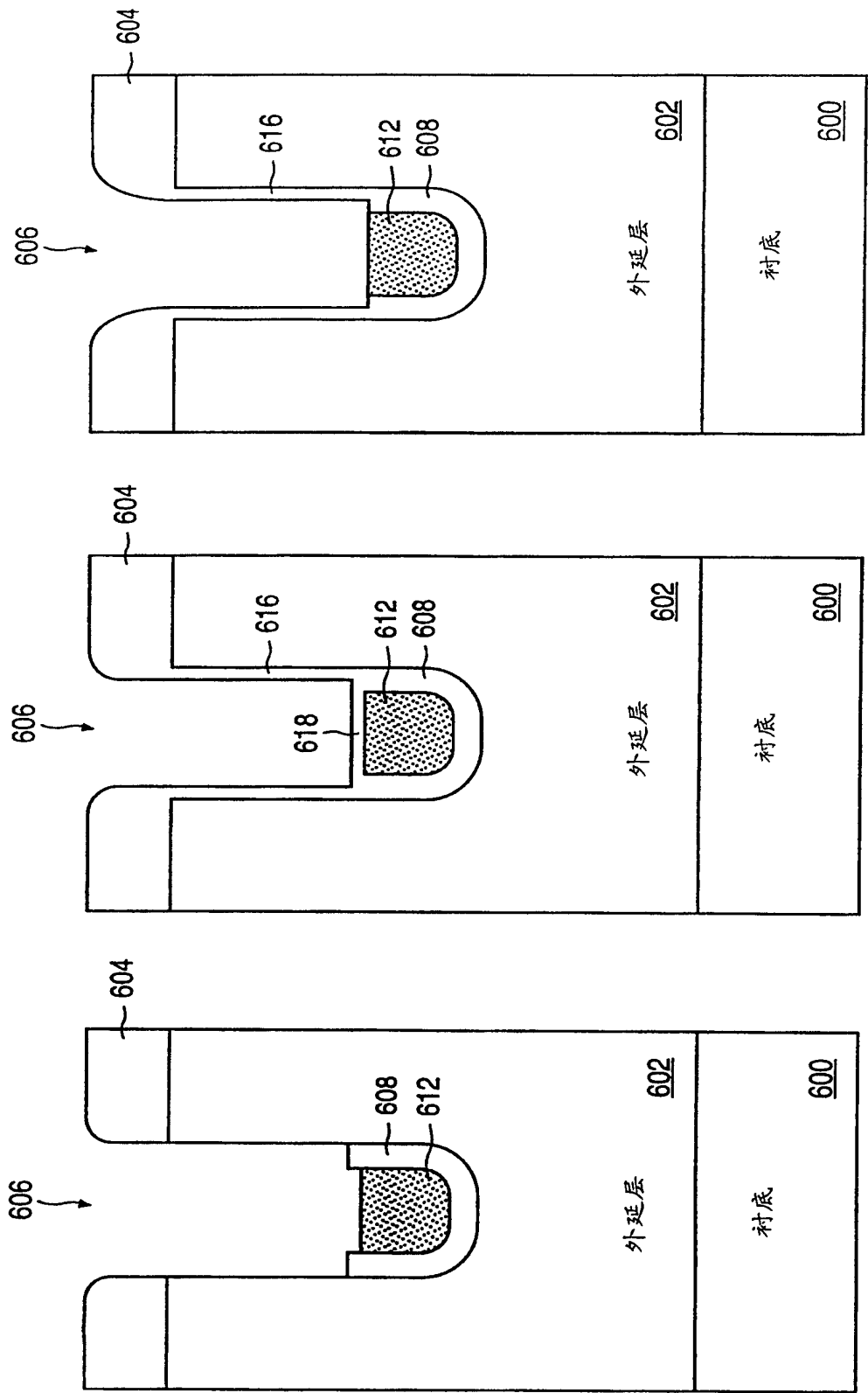


图 40I

图 40H

图 40G

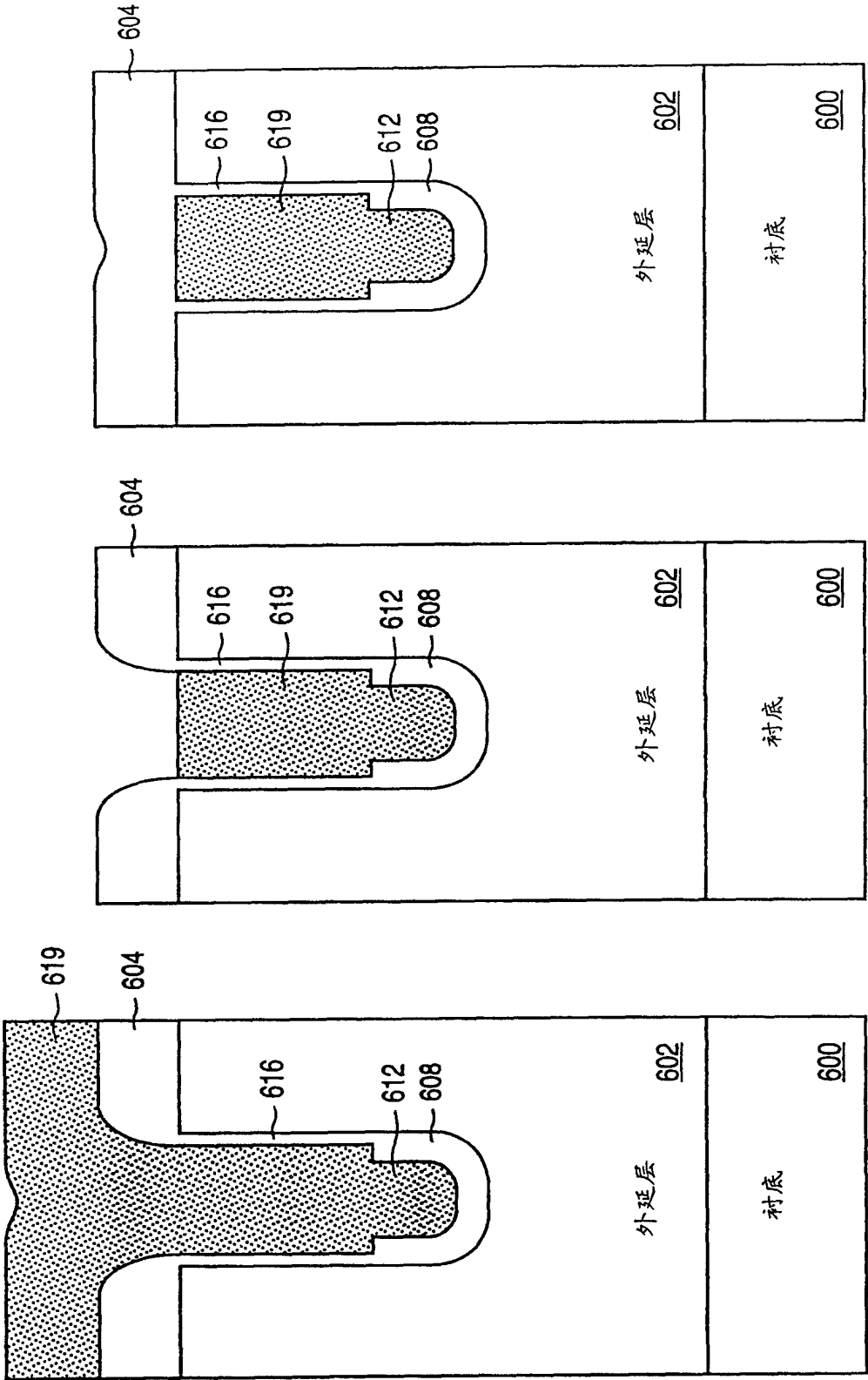


图 40L

图 40K

图 40J

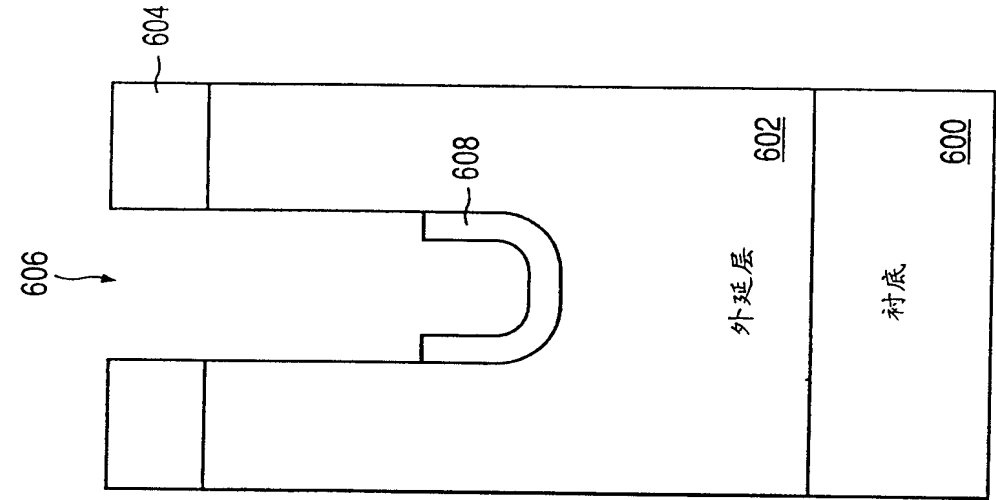


图 41C

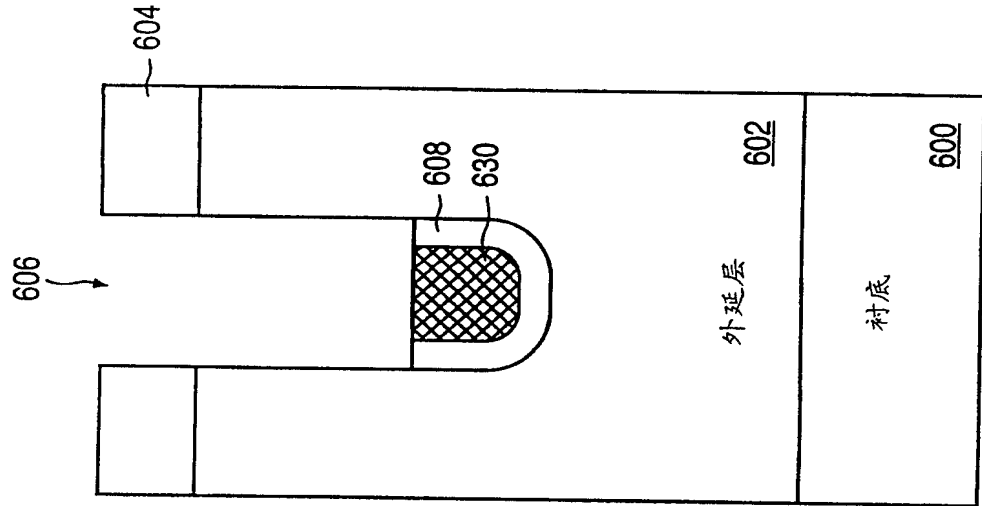


图 41B

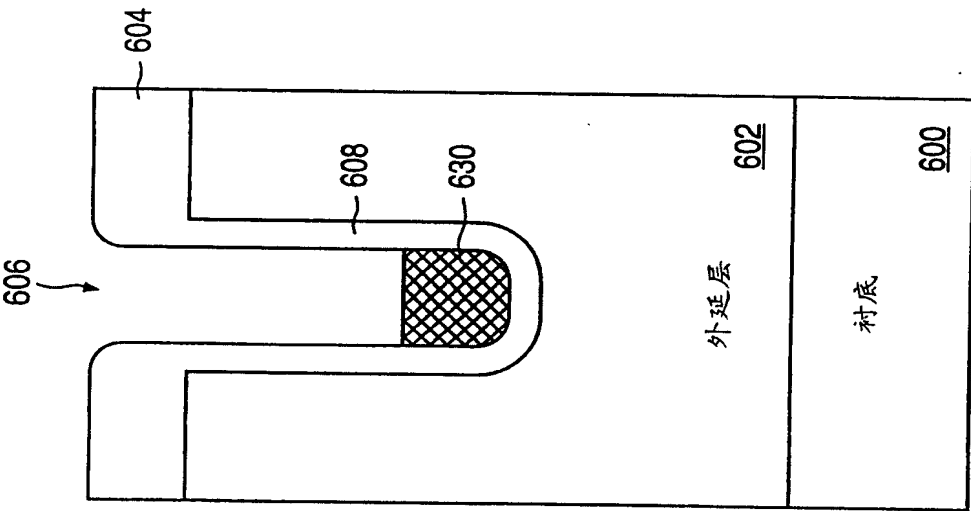


图 41A

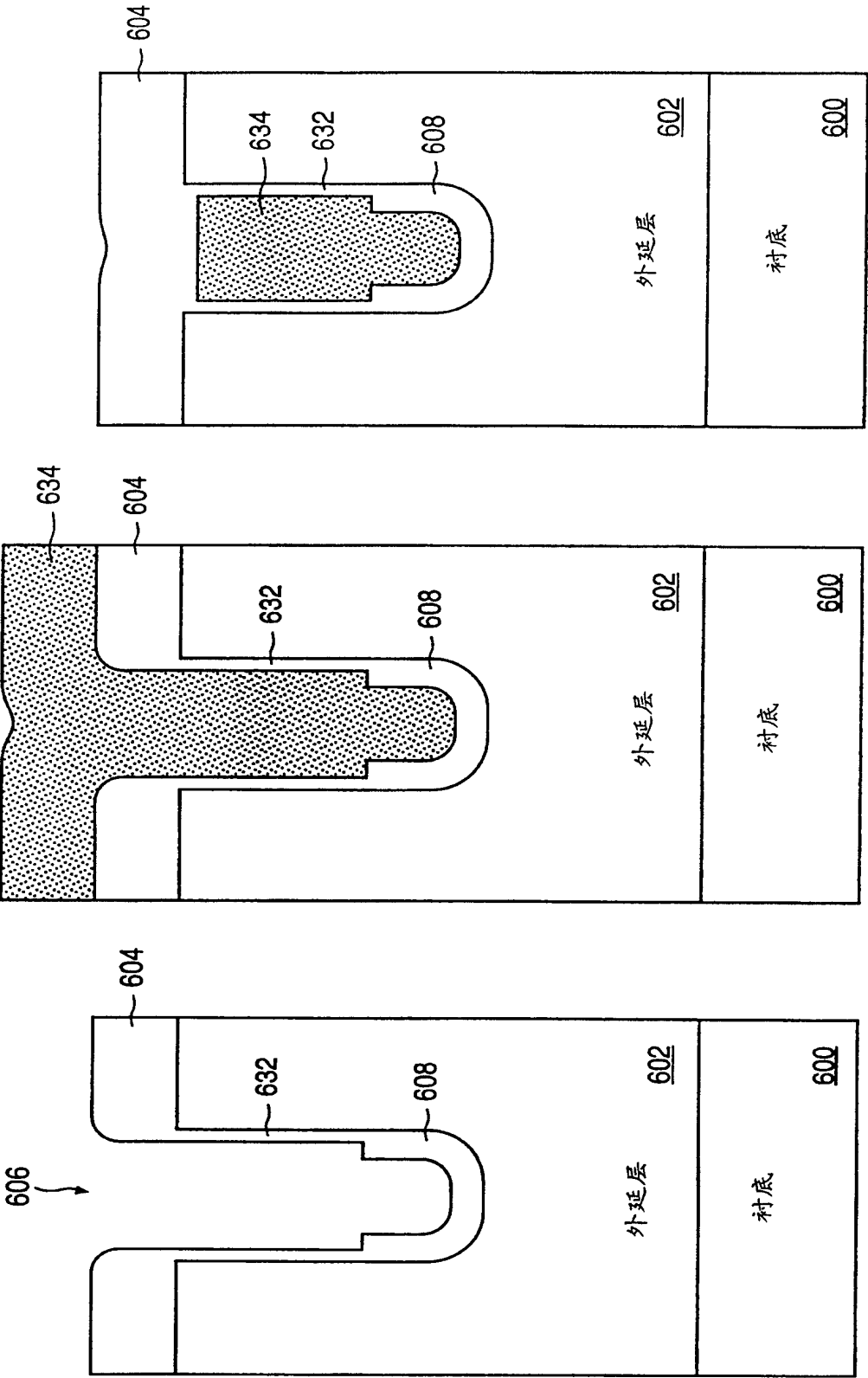


图 41D

图 41E

图 41F

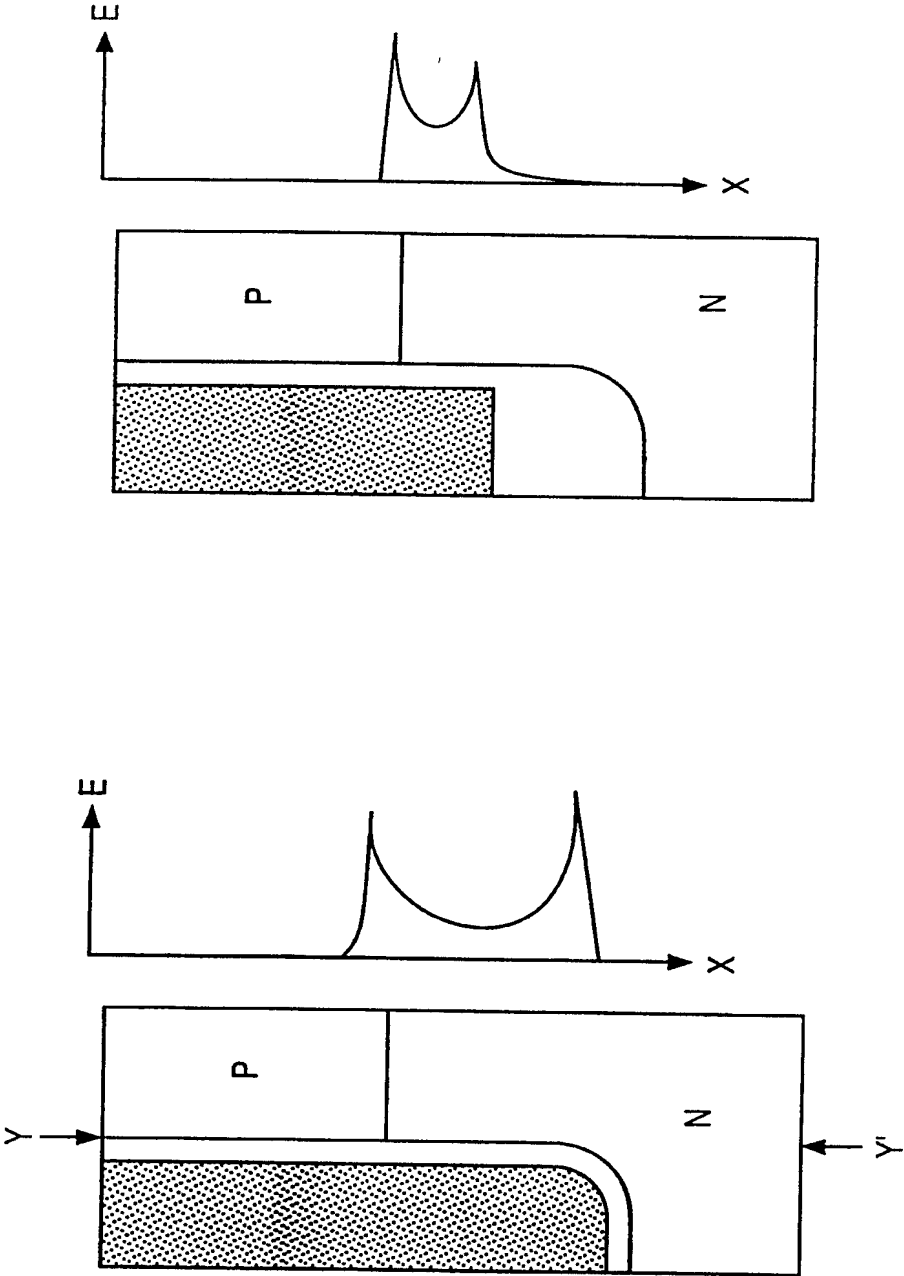


图 42B

图 42A

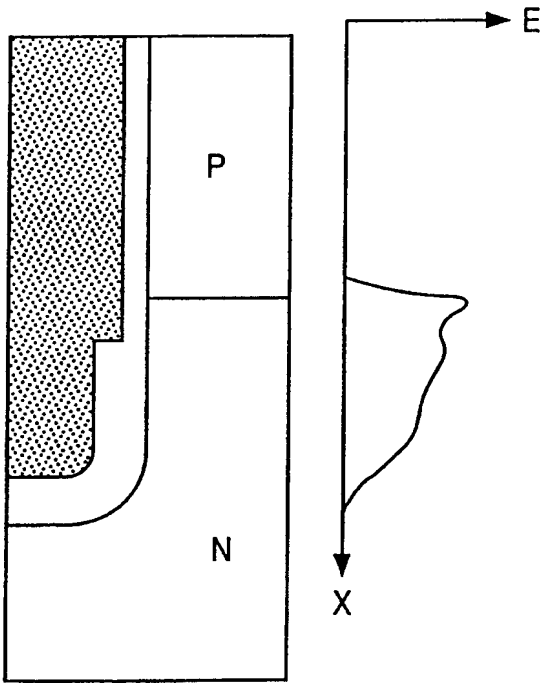


图 42C