

附件2

公告本

321773

321773

321773

申請日期	85 年 7 月 1 日
案 號	85107953
類 別	Int. Cl. 6 <i>G11C 8/04</i>

(以上各類由本局填註)

A4 C4	86 年 7 月 9 日	修正 補充
----------	--------------	----------

發明專利說明書(修正本)

煩請委員明示
修正本有無變更實質內容是否予以修正。
86 年 7 月 9 日所提之

裝

訂

線

一、發明 名稱	中 文	半導體記憶裝置及同步 D R A M
	英 文	
二、發明 創作人	姓 名	(1) 酒井祐二 (2) 大石貫時
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都保谷市柳沢三-四-一〇-三〇 六
	住、居所	(2) 日本國東京都小金井市綠町五-一六-三八
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

經濟部中央標準局員工消費合作社印製

321773

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1995 年 8 月 8 日 7-222698

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

【發明背景】

本發明係有關同步 D R A M (動態型隨機存取記憶體)，主要為利用於使用在圖像處理用而有效之技術。

做為圖像處理用之 D R A M，係具有串聯輸出機能與隨機輸出入機能之多出入埠記憶體 (multiport memory)。像這種多出入埠記憶體之例，係有日本特開昭 6 1 - 2 8 9 5 9 4 號公報。

【發明概要】

如上述之多出入埠記憶體，主要為考慮同步於 C R T 顯示裝置之光柵掃描時間 (raster scan timing) 之讀出動作所想出者，圖像處理之資料輸入出動作係依據通常之隨機存取動作。因此，存有為了圖像處理所需之資料輸出入太花費時間之問題。於是，本發明人等想到了使用對於 X 及 Y 方向之連續存取可高速進行之連群模式 (burst-mode) 之同步 D R A M。然而，即使於同步 D R A M，例如欲進行對於跨越字線之邊界分配之記憶體塊之連續存取時，每當切換上述字線時必須進行命令與位址輸入，而曉得了不能有效地進行上述連群模式之問題存在。

本發明之目的係提供一種圖像處理所需之資料輸出入高速地，並且可簡單地進行之同步 D R A M。本發明之上述及其他之目的與新穎之特徵，係由本說明書之說明及附圖就可清楚。

於本發明所揭示之發明之中若將代表性之概要簡單說

五、發明說明 (2)

明時，則如下。亦即，同步於時鐘信號進行信號之輸入或輸出，並且，至少具有 2 個記憶體區庫，存取一方之時段可進行他方之預通電之同步 D R A M，若欲存取對應於連群長度之複數記憶胞時，就檢測出由這種複數所成之記憶胞是否跨越配置於上述一方之記憶體區庫與他方之記憶體區庫，藉這種檢測若跨越上述他方之記憶體區庫存取記憶胞時，持續對於上述一方之記憶體區庫之記憶胞之存取將上述他方之記憶體區庫之記憶胞之所需命令與位址信號在內部自動產生而進行其存取。

若依據上述手段，就對於對應在畫面上之任意顯示領域之記憶塊可進行連群模式之高速存取。

【圖式之簡單說明】

圖 1 係表示有關本發明之 S D R A M 一實施例之方塊圖。

圖 2 係表示圖 1 之位址演算電路之一實施例之方塊圖。

圖 3 係用來說明本發明一實施例所用之 C R T 畫面上與上述 S D R A M 之映射 (mapping) 圖

圖 4 係用來說明有關本發明之 S D R A M 之寫入周期一例之所用之時間圖。

圖 5 係用來說明有關本發明之 S D R A M 之讀取周期之一例之時間圖。

圖 6 (A) 係用來說明本發明一實施例所用之 C R T

五、發明說明 (3)

畫面與 S D R A M 之映射圖。

圖 6 (B) 及圖 6 (C) 係表示輸出如圖 6 (A) 被映射之 S D R A M 輸出 8 像素 * 像素份之區塊資料時，位址演算電路依序輸出之一系列輸出資訊之圖。

圖 7 (A) 係用來說明本發明之其他一實施例所用之 C R T 畫面與 S D R A M 之映射圖。

圖 7 (B) 及圖 7 (C) 係表示爲了圖 7 (A) 用所映射之 S D R A M 輸出 8 像素 * 像素份之區塊資料時，位址演算電路依序輸出之一系列輸出資訊之圖。

【較佳實施例之說明】

圖 1 係表示有關本發明之同步 D R A M (以下只稱 S D R A M) 之一實施例之概略方塊圖。在該圖所示之 S D R A M 係並非有特別限制，但是，由公知之半導體積體電路之製造技術，形成如單結晶矽之 1 個半導體基板。此實施例之 S D R A M 係，備有構成記憶體區庫 0 (B A N K 0) 之記憶體陣列 (MemoryArray) 2 0 0 A，與構成記憶體區庫 1 (B A N K 1) 之記憶體陣列 (MemoryArray) 2 0 0 B。上述各個記憶體陣列 2 0 0 A，2 0 0 B 係備有配置成矩陣之動態型記憶胞，若依據圖則配置於同一列記憶胞之選擇端子係結合於各列之字線 (沒有圖示)，在配置於同一行之記憶胞之資料輸出入端子係各行結合了相補資料線 (沒有圖示)。

在記憶體陣列 2 0 0 A，雖然配置有複數之字線，但

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

是從略了其說明。依據由列解碼器 (Row Decoder)

2 0 1 A 之列位址信號之解碼結果，複數字線中之 1 組 (分配同一位址之 8 條字線) 係由選擇層次驅動。記憶體陣列 2 0 0 A 之沒有圖示之相補資料線係結合於讀出放大器及行選擇電路 (Sense Amplifier & I / O B U S)

2 0 2 A。在讀出放大器及行選擇電路 2 0 2 A 之讀出放大器 (Sense Amplifier) 係，由於從記憶胞之資料讀出各個之相補資料線檢測所出現之微小電位差而放大之放大電路。其行開關電路係將相補資料線個別地選擇而導通於相補資料線 (I / O B U S) 所用之開關電路。行開關電路係依據行解碼器 (Column Decoder) 2 0 3 A 之行位址信號之解碼結果進行選擇動作。

在記憶體陣列 2 0 0 B 側也與上述同樣設有列解碼器 (Row Decoder) 2 0 1 B，讀出放大器及行選擇電路 (Sence Amplifier & I / O B U S) 2 0 2 B 及行解碼器 (Column Decoder) 2 0 3 B。上述記憶體區庫

2 0 0 A 與 2 0 0 B 之相補共通資料線 (I / O B U S)，係經由如後述之圖像處理等所使用之移位暫存器 (Shift Register) 2 1 2 連接於輸入緩衝器 (Input Buffer) 2 1 0 之輸出端子及輸出緩衝器 (Output Buffer) 2 1 1 之輸入端子。輸入緩衝器 2 1 0 之輸入端子及輸出緩衝器 2 1 1 之輸出端子係連接於 8 位元之資料輸出入端子 I / O 0 ~ I / O 7。

從位址輸入端子 A 0 ~ A 1 1 所供應之列位址信號與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

點

五、發明說明 (5)

行位址信號係對於行位址緩衝器 (Column Address Buffer) 2 0 5 與列位址緩衝器 (Row Address Buffer)

2 0 6 以位址多工模態 (Address Multiplex Mode) 取入。所供應之位址信號係由各個緩衝器 2 0 5 與 2 0 6 所保持。列位址緩衝器 2 0 6 係將在更新動作模態從更新計數器 (Refresh Counter) 2 0 8 所輸出之更新位址信號做為列位址信號取入。行位址緩衝器 2 0 5 之輸出係做為行位址計數器 (Column Address Counter) 2 0 7 之預設資料供應，而行位址計數器 2 0 7 係依據後述之命令等所指定之動作模態，將做為上述預設資料之行位址信號，或將其行位址信號依序增量之值朝行解碼器 2 0 3 A，

2 0 3 B 輸出。控制器 (Control Logic & Timing Generator) 2 1 3 雖然沒有特別限制，但是，供應時鐘信號 C L K，時鐘啟動 (clock enable) 信號 C K E，晶片選擇信號 / C S，行位址選通脈衝 (column address strobe) 信號 / C A S (記號 / 係表示標示其信號為列啟動信號)，列位址選通信號 / R A S，寫入啟動信號 / W E，資料輸出入遮蔽控制信號 D Q M 等之外部控制信號，與從位址輸入端子 A 0 ~ A 1 1 之控制資料及基準電壓 V r e f，而依據其等信號位準之變化或時間形成控制 S D R A M 之動作模態及上述電路塊之動作所需之內部時間信號者，而備有為此所需之控制邏輯與模態暫存器。

時鐘信號 C L K 係 S D R A M 之主時鐘，其他之外新輸入信號係在同步於該內部時鐘信號之上升緣而變成有效

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明 (6)

。晶片選擇信號 / C S 係由其列位準來指示命令輸入周期之開始。若晶片選擇信號 / C S 為高位準時 (晶片非選擇狀態) 或其他之輸入將不具意義。但是，後述之記憶體區庫之選擇狀態或連群動作等之內部動作係不會受到晶片非選擇狀態之變化。 / R A S , / C A S , / W E 之各信號係與通常之 D R A M 之對應信號之功能相異，而界定後述命令周期時將變成有效信號。

時鐘賦能 (clock enable) 信號 C K E 係指示下一時鐘信號之有效性之信號，若該信號 C K E 為高位準時則下一時鐘信號 C L K 之上升邊緣將變成有效，而在低位準時將成為無效。並且，雖然沒有圖示但是在讀入模態，對於輸出緩衝器 2 1 1 進行輸出賦能 (outenable) 之控制之外部控制信號也供給控制器 2 1 3，若其信號例為高位準時輸出緩衝器 2 1 1 將變成高輸出阻抗狀態。

上述列位址信號係同步於時鐘信號 C L K (內部時鐘信號) 之上升邊緣之後述之列位址選通・區庫主動命令周期 (row address strobe bank active command cycle) 之 A 0 ~ A 1 0 之位準所界定。從 A 1 1 之輸入係，在上述列位址選通區庫主動命令周期將被視為區庫選擇信號。亦即，A 1 1 之輸入係低位準時由記憶體區庫 B A N K 0 (2 0 0 A) 被選擇，高位準時將選擇記憶體區庫 B A N K 1 (2 0 0 B)。記憶體之選擇控制雖然不特別加以限制，但是可進行只有選擇記憶體區庫側之列解碼器之活性化，非選擇記憶體區庫側之行開關電路之全非選擇

五、發明說明 (7)

，只有選擇記憶體區庫側之輸入緩衝器 2 1 0 及對於輸出緩衝器 2 1 1 之連接等之處理。

於後述之預通電命令周期之 A 1 0 之輸入係指示對於相補資料線等之預通電動作之態樣，其高位準係預通電之對象為指示雙方之記憶體區庫，其列位準係指示以 A 1 1 所指示一方之記憶體為預通電之對象。

上述行位址信號係由同步於時鐘信號 C L K (內部時鐘) 之上升邊緣之讀入或寫入命令 (後述之行位址讀入命令，行位址·寫入命令) 周期之 A 0 ~ A 8 之位準所界定。並且，像這樣所界定之行位址係成為連群存取之開始位址。茲就由命令所指示之 S D R A M 之主要動作模態說明如下。

(1) 模態暫存器設定命令 (M o)

此係設定上述模態暫存器 3 0 所用之命令，由 / C S， / R A S， / C A S， / W A = 低位準來指定該命令，欲設定之資料 (暫存器設定資料) 係經由 A 0 ~ A 1 1 給與。暫存器設定資料雖然不特別限制，但是可設定之連群長度，C A S 等待時間 (latency)，讀入模態等。雖然沒有特別限制，但是可設定之連群長度係，例如變成 1，2，... ..，8，全頁 (2 5 6)，可設定之 C A S 等待時間係成為 1，2，3，可設定之讀入模態係成為連群讀入與單寫入。

上述 C A S 等待時間，係由後述之行位址，讀出命令所指示之讀入動作從 / C A S 之下降列輸出緩衝器 2 1 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

之輸出動作爲止需要資料讀出所需之內部動作時間，將其依據內部時鐘信號之使用頻率所設定者。換言之，使用頻率高之內部時鐘信號時將 C A S 等待時間相對性地設定爲小值。雖然不特別限制，但是，於如後述之圖像處理動作，若需要時爲了確保字線之切換時間可將 C A S 等待時間設定爲大值使用。

(2) 列位址選通・區庫主動命令 (row address strobe bank active command) (A c) 、

此係將列位址選通之指示與由 A 1 1 之記憶體區庫選擇爲有效之命令， $\neg$ C S ， $\neg$ R A S = 低位準， $\neg$ C A S ， $\neg$ W E = 高位準所指示，此時供給於 A 0 ~ A 1 0 之位址將成列位址，供給給 A 1 1 之信號將成爲記憶體區庫之選擇信號被取入。取入動作係如上述同步於內部時鐘信號之上升邊緣進行。例如，若指定該命令時，就據此選擇所指定之記憶體區庫之字線，而連接於該字線之記憶胞就導通於分別所對應之相補資料線。

(3) 行位址，讀入命令 (R e)

此命令係開始連群讀入動作所需之命令，並且，給與行位址選通指示之命令，由 $\neg$ C S ， $\neg$ C A S = 低位準， $\neg$ R A S ， $\neg$ W E = 高位準指示，此時供給 A 0 ~ A 8 之行位址將成爲行位址信號取入。藉此所取入之行位址信號係成爲連群開始位址供給給行位址計數器 2 0 7 。藉此所指示之連群讀入動作係在其前之列位址選通，區庫主動命令周期，進行記憶體區庫與其字線之選擇，該選擇字線之

五、發明說明 (9)

記憶胞係，同步於內部時鐘信號依據從行位址計數器 2 0 7 所輸出之位址信號依序選擇而連續性地讀出。被連續性地讀出之資料數將成為由上述連群長度所指定之個數。又，從輸出緩衝器 2 1 1 之資料讀出開始係等待由上述 C A S 上述 C A S 等待時間所規定之內部時鐘信號之周期數進行。

(4) 行位址寫入命令 (W r)

做為寫入動作之態樣對於模態暫存器設定連群寫入時係成為開始該連群寫入動作所需之命令，做為寫入動作之態樣設定模態暫存器之單寫入時係成為開始該單寫入動作之所需之命令。並且，該命令係，給與單寫入及連群寫入之行位址選通給與指示。該命令係由 $\neg C S$ ， $\neg C A S$ ， $\neg W E =$ 低位準， $\neg R A S =$ 高位準指示，此時供給給 A 0 ~ A 8 之位址將成為行位址信號被取入。藉此所取入之行位址信號係於連群寫入係成為連群開始位址供給於行位址計數器 2 0 7。藉此所指示之連群寫入動作之步驟也與連群讀入動作同樣地進行。但是，在讀入動作時為沒有 C A S 等待時間，寫入資料之取入係從該行位址，寫入命令周期開始。

(5) 預通電命令 (P r)

此係成為對於由 A 1 0，A 1 1 所選擇之記憶體區庫之預通電動作之開始命令，由 $\neg C S$ ， $\neg R A S$ ， $\neg W E =$ 低位準， $\neg C A S =$ 高位準指示。

(6) 自動更新命令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明 (10)

此命令係開始自動更新所用之命令，而由 $\neg CS$ ， $\neg RAS$ ， $\neg WE$ = 低位準， $\neg CAS$ = 高位準指示。

(7) 連群停止在全頁命令 (burst stop in full pagecommand)

將對於全頁之連群動作對於所有之記憶體區庫停止所用之命令，全頁以外之連群動作則受到忽視。此命令係由 $\neg CS$ ， $\neg RAS$ ， $\neg WE$ = 低位準， $\neg CAS$ = 高位準指示。

(8) 無操作命令 (N o p)

此係指示不進行實質動作之命令。而由 $\neg CS$ = 低位準 $\neg CAS$ ， $\neg WE$ 之位準指示。

(9) 位址演算命令

此命令係， $\neg CS$ = 低位準， $\neg RAS$ ， $\neg CAS$ $\neg WE$ 之位準係指示各種時之組合以外之組合時所設定者。

也可以由藉此命令，進行圖像處理（區塊資料之輸出入），位址演算電路將進行位址演算處理。省略此命令，而 S D R A M 經常進行圖像處理，經常執行位址命令之構成。此時，係設定位址演算命令所需之各種信號就不需要。於 S D R A M，在一方之記憶體區庫進行選通動作時，在其途中指定其他之記憶體區庫，若供給列位址選通，區庫主動命令時，在該執行中之一方之記憶體區庫之動作不會給與任何影響，該別之記憶體之列位址系之動作變成可能。例如，S D R A M 係具有將從外部所供給之資料，位址，及控制信號保持於內部之手段，其保持內容，尤其位

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

址及控制信號係雖然不特別限制，但是依各記憶體區庫所保持。或，由列位址選通，區庫主動命令周期所選擇之記憶區塊之字線 1 支分之資料在行系動作之前預先讀出動作所沒有圖示之問鎖電路所問鎖。

因此，資料輸出入端子 I / O 0 ~ I / O 7 除非資料衝突，在處理結束之命令執行中，發行對於與該執行中之命令成為處理對象之記憶體區庫而相異之命令區庫之預通電命令，列位址選通，區庫主動命令，可預先開始內部動作。

S D R A M 係可界定為同步依據外部時鐘信號 C L K 形成之內部時鐘信號 I C L K，可輸出入資料，位址，或 / R A S，/ C A S 等之各種控制信號之記憶體。可比美與 S D R A M，D R A M 同樣大容量做高速動作，又，將對於所選擇之 1 支字線把幾個資料存取資料由連群長度所指定，由內藏行位址計數器 2 0 7 依序切換行系之選擇狀態而可連續地讀入或寫入於複數個資料。

然而，先行技術之 S D R A M，圖像處理單位之複數位元之資料（例如，C R T 之 8 像素 * 8 像素 = 6 4 像素份之區塊資料）為跨越不同之字線記憶時，由如上述之 1 次連群模態不能進行所有之區塊資料之讀出或寫入。因此，上述情況時，即使在一方字線之複數位元之連群模態之讀出或寫入之後，重新發出命令而進行他方字線之剩餘複數位元由連群模態之讀出或寫入，直到此動作讀出或寫入所有區塊資料為止必須反復進行。因此，跨越顯示畫面上

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (12)

之字線所記憶之複數資料之處理時，就每一次檢測它，而必須使用微處理機等進行上述動作，不僅軟體會變大，同時，也會發生實際上之資料處理速度變慢之問題發生。例如，C R T之區塊資料之讀出或寫入時，微處理機係只對於S D R A M必須給與進行8次或16次之許多次數之位址，命令等。

在實施例之S D R A M，欲讀出C R T之區塊時（位址演算命令），S D R A M外部之裝置，關於位址信號係只要給與區塊資料之先頭位址就可，S D R A M係其本身形成內部位址及內部命令，可依序將區塊資料讀出於外部裝置。亦即，S D A R M，係讀出C R T之區塊資料時，依據從S D R A M外部所輸入之區塊資料之先頭位址，自動形成內部位址及內部命令，一旦接受區塊資料之先頭位址之後就不靠S D R A M之外部裝置就可讀出所有區塊資料。又，若欲將C R T畫面之區塊資料寫入於S D R A M時，S D R A M之外部裝置係關於位址信號，只要給與至少區塊資料之先頭位址就可，關於資料信號係只要依序輸入區塊資料就可以。藉此，就可減輕外部微處理機等之外部裝置之負擔。S D R A M係為了進行在位址演算命令之位址演算處理，具有位址演算電路209。關於位址演算電路209之動作，將在說明圖2時做詳細說明，但是，簡單地說明其動作則如下。亦即，位址演算電路209係執行位址演算命令時（若沒有省略位址演算命令時），將接受輸入或輸出之區塊資料之先頭位址。並且從上述先頭

五、發明說明 (13)

位址開始之單位區塊資料（例如 8 像素份之資料），來判定由先頭位址所指定之字線上是否存在有全部。並且，位址演算電路係從上述先頭位址開始之單位區塊資料是否全部存在於依據由先頭位址所指定之字線上來進行不同之動作。按，若欲輸入或輸出所有之區塊資料時，假如欲輸入或輸出之資料所存儲之區庫切換時，進行一方之記憶體續行之資料之存取（讀出或寫入）之時段，進行分配於他方記憶體區庫之字線之選擇準備。並且，雖然沒有特別指示，但是，上述字線之選擇準備時等所需要之命令將自動發生於位址演算電路。

於區塊資料之讀出或寫入時，不切換記憶體區庫只有所選擇之字線之位址變化時，只有被選擇字線位址之切換時間，有不能進行連續性之讀出或寫入之問題。因此，為了解決上述問題設有移位暫存器 212。例如，寫入模態時，如上述同步於內部時鐘信號將一系列之寫入資料輸入於移位暫存器，而經由這種移位暫存器在跨越於同一記憶體區庫上之 2 個字線進行寫切動作。又，在讀出模態時，如上述跨越同一記憶體區庫上之 2 個字線讀出之資料發生時間差時，所以，獲得字線之切換直到後半之資料（選擇於後半之字線上資料）為止將前半之資料（選擇於前半之線上資料）確保於移位暫存器，等待列獲得連續之資料，經由這種移位暫存器進行資料之輸出。因此，雖然並非特別限制，但是，也可以設定為由 C A S 等待時間之設定來考慮切換上述字線之切換時間。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

點

五、發明說明 (14)

在圖 2，係表示上述位址演算電路（位址查核及演算）一實施例之方塊圖。單位區塊數係表示圖像處理所需之單位資料數，例如，屬於圖像處理之一之 M P E Q（Moving Picture Image Picture Experts Group）係將 8 像素 × 8 像素（或 16 × 16）之區域做為區塊單位來處理資料。亦即，雖然並不特別限制但是將 C R T 之橫向 8 像素份界定為單位區塊，將此單位區塊再朝 C R T 之縱向聚集 8 行份之聚集可界定為 8 像素 * 8 像素份之區塊資料。此時，若能夠分配為各 1 像素相異之色或濃度等，例如，將 1 像素份之資料視為 8 位元之資料。於圖 1 之 S D R A M，1 像素份之 8 位元資料係對應於輸出入位元數之 8。

位址演算電路係，包含單位區塊數暫存器，與單位字長暫存器，與加法器，與第 1 邏輯電路，與第 1 暫存器，與第 2 暫存器，與第 2 邏輯電路。

將上述之 8 像素 * 8 像素界定為區塊資料之 M P E G 時，包含於位址演算電路之單位區塊數暫存器，係設定為單位區塊數之 8。加法器係加上區塊資料之先頭 Y 位址 A 0 ~ A 8 與保持於單位區塊數暫存器之單位區塊數資料（例如 8）。亦即，加法器係計算從上述先頭 Y 位址開始而輸出單位區塊數份（例如 8 像素份）之資料時之最終 Y 位址（Y'）。

由上述加法器所計算之 Y' 位址係，於上述第 1 邏輯電路，與單位字長做比較。單位長係表示結合於物理上之一支字線之記憶數。因此，可以判定第 1 邏輯電路係上述

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (15)

8 像素之單位區塊資料之全部為存在於 1 個字線上，或超過此字線而跨越其他字線存在，亦即，第 1 邏輯電路係寫入或讀出上述 8 像素之單位區塊資料時，來判定是否需要字線之切換動作。並且，第 1 邏輯電路，係寫入或讀出上述 8 像素之單位區塊資料時，輸出表示是否需要字線之切換動作之溢位資訊 OF 1。上述第 1 邏輯電路（比較器）係，實質上由減法電路所構成。第 1 邏輯電路係將 {（單位區塊數）-（Y 位址）+（單位字長）} 之資訊（第 1 連群長度）BL 1 輸出於第 1 暫存器，而將 {（單位區塊數）-（第 1 連群長度）} 之資訊（第 2 連群長度）BL 2 輸出於第 2 暫存器。

第 2 邏輯電路係，將接受第 1 連群長度 BL 1 與第 2 連群長度 BL 2，與溢位資訊 OF 1，與先頭 Y 位址 A（Y）0 - A（Y）8，與區塊資料之先頭 X 位址（X）0 - A（X）11，與內部時鐘信號 ICLK。第 2 邏輯電路，係依據所輸入之各種資料同步於內部輸出時鐘

ICLK 修正 X 位址，修正 Y 位址，修正區庫，連群長度。並且，上述第 3 邏輯電路，係雖然沒有圖示，但是同步於內部時鐘信號 ICLK，也輸出以預定時間預通電命令所需之資料等。亦即，上述第 2 邏輯電路係將記憶體區庫 0 及記憶體區庫 1 之存取動作所需之位址及控制信號同步於內部時鐘信號而以預定之時間輸出。

關於位址演算電路之具體動作例將後述之。按，並不特別限制但是字線並非物理上的意義連結成一之字線，例

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

點

五、發明說明 (16)

如物理上即使是字線，若同時可選擇時（若分配於相同位址時），就可視為 1 個字線。

在圖 3 表示 C R T 畫面與 S D R A M 之映射之一例。C R T 畫面係在上述 M P E G 方式之圖像處理係以 8 像素 × 8 像素 = 64 像素之區域單位進行。C R T 畫面之最上行之 1024 像素中之左半之 512 像素係，對應於對應於記憶體區庫 0 之 X 位址「0」（列 0）之字線上之 512 之記憶胞 * 8 位元。亦即，C R T 畫面之最上行之最左端之 1 像素資料，係對應於對應於記憶體區庫之 X 位址「0」之 8 支之字線與對應於 Y 位址「0」之資料線之交點所配置之 6 個記憶胞之資料。並且，從 C R T 畫面之最上行左端之第 2 之 1 像素之資料係，對應於記憶體區庫 0 之 X 位址「0」所對應之 8 支字線與對應於 Y 位址「1」之資料線之交點所配置之 8 個記憶胞之資料所對應。C R T 畫面之最上行之 1024 像素中右半之 512 像素，係對應於記憶體區庫 1 之 X 位址「0」（列 0）所對應之字線上之 512 之記憶胞 * 8 位元。從 C R T 畫面之上第 2 行之 1024 像素中左半之 512 像素，係對應於記憶體區庫 1 之 X 位址「1」（列 0）所對應字線上之 512 之記憶胞 * 8 位元。從 C R T 面面上到第 2 行之 1024 像素中右半之 512 像素，係對應於記憶體區庫 0 之 X 位址「1」（列 0）所對應字線上之 512 之記憶胞 × 8 位元。並且，由於此模式之反復而 1024 像素 * 512 像素之 C R T 畫面之資訊對應（映射）於

五、發明說明 (17)

S D R A M 之記憶胞。

在圖 4，表示用來說明如圖 3 所映射之上述

S D R A M，於位址演算命令，連續書寫 8 像素 * 8 像素 = 64 像素份之區塊資料時之連群寫入周期之一例所需之時間圖。

做為寫入區塊資料寫入之 64 像素中之先頭像素係，圖 3 之 C R T 畫面最上行左起之第 513 像素。因此，在區塊資料中最初寫入之 1 像素份之 8 位元之資料係保持由列位址「0」，行位址「0」，區庫「0」所指示之記憶胞之資料。首先，由沒有圖示之 / C S 與 / R A S 之列位準，取入於寫入區塊資料之先頭列位址「0」。又，由位址 A 1 1 (區庫選擇 B S) 之高位準，使寫入區塊資料之先頭區庫「1」變成主動而開始對於區庫「1」，列系之位址選擇動作。在 2 時鐘後，沒有圖示之 / C A S 就變成列位準，取入區塊資料之先頭行位址「0」開始行系之選擇動作，而與其同時選擇了選擇所輸入之寫入資料 (信號) 0 : 0 (表示對應於 X 位址 0，Y 位址 0 寫入於記憶胞所用之輸入資料) 而寫入於記憶胞，以下對應於連群寫入而更新行位址，而資料 0 : 1，0 : 2，0 : 3，0 : 4，0 : 5，0 : 6，0 : 7 就同步於時鐘寫入。按，圖 3 之映射係與後述之圖 6 (A) 之映射相同。於圖 3 係表示對於 C R T 畫面左上方像素之映射，與此相對，於圖 6 (A) 係表示對於 C R T 畫面中央上方像素之映射。

與此連群寫入動作平行，主動區庫「0」之指定，與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

對應於其之修正 X (列) 位址 " 1 " , 與從其延遲 2 時鐘由位址演算電路形成修正 Y (行) 位址 " 0 " 而寫入寫入資料 1 : 0 。以下, 與上述同樣同步於資料 1 : 1 , 1 : 2 , 1 : 3 , 1 : 4 , 1 : 5 , 1 : 6 , 1 : 7 依序寫入於所對應之記憶胞。與此並行, 對於區庫 " 1 " 進行預通電, 主動區庫 " 1 " 之指定與, 對應其之修正列位址 " 2 " , 與從其延遲 2 時鐘由位址演算電路形成修正行位址 " 0 " , 而寫入寫入資料 2 : 0 。以下, 與上述同樣 2 : 1 , 2 : 2 , 2 : 3 , 2 : 4 , 2 : 5 , 2 : 6 , 2 : 7 就同步於時鐘而依序寫入於所對應之記憶胞。像這樣, 進行上述 8 像素 $\times$ 8 像素之區塊資料之寫入。主動命令 A C T V , 寫入所用之命令 W R I T 及預通電所用之命令 P R E 係由位址演算電路所形成。

圖 5 係表示如圖 3 所映射之上述 S D R A M 為與位址演算命令相異之通常連群讀入時之時間圖。S D R A M 係列位址 " 0 " , 行位址 " 0 " , 區庫 " 1 " , 連群長為 8 或 2 5 6 (總長) 之情形所表示。

首先, 由於沒有圖示之 $\neg$ C S 與 $\neg$ R A S 之列位準, 取入列位址 " 0 " 。又, 由位址 A 1 1 (區庫選擇器 B S) 之高位準, 記憶體區庫 " 1 " 成為主動對於記憶體區庫 " 1 " 開始位址選擇動作。在 2 時鐘後, 沒有圖示之 $\neg$ C A S 成為低位準, 行位址 " 0 " 被取入而開始行系之選擇動作, 與此同時所輸入之寫入資料 (信號) 0 : 0 (表示寫入在對應於 X 位址 0 , Y 位址 0 之記憶胞所用之寫入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

資料) 將寫入於所選擇之記憶胞。

若 C A S 等待時間變成 4 時，則在 4 時鐘後輸出輸出信號 0 : 0。又，若連群長度設定為 8 時，由連群讀出之指定，以後同步於時鐘而依序輸出 0 : 1, 0 : 2, 0 : 3, 0 : 4, 0 : 5, 0 : 6, 0 : 7。次後，若欲讀出 8 像素份時，就發出讀出命令，而重新輸入行位址 " 8 "。又，C R T 之同步於光柵時間之顯示動作等，連群長為設定總長 (5 1 2)。此時，0 : 0 至 0 : 5 1 1 之資料將依序讀出。其時，與此讀出動作平行，下一之主動區庫 (active bank) " 1 " 之指定，與和其對應之列位址 0，與從其延遲 4 區塊輸入行位址 0。藉此，在 4 時鐘後區庫 1 之輸出信號 0 : 0，輸出區庫 0 之輸出信號 (輸出資料) 0 : 5 1 1 之後持續輸出。輸出區庫 1 之輸出信號 0 : 0 之後，由連群讀出之指定同步於以後時鐘依序輸出資料 0 : 1 至資料 0 : 5 1 1。由以上之動作，就結束 C R T 畫面最上行之 1 0 2 4 像素之讀出動作。以上之動作之後，由於進行 C R T 畫面之第 2 行以後之像素讀出，就可連續地進行 C R T 畫面之所有像素之讀出。

圖 6 (A) 表示有說明本發明之一實施例所用之 C R T 畫面與 S D R A M 之映射圖。於圖 3 之整體 C R T 畫面與 S D R A M 之位址分配與圖 6 (A) 之整個 C R T 畫面與 S D R A M 之位址分配 (映射) 係相同。於圖 3，係表示對於 C R T 畫面之中央上方之像素映射之一部。此實施例之 S D R A M，由如上述之 A (Y) 0 ~ A (Y)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

8 所成之 9 位元之位址信號設定行位址 0 ~ 5 1 1。又，記憶體區庫 0 與記憶體區庫 1 之選擇，係在列位址 A (X) 1 1 進行。在記憶體區庫 0 與記憶體區庫 1 之各個係，由列位址 A 0 - A 1 0 分配可選擇之 2 0 4 8 組之字線。因此，在記憶體區庫 0 與記憶體區庫 1 之分配合計 4 0 9 6 組之字線。一組之字線係由 8 支字線所構成。亦即，輸出入係以 8 位元之單位進行。因此整個 S D R A M 係具有 $5 1 2 * 4 0 9 6 * 8 = \text{約 } 1 6 \text{ M 位元之記憶容量}$ 。

與此相較，C R T 畫面係在掃描線方向 (Y 位址方向) 存在有 1 0 2 4 像素，在縱向存在有 5 1 2 像素。此時 C R T 畫面一行份之 1 0 2 4 像素之資訊，係只有一組字線上之記憶胞之資訊就不足夠。因為，1 支字線只有結合 5 1 2 個之記憶胞所致。因此，C R T 畫面之一行份之 1 0 2 4 像素之資訊，係跨越對應於不同 2 個之列位址之 2 組字線記憶。例如，C R T 畫面最上行之 1 0 2 4 像素之資料係保持於結合於對應記憶體區庫 0 之 X 位址 (列) 、 0 " 字線之記憶胞，與結合於對應記憶體區庫 1 之 X 位址 (列) 、 0 " 字線之記憶胞。於 C R T 畫面與 S D R A M 之映射，C R T 畫面之 1 支行方向之 1 0 2 4 像素資料中，左半之 5 1 2 像素與右半之 5 1 2 像素，係對應於 S D R A M 不同之記憶體區庫內之記憶胞資料。又，就 C R T 畫面之左半或右半領域來看時，對於 C R T 畫面之列 (縱) 方向第偶數之 5 1 2 像素 (排列於橫向) 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

點

五、發明說明 (21)

第奇數之 5 1 2 像素，係對應於不同記憶區庫內之記憶胞資料。具體地來說，從 C R T 畫面最上行之左到 5 1 2 個像素，係對應於區庫 0 內之記憶胞之資料，從 C R T 畫面最上行之右到 5 1 2 個之像素，係對應於區庫 1 內之記憶胞之資料，C R T 畫面上到第 2 行之左起到 5 1 2 個之像素，係對應於區庫 1 內之記憶胞之資料，從 C R T 畫面之上從第 2 行之右之 5 1 2 個像素，係對應於區庫 0 內之記憶胞之資料。若依據上述記憶體之映射，若欲進行 8 像素 * 8 像素份之區塊資料之寫入或讀出時，由於先頭位址之不同，可有 2 個情形。亦即，第 1 個情況係欲進行 C R T 畫面之行（橫）方向之 8 像素份之單位區塊資料之寫入或讀出時，係必須切換記憶體區庫之情形，第 2 個情況係欲進行 C R T 畫面之行（橫）方向之 8 像素份之單位區塊資料之寫入或讀出時，係不必要切換記憶體區庫之情形。例如，上述第 1 個情形係，欲從像素 A 讀出或寫入區塊資料時之情形，上述第 2 個情形係欲從像素 B 讀出或寫入像素 B 之情況。上述區塊資料之讀出或寫入為上述第 1 個情況時之機率，係較上述區塊資料之讀出或寫入為上述第 2 情況時之機率更小。上述第 2 情況時，最初 8 像素份之單位區塊資料與下一 8 像素份之單位區塊資料，係對應於不同之記憶胞內之記憶胞之資料。所以，進行最初 8 像素份之單位區塊資料之寫入或讀出之時段，就可並行地進行下一單位區塊資料之讀出或寫入所需之預通電等之準備動作。若將此詳述時，欲寫入或讀出於第偶數個之單位區塊資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

，與第奇數個所寫入或讀出之單位區塊資料，係對應於分別不同之記憶區塊內之記憶胞之資料。所以，若依據本圖之映射，於較上述第 1 情形機率更高之上述第 2 情形，具有可將區塊資料之寫入或讀出時間高速化之益處。按，於如上述之第 2 情況時，位址演算電路將輸出指示 8 次之連群長 8 之連續存取所需之各種位址及控制信號。

像這樣，在 1 個畫面就需要 $512 \times 1024 \times 8 = 4 \text{ M}$ 位元，所以，在上述 S D R A M 時將具有 4 畫面份 (4 頁) 之記憶容量。此時，列位址係，將 $A(X)0 \sim A(X)8$ 與由區庫位址 $A11$ 之 1024 做為單位而 $A(X)9$ 與 $A(X)11$ 將對應於頁位址。

又，如上述第 1 情況，若指定在跨越畫面中央分為 2 之部分所配置之 8×8 之區塊資料時，位址演算電路將輸出指示 16 次之連續存取所需之各種位址及控制信號。亦即，例如，寫入或讀出從像素 A 開始之區塊資料時，將先頭像素之 X 位址 " 6 " 先頭像素之 Y 位址 " 509 " 及先頭像素之記憶體區庫 " 0 " 做為基準，在 C R T 畫面之 Y 方向將 8 像素，在 X 方向將 8 像素資料分別寫入或讀出時，由於先頭 X 位址 " 6 "，及先頭區庫 " 0 "，指定記憶體區庫 " 0 " 之列位址 " 6 " 而開始記憶存取。此時，在位址橫向電路之加法器就進行保持於先頭像素之 Y 位址 " 509 " 與單位區塊數暫存器之單位區塊數 " 8 " 之和之計算。並且，第 1 邏輯電路就比較保持於先頭像素之 Y 位址 " 509 " 與單位區塊數暫存器之單位區塊數 " 8 " 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (23)

和，與保持於單位字線暫存器之單位字線資訊「5 1 2」之大小。換言之，計算（單位區塊數）－{（先頭 Y 位址）＋（單位區塊數）－（單位字長）}，將其結果保持於第 1 暫存器，而計算（單位區塊數）－（第 1 暫存器之資料），而將其結果保持於第 2 暫存器。亦即，從如上述同樣像素 A 開始之區塊資料之存取時，而 $8 - (509 + 8 - 512) = 3$ 將保持於第 1 暫存器，而 $8 - 3 = 5$ 將保持於第 2 暫存器。並且，計算（先頭 Y 位址）＋（單位區塊數）－（單位字長）是否較 0 為大。並且，若（先頭 Y 位址）＋（單位區塊數）－（單位字長）較 0 為大時，區塊資料之讀出或寫入，將判斷為上述第 1 情況，若（先頭 Y 位址）＋（單位區塊數）－（單位字長）為 0 以下時，就判斷為區塊資料之讀出或寫入係屬於上述第 2 之情況。

保持於上述第 1 暫存器之資料係，於上述第 1 情況時，做為第奇數（1，3，及第 7 次）之讀出或寫入之連群長而以同步於內部時鐘信號之預定時間從第 2 邏輯電路輸出。又，保持於上述第 2 暫存器之資料係，於上述第 1 情況時，做為第偶數（2，4，及第 6 次）之讀出或寫入之連群長而以同步於內部時鐘信號之預定時間從第 2 邏輯電路輸出。

因此，位址演算電路係，首先，連同修正 X 位址「6」，修正 Y 位址「5 0 9」及記憶體區庫「0」輸出連群長「3」。並且，依據上述資訊 S D R A M 係連續輸出連續 3 組資料。接著，在輸出上述 3 組之資料輸出之時段

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (24)

，進行單位區塊資料所餘之 5 像素份資料之存取準備。亦即，利用上述 3 像素份之存取時段來指定區庫 1，而計算修正 X 位址「6」，修正 Y 位址「0」記憶體區庫「1」而輸出，同時，輸出連群長「5」之資訊。並且，進行上述 3 像素份之存取之後持續連續存取單位區塊資料之所餘 5 像素份之資料。按，雖然並非特別限制，但是，做為先頭 Y 位址若指定「1」時，因只有 1 像素之存取時間，所以，由於對應右側畫面之像素之存取會變遲緩，所以設有為了此所需之時間調整用之上述移位暫存器。

亦即，在此實施例之圖像處理係與外部之關係由於經由移位暫存器，來達成同步 D R A M 之連群讀出／連群寫入之適合。按，如上述交替地使記憶體區庫變成主動之外，最遲在對於上述一方之字線之最後位址記憶胞之存取時他方之記憶體區庫變成主動做準備就可以，在上述圖 2 之位址演算電路由所形成之修正 Y 位址同步於切換動作，也可對於不設如上述之緩衝器而如上述跨越 2 個記憶體區庫所設之複數所成之記憶胞進行資料之連群讀出，連群寫入。

圖 6 (B) 係表示於上述圖 6 (A) 之位址映射，存取 (讀出或寫入) 從像素 A 開始之區塊資料時 (上述第 1 個情形)，將位址演算電路所輸出信號之組合排列成時間序列之圖。

亦即，給與先頭 Y 位址「5 0 9」，先頭 X 位址「6」，先頭記憶體區庫「0」時，上述位址演算電路係從第

五、發明說明 (25)

1 次輸出資訊到第 1 6 次資訊依序輸出。亦即，位址演算電路係做為第 1 次輸出資訊計算修正 Y 位址「5 0 9」，修正 X 位址「6」，記憶體區庫「0」及連群長度「3」輸出。接著位址演算電路係做為第 2 次輸出資訊，計算修正 Y 位址「0」，修正 X 位址「6」，記憶體區庫「1」及連群長度「5」輸出。並且持續，位址演算電路係做為第 3 次輸出資訊，計算修正 Y 位址「5 0 9」，修正 X 位址「7」，記憶體區庫「1」及連群長度「3」輸出。更且持續，位址演算電路係做為第 4 次輸出資訊，計算修正 Y 位址「5 0 9」，修正 X 位址「7」，記憶體區庫「0」及連群長度「5」輸出。以後雖然省略其說明係位址演算電路，若上述第 2 情況時，給與先頭 Y 位址，先頭 X 位址，先頭記憶體區庫時，就可自動地輸出區塊資料時依序形成所需之信號。

圖 6 (C) 係表示上述圖 6 (A) 之位址映射，存取 (讀出或寫入) 從像素 B 開始之區塊資料時 (上述第 2 個情況) ，將輸出位址演算電路之信號以時間序列所排列之圖。

亦即，給與先頭 Y 位址「0」，先頭 X 位址「0」，先頭記憶體區庫「1」時，上述位址演算電路係從第 1 次輸出資訊依序輸出第 8 次輸出資訊。亦即，位址演算電路係做為第 1 次輸出資訊，計算修正 Y 位址「0」，修正 X 位址「0」，記憶體區庫「1」及連群長「8」而輸出。接著位址演算電路係做為第 2 次輸出資訊，計算修正 Y 位

五、發明說明 (26)

址 ` 0 ` , 修正 X 位址 ` 1 ` , 記憶體區庫 ` 0 ` 及連群長 ` 8 ` 而輸出。更且持續, 位址演算電路係做為第 3 次輸出資訊, 計算修正 Y 位址 ` 0 ` , 修正 X 位址 ` 2 ` , 記憶體區庫 ` 1 ` 及連群長 ` 8 ` 而輸出。以後雖然從略說明, 但是, 位址演算電路係若上述第 2 情況時, 若給與先頭 Y 位址, 先頭 X 位址, 先頭記憶體區庫時, 也可以自動地依序形成輸出區塊資料所需之信號。由以上, 欲存取之區塊資料先頭像素無論在何處, 位址演算電路係依據先頭 Y 位址, 先頭 X 位址, 先頭記憶體區庫時, 也可依序形成自動地輸出區塊資料所需之信號。

圖 7 (A) 係表示說明本發明之其他實施例所用之 C R T 畫面與 S D R A M 之映射圖。C R T 畫面與 S D R A M 之映射, C R T 畫面左一半之 5 1 2 * 5 1 2 像素係, 對應於 S D R A M 之記憶體區庫 ` 0 ` 內之記憶胞之資料。又, C R T 畫面左半之 5 1 2 * 5 1 2 像素係, 對應於 S D R A M 之記憶體區庫 ` 1 ` 內之記憶胞之資料。具體說明時, 從 C R T 畫面最上行之左之 5 1 2 個像素, 係對應於區庫 0 內記憶胞之資料, 從 C R T 畫面最上行右起之 5 1 2 個像素, 係對應於區庫 1 內之記憶胞之資料, 從 C R T 畫面最上行之第 2 行之左 5 1 2 個像素, 係對應於區庫 0 內記憶胞之資料, 從 C R T 畫面上之第 2 行之右 5 1 2 個像素, 係對應於區庫 1 內之記憶胞之資料。因此, 掃描所有 C R T 畫面, 若欲讀出或寫入全部 C R T 畫面之資料時, 就可交替地存取記憶體區庫。亦即,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

C R T 畫面最上行之左半資料係，保持於記憶體區庫 0，下一個被存取之 C R T 畫面上之最上行右半之資料係，保持於記憶體區庫 1，其次被存取之 C R T 畫面第 2 行之左半資料係，保持於記憶體區庫 0，更且在其次被存取之 C R T 畫面之第 2 行右半之資料係保持於記憶體區庫 1。以下也同樣地，依據被存取之像素順序記憶體交替地有規則地保持於記憶體區庫 0 與記憶體區庫 1。所以，若依據本圖之映射，如掃描 X R T 像素時，以 C R T 畫面之行單位連續存取於 C R T 畫面之列方向時，具有可將資料之寫入或讀出時間高速化之益處。

圖 7 (B) 係於上述圖 7 (B) 之位址映射，若欲存取 (讀出或寫入) 從像素 A 開始之區塊資料時 (第 1 個情況)，將輸出位址演算電路輸出之信號組合以時間系列排列之圖。

亦即，若給與先頭 Y 位址 ' 5 0 9 '，先頭 X 位址 ' 6 '，先頭記憶體區庫 ' 0 ' 時，上述位址演算電路係，從第 1 次輸出資訊依序輸出第 1 6 次輸出資訊。亦即，位址演算電路係做為第 1 次輸出資訊計算修正 Y 位址 ' 5 0 9 '，修正 X 位址 ' 6 '，記憶體區庫 ' 0 ' 及連群長度 ' 3 ' 而輸出。接著位址演算電路係做為第 2 次輸出資訊計算修正 Y 位址 ' 0 '，修正 X 位址 ' 6 '，記憶體區庫 ' 1 ' 及連群長度 ' 5 ' 而輸出。更且持續地，位址演算電路係做為第 3 次輸出資訊計算修正 Y 位址 ' 5 0 9 '，修正 X 位址 ' 7 '，記憶體區庫 ' 0 ' 及連群

五、發明說明 (28)

長度" 3 "而輸出。更且持續地，位址演算電路係係做為第 4 次輸出資訊計算修正 Y 位址" 0 "，修正 X 位址" 7 "，記憶體區庫" 1 "及連群長度" 5 "而輸出。以後雖然從略說明，但是，位址演算電路係上述第 2 情況時，若給與先頭 Y 位址，先頭 X 位址，先頭記憶體區庫時，就可自動地依序形成輸出區塊資料所需之信號。

圖 7 (C) 係於上述圖 7 (A) 之位址映射，若欲存取 (讀出或寫入) 從像素 B 開始之區塊資料時 (第 2 個情況)，將輸出位址演算電路輸出之信號以時間系列排列之圖。

亦即，若給與先頭 Y 位址" 0 "，先頭 X 位址" 0 "，先頭記憶體區庫" 1 "時，上述位址演算電路係，從第 1 次輸出資訊依序輸出第 8 次輸出資訊。亦即，位址演算電路係做為第 1 次輸出資訊計算修正 Y 位址" 0 "，修正 X 位址" 0 "，記憶體區庫" 1 "及連群長度" 8 "而輸出。接著位址演算電路係做為第 2 次輸出資訊計算修正 Y 位址" 0 "，修正 X 位址" 1 "，記憶體區庫" 1 "及連群長度" 8 "而輸出。更且持續地，位址演算電路係做為第 3 次輸出資訊計算修正 Y 位址" 0 "，修正 X 位址" 2 "，記憶體區庫" 1 "及連群長度" 8 "而輸出。更且持續地，位址演算電路係做為第 4 次輸出資訊計算修正 Y 位址" 0 "，修正 X 位址" 3 "，記憶體區庫" 1 "及連群長度" 8 "而輸出。以後雖然從略說明，但是，位址演算電路係上述第 2 情況時，若給與先頭 Y 位址，先頭 X 位址

五、發明說明 (29)

，先頭記憶體區庫時，就可自動地依序形成輸出區塊資料所需之信號。由以上，無論欲存取之區塊資料先頭像素在何處，位址演算電路係也依據先頭 Y 位址，先頭 X 位址，先頭記憶體區庫，就可自動地依序形成輸出區塊所需之信號。

由上述之實施例所可獲得之作用效果係如下。亦即，
(1) 同步於時鐘信號進行信號之輸入或輸出，並且，至少在存取 2 個之記憶體區庫一方之時段可進行他方之預通電之同步 S D R A M，欲存取對應於連群長之複數記憶胞時，若檢測從這種複數所成之記憶胞跨越於上述一方之記憶體區庫與他方之記憶體區庫所配置之後，由於持續對於上述一方之記憶體區庫之記憶胞之存取對於上述他方之記憶體區庫之記憶胞之命令與將位址信號在內部自動發生連續地進行輸入或輸出，對於畫面上之任意顯示領域之記憶區塊就可獲得進行連群模態之高速存取之效果。

(2) 由上述 (1)，於微處理機等係以區塊單位之資料處理時，只要進行其先頭位址之指定，所以就可獲得軟體之負擔大幅度地減輕之效果。

(3) 做為上述緩衝記憶使用移位暫存器，邊調整切換字線時之時間，就可進行簡單地同步於時鐘信號資料之輸入與輸出之效果。

(4) 對應於上述連群屢次複數之記憶胞，係對應於 1 個圖像處理所進行之資料者，在顯示畫面之 Y 位址方向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綴

五、發明說明 (30)

分配行位址，將超過一方之記憶體區庫之最終行位址之部分，分配於對應於他方之記憶體區庫之預定列位址之行位址，在顯示畫面之 X 位址方向於第 1 掃描線其畫面之左半被視為一方之記憶體區庫，右半係被視為他方記憶體區庫時，在與其連續之第 2 掃描線係畫面之左半被視為上述他方之記憶體區庫，右半為成為上述一方之記憶體區庫，由於可將 2 個記憶體交替地有效率地動作，所以，可獲得高速資料之讀出／寫入之效果。

雖然由以上本發明人所發明者依據實施例做了具體地說明，但是，本發明並非限於上述實施例者，當然不脫離其要旨之範圍可做種種變更。例如，於 S D R A M，資料係使用 8 位元單位輸出入之外，也可用 1 6 位元單位進行輸出入。又，對應於這些資料位元數或記憶容量而位址之分配位址也可採取種種實施形態。例如，於 4 M 位元之 S D R A M，進行上述 8 位元單位之資料輸出入者，只能以行位址以 A 0 ~ A 7 之 8 位元所指定之 2 5 6 時，將畫面向 Y 方向連群成 4，各以 2 5 6 分配就可以。又，位址演算電路之具體構成係，如上述之位址之比較動作與和其對應之修正位址之生成，或產生連群長度者則任何皆可。本發明係可廣泛地利用於同步於時鐘信號進行輸入信號之取入之 S D R A M 者。

於本發明所揭示發明之中由代表性者所獲得之效果簡單地說明如下。亦即，同步於時鐘信號進行信號之輸入或輸出，並且，存取至少將 2 個記憶體區庫一方之時段，可

(請先閱讀背面之注意事項再填寫本頁)

表

訂

第

五、發明說明 (31)

進行他方之預通電之同步 D R A M，若欲存取對應於連群長之複數記憶胞時，若檢測出由複數所成之記憶體跨越上述一方之記憶體區庫與他方之記憶體區庫配置時，持續對於上述一方之記憶體區庫之記憶胞之存取將對於上述他方之記憶體區庫之記憶胞之所需命令與位址信號在內部自動產生連續性地進行資料之輸入或輸出，對於對應畫面上之任意顯示領域之區塊資料就可進行連群模態之高速存取。

由上述，於微處理機等，以區塊單位之資料處理時只要指定其先頭位址之指定就可以，所以，可大幅度地減輕軟體之負擔。

由於做為上述緩衝記憶體使用移位暫存器，邊進行時間調整，可簡單地進行同步於時鐘信號之資料之輸入與輸出。

對應於上述連群長度之複數記憶胞係對應於由 1 個圖像處理所進行之資料者，在顯示畫面之 Y 位址方向分配行位址，將超過一方之記憶體區庫之最終行位址部分，分配在對應於他方之記憶體區庫之預定列位址之行位址，在顯示畫面之 X 位址方向在第 1 掃描線將畫面之左半做為一方之記憶體區庫，右半係成為他方之記憶體區庫時，在與此連續之第 2 掃描線，畫面之左半成為上述他方之記憶體區庫，由於將右半成為上述一方之記憶體區庫，因可將 2 個記憶體區庫交替地動作，所以，可進行高速之資料之讀出／寫入。

四、中文發明摘要(發明之名稱:)

半 導 體 記 憶 裝 置 及 同 步 D R A M

同步於時鐘信號進行信號之輸入或輸出，且至少存取2個記憶體銀行之一方之時段可進行他方之預通電(pre-charge)之同步D R A M，若欲存取對應於連群(burst)長之複數記憶胞(memory cell)時，由這種複數所成之記憶胞被檢測出其配置成跨越至上述一方之記憶體銀行與他方之記憶體銀行(memory bank)之後，持續對於上述一方之記憶體銀行記憶胞之存取對於上述他方之記憶體銀行之記憶胞之命令與位址信號在內部自動產生而連續地進行資料之輸入或輸出。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種同步 D R A M，其係同步於時鐘信號進行信號之輸入或輸出，且至少具有 2 個記憶體區庫，在存取一方之時段可進行他方之預通電之同步 D R A M，其特徵為欲存取對應於連群長之複數記憶胞時，這種由複數所成之記憶胞檢測跨越是否配置於上述一方之記憶體區庫與他方之記憶體區庫與否，藉這種檢測跨越上述他方之記憶體區庫存取記憶胞時，持續對於上述一方之記憶體區庫之記憶胞之存取將對於上述他方之記憶體區庫之記憶胞所需之命令與位址信號在內部自動產生而進行其存取。

2. 根據申請專利範圍第 1 項之同步 D R A M，其中在上述至少 2 個之記憶體區庫與外部端子之間進行資料之輸入出之資料輸出入電路之間設有由移位暫存器所構成之緩衝記憶體。

3. 根據申請專利範圍第 1 項之同步 D R A M，其中在對應上述連群長之複數記憶胞，係對應於由 1 個圖像處理所執行之資料者，顯示畫面之 Y 位址方向分配有行位址，而超過一方記憶體區庫之最終行位址之部分，係分配有對應在他方記憶體區庫之預定列位址之行位址者，在顯示畫面之 X 位址方向於第 1 掃描線畫面之左半係成為一方之記憶體區庫，右半係成為他方之記憶體區庫，在與其連續之第 2 掃描線則畫面之左半係成為上述他方之記憶體區庫，右半係成為上述一方之記憶體區庫。

4. 一種形成於一個半導體基板之半導體記憶裝置，其特徵為：

六、申請專利範圍

上述半導體記憶裝置係接受指示預定記憶胞之列位址信號及行位址信號，依據上述列位址信號及行位址信號讀出複數資料，上述複數之資料係包含從上述預定記憶胞之資料，

上述複數資料係從結合於分配有相異位址地址之複數字線之複數記憶胞所讀出之資料。

5. 根據申請專利範圍第4項之半導體記憶裝置，其中上述複數之資料係對應於畫面之像素之資料。

6. 根據申請專利範圍第4項之半導體記憶裝置，其中上述複數之資料係對應於畫面之像素之區塊資料。

7. 根據申請專利範圍第4項之半導體記憶裝置，其中上述複數之資料係對應於畫面之像素之8像素*8像素份之區塊資料。

8. 根據申請專利範圍第4項之半導體記憶裝置，其中上述複數之資料係保持於複數之記憶體區庫。

9. 根據申請專利範圍第4項之半導體記憶裝置，其中上述半導體記憶裝置係同步時鐘信號而動作之同步D R A M。

10. 一種形成於一個半導體基板之半導體記憶裝置，其特徵為；上述半導體記憶裝置係，包含接受指示預定記憶胞之列位址信號及行位址信號，依據上述列位址信號及行位址信號，形成結合分配於相異位址之複數字線之複數記憶胞依序存取所用之內部位址信號之位址演算電路。

11. 根據申請專利範圍第10項之半導體記憶裝置

六、申請專利範圍

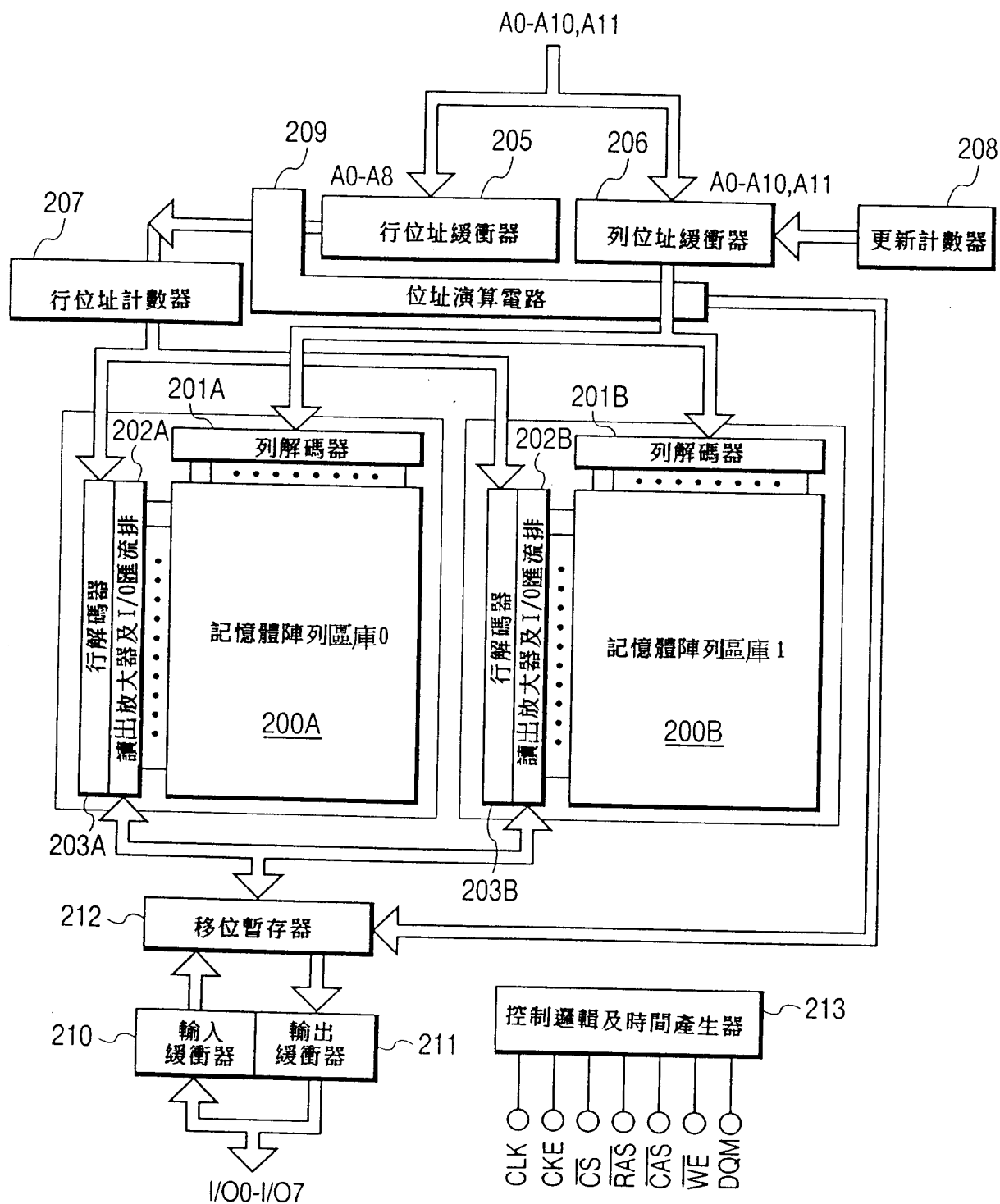
，其中上述複數之記憶胞係，保持於對應於畫面之像素之資料。

1./2 . 根據申請專利範圍第 1 0 項之半導體記憶裝置，其中上述複數之記憶胞係，保持於對應於畫面之像素之區塊資料。

1./3 . 根據申請專利範圍第 1 0 項之半導體記憶裝置，其中上述複數之記憶胞係，保持於對應於畫面之像素之 8 像素 * 8 像素份之區塊資料。

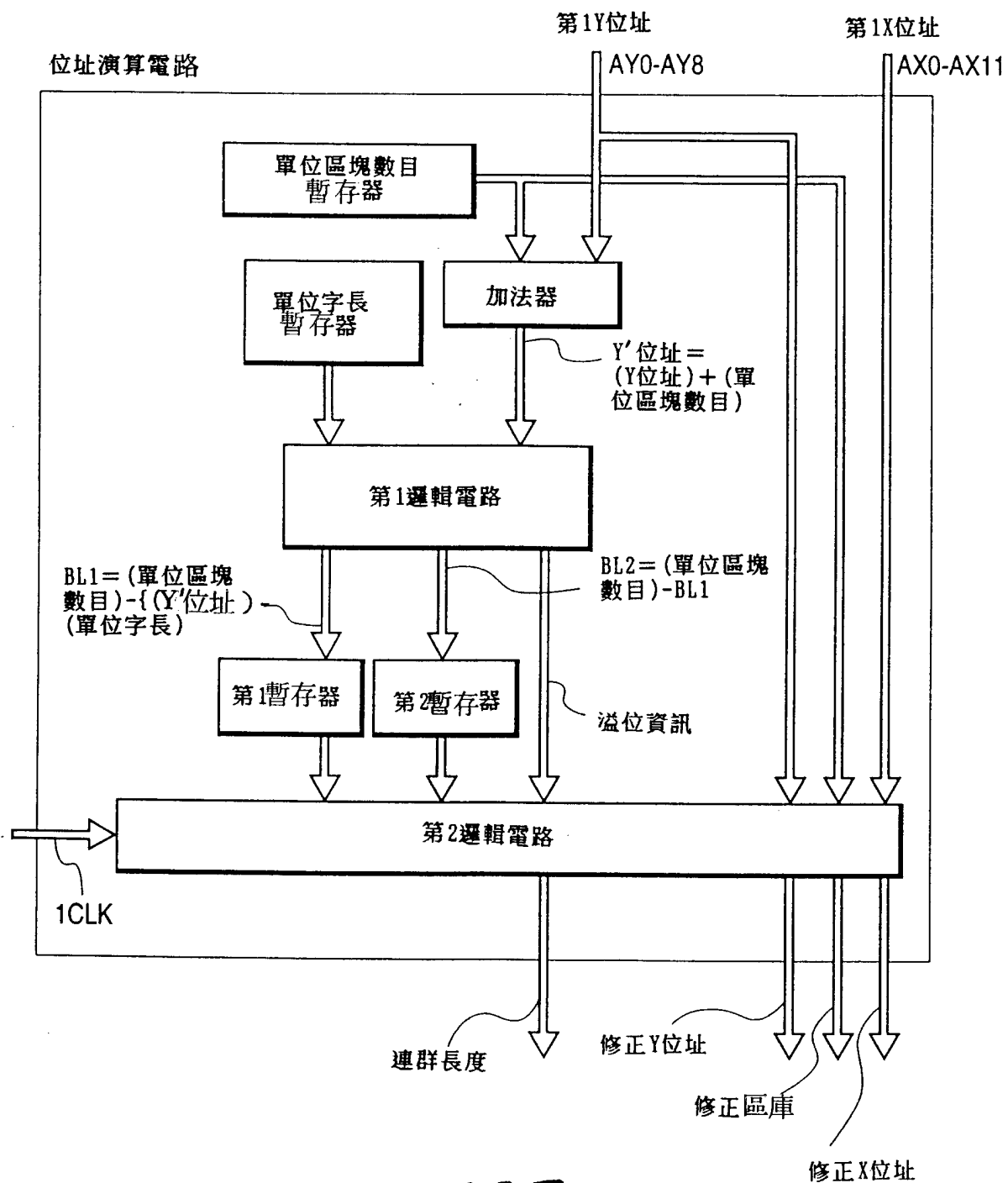
1./4 . 根據申請專利範圍第 1 0 項之半導體記憶裝置，其中上述複數之記憶胞係，保持於複數之記憶體區庫。

1./5 . 根據申請專利範圍第 1 0 項之半導體記憶裝置，其中半導體記憶裝置係同步於時鐘信號而動作之同步 D R A M 。

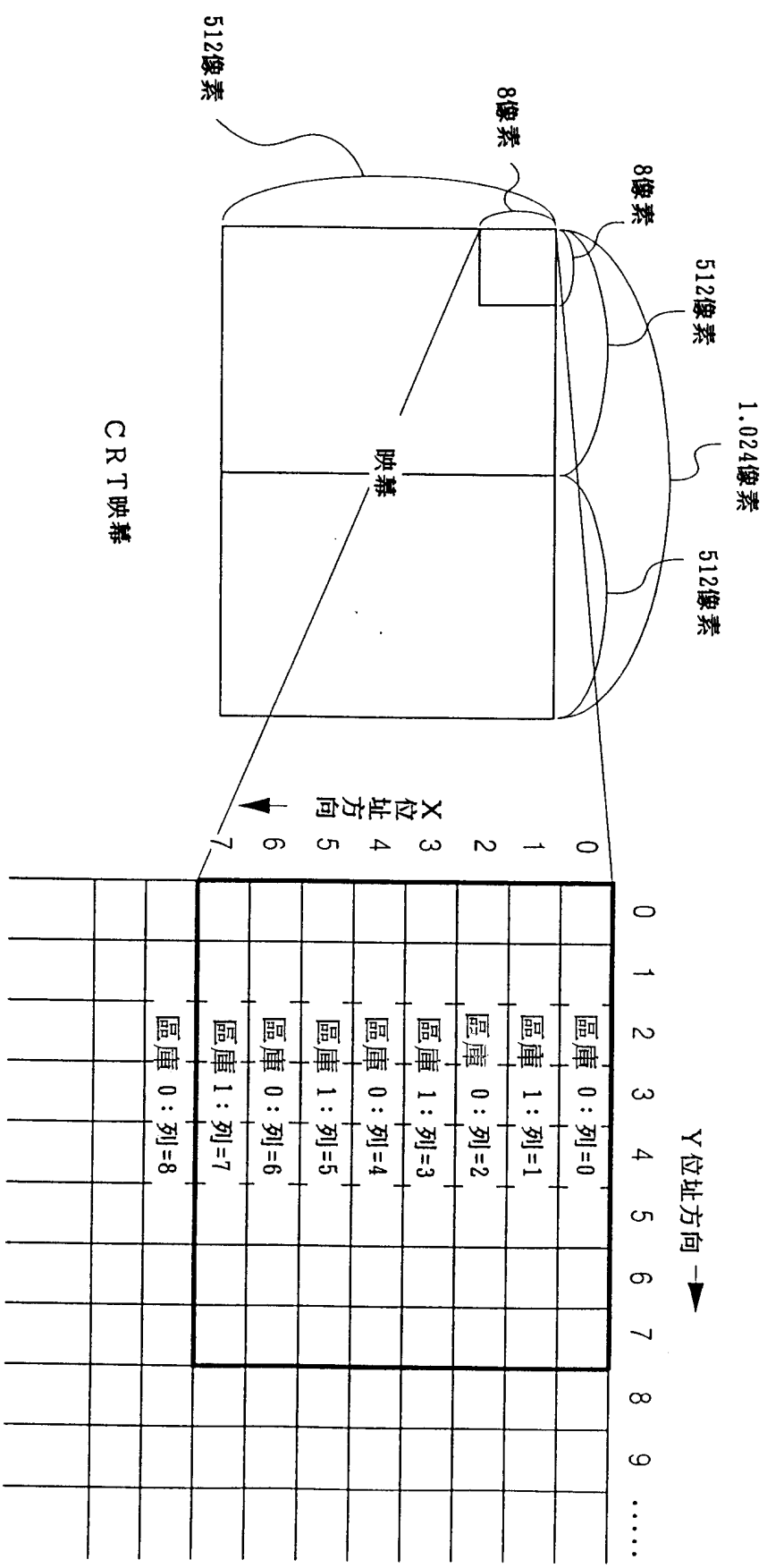


煩請委員明示 86 年 2 月 19 日所提之修正本有無變更實質內容是否准予修正。

第 1 圖

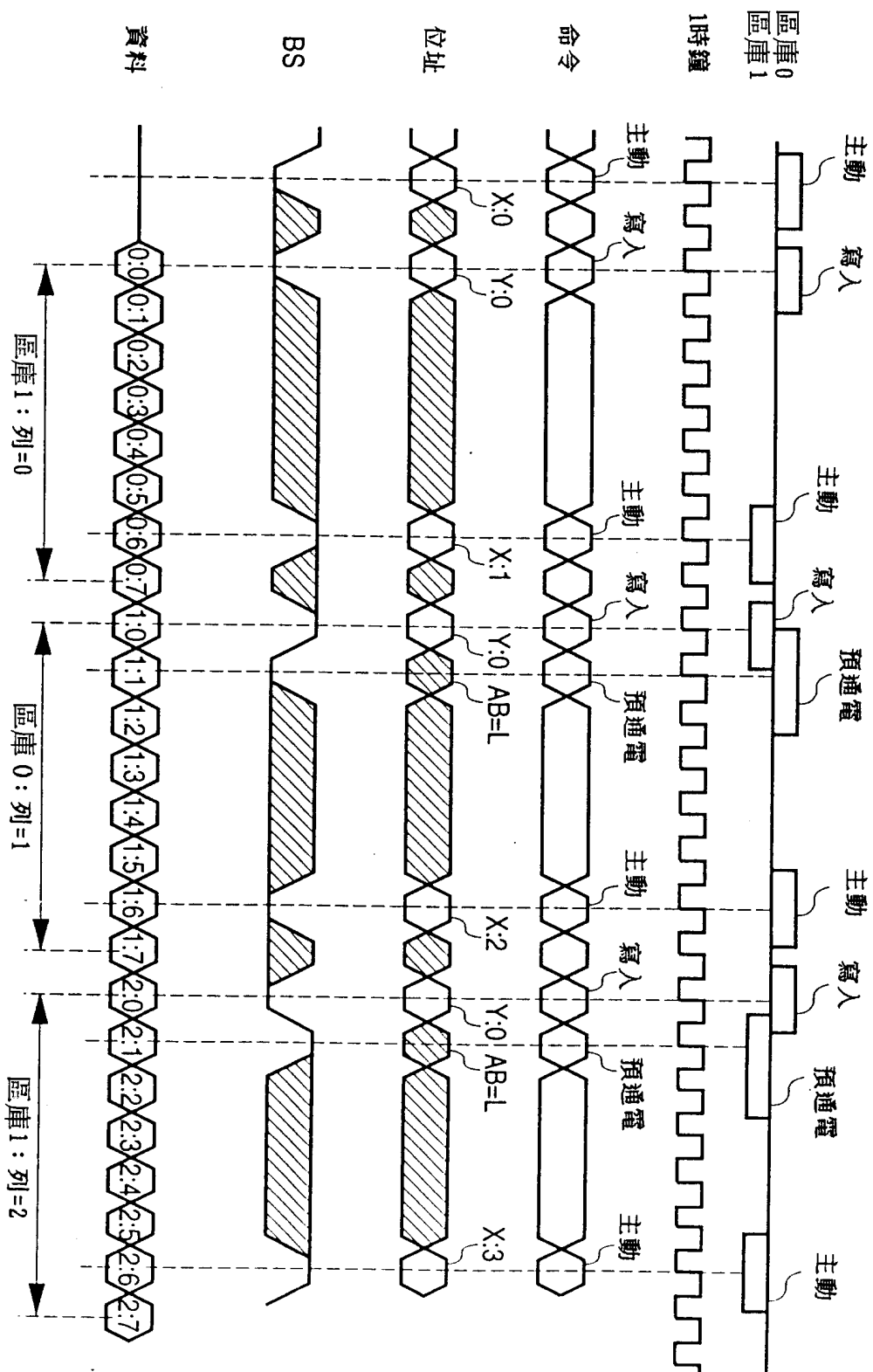


第2圖

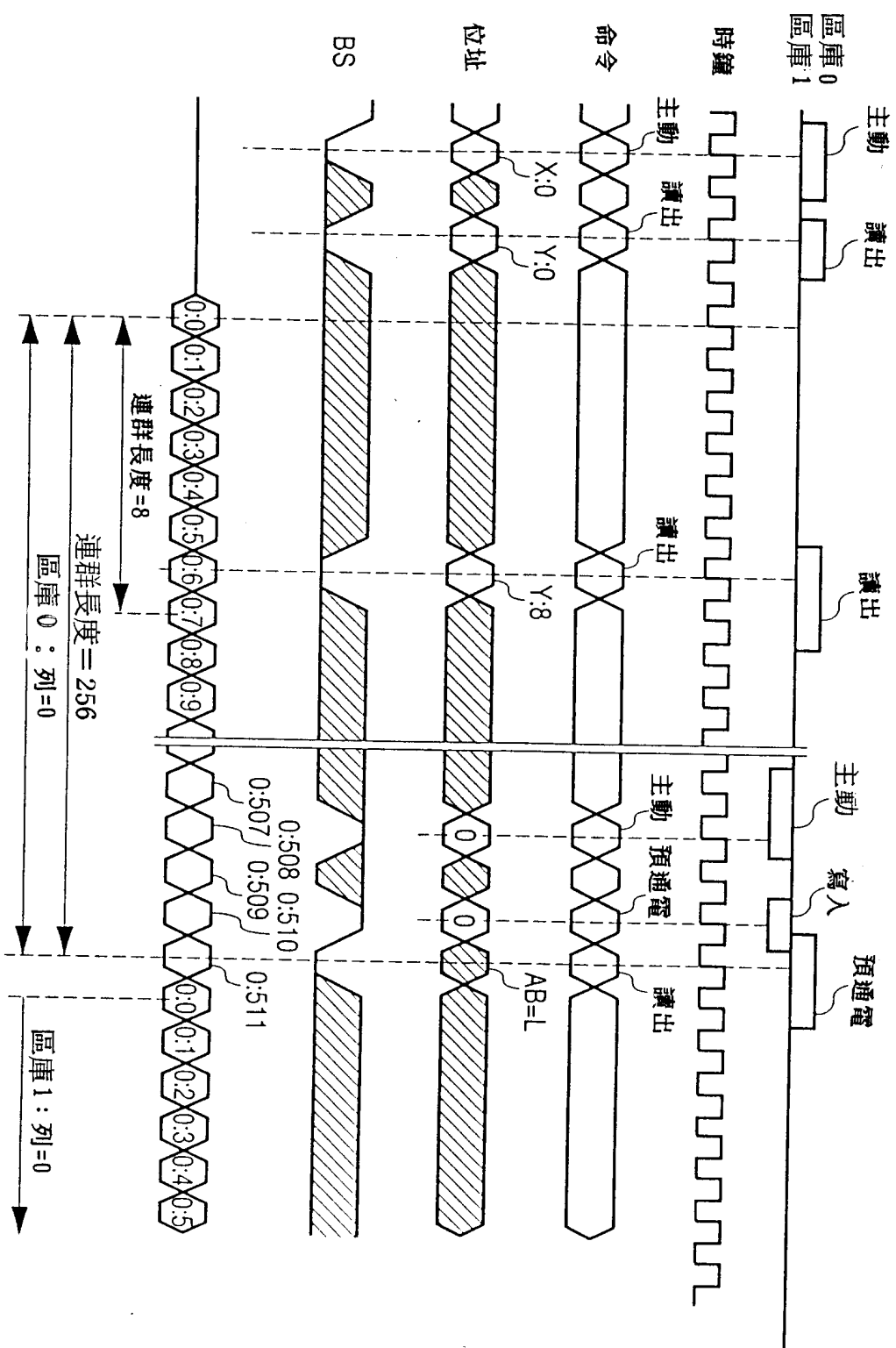


第 3 圖

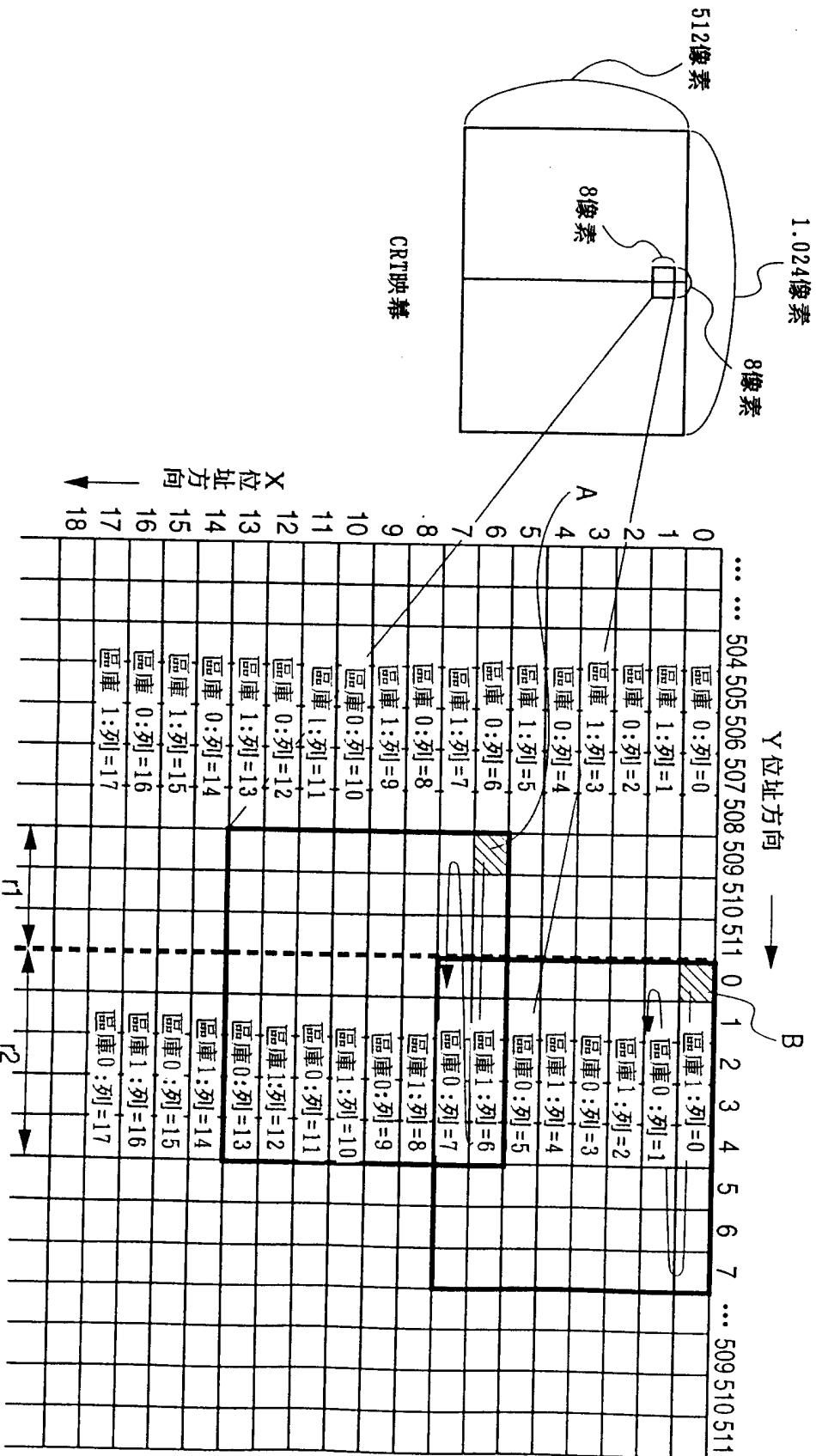
同步 DRAM 映射



第4圖



第5圖



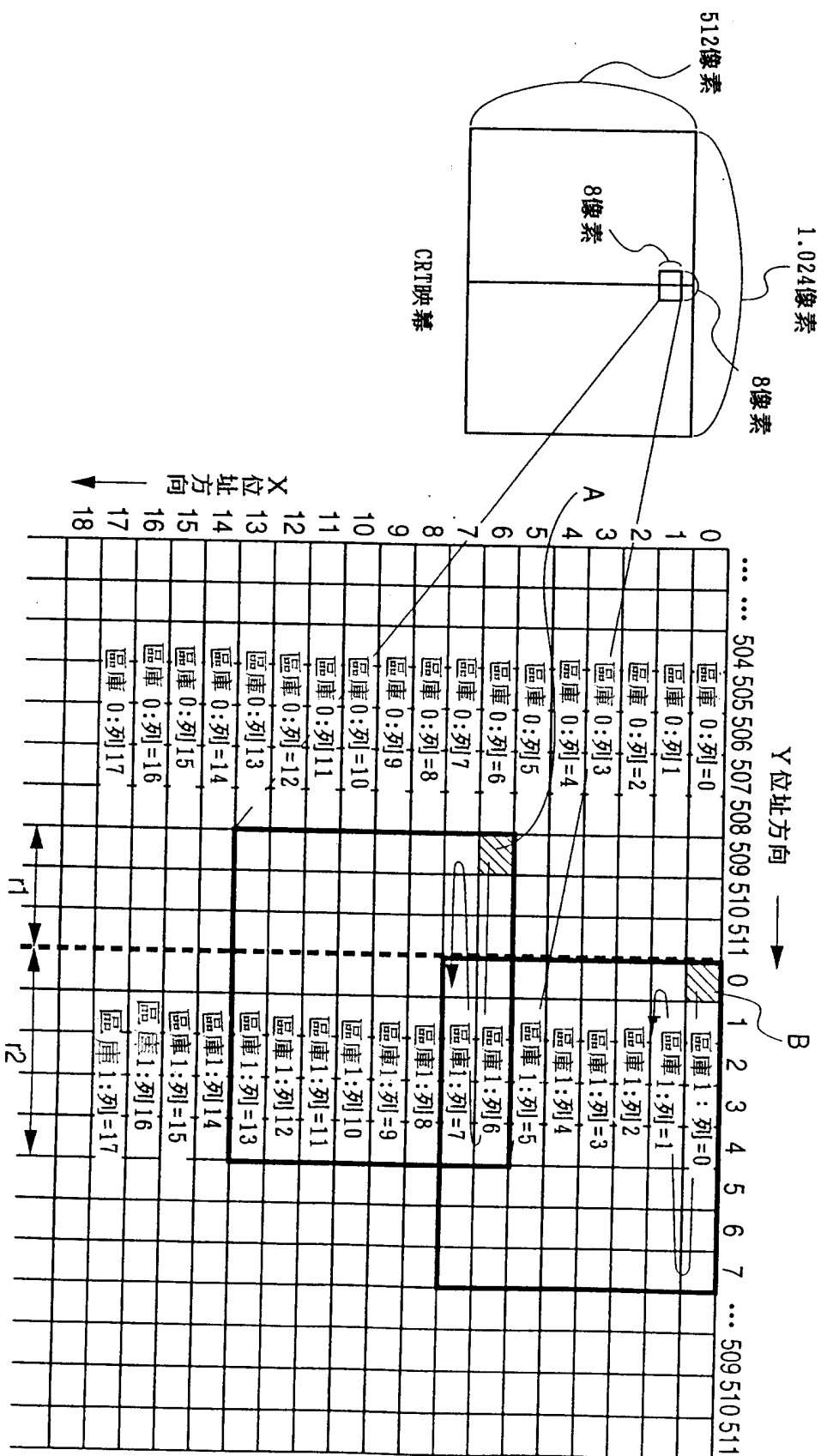
第 6 圖A

	Y位址 (A0-A9)	X位址 (A0-A10)	區庫 (A11)	連群長度
第1位址	509	6	0	—
第1輸出資訊	509	6	0	3
第2輸出資訊	0	6	1	5
第3輸出資訊	509	7	1	3
第4輸出資訊	0	7	0	5
第5輸出資訊	509	8	0	3
第6輸出資訊	0	8	1	5
第7輸出資訊	509	9	1	3
第8輸出資訊	0	9	0	5
第9輸出資訊	509	10	0	3
第10輸出資訊	0	10	1	5
第11輸出資訊	509	11	1	3
第12輸出資訊	0	11	0	5
第13輸出資訊	509	12	0	3
第14輸出資訊	0	12	1	5
第15輸出資訊	509	13	1	3
第16輸出資訊	0	13	0	5
	修正Y位址	修正X位址	區庫	連群長度

第 6 圖 B ✓

	Y位址 (A0-A9)	X位址 (A0-A10)	區庫 (A11)	連群長度
第1位址	0	0	1	—
第1輸出資訊	0	0	1	8
第2輸出資訊	0	1	0	8
第3輸出資訊	0	2	1	8
第4輸出資訊	0	3	0	8
第5輸出資訊	0	4	1	8
第6輸出資訊	0	5	0	8
第7輸出資訊	0	6	1	8
第8輸出資訊	0	7	0	8
	修正Y位址	修正X位址	區庫	連群長度

第 6 圖 C ✓



第 7 圖 A

321773

	Y位址 (A0-A9)	X位址 (A0-A10)	區庫 (A11)	連群長度
第1位址	509	6	0	—
第1輸出資訊	509	6	0	3
第2輸出資訊	0	6	1	5
第3輸出資訊	509	7	0	3
第4輸出資訊	0	7	1	5
第5輸出資訊	509	8	0	3
第6輸出資訊	0	8	1	5
第7輸出資訊	509	9	0	3
第8輸出資訊	0	9	1	5
第9輸出資訊	509	10	0	3
第10輸出資訊	0	10	1	5
第11輸出資訊	509	11	0	3
第12輸出資訊	0	11	1	5
第13輸出資訊	509	12	0	3
第14輸出資訊	0	12	1	5
第15輸出資訊	509	13	0	3
第16輸出資訊	0	13	1	5
	修正 Y位址	修正 X位址	區庫	連群長度

第 7 圖B ✓

	Y位址 (A0-A9)	X位址 (A0-A10)	區庫 (A11)	連群長度
第1位址	0	0	1	—
第1輸出資訊	0	0	1	8
第2輸出資訊	0	1	1	8
第3輸出資訊	0	2	1	8
第4輸出資訊	0	3	1	8
第5輸出資訊	0	4	1	8
第6輸出資訊	0	5	1	8
第7輸出資訊	0	6	1	8
第8輸出資訊	0	7	1	8
	修正 Y位址	修正 X位址	區庫	連群長度

第 7 圖C ✓