

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108254
(P2017-108254A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl. F I テーマコード(参考)
H03L 7/093 (2006.01) H03L 7/08 E 5J106

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2015-239695 (P2015-239695)
(22) 出願日 平成27年12月8日 (2015.12.8)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100087480
弁理士 片山 修平
(72) 発明者 本郷 廣信
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
Fターム(参考) 5J106 AA04 CC01 CC21 CC45 CC52
DD02 DD05 DD09 DD13 DD17
GG01 KK03

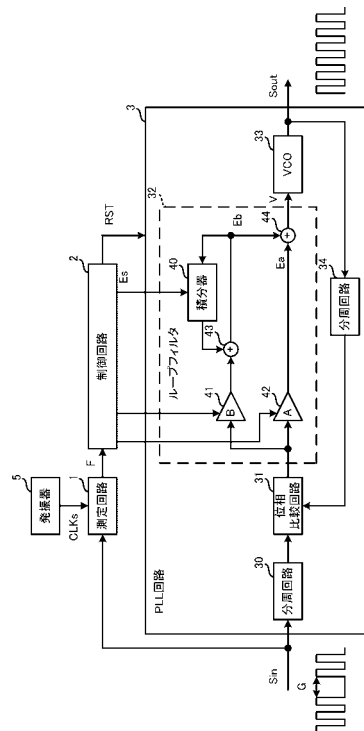
(54) 【発明の名称】 位相同期回路及び位相同期方法

(57) 【要約】

【課題】 位相同期処理の所要時間を短縮した位相同期回路及び位相同期方法を提供する。

【解決手段】 位相同期回路は、入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔でずらすことにより複数のパルス信号を生成する生成回路と、前記複数のパルス信号のパルス間隔をそれぞれ測定する複数のカウンタ回路と、前記複数のカウンタ回路の各測定値の平均値を算出する平均値算出回路と、前記平均値から前記入力クロック信号の周波数を算出する周波数算出回路と、前記周波数算出回路が算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行うPLL回路とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔ですらすことにより複数のパルス信号を生成する生成回路と、
 前記複数のパルス信号のパルス間隔をそれぞれ測定する複数のカウンタ回路と、
 前記複数のカウンタ回路の各測定値の平均値を算出する平均値算出回路と、
 前記平均値から前記入力クロック信号の周波数を算出する周波数算出回路と、
 前記周波数算出回路が算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行う PLL 回路とを有することを特徴とする位相同期回路。

【請求項 2】

前記生成回路は、前記入力クロック信号をそれぞれ分周する複数の分周回路を有し、
 前記複数の分周回路は、それぞれ、個別の設定値に応じたタイミングで分周を開始することにより、前記入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔ですらすことを特徴とする請求項 1 に記載の位相同期回路。

【請求項 3】

前記複数のカウンタ回路は、それぞれ、前記パルス間隔を複数回測定することを特徴とする請求項 1 または 2 に記載の位相同期回路。

【請求項 4】

前記 PLL 回路は、
 制御信号に応じた周波数の出力クロック信号を出力する発振器と、
 前記出力クロック信号と前記入力クロック信号の位相差を示す差分信号をフィルタリングすることにより前記制御信号を生成するフィルタ回路とを有し、
 前記フィルタ回路は、前記周波数算出回路が算出した周波数に基づき前記制御信号を生成することを特徴とする請求項 1 乃至 3 の何れかに記載の位相同期回路。

【請求項 5】

前記 PLL 回路は、
 出力クロック信号を出力する発振器と、
 前記出力クロック信号と前記入力クロック信号の位相差を示す差分信号をフィルタリングするフィルタ回路と、
 前記周波数算出回路が算出した周波数を示す周波数信号と前記フィルタ回路によりフィルタリングされた前記差分信号の一方を選択し、前記発振器に出力する選択回路を有し、
 前記発振器は、前記選択回路から入力された信号に基づき前記出力クロック信号の周波数を制御することを特徴とする請求項 1 乃至 3 の何れかに記載の位相同期回路。

【請求項 6】

入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔ですらすことにより複数のパルス信号を生成し、
 前記複数のパルス信号のパルス間隔をそれぞれ測定し、
 該測定値の各々の平均値を算出し、
 前記平均値から前記入力クロック信号の周波数を算出し、
 該算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行うことを特徴とする位相同期方法。

【発明の詳細な説明】

【技術分野】

【0001】

本件は、位相同期回路及び位相同期方法に関する。

【背景技術】

【0002】

PLL (Phase Locked Loop) 回路は、フィードバック制御により VCO (Voltage-Controlled Oscillator) などの発振器から、入力信号に位相同期したクロック信号を出力する (例えば特許文献 1)。PLL 回路は、例えば光伝送装置などの通信装置において、受

10

20

30

40

50

信されたデータ信号からクロック信号を再生する手段として用いられる。

【 0 0 0 3 】

通信装置の P L L 回路には、例えば通信装置の起動時または通信回線の切り替え時に通信の中断時間を低減するため、短時間内の位相同期処理が求められる。このため、P L L 回路は、内蔵するループフィルタのカットオフ周波数、すなわち応答特性を切り替えて動作する。例えば、P L L 回路は、最初、高速に応答するためにカットオフ周波数を 1 0 0 (Hz) として、目標の周波数に概ね同期した後、周波数を安定化させるためにカットオフ周波数を 1 (Hz) とする。

【 0 0 0 4 】

例えばイーサネット（登録商標、以下同様）のフレーム信号のように、入力される信号間にギャップが存在する場合、P L L 回路は、ギャップの影響により、カットオフ周波数が高いほど、発振器に設定する周波数が大きく変動する。このため、カットオフ周波数の切り替え後、周波数が大きく変動することにより、位相同期処理の所要時間が、ギャップのない信号の場合より増加する。

10

【 0 0 0 5 】

これに対し、例えば特許文献 2 には、P L L 回路に入力される信号の位相を平均化することで、カットオフ周波数の切り替え後の周波数変動を抑制し、位相同期処理の所要時間を短縮する点が開示されている。

【 先行技術文献 】

【 特許文献 】

20

【 0 0 0 6 】

【 特許文献 1 】 特開平 6 - 1 3 2 8 1 5 号公報

【 特許文献 2 】 特開 2 0 1 3 - 1 9 7 8 0 8 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかし、特許文献 2 に開示された技術によると、位相同期処理の所要時間は、P L L 回路の応答特性に依存するため、発振器の周波数と入力される信号の周波数の差分が大きいほど、長くなる。これは、位相同期処理において、ループフィルタ内の電圧が目標の周波数に応じた値に達するまでのキャパシタのチャージ時間が必要となるためである。このため、位相同期処理の所要時間を効果的に短縮することができない。

30

【 0 0 0 8 】

そこで本件は上記の課題に鑑みてなされたものであり、位相同期処理の所要時間を短縮した位相同期回路及び位相同期方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本明細書に記載の位相同期回路は、入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔ですることにより複数のパルス信号を生成する生成回路と、前記複数のパルス信号のパルス間隔をそれぞれ測定する複数のカウンタ回路と、前記複数のカウンタ回路の各測定値の平均値を算出する平均値算出回路と、前記平均値から前記入力クロック信号の周波数を算出する周波数算出回路と、前記周波数算出回路が算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行う P L L 回路とを有する。

40

【 0 0 1 0 】

本明細書に記載の位相同期方法は、入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔ですることにより複数のパルス信号を生成し、前記複数のパルス信号のパルス間隔をそれぞれ測定し、該測定値の各々の平均値を算出し、前記平均値から前記入力クロック信号の周波数を算出し、該算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行う方法である。

【 発明の効果 】

【 0 0 1 1 】

50

位相同期処理の所要時間を短縮できる。

【図面の簡単な説明】

【0012】

【図1】位相同期回路の一例を示す構成図である。

【図2】カットオフ周波数に対する信号の変動を示す図である。

【図3】ループフィルタ内の信号の収束の様子を示す図である。

【図4】測定回路の一例を示す構成図である。

【図5】測定回路の動作例を示すタイムチャートである。

【図6】入力クロック信号の周波数測定手法の比較例を示すタイムチャートである。

【図7】比較例及び実施例の周波数精度のシミュレーション結果を示す図である。

10

【図8】比較例及び実施例の周期ごとの周波数精度のシミュレーション結果を示す図である。

【図9】位相同期回路の動作例を示すフローチャートである。

【図10】位相同期回路の他例を示す構成図である。

【図11】測定回路の他例を示す構成図である。

【図12】メモリの一例を示す構成図である。

【発明を実施するための形態】

【0013】

図1は、位相同期回路の一例を示す構成図である。位相同期回路は、測定回路1と、制御回路2と、PLL回路3と、発振器5とを有する。PLL回路3は、分周回路30、34と、位相比較回路31と、ループフィルタ32と、電圧制御発振器(VCO)33とを有する。

20

【0014】

PLL回路3は、フィードバック制御によりVCO33から、入力クロック信号Sinに位相同期した出力クロック信号Soutを出力する。分周回路30は、入力クロック信号Sinを分周する。分周された入力クロック信号Sinは、位相比較回路31に入力される。

【0015】

位相比較回路31は、入力クロック信号Sinと、VCO33から出力された出力クロック信号Soutとの位相差を検出する。より具体的には、位相比較回路31は、入力クロック信号Sinと、分周回路34により分周された出力クロック信号Soutの位相差を検出する。位相比較回路31は、位相差を示す差分信号をループフィルタ32に出力する。

30

【0016】

ループフィルタ32は、フィルタ回路の一例であり、位相比較回路31から入力された差分信号をフィルタリングすることにより制御信号Vを生成する。生成された制御信号Vは、VCO33に入力される。

【0017】

VCO33は、ループフィルタ32から入力された制御信号Vの電圧に応じた周波数の出力クロック信号Soutを出力する。すなわち、VCO33は、制御信号Vに基づき出力クロック信号Soutの周波数を制御する。VCO33から出力された出力クロック信号Soutは、位相同期回路の外部に出力され、例えばデータ処理などに用いられる。

40

【0018】

また、出力クロック信号Soutは、分周回路34を介して位相比較回路31にフィードバックされる。分周回路34は、出力クロック信号Soutを分周して位相比較回路31に出力する。なお、分周回路30、34は、例えばカウンタ回路により分周を行う。

【0019】

ループフィルタ32としては、例えばIIR(Infinite Impulse Response)フィルタが挙げられるが、これに限定されず、他のデジタルフィルタであってもよい。ループフィルタ32は、積分器40と、乗算器41、42と、加算器43、44とを有する。なお、

50

図 1 に示されたループフィルタ 3 2 の構成は、ループフィルタ 3 2 の回路構成を簡略化したものである。

【 0 0 2 0 】

乗算器 4 2 は、IIR フィルタのフィードフォワード系を構成し、タップ係数 A が設定されている。乗算器 4 2 は、差分信号にタップ係数 A を乗ずることにより信号 E a を生成する。信号 E a は加算器 4 4 に入力される。

【 0 0 2 1 】

乗算器 4 1、加算器 4 3、及び積分器 4 0 は、IIR フィルタのフィードバック系を構成する。乗算器 4 1 は、タップ係数 B が設定されており、差分信号にタップ係数 B を乗じて加算器 4 3 に出力する。加算器 4 3 は、乗算器 4 1 から入力された信号に、積分器 4 0 から入力された信号を加算することにより、信号 E b を生成する。信号 E b は積分器 4 0 及び加算器 4 4 に入力される。

10

【 0 0 2 2 】

積分器 4 0 は、信号 E b を遅延させて加算器 4 3 に出力する。積分器 4 0 は、キャパシタ成分を有しており、キャパシタ成分をチャージすることにより遅延時間を制御する。

【 0 0 2 3 】

加算器 4 4 は、フィードフォワード系の信号 E a とフィードバック系の信号 E b を加算することにより制御信号 V を生成する。制御信号 V は VCO 3 3 に入力される。

【 0 0 2 4 】

制御回路 2 は、乗算器 4 1、4 2 のタップ係数 A、B をそれぞれ設定することにより、ループフィルタ 3 2 のカットオフ周波数 f_c 、すなわち応答特性を制御する。PLL 回路 3 は、カットオフ周波数 f_c が高いほど、短時間で位相同期を行うことができる。

20

【 0 0 2 5 】

しかし、入力クロック信号 S i n が、例えばイーサネットのフレーム信号のように、信号間にギャップ G を有する場合、PLL 回路は、ギャップ G の影響により、カットオフ周波数 f_c が高いほど、ループフィルタ 3 2 の信号 E b が大きく変動する。

【 0 0 2 6 】

図 2 には、カットオフ周波数 f_c に対する信号 E b の変動が示されている。図 2 は、一例として、カットオフ周波数 f_c を 100 (Hz) 及び 200 (Hz) とした場合の信号 E b の出力精度 (ppm) の時間変化 (ms) のシミュレーション結果を示す。

30

【 0 0 2 7 】

$f_c = 100$ (Hz) の場合と $f_c = 200$ (Hz) の場合のシミュレーション結果を比較すると理解されるように、 $f_c = 200$ (Hz) の場合、信号 E b の目標に対する収束の所要時間は、 $f_c = 100$ (Hz) の場合より短い。しかし、 $f_c = 200$ (Hz) の場合、信号 E b の変動が、 $f_c = 100$ (Hz) の場合より大きい。

【 0 0 2 8 】

すなわち、ループフィルタ 3 2 の応答の速さとギャップ G の影響の度合いは背反関係にある。このため、位相同期の所要時間、つまり周波数の引き込みの所要時間は、入力クロック信号 S i n がギャップ G を有する場合、入力クロック信号 S i n がギャップ G を有していない場合より長くなる。

40

【 0 0 2 9 】

また、位相同期の所要時間は、ループフィルタ 3 2 の信号 E b の電圧が、出力クロック信号 S o u t の周波数の目標値に応じた値に達するまでに要する積分器 4 0 のキャパシタ成分のチャージ時間により影響される。

【 0 0 3 0 】

図 3 には、ループフィルタ 3 2 内の信号 E a、E b、V の収束の様子が示されている。図 3 において、符号 G 1 は制御信号 V の電圧を示し、符号 G 2 (太線参照) は信号 E b の電圧を示す。また、符号 G 3 は信号 E a の電圧を示す。すなわち、図 3 は、信号 E a、E b 及び制御信号 V の出力精度 (ppm) の時間変化 (ms) を示す。

【 0 0 3 1 】

50

図3から理解されるように、信号E bの電圧は、積分器40のキャパシタ成分のチャージ時間のため、信号E bより収束が遅い。このため、制御信号Vの収束も遅れるので、位相同期の所要時間が増加する。なお、図3は、カットオフ周波数 $f_c = 100$ (Hz)の場合、かつ入力クロック信号S i nにギャップGが有る場合のシミュレーション結果である。

【0032】

そこで、測定回路1は、入力クロック信号S i nの周波数を測定し、制御回路2は、その測定値Fに応じた電圧E sを積分器40に設定することにより、信号E bの収束時間を短縮する。これにより、位相同期の所要時間が短縮される。

【0033】

測定回路1は、位相同期回路の動作開始時(例えば電源投入時)、発振器5から入力されたシステムクロック信号C L K sに基づき入力クロック信号S i nの周波数を測定し、その測定値Fを制御回路2に出力する。制御回路2は、周波数の測定値Fを電圧E sに変換し、その電圧E sの信号を生成して積分器40に出力する。このため、積分器40はキャパシタ成分のチャージを必要としないので、信号E bの収束時間が短縮される。

【0034】

また、制御回路2は、電圧E sの設定後、ループフィルタ32のカットオフ周波数 f_c が、例えば1 (Hz)となるように乗算器41, 42のタップ係数A, Bを設定し、PLL回路3をリセットするリセット信号R S Tを出力する。これにより、分周回路30, 34のカウント値が初期化されて初期位相の状態から分周が開始されるため、出力クロック信号S o u tの周波数が目標値にセットされた状態から安定な位相同期が開始される。

【0035】

図4は測定回路1の一例を示す構成図である。測定回路1は、パルス生成回路100と、複数のカウンタ回路(#0~#1023)11と、加算器12と、積算回路13と、タイミング検出回路14と、平均値算出回路15と、周波数算出回路16とを有する。

【0036】

パルス生成回路100は、生成回路の一例であり、入力クロック信号S i nを、入力クロック信号S i nのクロック数が均等となる間隔ですることにより複数のパルス信号 $f_0 \sim f_{1023}$ を生成する。より具体的には、パルス生成回路100は、入力クロック信号S i nを分周する複数の分周回路(#0~#1023)10を有する。複数の分周回路10は、それぞれ、個別の設定値iに応じたタイミングで分周を開始することにより、入力クロック信号S i nを、入力クロック信号S i nのクロック数が均等となる間隔ですることにより、入力クロック信号S i n内の様々な位置に不規則に分布するギャップGを複数のパルス信号 $f_0 \sim f_{1023}$ に広く含めることができるため、後述するように、入力クロック信号S i nのギャップGの影響が容易に低減される。

【0037】

分周回路10は、内蔵するカウンタ回路(以下、「内蔵カウンタ」と表記)により入力クロック信号S i nを分周する。設定値iは、分周を開始するときの内蔵カウンタのカウント値、つまりカウンタ値の初期値を示す。なお、本実施例において、カウンタ回路11及び分周回路10の個数は1024個であるが、限定はない。

【0038】

例えば、分周回路(#0)10は、カウンタ値を0として分周を開始し、分周回路(#1)10は、カウンタ値を14として分周を開始する。設定値iは、パルス信号 $f_0 \sim f_{1023}$ の間で均等にずれるように決定されている。なお、各パルス信号 $f_0 \sim f_{1023}$ のパルスの間隔は、入力クロック信号S i n内のギャップGの分布の不規則性ため、一定ではないが、複数のカウンタ回路11が、ギャップGの分布に応じて変動するパルス間隔をそれぞれ計測するため、不規則なギャップGの影響の低減が可能となる。

【0039】

$i = INT [\{ (1024 - n) / 1024 \} \times 14536] \cdots (1)$

【0040】

10

20

30

40

50

例えば、分周回路 10 が 1 4 5 3 6 分周を行う場合、各分周回路 (# 0 ~ # 1 0 2 3) 1 0 の設定値 i は、上記の式 (1) から算出される。式 (1) において、 INT は、小数点以下を切り捨てる関数であり、 n は分周回路 10 の識別番号 (# 1 ~ # 1 0 2 3) である。

【 0 0 4 1 】

複数の分周回路 (# 0 ~ # 1 0 2 3) 1 0 は、パルス信号 $f_0 \sim f_{1023}$ を複数のカウンタ回路 (# 0 ~ # 1 0 2 3) 1 1 にそれぞれ出力する。複数のカウンタ回路 1 1 は、システムクロック信号 CLK_s に基づき、複数のパルス信号 $f_0 \sim f_{1023}$ のパルス間隔をそれぞれ測定する。

【 0 0 4 2 】

カウンタ回路 1 1 は、後述するように、パルス信号 $f_0 \sim f_{1023}$ の隣り合うパルス間の長さをシステムクロック信号 CLK_s でカウントすることにより、パルス間隔を測定する。複数のカウンタ回路 (# 0 ~ # 1 0 2 3) 1 1 は、それぞれ、パルス信号 $f_0 \sim f_{1023}$ のパルス間隔の測定値 $N_0 \sim N_{1023}$ を加算器 1 2 に出力する。

【 0 0 4 3 】

加算器 1 2 は、パルス間隔の測定値 $N_0 \sim N_{1023}$ の各々を加算して合計値 N_{sum} を算出し、積算回路 1 3 に出力する。積算回路 1 3 は、 K 周期分の合計値 N_{sum} を積算して平均値算出回路 1 5 に出力する。

【 0 0 4 4 】

タイミング検出回路 1 4 は、積算回路 1 3 に合計値 N_{sum} の積算のタイミングを通知する。タイミング検出回路 1 4 は、積算対象となる周期数 K が設定されており、複数のパルス信号 $f_0 \sim f_{1023}$ のうち、最も遅い位相のパルス信号 f_{1023} のパルスを計数し、計数したパルス数が K に達したとき、積算回路 1 3 に積算タイミングを通知する。

【 0 0 4 5 】

積算回路 1 3 は、加算器 1 2 から合計値 N_{sum} が入力されるたび、合計値 N_{sum} を積算し、その積算値 N_{sum} を、タイミング検出回路 1 4 からの通知に応じ平均値算出回路 1 5 に出力する。これにより、積算回路 1 3 は、 K 周期分の合計値 N_{sum} を積算する。

【 0 0 4 6 】

平均値算出回路 1 5 は、複数のカウンタ回路 1 1 の K 周期分の各測定値 $N_0 \sim N_{1023}$ の平均値 N_{av} を算出する。より具体的には、平均値算出回路 1 5 は、積算値 N_{sum} を、カウンタ回路 1 1 の数である 1 0 2 4 で除算することにより平均値 N_{av} を算出する。

【 0 0 4 7 】

$$F = K \cdot F_s / N_{av} \quad \cdot \cdot \cdot (2)$$

【 0 0 4 8 】

周波数算出回路 1 6 は、平均値 N_{av} から入力クロック信号 Sin の周波数 F (周波数の測定値 F) を算出する。周波数算出回路 1 6 は、例えば、上記の式 (2) から周波数 F を算出する。式 (2) において、数値 F_s はシステムクロック信号 CLK_s の周波数である。

【 0 0 4 9 】

図 5 は、測定回路 1 の動作例を示すタイムチャートである。複数の分周回路 1 0 は、上述したように、それぞれ、個別の設定値 i に応じたタイミングで入力クロック信号 Sin の分周を開始する。このため、複数の分周回路 1 0 は、パルス位相が内蔵カウンタの一定のカウンタ値分だけずれた複数のパルス信号 $f_0 \sim f_{1023}$ を容易に生成することができる。

【 0 0 5 0 】

例えば、図 4 の分周回路 (# 0) 1 0 は、設定値 $i = 0$ に基づきカウンタ値が 0 であるときから入力クロック信号 Sin の分周を開始し、パルス信号 f_0 を生成する。分周回路 (# 1) 1 0 は、設定値 $i = 14$ に基づきカウンタ値が 14 であるときから入力クロック

10

20

30

40

50

信号 S_{in} の分周を開始し、パルス信号 f_1 を生成する。分周回路 (# 2) 1 0 は、設定値 $i = 29$ に基づきカウンタ値が 29 であるときから入力クロック信号 S_{in} の分周を開始し、パルス信号 f_2 を生成する。

【 0 0 5 1 】

このように、複数の分周回路 1 0 の間では各々の設定値 i が均等にずれているため、パルス信号 $f_0 \sim f_{1023}$ のパルス位相は、内蔵カウンタの一定のカウント値分だけずれている。しかし、入力クロック信号 S_{in} 内にはギャップ G が様々な位置に不規則に分布するため、パルス信号 $f_0 \sim f_{1023}$ の各パルス間の時間間隔 (例えば T_1 , T_2 参照) は一定とはならない。

【 0 0 5 2 】

複数のカウンタ回路 1 1 は、パルス信号 $f_0 \sim f_{1023}$ のパルス間隔をそれぞれ測定する。より具体的には、カウンタ回路 1 1 は、パルス信号 $f_0 \sim f_{1023}$ の隣り合うパルス間の時間間隔をシステムクロック信号 CLK_s でカウントすることにより、パルス間隔を測定する。以下に比較例を挙げて、本実施例におけるパルス間隔の測定による周波数の測定の利点を述べる。

【 0 0 5 3 】

図 6 は、入力クロック信号 S_{in} の周波数測定手法の比較例を示すタイムチャートである。入力クロック信号 S_{in} の周波数は、入力クロック信号 S_{in} の 1 周期内 (符号 C 参照) のシステムクロック信号 CLK_s のカウント数 (つまりクロック数) に基づき測定される。

【 0 0 5 4 】

$$F = K' \cdot F_s / N' \quad \dots (3)$$

【 0 0 5 5 】

入力クロック信号 S_{in} の周波数 F は、例えばシステムクロック信号 CLK_s の K' 周期分のカウント数 N' を計数した場合、上記の式 (3) から算出される。ここで、カウント数 N' の 1 カウント当たりの変化量は、周波数測定の分解能に相当する。

【 0 0 5 6 】

$$U = \{ (N' + 1) - N' \} \cdot 10^6 / N' \quad \dots (4)$$

【 0 0 5 7 】

したがって、周波数精度 U は、例えば上記の式 (4) から算出される。例えば、カウント数 N' がおよそ 100 万である場合、周波数精度は 1 (ppm) 程度となる。

【 0 0 5 8 】

入力クロック信号 S_{in} は、ギャップ G を有しているため、点線で示されるように、カウント数 N' の計数を開始及び終了するエッジの位置にばらつきが存在する。このため、カウント数 N' の計数開始及び計数終了のタイミングが、周波数測定ごとに例えば ± 10 カウントの範囲でばらつく。

【 0 0 5 9 】

このとき、カウント数 N' は最大で ± 20 ばらつくことになるため、例えば、カウント数 N' がおよそ 100 万である場合、周波数精度が ± 20 (ppm) 程度となり分解能が低下する。これに対し、システムクロック信号 CLK_s の周波数を高くしても、ばらつきの量が増えるだけであるため、分解能は向上されない。

【 0 0 6 0 】

しかし、測定時間を延長してカウント数 N' を増加させれば、分解能を向上することができる。例えばカウント数 N' がおよそ 2000 万である場合、ばらつきの影響が低減され、周波数精度は 1 (ppm) 程度となる。しかし、この場合、例えば周波数 F_s を 160 (MHz) とすると、1 (ppm) 程度の周波数精度を実現するためにおよそ 125 (ms) の測定時間を要するため、短時間内の位相同期処理は難しい。

【 0 0 6 1 】

これに対し、本実施例では、複数の分周回路 1 0 が、相違するタイミングで入力クロック信号 S_{in} の分周を開始することにより、パルス位置をずらしたパルス信号 $f_0 \sim f_1$

10

20

30

40

50

023を生成する。すなわち、生成回路100は、入力クロック信号Sinを、入力クロック信号Sinのクロック数が均等となる間隔でずらすことにより複数のパルス信号f0~f1023を生成する。このため、パルス信号f0~f1023により、ギャップGの影響による入力クロック信号Sinのエッジのばらつき(図6参照)が高精度に再現される。

【0062】

また、複数のカウンタ回路11は、パルス信号f0~f1023のパルス間隔を並行して測定できるため、測定時間が短縮される。なお、本実施例において、複数のカウンタ回路11は、1周期ずつパルス間隔を測定したが、一度にK周期分のパルス間隔を測定してもよい。この場合、積算回路13による積算処理は不要となる。

10

【0063】

さらに、平均値算出回路15は、パルス間隔の測定値N0~N1023の平均値Navを算出し、周波数算出回路16は、平均値Navから入力クロック信号Sinの周波数を算出する。このため、測定回路1は、パルス位置のばらつきの影響、つまりギャップGによる影響を低減することができ、高精度に周波数を測定することができる。

【0064】

また、複数のカウンタ回路11は、パルス信号f0~f1023のK周期分のパルス間隔を測定する。すなわち、複数のカウンタ回路11は、それぞれ、パルス間隔を複数回測定する。このため、図6を参照して述べたように、周波数の分解能が向上する。なお、カウンタ回路11によるパルス間隔の測定回数は1回でもよい。

20

【0065】

図7には、比較例及び実施例の周波数精度のシミュレーション結果が示されている。比較例では、図6に示される方法により入力クロック信号Sinの周波数を測定し、実施例では、図4に示される構成により入力クロック信号Sinの周波数を測定する。なお、本シミュレーションでは、入力クロック信号Sinの周波数を一例として10(KHz)とし、測定回数(「回数」参照)を6000回とし、また、測定の周期数Kを一例として64周期とする。

【0066】

比較例と実施例の各シミュレーション結果を対比すると理解されるように、実施例によると、比較例のおよそ10倍の周波数精度が得られる。

30

【0067】

また、図8には、比較例及び実施例の周期ごとの周波数精度のシミュレーション結果が示されている。本シミュレーションでは、入力クロック信号Sinの周波数を一例として10(KHz)とし、測定の周期数Kを、16周期、32周期、48周期、及び64周期とする。なお、16周期、32周期、48周期、及び64周期の周期数Kは、測定時間に換算すると1.5(ms)、2.99(ms)、4.49(ms)、及び5.98(ms)となる。

【0068】

図8は、比較例及び実施例の周波数精度の最大値、最小値、及びその差分を示す。例えば16周期について見ると、比較例では差分が40.7(ppm)であるのに対し、実施例では差分が3.4(ppm)に低減されている。また、他の周期数においても、実施例によると、比較例より精度が向上されている。

40

【0069】

このように、測定回路1は、高精度かつ高速に入力クロック信号Sinの周波数を測定できる。

【0070】

制御回路2は、上述したように、測定回路1で測定した周波数の測定値Fに応じた電圧Esを、ループフィルタ32の積分器40に設定する。このため、PLL回路3は、ループフィルタ32の応答特性によらず、測定回路1で測定した周波数に基づき入力クロック信号Sinに対し位相同期処理を行うため、位相同期処理の所要時間が低減される。

【0071】

50

より具体的には、ループフィルタ32は、測定回路1で測定した周波数に基づき制御信号Vを生成する。このため、VCO33の出力クロック信号Soutは短時間で入力クロック信号Sinに位相同期することができる。

【0072】

図9は、位相同期回路の動作例を示すフローチャートである。図9において、ステップSt1~St4は、測定回路1における入力クロック信号Sinの周波数の測定処理である。制御回路2は、測定回路1が周波数の測定処理を行っている間、例えばリセット信号RSTによりPLL回路3の動作を停止制御してもよい。

【0073】

測定回路1は、例えば図8のシミュレーション結果に基づき16周期分のパルス間隔を測定する。この場合、周波数精度は、最低でも-2.2(ppm)となるため、十分に高精度な位相同期が可能である。

【0074】

まず、複数の分周回路10は、それぞれ、個別の設定値iに応じた開始タイミングで入力クロック信号Sinを分周する(ステップSt1)。これにより、入力クロック信号Sinが、入力クロック信号Sinのクロック数が均等となる間隔でずらされ、複数のパルス信号f0~f1023が生成される。

【0075】

次に、複数のカウンタ回路11は、それぞれ、複数のパルス信号f0~f1023のパルス間隔をそれぞれ測定する(ステップSt2)。次に、平均値算出回路15は、パルス間隔の各測定値N0~N1023の平均値Navを算出する(ステップSt3)。次に、周波数算出回路16は、平均値Navから入力クロック信号Sinの周波数を算出する(ステップSt4)。

【0076】

測定回路1は、このようにして測定した周波数の測定値Fを、制御回路2に出力する。なお、周波数の測定時間は、図8を参照すると、おおよそ1.5(ms)である。

【0077】

次に、制御回路2は、周波数の測定値Fに応じた電圧Esを、ループフィルタ32の積分器40に設定する(ステップSt5)。これにより、ループフィルタ32から出力される制御信号Vの電圧値は、周波数の測定値Fに応じた値となるので、VCO33の出力クロック信号Soutが迅速に入力クロック信号Sinに位相同期する。

【0078】

次に、制御回路2は、PLL回路3にリセット信号RSTを出力することによりPLL回路3をリセットする(ステップSt6)。これにより、分周回路30,34は、位相が初期化される。

【0079】

次に、制御回路2は、ループフィルタ32のカットオフ周波数fcが例えば1(Hz)となるように、乗算器41,42に対しタップ係数A,Bを設定する(ステップSt7)。次に、PLL回路3は、周波数の測定値Fに基づき入力クロック信号Sinに対し位相同期処理を行う(ステップSt8)。

【0080】

このようにして、PLL回路3は、1.5(ms)の周波数測定期間を経て、1(kHz)のカットオフ周波数fcでの位相同期処理を開始する。なお、PLL回路3の動作開始後、制御回路2は、積分器40に対する電圧Esの設定を行わず、また、測定回路1は、測定の終了後、制御回路2の制御により測定動作を停止する。

【0081】

本実施例において、測定回路1が測定した周波数は、位相同期回路の起動時の位相同期処理に用いられるが、起動後の周波数のホールドオーバー(Holdover)に用いられてもよい。ホールドオーバーとは、障害により入力クロック信号Sinから周波数を引き込むことが不可能となった場合、予め用意した所定の周波数により位相同期を行う機能である。

10

20

30

40

50

この場合の実施例について以下に説明する。

【0082】

図10は、位相同期回路の他例を示す構成図である。図10において、図1と共通する構成については同一の符号を付し、その説明を省略する。

【0083】

位相同期回路は、測定回路1aと、ラッチ回路6と、障害検出回路7と、PLL回路3aと、発振器5とを有する。PLL回路3aは、分周回路30, 34と、位相比較回路31と、ループフィルタ32と、VCO33と、セクタ回路35とを有する。

【0084】

測定回路1aは、先の実施例とは異なり、位相同期回路の起動後も、入力クロック信号Sinの周波数測定を継続する。このため、測定回路1aは、以下に述べるように、パルス信号f0~f1023の測定値N0~N1023を繰り返し保持する手段を備える。

【0085】

図11は、測定回路1aを示す構成図である。図11において、図4と共通する構成については同一の符号を付し、その説明を省略する。

【0086】

測定回路1aは、複数のカウンタ回路11を有するパルス生成回路100と、複数のカウンタ回路(#0~#1023)11と、平均値算出回路15aと、周波数算出回路16と、メモリ17と、メモリ制御回路18とを有する。複数のカウンタ回路11は、パルス間隔の測定を完了するたびに、測定値N0~N1023をメモリ17に格納し、カウンタ値をリセットして測定を再開する。メモリ17は、カウンタ回路11が測定したK周期分のパルス間隔の測定値N0~N1023を保持する。

【0087】

メモリ制御回路18は、パルス信号f0~f1023の周期に応じてメモリ17内の測定値N0~N1023の書き込み対象アドレスを制御する。メモリ制御回路18は、パルス信号f1023のパルス数を計数することにより、測定したパルス間隔の周期数を計数する。メモリ制御回路18は、周期数が設定値Kに達すると、書き込み対象アドレスを初期値にリセットする。これにより、メモリ17には、K周期分のパルス間隔の測定値N0~N1023が繰り返して書き込まれる。

【0088】

メモリ17は、以下に述べるように、一例として、2次元的に配置された格納領域に測定値N0~N1023を格納する。

【0089】

図12は、メモリ17の一例を示す構成図である。メモリ17の格納領域は、2つのアドレスX, Yにより特定される。メモリ17に測定値N0~N1023を書き込むとき、アドレスXは測定の周期1~Kに応じて決定され、アドレスYはカウンタ回路11の識別番号に応じて決定される。なお、N(X, Y)は、アドレスX, Yに格納された測定値N0~N1023を示す。

【0090】

例えば、1周期目にカウンタ回路(#0)11により測定された測定値N0は、アドレスX=1, Y=0にN(1, 0)として格納され、1周期目にカウンタ回路(#1)11により測定された測定値N1は、アドレスX=1, Y=1にN(1, 1)として格納される。また、2周期目にカウンタ回路(#0)11により測定された測定値N0は、アドレスX=2, Y=0にN(2, 0)として格納され、2周期目にカウンタ回路(#1)11により測定された測定値N1は、アドレスX=2, Y=1にN(2, 1)として格納される。

【0091】

アドレスXは、メモリ制御回路18により制御される。メモリ制御回路18は、周期数に従って書き込み対象のアドレスXを決定し、周期数が設定値Kに達すると、アドレスXを0にリセットする。これにより、メモリ17には、K周期分のパルス間隔の測定値N0

10

20

30

40

50

～ N 1 0 2 3 が繰り返し書き込まれる。

【 0 0 9 2 】

再び図 1 1 を参照すると、メモリ制御回路 1 8 は、周期数が設定値 K に達したとき、平均値算出回路 1 5 a に算出指示 C T を出力する。平均値算出回路 1 5 a は、算出指示 C T に従い、メモリ 1 7 から全測定値 N (X , Y) を読み出して、平均値 N a v を算出する。

【 0 0 9 3 】

【 数 1 】

$$Nav = \sum_{X=1}^K \sum_{Y=0}^{1023} N(X,Y) / 1024 \quad \dots\dots(5)$$

10

【 0 0 9 4 】

平均値算出回路 1 5 a は、上記の式 (5) から平均値 N a v を算出する。つまり、平均値算出回路 1 5 a は、メモリ 1 7 に格納された全測定値 N (X , Y) をカウンタ回路 1 1 の個数 1 0 2 4 で除算することにより平均値 N a v を算出する。平均値算出回路 1 5 a は、算出した平均値 N a v を周波数算出回路 1 6 に出力する。これにより、周波数の測定値 F が得られる。

【 0 0 9 5 】

再び図 1 0 を参照すると、測定回路 1 a は、周波数の測定値 F をラッチ回路 6 に出力する。ラッチ回路 6 は、障害検出回路 7 からのホールドオーバー信号 H d に応じ周波数の測定値 F を保持する。ラッチ回路 6 は、保持された周波数の測定値 F を示す周波数信号 F v をセクタ回路 3 5 に出力する。

20

【 0 0 9 6 】

障害検出回路 7 は、位相同期回路が実装された装置内の障害を検出し、障害を検出した場合、ホールドオーバー信号 H d を出力するとともに、セクタ回路 3 5 に出力する選択信号 S E L の信号値 (例えば 0 または 1) を切り替える。

【 0 0 9 7 】

セクタ回路 3 5 は、選択回路の一例であり、選択信号 S E L の信号値に応じ、ラッチ回路 6 から入力された周波数信号 F v とループフィルタ 3 2 から入力された差分信号 D の一方を選択する。なお、差分信号 D は、出力クロック信号 S o u t と入力クロック信号 S i n の位相差を示すものであり、位相比較回路 3 1 において生成される。

30

【 0 0 9 8 】

セクタ回路 3 5 は、例えば、選択信号 S E L の信号値が 0 である場合、差分信号 D を選択して、制御信号 V として V C O 3 3 に出力し、選択信号 S E L の信号値が 1 である場合、周波数信号 F v を選択して、制御信号 V として V C O 3 3 に出力する。V C O 3 3 は、セクタ回路 3 5 から入力された制御信号 V に基づき出力クロック信号 S o u t の周波数を制御する。

【 0 0 9 9 】

障害検出回路 7 は、障害が未検出である場合、選択信号 S E L の信号値を 0 とし、障害を検出した場合、選択信号 S E L の信号値を 1 とする。このため、障害発生時、セクタ回路 3 5 は、周波数信号 F v を V C O 3 3 に出力する。V C O 3 3 は、周波数信号 F v に応じた周波数の出力クロック信号 S o u t を出力する。これにより、測定回路 1 a の測定値 F がホールドオーバー時に用いられる。

40

【 0 1 0 0 】

例えば、本実施例とは異なり、ループフィルタ 3 2 から出力される差分信号 D を平均化して、ホールドオーバー時に V C O 3 3 に出力することも可能である。しかし、この場合、P L L 回路 3 , 3 a は、入力クロック信号 S i n が安定していても、入力クロック信号 S i n と出力クロック信号 S o u t の位相差を合わせるように動作するため、出力クロック信号 S o u t の周波数にずれが生ずるという問題がある。さらに、この場合、P L L 回路 3 , 3 a のフィードバック制御系が安定するまでは差分信号 D の蓄積が不可能であるた

50

め、ホールドオーバー機能を実行できないという問題もある。

【0101】

これに対し、本実施例の位相同期回路は、ホールドオーバー時、PLL回路3のフィードバック制御系を切り離し、測定回路1aにより短時間内に高精度で測定した周波数を用いるため、上記の問題は生じない。

【0102】

なお、これまで述べた実施例において、入力クロック信号 S_{in} はギャップGを有しているが、ギャップGを有していない入力クロック信号 S_{in} の場合でも、上述した内容と同様の効果は得られる。さらに、入力クロック信号 S_{in} は、光信号から得られたものであっても、電気信号から得られたものであってもよく、限定はない。

10

【0103】

これまで述べたように、実施例に係る位相同期回路は、生成回路100と、複数のカウンタ回路11と、平均値算出回路15、15aと、周波数算出回路16と、PLL回路3、3aとを有する。生成回路100は、入力クロック信号 S_{in} を、入力クロック信号 S_{in} のクロック数が均等となる間隔でずらすことにより複数のパルス信号 $f_0 \sim f_{1023}$ を生成する。複数のカウンタ回路11は、複数のパルス信号 $f_0 \sim f_{1023}$ のパルス間隔をそれぞれ測定する。

【0104】

平均値算出回路15、15aは、複数のカウンタ回路11の各測定値 $N_0 \sim N_{1023}$ の平均値 N_{av} を算出する。周波数算出回路16は、平均値 N_{av} から入力クロック信号 S_{in} の周波数を算出する。PLL回路3、3aは、周波数算出回路16が算出した周波数に基づき入力クロック信号 S_{in} に対し位相同期処理を行う。

20

【0105】

上記の構成によると、生成回路100は、入力クロック信号 S_{in} を、入力クロック信号 S_{in} のクロック数が均等となる間隔でずらすことにより複数のパルス信号 $f_0 \sim f_{1023}$ を生成する。このため、パルス信号 $f_0 \sim f_{1023}$ により、ギャップGの影響による入力クロック信号 S_{in} のエッジのばらつきが高精度に再現される。

【0106】

また、複数のカウンタ回路11は、パルス信号 $f_0 \sim f_{1023}$ のパルス間隔を並行して測定できるため、入力クロック信号 S_{in} の周波数の測定時間が短縮される。さらに、平均値算出回路15は、パルス間隔の測定値 $N_0 \sim N_{1023}$ の平均値 N_{av} を算出し、周波数算出回路16は、平均値 N_{av} から入力クロック信号 S_{in} の周波数を算出する。このため、ギャップGによる影響を低減して、高精度に周波数を測定することが可能となる。

30

【0107】

そして、PLL回路3、3aは、ループフィルタ32の応答特性によらず、周波数算出回路16が算出した周波数に基づき入力クロック信号 S_{in} に対し位相同期処理を行うため、位相同期処理の所要時間が低減される。

【0108】

また、実施例に係る位相同期方法は、以下のステップを含む。

40

ステップ(1)：入力クロック信号 S_{in} を、入力クロック信号 S_{in} のクロック数が均等となる間隔でずらすことにより複数のパルス信号 $f_0 \sim f_{1023}$ を生成する。

ステップ(2)：複数のパルス信号 $f_0 \sim f_{1023}$ のパルス間隔をそれぞれ測定する。

。

ステップ(3)：その測定値の各々の平均値 N_{av} を算出する。

ステップ(4)：その算出した周波数に基づき入力クロック信号 S_{in} に対し位相同期処理を行う。

【0109】

実施例に係る位相同期方法は、上記の位相同期回路と同様の構成を含むので、上述した内容と同様の作用効果を奏する。

50

【 0 1 1 0 】

上述した実施形態は本発明の好適な実施の例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。

【 0 1 1 1 】

なお、以上の説明に関して更に以下の付記を開示する。

(付記 1) 入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔でずらすことにより複数のパルス信号を生成する生成回路と、

前記複数のパルス信号のパルス間隔をそれぞれ測定する複数のカウンタ回路と、

前記複数のカウンタ回路の各測定値の平均値を算出する平均値算出回路と、

前記平均値から前記入力クロック信号の周波数を算出する周波数算出回路と、

前記周波数算出回路が算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行う PLL 回路とを有することを特徴とする位相同期回路。

(付記 2) 前記生成回路は、前記入力クロック信号をそれぞれ分周する複数の分周回路を有し、

前記複数の分周回路は、それぞれ、個別の設定値に応じたタイミングで分周を開始することにより、前記入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔でずらすことを特徴とする付記 1 に記載の位相同期回路。

(付記 3) 前記複数のカウンタ回路は、それぞれ、前記パルス間隔を複数回測定することを特徴とする付記 1 または 2 に記載の位相同期回路。

(付記 4) 前記 PLL 回路は、

制御信号に応じた周波数の出力クロック信号を出力する発振器と、

前記出力クロック信号と前記入力クロック信号の位相差を示す差分信号をフィルタリングすることにより前記制御信号を生成するフィルタ回路とを有し、

前記フィルタ回路は、前記周波数算出回路が算出した周波数に基づき前記制御信号を生成することを特徴とする付記 1 乃至 3 の何れかに記載の位相同期回路。

(付記 5) 前記 PLL 回路は、

出力クロック信号を出力する発振器と、

前記出力クロック信号と前記入力クロック信号の位相差を示す差分信号をフィルタリングするフィルタ回路と、

前記周波数算出回路が算出した周波数を示す周波数信号と前記フィルタ回路によりフィルタリングされた前記差分信号の一方を選択し、前記発振器に出力する選択回路を有し、

前記発振器は、前記選択回路から入力された信号に基づき前記出力クロック信号の周波数を制御することを特徴とする付記 1 乃至 3 の何れかに記載の位相同期回路。

(付記 6) 入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔でずらすことにより複数のパルス信号を生成し、

前記複数のパルス信号のパルス間隔をそれぞれ測定し、

該測定値の各々の平均値を算出し、

前記平均値から前記入力クロック信号の周波数を算出し、

該算出した周波数に基づき前記入力クロック信号に対し位相同期処理を行うことを特徴とする位相同期方法。

(付記 7) 前記入力クロック信号をそれぞれ分周することにより前記複数のパルス信号を生成し、

個別の設定値に応じたタイミングで該分周を開始することにより、前記入力クロック信号を、前記入力クロック信号のクロック数が均等となる間隔でずらすことを特徴とする付記 6 に記載の位相同期方法。

(付記 8) 前記パルス間隔を複数回測定することを特徴とする付記 6 または 7 に記載の位相同期方法。

(付記 9) 前記算出した周波数に基づき制御信号を生成し、

発振器から、前記制御信号に応じた周波数の出力クロック信号を出力することを特徴とする付記 6 乃至 8 の何れかに記載の位相同期方法。

10

20

30

40

50

(付記10) 発振器から出力される出力クロック信号と前記入力クロック信号の位相差を示す差分信号をフィルタリングし、

前記算出した周波数を示す周波数信号と該フィルタリングされた前記差分信号の一方を選択し、

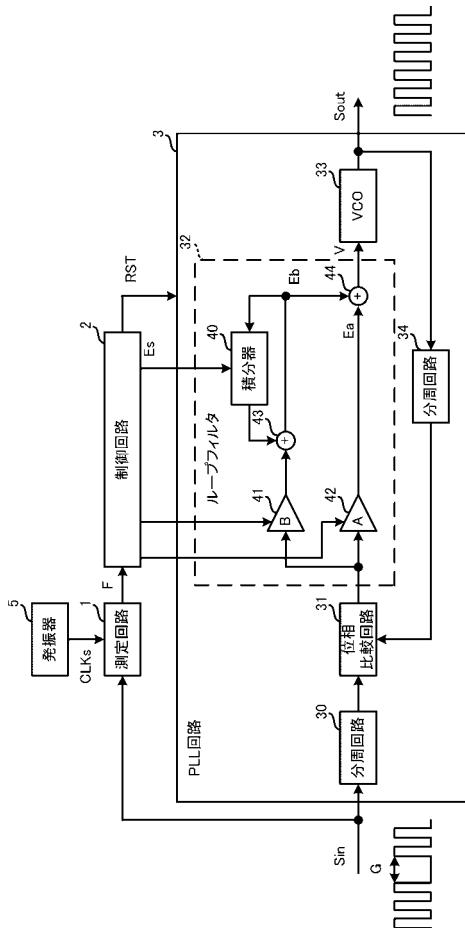
前記発振器から、該選択した信号に応じた周波数の前記出力クロック信号を出力することを特徴とする付記6乃至8の何れかに記載の位相同期方法。

【符号の説明】

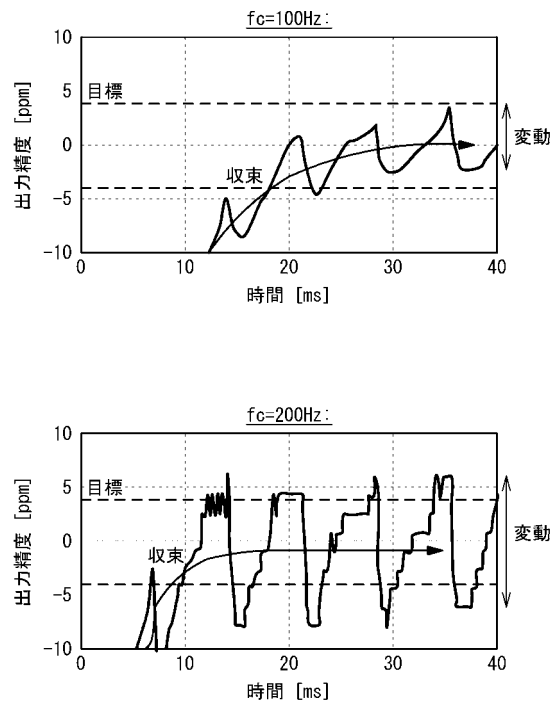
【0112】

- 1, 1 a 測定回路
- 2 制御回路
- 3, 3 a PLL回路
- 10 分周回路
- 11 カウンタ回路
- 15, 15 a 平均値算出回路
- 16 周波数算出回路
- 32 ループフィルタ
- 33 VCO
- 35 セレクタ回路
- 100 生成回路

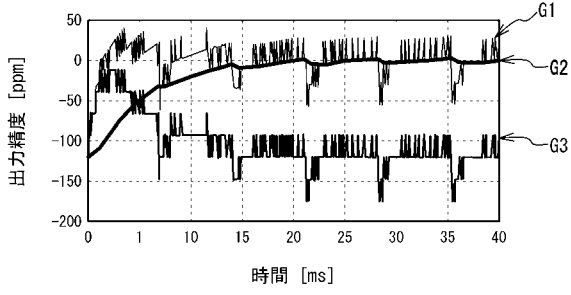
【図1】



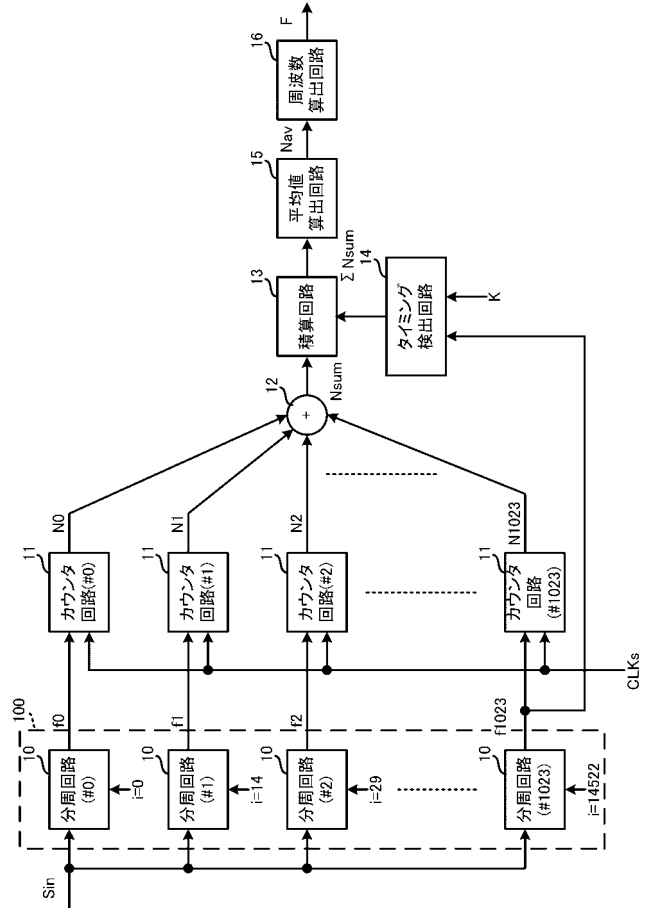
【図2】



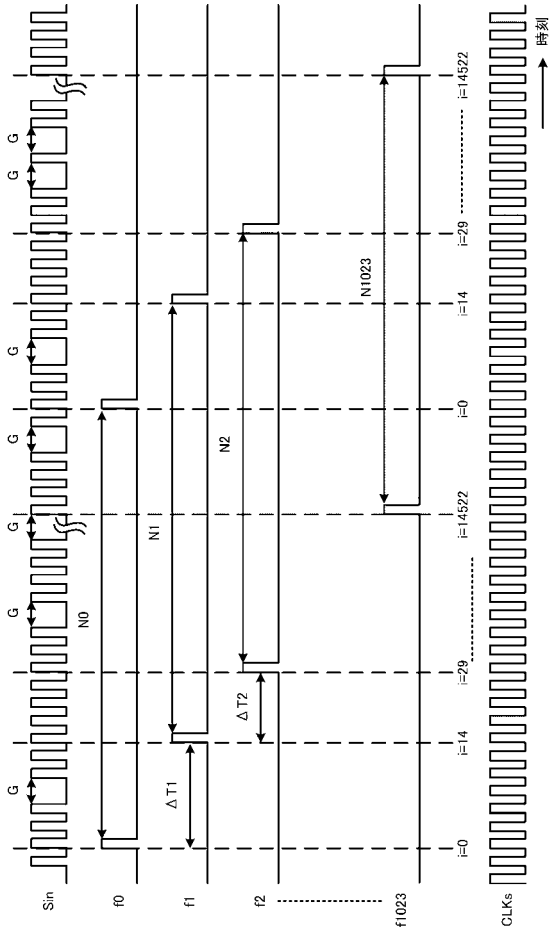
【 図 3 】



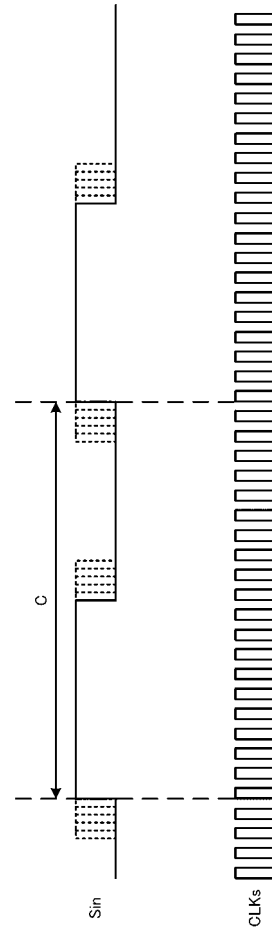
【 図 4 】



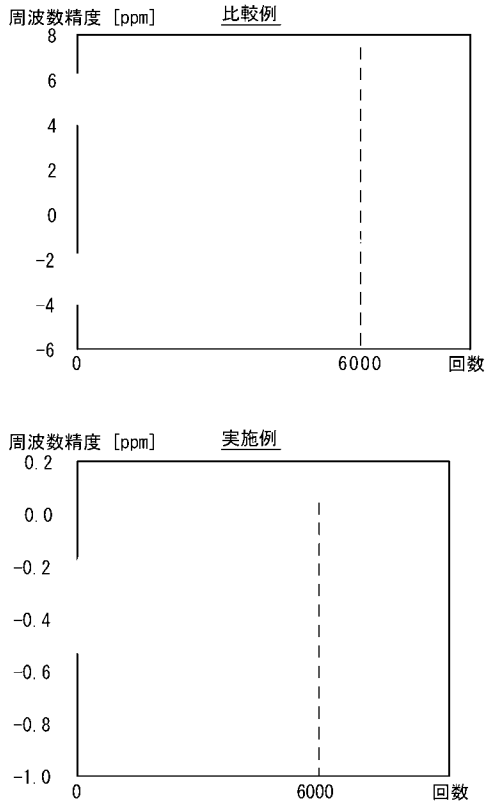
【 図 5 】



【 図 6 】



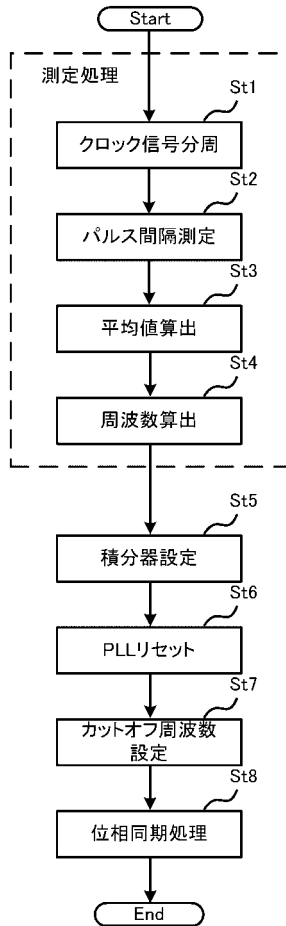
【 図 7 】



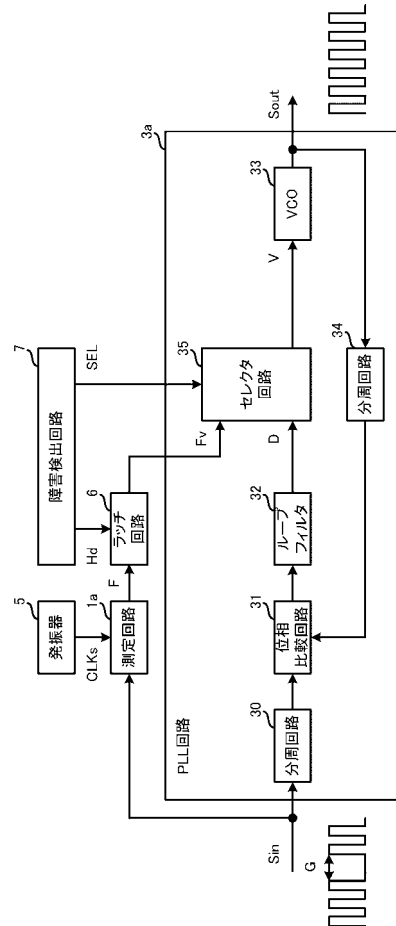
【 図 8 】

周期数 (K)	16	32	48	64	
測定時間 (ms)	1.5	2.99	4.49	5.98	
比較例	最大値 (ppm)	9.7	7.7	7.0	6.7
	最小値 (ppm)	-31.0	-12.7	-6.6	-3.5
	差分 (ppm)	40.7	20.4	13.6	10.2
実施例	最大値 (ppm)	1.2	0.1	0.4	0.1
	最小値 (ppm)	-2.2	-1.0	-0.7	-0.8
	差分 (ppm)	3.4	1.1	1.1	0.8

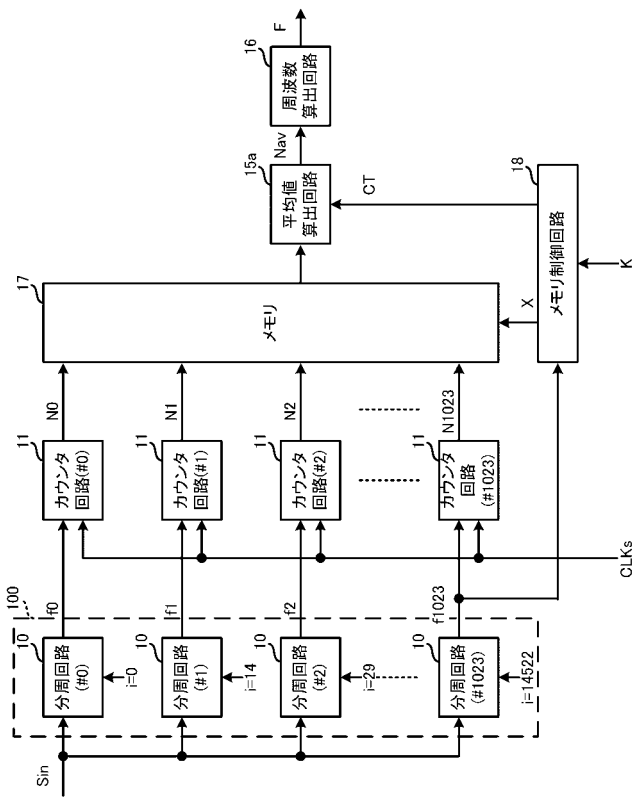
【 図 9 】



【 図 10 】



【図 1 1】



【図 1 2】

		周期				
		1	2	3	K
カウンタ回路 #	X					
	Y	0	N(1,0)	N(2,0)	N(3,0)
1		N(1,1)	N(2,1)	N(3,1)	N(K,1)
2		N(1,2)	N(2,2)	N(3,2)	N(K,2)
...					
1023		N(1,1023)	N(2,1023)	N(3,1023)	N(K,1023)