

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 24 日(24.10.2013)



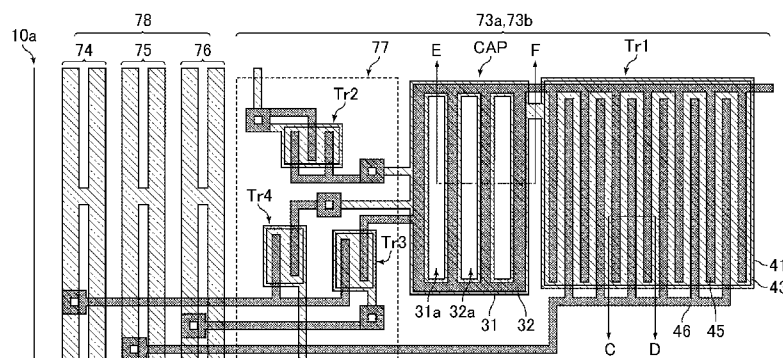
(10) 国際公開番号

WO 2013/157285 A1

- (51) 国際特許分類:
G09F 9/30 (2006.01) H01L 51/50 (2006.01)
G02F 1/1339 (2006.01) H05B 33/04 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2013/052672
- (22) 国際出願日: 2013 年 2 月 6 日(06.02.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-097124 2012 年 4 月 20 日(20.04.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 小笠原 功(OGASAWARA Isao). 吉田 昌弘(YOSHIDA Masahiro). 堀内 智(HORIUCHI Satoshi).
- (74) 代理人: 特許業務法人 安富国際特許事務所(YASUTOMI & ASSOCIATES); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 5 番 3 6 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The present invention provides a display device for which a seal inspection can easily be carried out. The present invention is a display device provided with a first and a second substrate and a seal. The first substrate includes a shift register formed monolithically on an insulating substrate and a plurality of bus lines. The shift register includes a plurality of unit circuits connected in multiple stages. Each of the plurality of unit circuits includes a clock terminal, an output terminal, an output transistor in which one of the source and drain is connected to the clock terminal and the other connected to the output terminal, and a bootstrap capacitor (CAP) for which a first terminal is connected to the output transistor gate and a second terminal to the output terminal. The bootstrap capacitor (CAP) includes a first electrode, an insulating layer on the first electrode, and a second electrode on the insulating layer. A first cut-out part and/or a first opening part are provided on the first electrode, and a second cut-out part and/or a second opening part are provided on the second electrode facing the first cut-out part and/or the first opening part.

(57) 要約:

[続葉有]

WO 2013/157285 A1



本発明は、シールの検査を容易に行うことができる表示装置を提供する。本発明は、第1及び第2基板と、シールとを備える表示装置であって、第1基板は、絶縁基板上にモノリシック形成されたシフトレジスタと、複数のバスラインとを含み、シフトレジスタは、多段接続された複数の単位回路を含み、複数の単位回路は各々、クロック端子と、出力端子と、ソース及びドレインの一方がクロック端子に、他方が出力端子に接続された出力トランジスタと、第1端子が出力トランジスタのゲートに、第2端子が出力端子に接続されたブートストラップ・コンデンサ（CAP）とを含み、ブートストラップ・コンデンサ（CAP）は、第1電極と、第1電極上の絶縁層と、絶縁層上の第2電極とを含み、第1電極には、第1切り欠き部及び／又は第1開口部が設けられ、第2電極には、第1切り欠き部及び／又は第1開口部に対向する第2切り欠き部及び／又は第2開口部が設けられる。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。より詳しくは、シフトレジスタを備えた表示装置に好適な表示装置に関するものである。

背景技術

[0002] アクティブマトリクス型の表示装置、例えば、アクティブマトリクス型の液晶ディスプレイは、通常、マトリクス状に配列された画素を行単位で選択し、選択した画素に表示データに応じた電圧を書き込むことで、画像を表示する。画素を行単位で選択するために、ゲートバスライン用の駆動回路（以下、ゲートドライバとも言う。）内には、クロック信号に基づき出力信号（走査信号）を順にシフトするシフトレジスタが設けられる。

[0003] ゲートドライバは、画素内の薄膜トランジスタ（TFT）を形成するための製造プロセスを用いて、画素内のTFTと同時に形成されることがある。例えば、アモルファスシリコンを用いて画素内のTFTを形成する場合、製造コストを削減するため、ゲートドライバに含まれるシフトレジスタもアモルファスシリコンを用いて形成されることが好ましい。このように最近では、ゲートドライバは、アレイ基板上にモノリシック形成されることがある。

[0004] また近年、液晶ディスプレイの液晶パネル内に液晶材料を充填する方法として、滴下注入法（ODF法）が開発されている。滴下注入法によれば、2枚の基板を貼り合わせる工程と、液晶材料を2枚の基板の間に封入する工程とを同時に行うことができる。

[0005] ゲートドライバのモノリシック形成に関する技術としては、以下が挙げられる。

[0006] 表示装置であって、表示パネルは、複数のゲート線及び複数のデータ線が設けられた第1基板と、第1基板に対向する第2基板と、第1基板及び第2基板を結合する密封材とからなり、ゲート駆動部は、外部から複数の信号を受

信する配線部と、複数の信号に応答して駆動信号を出力する回路部とからなり、配線部には、密封材を硬化するため第1基板の背面を通じて入射された光を透過させる開口部が設けられた表示装置が開示されている（例えば、特許文献1参照。）。特許文献1には、密封材によって第1基板と第2基板の結合力を向上させることが記載されている。

[0007] 回路部及び配線部を含む駆動ユニットであって、回路部は、従属的に接続された複数のステージを含み、複数の制御信号に応じて駆動信号を出力し、配線部は、外部から複数の制御信号の入力を受ける第1及び第2信号配線と、第1信号配線を複数のステージに接続させる第1接続配線と、第2信号配線を複数のステージに接続させる第2接続配線とを含み、第1信号配線、第1及び第2接続配線は、第2信号配と異なる層に配置される駆動ユニットが開示されている（例えば、特許文献2参照。）。

[0008] ゲート配線、駆動回路部、信号配線部、連結配線部及びコンタクト部を含む表示基板であって、ゲート配線は、表示領域に形成され、ソース配線と交差し、駆動回路部は、表示領域を取り囲む周辺領域に形成され、ゲート配線にゲート信号を出力し、信号配線部は、駆動回路部と隣接して形成され、ソース配線の延長方向に延長され、駆動信号を伝達するものであり、連結配線部は、信号配線部上に重なる一端部と、駆動回路部に電氣的に連結された他端部とを含み、コンタクト部は、信号配線部上に形成され、連結配線部の一端部と信号配線部とを電氣的に接続する表示基板が開示されている（例えば、特許文献3参照。）。

[0009] 複数の駆動ステージとダミーステージとで構成される駆動回路であって、複数の駆動ステージは、各ステージの出力端子が以前ステージの制御端子に連結されることによって、互いに従属的に連結され、マトリクス形態に配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数の駆動信号ラインにスイッチング素子駆動信号を順次出力し、ダミーステージは、ダミー出力端子が複数の駆動ステージのうち、最後のステージの制御端子及び自体のダミー制御端子にそれぞれ連結される駆動回路が開示されている

（例えば、特許文献 4 参照。）。

- [0010] 従来の第 1 の補助容量幹配線の幅を細く形成し、さらに第 2 の補助容量幹配線を新たに設け、これを基板の外縁部に最も近い位置に配置した液晶表示装置が開示されている（例えば、特許文献 5 参照。）。特許文献 5 の第 5 の実施形態及び図 13 には、第 2 の補助容量幹配線 440 と、駆動信号供給幹配線 420 のうち最も幅が大きい直流電圧 VSS 用配線 420a とにスリット状の開口部が設けられた構造が記載されている。
- [0011] 第 1 及び第 2 容量電極によって形成された第 1 容量と、第 3 及び第 4 容量電極によって形成された第 2 容量と、第 1 引き出し配線と、ゲート電極に接続された第 2 引き出し配線と、第 3 引き出し配線と、第 4 引き出し配線と、第 1 配線と、第 2 配線とを備える TFT が開示されている（例えば、特許文献 6 参照。）。
- [0012] 単位回路を多段接続して構成されたシフトレジスタであって、単位回路は、クロック端子及び出力端子の間に設けられ、ゲート電位に応じてクロック信号を通過させるか否かを切り替える出力トランジスタと、一方の導通端子が出力端子のゲートに接続された 1 以上の制御トランジスタとを含み、出力トランジスタがオン状態でクロック信号がハイレベルとなる期間では、出力トランジスタのゲート電位がクロック信号のハイレベル電位よりも高くなるように構成されており、制御トランジスタの中に、出力トランジスタよりもチャネル長が長いトランジスタが含まれているシフトレジスタが開示されている（例えば、特許文献 7 参照。）。
- [0013] 基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成されたシフトレジスタであって、シフトレジスタ段は、2つのソース／ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第 1 のトランジスタを備えており、容量電極と、容量電極に対向するいずれか一方のソース／ドレイン電極とのいずれか一方は、シフトレジスタ段の出力トランジスタの制御電極と電氣的に接続されているシフトレジスタが開示されている（例えば、特許文献 8 参照。）。

[0014] 滴下注入法に関する技術としては、以下が挙げられる。

[0015] T F T 基板と、T F T 基板に対向配置されたC F 基板と、T F T 基板及びC F 基板に挟まれ、両基板の周辺部に形成されたシール材と、T F T 基板及びC F 基板の間に介在する液晶層とを備える液晶表示パネルであって、C F 基板は、シール材が設けられる周辺部に遮光層を有し、遮光層は、T F T 基板の配線と重なる領域に隙間を有する液晶表示パネルが開示されている（例えば、特許文献9 参照。）。

[0016] 互いに対向配置されたアクティブマトリクス基板及び対向基板と、両基板の間に設けられた液晶層とを備え、表示領域とその周りの非表示領域とが規定された液晶表示パネルであって、非表示領域において、両基板の間には幅狭の線状部分と線状部分よりも幅広の幅広部分とを有し、光硬化性材料により構成された枠形状のシール部が設けられ、アクティブマトリクス基板には遮光性の表示用配線がパターン形成され、対向基板にはシール部の内周端に沿って形成され幅広部分に対応した位置に切り欠き部分を有するブラックマトリクスが設けられている液晶表示パネルが開示されている（例えば、特許文献10 参照。）。

先行技術文献

特許文献

- [0017] 特許文献1：特開2006-39524号公報
特許文献2：特開2006-79041号公報
特許文献3：特開2008-26865号公報
特許文献4：特表2005-522734号公報
特許文献5：国際公開2011/067963号
特許文献6：国際公開2009/150862号
特許文献7：国際公開2010/137197号
特許文献8：国際公開2011/135873号
特許文献9：国際公開2006/098475号
特許文献10：特開2007-65037号公報

発明の概要

発明が解決しようとする課題

[0018] 液晶ディスプレイ等の表示装置の製造工程では、互いに対向する基板間を密閉するためのシールの検査工程を行う場合がある。より具体的には、シールが適切な場所に形成されているか、シールの幅が十分に確保されているか、シールが途切れていないか、シール材が十分に硬化しているか等をルーペ、顕微鏡等の観察機器を用いて検査することがある。また、製品出荷後においても、表示の不具合が発生したときに、その原因を調べるために、シールの検査を行うことがある。なお、シールの幅が細いと、接着強度が不十分となり、信頼性を確保できない場合がある。また、シールが表示領域にはみ出してしまうと、表示領域の端部において表示異常が発生することがある。また、シール材が十分に硬化していないと、液晶ディスプレイにおいては、シール材が液晶層に染み出し、表示領域の端部において表示異常が発生することがある。

[0019] しかしながら、アレイ基板上にモノリシック形成されたシフトレジスタを備える表示装置では、額縁領域が狭くなった場合、シールの検査を容易に行えない場合があった。以下、その原因について説明する。シフトレジスタは、TFT等の種々の素子を含むが、それらの中でもバスラインに接続された出力トランジスタのサイズが大きい。また、シフトレジスタは通常、出力トランジスタに接続されたブートストラップ・コンデンサを含むが、このブートストラップ・コンデンサのサイズも大きい。特に、アモルファスシリコンを用いた場合や解像度又はパネルサイズが大きくなった場合、出力トランジスタ及びブートストラップ・コンデンサのサイズは大きくなる。また、これらのTFT及びコンデンサは通常、遮光性の電極を含んでいるため、遮光部材として機能する。また、液晶ディスプレイにおいて、アレイ基板に対向する対向基板は、一般的にはブラックマトリクス（BM）を有するが、額縁領域が狭くなった場合、BMは、額縁領域の中でも特にシフトレジスタが配置される領域に対向して形成されることがある。以上より、額縁領域が狭くなっ

た場合、シールが表示領域に接近し、BM等の遮光部材と、出力トランジスタ及びブートストラップ・コンデンサとの間に配置されることがある。そのため、アレイ基板側及び対向基板側のいずれからでもシールの状態を容易に観察できなくなる場合がある。

[0020] 本発明は、上記現状に鑑みてなされたものであり、シールの検査を容易に行うことができる表示装置を提供することを目的とするものである。

課題を解決するための手段

[0021] 本発明者らは、シールの検査を容易に行うことができる表示装置について種々検討したところ、ブートストラップ・コンデンサの構造に着目した。そして、ブートストラップ・コンデンサに透光部を設けることにより、より詳細には、ブートストラップ・コンデンサの第1電極に、第1切り欠き部及び／又は第1開口部を形成し、ブートストラップ・コンデンサの第2電極に、第1切り欠き部及び／又は第1開口部に対向する第2切り欠き部及び／又は第2開口部を形成することにより、例え対向基板にBM等の遮光部材が配置されたとしても、アレイ基板側から透光部を通してシールの状態を確認できることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0022] すなわち、本発明のある側面は、第1基板と、前記第1基板に対向する第2基板と、前記第1基板及び前記第2基板の間に設けられたシールとを備える表示装置であって、前記第1基板は、絶縁基板と、前記絶縁基板上にモノリシック形成されたシフトレジスタと、複数のバスラインとを含み、前記シフトレジスタは、多段接続された複数の単位回路を含み、前記複数の単位回路は各々、クロック信号が入力されるクロック端子と、対応するバスラインに接続され、出力信号が出力される出力端子と、ソース及びドレインの一方が前記クロック端子に接続され、前記ソース及び前記ドレインの他方が前記出力端子に接続されたトランジスタ（出力トランジスタ）と、第1端子が前記トランジスタのゲートに接続され、第2端子が前記出力端子に接続されたコンデンサ（ブートストラップ・コンデンサ）とを含み、前記コンデンサは、

第1電極と、前記第1電極上の絶縁層と、前記絶縁層上の第2電極とを含み、前記複数の単位回路のうちの少なくとも一つにおいて、前記第1電極には、第1切り欠き部及び／又は第1開口部が設けられ、前記第2電極には、前記第1切り欠き部及び／又は前記第1開口部に対向する第2切り欠き部及び／又は第2開口部が設けられる表示装置（以下、「本発明に係る表示装置」とも言う。）である。

[0023] 本発明に係る表示装置の構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素により特に限定されるものではない。

本発明に係る表示装置における好ましい実施形態について以下に説明する。なお、以下の好ましい実施形態は、適宜、互いに組み合わせられてもよく、以下の2以上の好ましい実施形態を互いに組み合わせた実施形態もまた、好ましい実施形態の一つである。

[0024] 前記対向基板は、前記シフトレジスタに対向する遮光部材を含んでもよいし、含まなくてもよい。前者の場合は、シールの検査を容易に行うことができるという効果を特に顕著に奏することができる。また後者の場合も、ブートストラップ・コンデンサに透光部を設けない場合に比べるとシールをより観察し易くなるので、上記効果を奏することができる。

[0025] 前記シールは、光硬化性を有する材料の硬化物を含んでもよい。これにより、製造工程において、透光部を通して光硬化性を有するシール材に光を照射することができ、シール材に未硬化部が発生するのを抑制することができる。したがって、基板同士をより強固に貼り合わせることができる。また、液晶ディスプレイの場合は、未硬化部のシール材成分に起因する表示品位の低下を抑制することができる。

[0026] 前記材料は、熱硬化性を更に有してもよい。このように、光硬化性及び熱硬化性を有するシール材を用いることによって、光照射だけではシール材に未硬化部が発生する場合であっても、熱処理によってシール材をより確実に硬化することができる。したがって、基板同士を非常に強固に貼り合わせるこ

とができる。また、液晶ディスプレイの場合は、未硬化部のシール材成分に起因する表示品位の低下を効果的に抑制することができる。

[0027] 前記トランジスタは、前記コンデンサと、前記第 1 基板の表示領域との間の領域内に配置され、前記シールは、前記トランジスタ上に配置されなくてもよい。これにより、出力トランジスタに重ならないようにシールを容易に配置することができる。そのため、シールの検査をより確実に行うことができる。また、光硬化性を有するシール材を用いる場合は、シール材に未硬化部が発生するのをより確実に防止することができる。

[0028] 前記コンデンサは、前記トランジスタと、前記第 1 基板の表示領域との間の領域内に配置され、前記トランジスタは、前記シールに覆われ、前記コンデンサの少なくとも一部は、前記シールの下に配置されてもよい。これにより、光硬化性を有するシール材を用い、出力トランジスタ上においてシール材の未硬化部が発生した場合でも、その表示領域側に隣接する部分を十分に硬化させることができる。したがって、未硬化部が表示領域に悪影響を及ぼすのを抑制することができる。また、出力トランジスタをブートストラップ・コンデンサ及び表示領域の間の領域内に配置した場合に比べて、シールをより表示領域に近づけることができるため、額縁領域をより狭くすることができる。

[0029] 前記コンデンサは、前記第 2 電極上の第 2 絶縁層と、前記第 2 絶縁層上の透明電極とを更に含み、前記透明電極は、前記第 1 電極に接続されてもよい。これにより、ブートストラップ・コンデンサの容量を大きくすることができるので、額縁領域をより狭くすることができる。

[0030] 前記バスラインの種類は特に限定されないが、下記実施形態 (A) ~ (C) が好適である。なお、前記複数のバスラインは通常、一行又は一列の画素回路に共通して接続される。

[0031] 実施形態 (A) において、前記第 1 基板は、表示領域内に設けられた複数の画素回路を含み、前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続された画素電極とを含み、前記複数のバスライン

は各々、対応する複数の画素用トランジスタのゲートに接続される。この実施形態は、本発明に係る表示装置を液晶ディスプレイに適用する場合に好適である。

[0032] 実施形態（B）において、前記第1基板は、表示領域内に設けられた複数の画素回路を含み、前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続されたエレクトロルミネッセンス（EL）素子とを含み、前記複数のバスラインは各々、対応する複数の画素用トランジスタのゲートに接続される。この実施形態は、本発明に係る表示装置を有機ELディスプレイに適用する場合に好適である。

[0033] 実施形態（C）において、前記複数のバスラインは、第1の複数のバスラインであり、前記第1基板は、表示領域内に設けられた複数の画素回路と、複数のデータバスラインとを含み、前記複数の画素回路は各々、第1の画素用トランジスタと、対応するデータバスラインに接続された第2の画素用トランジスタと、前記第1の画素用トランジスタに接続されたエレクトロルミネッセンス（EL）素子とを含み、前記第1の複数のバスラインは各々、対応する複数の第2の画素用トランジスタのゲートに接続される。この実施形態は、本発明に係る表示装置を有機ELディスプレイに適用する場合に好適である。

[0034] 前記トランジスタは、酸化物半導体を含んでもよい。

[0035] 前記酸化物半導体は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）及び酸素（O）を含んでもよい。

発明の効果

[0036] 本発明によれば、シールの検査を容易に行うことができる表示装置を実現することができる。

図面の簡単な説明

[0037] [図1]実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

[図2]図1のA-B線における断面模式図である。

[図3]実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

[図4]実施形態1の液晶ディスプレイの構成を示すブロック図である。

[図5]実施形態1におけるシフトレジスタの構成を示すブロック図である。

[図6]実施形態1におけるシフトレジスタに含まれる単位回路の回路図である。

[図7]実施形態1におけるシフトレジスタのタイミングチャートを示す。

[図8]実施形態1におけるシフトレジスタのタイミングチャートを示す。

[図9]実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図10]実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図11]図9のC-D線における断面模式図である。

[図12]図9のE-F線における断面模式図である。

[図13]実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図14]実施形態2の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。

[図15]図14のJ-K線における断面模式図である。

[図16]実施形態3の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図17]実施形態1～7の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。

[図18]実施形態1～7の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。

[図19]実施形態1～7の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。

[図20]実施形態8のアクティブマトリクス型有機ELディスプレイに含まれ

る単位画素（画素又はサブ画素）の回路構成を示す回路図である。

[図21]実施形態8のアクティブマトリクス型有機ELディスプレイに含まれる有機EL基板の平面模式図である。

[図22]実施形態4の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図23]図22のM－N線における断面模式図である。

[図24]実施形態5の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図25]実施形態6の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[図26]図25のP－Q線における断面模式図である。

[図27]実施形態7の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

発明を実施するための形態

[0038] 以下に実施形態を掲げ、本発明を図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

[0039] （実施形態1）

図1～13を参照して、実施形態1の液晶ディスプレイについて説明する。まず、図1～3を参照して、本実施形態の液晶ディスプレイの全体の構造について説明する。図1は、実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。図2は、図1のA－B線における断面模式図である。図3は、実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

[0040] 本実施形態の液晶ディスプレイは、アクティブマトリクス駆動方式、かつ、透過型の液晶ディスプレイであり、液晶パネル1と、液晶パネル1の後方に配置されたバックライト（図示せず）と、液晶パネル1及びバックライトユニットを駆動及び制御する制御部（図示せず）と、液晶パネル1を制御部に接続するフレキシブル基板（図示せず）とを備えている。

- [0041] 液晶パネル 1 は、画像を表示する表示部 2 を含み、表示部 2 には、複数の画素 3 がマトリクス状に配置されている。なお、各画素 3 は、複数色（例えば、赤、緑、及び、青の 3 色）のサブ画素から構成されてもよく、図 3 は、その場合を示している。他方、本実施形態の液晶ディスプレイは、モノクロ液晶ディスプレイであってもよく、その場合は、各画素 3 を複数のサブ画素に分割する必要はない。
- [0042] 液晶パネル 1 は、前記第 1 基板に対応するアレイ基板（アクティブマトリクス基板）10 と、前記第 2 基板に対応し、アレイ基板 10 に対向する対向基板 50 と、基板 10、50 の間に設けられた液晶層（表示用媒体）61 及びシール 62 と、アレイ基板 10 の液晶層 61 側の表面上に設けられた配向膜（図示せず）と、対向基板 50 の液晶層 61 側の表面上に設けられた配向膜（図示せず）と、アレイ基板 10 上に実装されたソースドライバ 5 とを有している。また、液晶パネル 1、アレイ基板 10 及び対向基板 50 は、表示部 2 に対応する領域（表示領域）7 と、表示領域 7 の周囲の領域（額縁領域）8 とを含んでいる。なお、ソースドライバ 5 は、後述するソースバスライン用の駆動回路である。
- [0043] シール 62 は、表示領域 7 を取り囲むように額縁領域 8 内に形成されている。また、シール 62 は、基板 10、50 を互いに接着するとともに、液晶層 61 を基板 10、50 の間に封止している。
- [0044] アレイ基板 10 は、液晶ディスプレイの背面側に設けられ、対向基板 50 は、観察者側に設けられている。各基板 10、50 の液晶層 61 とは反対側の表面上には、偏光板（図示せず）が貼り付けられている。これらの偏光板は、通常はクロスニコルに配置されている。ソースドライバ 5 は、アレイ基板 10 の対向基板 50 に対向しない領域、すなわち対向基板 50 からはみ出した領域（以下、張り出し領域とも言う。）に COG（Chip On Glass）技術により実装されている。
- [0045] アレイ基板 10 は、表示領域 7 の左右にモノリシックに形成されたゲートドライバ 6a、6b と、張り出し領域内に形成された端子 26、27、28、

29、30と、表示領域7を縦断するように設けられたソースバスライン（データ信号線）12と、表示領域7を横断するように設けられたゲートバスライン（走査信号線）13及びコモンバスライン17と、額縁領域8内に各々形成された引き出し線18、19と、表示領域7を囲むように額縁領域8内に形成された配線（以下、共通幹配線とも言う。）16と、額縁領域8内に形成された入力配線25とを有している。ゲートバスライン13は、左側のゲートドライバ6aの出力端子に接続されたゲートバスライン13と、右側のゲートドライバ6bの出力端子に接続されたゲートバスライン13とを含み、これらは交互に配置されている。ゲートバスライン13は、上記実施形態（A）におけるバスラインに相当する。端子26、28、30が設けられた領域（図3中の太い二点鎖線で囲まれた領域）にフレキシブル基板が実装されている。各ソースバスライン12は、対応する引き出し線18及び端子27を介して、ソースドライバ5の出力部に接続されている。ソースドライバ5の入力部には、フレキシブル基板、端子28、入力配線25及び端子29を介して、制御部から各種信号及び電源電圧が入力される。共通幹配線16には、フレキシブル基板及び端子30を介して、制御部から共通信号が入力される。なお、共通信号とは、全ての画素に共通して印加される信号である。コモンバスライン17は、額縁領域8内において共通幹配線16に接続されており、コモンバスライン17には、共通幹配線16から共通信号が印加される。

[0046] ゲートドライバ6a、6bには、フレキシブル基板、端子26及び引き出し線19を介して制御部から各種信号及び電源電圧が供給される。詳細については後述する。ゲートモノリシック、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネル、ゲートオンアレイ等と称されるゲートドライバは全てゲートドライバ6a、6bに含まれ得る。なお、2つのゲートドライバ6a、6bを設ける代わりに、2つのゲートドライバ6a、6bと同様の機能を発揮する1つのゲートドライバのみを設けてもよい。

[0047] 対向基板50は、ガラス基板等の透明な絶縁基板51と、遮光部材として機

能するブラックマトリクス（BM）52と、複数の柱状のスペーサ（図示せず）とを有している。BM52は、額縁領域8と、バスラインに対向する領域とを遮光するように形成されている。なお、図2では、表示領域7内においてBM52の図示は省略している。各画素3が複数色のサブ画素から構成される場合、対向基板50は、複数色のカラーフィルタ（図示せず）を有してもよい。各カラーフィルタは、表示領域7内に設けられ、BM52で区画された領域、すなわち、BM52の開口を覆うように形成される。対向基板50は、オーバーコート膜を有していてもよく、オーバーコート膜は、全てのカラーフィルタを覆ってもよい。柱状のスペーサは、BM52上の遮光領域内に配置されている。

[0048] なお、本実施形態の液晶ディスプレイの液晶モードは特に限定されない。TN（Twisted Nematic）モード、VA（Vertical Alignment）モード等の縦電界を利用する液晶モードの場合、対向基板50は、共通信号が印加される対向電極を有しており、アレイ基板10は、共通幹配線16に接続されたコモン転移用電極14を有しており、両電極は、導通部材を介して互いに接続されている。導通部材としては、例えば、シール62に混入され、金等の金属がコーティングされた樹脂や、カーボンペースト等が挙げられる。

[0049] 次に、図4～8を参照して、本実施形態の液晶ディスプレイの回路構成及び動作について説明する。図4は、実施形態1の液晶ディスプレイの構成を示すブロック図である。図5は、実施形態1におけるシフトレジスタの構成を示すブロック図である。図6は、実施形態1におけるシフトレジスタに含まれる単位回路の回路図である。図7及び8は、実施形態1におけるシフトレジスタのタイミングチャートを示す。

[0050] 図4に示すように、本実施形態の液晶ディスプレイは、画素アレイ71と、制御部内に設けられた表示制御回路72と、ソースドライバ5と、ゲートドライバ6a、6bとを備えている。

[0051] 画素アレイ71は、前記ゲートバスライン13に対応するn本のゲートバス

ライン $G_1 \sim G_n$ と、前記ソースバスライン12に対応する m 本のソースバスライン $S_1 \sim S_m$ と、前記画素3に各々形成された $(m \times n)$ 個の画素回路 P_{ij} とを含んでいる。 n と m は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数とする。ゲートバスライン $G_1 \sim G_n$ は互いに平行に配置されており、ソースバスライン $S_1 \sim S_m$ は、ゲートバスライン $G_1 \sim G_n$ と直交するように互いに平行に配置されている。ゲートバスライン G_i とソースバスライン S_j の交点近傍には、画素回路 P_{ij} が配置されている。このように $(m \times n)$ 個の画素回路 P_{ij} は、行方向に m 個ずつ、列方向に n 個ずつ、2次元状に配置されている。ゲートバスライン G_i は、 i 行目に配置された画素回路 P_{ij} に共通して接続され、ソースバスライン S_j は、 j 列目に配置された画素回路 P_{ij} に共通して接続されている。また、画素回路 P_{ij} には各々、スイッチング素子としての画素用TFT4と、画素電極9とが設けられており、TFT4のゲートは、ゲートバスライン G_i に接続され、TFT4のドレイン及びソースは、一方がソースバスライン S_j に接続され、他方が画素電極9に接続されている。

[0052] 本実施形態の液晶ディスプレイには、その外部から、水平同期信号Hsync、垂直同期信号Vsync等の制御信号と、画像信号DATとが供給される。表示制御回路72は、これらの信号に基づき、ゲートドライバ6aに対してクロック信号CK1、CK2、及び、スタートパルスSP1を出力し、ゲートドライバ6bに対してクロック信号CK3、CK4、及び、スタートパルスSP2を出力し、ソースドライバ5に対して制御信号SC及びデジタル映像信号DVを出力する。

[0053] ゲートドライバ6aは、シフトレジスタ73aを含んでおり、シフトレジスタ73aは、多段接続された複数の単位回路SR1、SR3、・・・、SR $n-1$ を含んでいる。単位回路SR1、SR3、・・・、SR $n-1$ は、奇数番目のゲートバスライン G_1 、 G_3 、・・・、 G_{n-1} に接続されている。

[0054] ゲートドライバ6bは、シフトレジスタ73bを含んでおり、シフトレジスタ

タ 7 3 b は、多段接続された複数の単位回路 S R 2、S R 4、・・・、S R n を含んでいる。単位回路 S R 2、S R 4、・・・、S R n は、偶数番目のゲートバスライン G 2、G 4、・・・、G n に接続されている。

[0055] シフトレジスタ 7 3 a、7 3 b は、出力信号 S R O U T 1 ~ S R O U T n を 1 つずつ順にハイレベル（選択状態を示す）に制御する。出力信号 S R O U T 1 ~ S R O U T n は、それぞれ、ゲートバスライン G 1 ~ G n に与えられる。これにより、ゲートバスライン G 1 ~ G n が 1 本ずつ順に選択され、1 行分の画素回路 P i j が一括して選択される。すなわち、1 行分の画素回路 P i j の画素用 T F T 4 がオン状態になる。

[0056] ソースドライバ 5 は、制御信号 S C 及びデジタル映像信号 D V に基づき、ソースバスライン S 1 ~ S m に対してデジタル映像信号 D V に応じた電圧を印加する。これにより、選択された 1 行分の画素回路 P i j にデジタル映像信号 D V に応じた電圧が書き込まれる（印可される）。このようにして、本実施形態の液晶ディスプレイは画像を表示する。

[0057] 図 5 に示すように、各単位回路 S R 1 ~ S R n は、入力端子 I N a、I N b、クロック端子 C K A、C K B、電源端子 V S S、及び、出力端子 O U T を有している。

[0058] シフトレジスタ 7 3 a には、スタートパルス S P 1 と、エンドパルス E P 1 と、2 相のクロック信号 C K 1、C K 2 と、ローレベル電位 V S S（便宜上、電源端子と同じ符号を付している。）とが供給される。スタートパルス S P 1 は、シフトレジスタ 7 3 a 内で初段目の単位回路 S R 1 の入力端子 I N a に入力される。エンドパルス E P 1 は、シフトレジスタ 7 3 a 内で最終段目の単位回路 S R n - 1 の入力端子 I N b に入力される。クロック信号 C K 1 は、シフトレジスタ 7 3 a 内で奇数段目の単位回路のクロック端子 C K A と、シフトレジスタ 7 3 a 内で偶数段目の単位回路のクロック端子 C K B とに入力される。クロック信号 C K 2 は、シフトレジスタ 7 3 a 内で偶数段目の単位回路のクロック端子 C K A と、シフトレジスタ 7 3 a 内で奇数段目の単位回路 1 0 のクロック端子 C K B とに入力される。ローレベル電位 V S S

は、シフトレジスタ 73 a 内の全ての単位回路の電源端子 VSS に入力される。単位回路 SR 1、SR 3、 $\dots$ 、SR $n-1$ の出力端子 OUT からは、それぞれ、出力信号 SROUT 1、SROUT 3、 $\dots$ 、SROUT $n-1$ が出力され、出力信号 SROUT 1、SROUT 3、 $\dots$ 、SROUT $n-1$ は、それぞれ、ゲートバスライン G 1、G 3、 $\dots$ 、G $n-1$ に出力される。また各出力信号は、二段後（シフトレジスタ 73 a 内で考えると一段後）の単位回路の入力端子 IN a と、四段前（シフトレジスタ 73 a 内で考えると二段前）の単位回路の入力端子 IN b とに入力される。

[0059] シフトレジスタ 73 b には、スタートパルス SP 2 と、エンドパルス EP 2 と、2 相のクロック信号 CK 3、CK 4 と、ローレベル電位 VSS とが供給される。スタートパルス SP 2 は、シフトレジスタ 73 b 内で初段目の単位回路 SR 2 の入力端子 IN a に入力される。エンドパルス EP 2 は、シフトレジスタ 73 b 内で最終段目の単位回路 SR n の入力端子 IN b に入力される。クロック信号 CK 3 は、シフトレジスタ 73 b 内で奇数段目の単位回路のクロック端子 CK A と、シフトレジスタ 73 b 内で偶数段目の単位回路のクロック端子 CK B とに入力される。クロック信号 CK 4 は、シフトレジスタ 73 b 内で偶数段目の単位回路のクロック端子 CK A と、シフトレジスタ 73 b 内で奇数段目の単位回路 10 のクロック端子 CK B とに入力される。ローレベル電位 VSS は、シフトレジスタ 73 b 内の全ての単位回路の電源端子 VSS に入力される。単位回路 SR 2、SR 4、 $\dots$ 、SR n の出力端子 OUT からは、それぞれ、出力信号 SROUT 2、SROUT 4、 $\dots$ 、SROUT n が出力され、出力信号 SROUT 2、SROUT 4、 $\dots$ 、SROUT n は、それぞれ、ゲートバスライン G 2、G 4、 $\dots$ 、G n に出力される。また各出力信号は、二段後（シフトレジスタ 73 b 内で考えると一段後）の単位回路の入力端子 IN a と、四段前（シフトレジスタ 73 b 内で考えると二段前）の単位回路の入力端子 IN b とに入力される。

[0060] なお、ローレベル電位 VSS は、 n チャネル型の TFT を確実にオフ状態にする観点からは負の電位であることが好ましいが、画素用 TFT 4 として p

チャネル型のT F Tに使用する場合には、正の電位であってもよい。

[0061] 図6に示すように、各単位回路は、nチャネル型のT F TであるトランジスタT r 1～T r 4と、コンデンサ（以下、ブートストラップ・コンデンサとも言う。）C A Pとを含んでいる。以下、トランジスタT r 1を出力トランジスタT r 1とも言う。

[0062] 出力トランジスタT r 1は、ドレインがクロック端子C K Aに接続されており、ソースが出力端子O U Tに接続されている。トランジスタT r 2は、ドレインとゲートが入力端子I N aに接続されており、ソースが出力トランジスタT r 1のゲートに接続されている。ブートストラップ・コンデンサC A Pは、出力トランジスタT r 1のゲート及びソースの間に設けられており、一方の第1端子が出力トランジスタT r 1のゲートに接続されており、他方の第2端子が出力端子O U Tに接続されている。トランジスタT r 3は、ドレインが出力端子O U Tに接続されており、ゲートがクロック端子C K Bに接続されており、ソースが電源端子V S Sに接続されている。トランジスタT r 4は、ドレインが出力トランジスタT r 1のゲートに接続されており、ゲートが入力端子I N bに接続されており、ソースが電源端子V S Sに接続されている。

[0063] 出力トランジスタT r 1は、クロック端子C K Aと出力端子O U Tとの間に設けられており、ゲート電位に応じてクロック信号を通過させるか否かを切り替えるトランジスタ（伝送ゲート）として機能する。また、出力トランジスタT r 1のゲートは、出力端子O U T側の導通端子（ソース）と容量結合されている。このため、後述するように、出力トランジスタT r 1がオン状態で、クロック端子C K Aに入力されるクロック信号C K 1又はC K 3（以下、クロック信号C K Aとも言う。）がハイレベルとなる期間では、出力トランジスタT r 1のゲート電位はクロック信号C K Aのハイレベル電位よりも高くなる。以下、出力トランジスタT r 1のゲートが接続されたノードをn e t Aという。

[0064] 図7及び8に、シフトレジスタ7 3 a、7 3 bのタイミングチャートを示す

。図7には、各シフトレジスタ内で奇数段目の単位回路の入出力信号及びノード *net A* の電圧変化が図示されている。

[0065] 図5に示したように、各シフトレジスタ内で奇数段目の単位回路には、クロック端子 *CK A* を介してクロック信号 *CK 1* 又は *CK 3* が入力され、クロック端子 *CK B* を介してクロック信号 *CK 2* 又は *CK 4* が入力される。図8に示すように、各クロック信号 *CK 1* ~ *CK 4* の電位がハイレベルの期間は、 $1/2$ 周期と略同じである。クロック信号 *CK 2* は、クロック信号 *CK 1* を $1/2$ 周期だけ、クロック信号 *CK 3* は、クロック信号 *CK 1* を $1/4$ 周期だけ、クロック信号 *CK 4* は、クロック信号 *CK 2* を $1/4$ 周期だけ、それぞれ、遅延させた信号である。

[0066] スタートパルス *SP 1* 及び *SP 2* は、それぞれ、シフト動作の開始前に、クロック信号 *CK 2* 及び *CK 4* の電位がハイレベルの期間と同じ長さの時間だけハイレベルになる。エンドパルス *EP 1* 及び *EP 2* (図7及び8では図示せず) は、それぞれ、シフト動作の終了後に、クロック信号 *CK 2* 及び *CK 4* の電位がハイレベルの期間と同じ長さの時間だけハイレベルになる。

[0067] 図7を参照して、各シフトレジスタ内で奇数段目の単位回路の動作について説明する。

まず、入力端子 *IN a* に入力される信号 (スタートパルス *SP 1*、*SP 2*、又は、前々段 (各シフトレジスタ内で考えると一段前) の単位回路の出力信号。以下、入力信号 *IN a* とも言う。) がローレベルからハイレベルに変化すると、ダイオード接続されたトランジスタ *Tr 2* を介してノード *net A* の電位もハイレベルに変化し、出力トランジスタ *Tr 1* はオン状態になる。

[0068] 次に、入力信号 *IN a* がローレベルに変化すると、トランジスタ *Tr 2* はオフ状態になり、ノード *net A* はフローティング状態になるが、出力トランジスタ *Tr 1* はオン状態を保つ。

[0069] 次に、クロック信号 *CK A* (クロック信号 *CK 1* 又は *CK 3*) がローレベルからハイレベルに変化すると、ブートストラップ・コンデンサ *CAP* が充電され、ブートストラップ効果によってノード *net A* の電位はクロック信号

C K Aの振幅 V_{ck} ($= (\text{ハイレベル電位 } V_{GH}) - (\text{ローレベル電位 } V_{GL})$) の2倍程度まで上昇する。出力トランジスタ T_{r1} のゲート電位が十分に高いので、出力トランジスタ T_{r1} のソース・ドレイン間の抵抗が小さくなり、クロック信号C K Aは出力トランジスタ T_{r1} を電圧降下することなく通過する。

[0070] クロック信号C K Aがハイレベルの間、ノード $n_{et A}$ の電位は V_{ck} の2倍程度になり、出力信号S R O U Tはハイレベルになる。

[0071] 次に、クロック信号C K Aがローレベルに変化すると、ノード $n_{et A}$ の電位はハイレベルになる。同時に、クロック端子C K Bに入力されるクロック信号C K 2又はC K 4 (以下、クロック信号C K Bとも言う。) がハイレベルに変化することにより、トランジスタ T_{r3} がオン状態になり出力端子O U Tにローレベル電位 V_{SS} が印加される。これらの結果、出力信号S R O U Tはローレベルになる。

[0072] 次に、入力端子I N bに入力される信号 (エンドパルスE P 1、E P 2、又は、四段後 (各シフトレジスタ内で考えると二段後) の単位回路の出力信号。以下、入力信号I N bとも言う。) がローレベルからハイレベルに変化すると、トランジスタ T_{r4} はオン状態になる。トランジスタ T_{r4} がオン状態になると、ノード $n_{et A}$ にはローレベル電位 V_{SS} が印加され、ノード $n_{et A}$ の電位はローレベルに変化し、出力トランジスタ T_{r1} はオフ状態になる。

[0073] 次に、入力信号I N bがローレベルに変化すると、トランジスタ T_{r4} はオフ状態になる。このとき、ノード $n_{et A}$ はフローティング状態になるが、出力トランジスタ T_{r1} はオフ状態を保つ。入力信号I N aが次のハイレベルになるまで、理想的には、出力トランジスタ T_{r1} はオフ状態を保ち、出力信号S R O U Tはローレベルを保つ。

[0074] そして、トランジスタ T_{r3} は、クロック信号C K Bがハイレベルの時にオン状態になる。このため、クロック信号C K Bがハイレベルになるたびに、出力端子O U Tにはローレベル電位 V_{SS} が印加される。このようにトラン

ジスタ T_r3 は、出力端子 OUT を繰り返しローレベル電位 VSS に設定し、出力信号 $SROUT$ を安定化させる機能を有する。

[0075] 偶数段目の単位回路についても、奇数段目の単位回路と同様に動作する。

[0076] 以上の結果、図 8 に示すように、ゲートバスライン $G1$ 、 $G2$ 、 $G3$ 、 $\dots$ に順次、ゲートパルスが出力されていく。

[0077] 次に、図 9～13 を参照して、本実施形態の液晶ディスプレイの額縁領域における構成について説明する。図 9、10 及び 13 は、実施形態 1 の液晶ディスプレイの額縁領域における構成を示す平面模式図である。図 11 は、図 9 の $C-D$ 線における断面模式図である。図 12 は、図 9 の $E-F$ 線における断面模式図である。

[0078] 図 9 に示すように、各ゲートドライバ内には、上述のゲートバスライン 13 と直交する方向に延在する配線群 78 が設けられている。配線群 78 は、ローレベル電位 VSS に設定されている配線 74 と、クロック信号 $CK1$ 又は $CK3$ を伝送する配線 75 と、クロック信号 $CK2$ 又は $CK4$ を伝送する配線 76 とを含んでいる。各配線内には、スリット状の開口部が形成されている。

[0079] 各シフトレジスタ 73a、73b は、配線群 78 及び表示領域の間の領域内に設けられており、出力トランジスタ T_r1 及びブートストラップ・コンデンサ CAP は、互いに隣接して配置されている。トランジスタ $T_r2 \sim T_r4$ は、互いに隣接して配置されている。トランジスタ $T_r2 \sim T_r4$ が配置されている領域（以下、制御素子領域とも言う。）77 は、配線群 78 及びブートストラップ・コンデンサ CAP の間に位置している。

[0080] 図 10 に示すように、シール 62 は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）63 内に形成されており、シール塗布領域 63 は、一方のエッジが配線群 78 とアレイ基板 10 のエッジ 10a との間に設定され、他方のエッジがブートストラップ・コンデンサ CAP 及び出力トランジスタ T_r1 の間に設定されている。

[0081] 各トランジスタ $T_r1 \sim T_r4$ は、ボトムゲート型の薄膜トランジスタであ

り、なかでも出力トランジスタ T_{r1} は、そのサイズが大きく、櫛歯状のソース・ドレイン構造を有する。これにより、大きな、例えば数十 μm ～数百 mm 程度のチャネル幅を確保している。

[0082] 図11に示すように、アレイ基板10は、ガラス基板等の透明な絶縁基板11を含んでおり、出力トランジスタ T_{r1} は、絶縁基板11上のゲート電極41と、ゲート電極41上のゲート絶縁膜42と、ゲート絶縁膜42上の i 層（半導体活性層）43と、 i 層43上の $n+$ 層44と、 $n+$ 層44上に各々設けられたソース電極45及びドレイン電極46とを有している。ソース電極45及びドレイン電極46は各々、複数の櫛歯部を有しており、ソース電極45及びドレイン電極46は、互いに櫛歯部が噛み合うように対向して配置されている。

[0083] 図12に示すように、ブートストラップ・コンデンサCAPは、絶縁基板11上の第1電極31と、第1電極31上に設けられ、出力トランジスタ T_{r1} と共用されているゲート絶縁膜42と、ゲート絶縁膜42上の第2電極32とを有している。第1電極31は、第1端子、出力トランジスタ T_{r1} のゲート（ゲート電極41）及びノード $netA$ に接続され、第2電極32は、第2端子、出力トランジスタ T_{r1} のソース（ソース電極45）及び出力端子OUTに接続されている。

[0084] ゲート電極41及び第1電極31は、モリブデン（Mo）、チタン（Ti）、アルミニウム（Al）、銅（Cu）、これらの合金等の材料を含む同じ導電膜から形成されている。ゲート電極41及び第1電極31は、これらの導電膜の積層膜から形成されてもよい。ゲート絶縁膜42は、窒化シリコン、酸化シリコン等の無機絶縁材料を含む透明な絶縁膜から形成されている。ゲート絶縁膜42は、これらの絶縁膜の積層膜を用いて形成されてもよい。 i 層（半導体活性層）43は、アモルファスシリコンから形成されており、 $n+$ 層44は、不純物（例えばリン）を含有するアモルファスシリコンから形成されている。ソース電極45、ドレイン電極46及び第2電極32は、Mo、Ti、Al、Cu、これらの合金等の材料を含む同じ導電膜から形成さ

れている。ソース電極４５、ドレイン電極４６及び第２電極３２は、これらの導電膜の積層膜から形成されてもよい。

[0085] ソース電極４５、ドレイン電極４６及び第２電極３２上には、パッシベーション膜として機能する透明な絶縁膜４７が形成されている。絶縁膜４７は、窒化シリコン膜、酸化シリコン膜等の無機絶縁膜から形成されている。なお、絶縁膜４７は、これらの無機絶縁膜の積層膜を用いて形成されてもよい。絶縁膜４７上には、平坦化膜として機能する透明な絶縁膜４８が形成されている。絶縁膜４８は、有機絶縁膜から形成されている。有機絶縁膜の材料としては、感光性アクリル樹脂等の感光性樹脂が挙げられる。

[0086] なお、トランジスタＴｒ２～Ｔｒ４は、出力トランジスタＴｒ１と平面構造が異なるだけであり、それらの断面構造は、出力トランジスタＴｒ１の断面構造と同様である。また、各図中、斜線が付された部材と、ゲート電極４１及び第１電極３１とは、同じ導電膜から形成されており、ドット状の模様が付された部材と、ソース電極４５、ドレイン電極４６及び第２電極３２とは、同じ導電膜から形成されている。更に、各図中、斜線が付された部材とドット状の模様が付された部材とが互いに重なる領域内に配置された白塗りの四角形の領域は、両部材を互いに接続するためのコンタクトホールを示している。

[0087] また、画素用ＴＦＴ４は、トランジスタＴｒ１～Ｔｒ４と同様にボトムゲート型の薄膜トランジスタであり、同じ工程を経てトランジスタＴｒ１～Ｔｒ４と一緒に形成される。

[0088] 本実施形態の大きな特徴の一つは、ブートストラップ・コンデンサＣＡＰ内に透光部（光透過部）が設けられていることである。より詳細には、第１電極３１には、少なくとも一つの開口部が形成されており、第２電極３２には、この開口部に対応して少なくとも一つの開口部が形成されている。例えば、図９に示すように、第１電極３１には、互いに平行なスリット状の複数の開口部３１ａが形成されており、第２電極３２には、開口部３１ａに対応してスリット状の複数の開口部３２ａが形成されている。開口部３２ａは、互

いに平行に配置されており、各開口部 3 2 a は、対応する開口部 3 1 a と対向している。そのため、これらの開口部を光は透過することができる。

[0089] したがって、本実施形態では、シール 6 2 が適切な場所に形成されているか、シール 6 2 が確実に硬化されているか等、シール 6 2 の状態をブートストラップ・コンデンサ C A P の透光部を通して容易に確認することができる。上述したように、アレイ基板 1 0 の額縁領域 8、特にシフトレジスタ 7 3 a、7 3 b のトランジスタが配置される領域には、B M 5 2 が対向して配置されている。そのため、対向基板 5 0 側からシール 6 2 の状態を検査することは困難であり、通常は検査できない。それに対して、本実施形態によれば、アレイ基板 1 0 側からシール 6 2 の状態を容易に検査することができる。

[0090] 次に、本実施形態の液晶ディスプレイの製造方法について説明する。

本実施形態の液晶ディスプレイは、一般的な方法により製造することができるが、より詳細には、まず、アレイ基板 1 0 と対向基板 5 0 とを通常の方法により各々作製する。

[0091] 次に、基板貼り合わせ工程と、液晶注入工程とを行う。これらの工程では、一般的には、滴下注入法（O D F 法）、又は、真空注入法を利用する。

[0092] 滴下注入法を利用する場合は、以下の通りである。

まず、スクリーン印刷法、ディスペンサ描画法等の方法により、アレイ基板 1 0 及び対向基板 5 0 のいずれかに硬化前のシールの材料（本明細書ではシール材とも言う。）を塗布する。シール材は、閉じた環状に塗布される。また、シール材が塗布された基板、又は、塗布されていない基板上に液晶材料を滴下する。

[0093] 滴下注入法を利用する場合において、シール材の種類は特に限定されず、一般的なシール材を使用することができ、例えば、光硬化性を有さず、熱硬化性を有するシール材（以下、熱硬化型シール材とも言う。）、熱硬化性を有さず、光硬化性（例えば紫外線硬化性）を有するシール材（以下、光硬化型シール材とも言う。）、光硬化性（例えば紫外線硬化性）及び熱硬化性を有するシール材（以下、光・熱併用型シール材とも言う。）が挙げられる。な

かでも、光硬化型シール材及び光・熱併用型シール材が好適である。シール材は一般的には、アクリル樹脂及び／又はエポキシ樹脂を含む。光・熱併用型シール材の具体例としては、例えば、エポキシアクリル系樹脂を主成分とするフォトレック S シリーズ（積水化学工業社製）が挙げられる。

[0094] 次に、真空下においてアレイ基板 10 と対向基板 50 を貼り合わせる。額縁領域 8 を狭くする観点から、シール材は、BM 52 に重なる場所に位置している。最後に、光照射及び／又は熱処理を行ってシール材を硬化させる。光・熱併用型シール材を用いた場合は、まず、アレイ基板 10 側から光を照射する。これは、対向基板 50 には BM 52 が形成されているためである。そして、熱処理を行ってシール材を本硬化させる。光照射及び熱処理の条件は、シール材の特性に合わせて適宜設定できるが、フォトレック S シリーズを用いた場合は、例えば、10 J 前後の紫外線を照射し、120℃で60分間、熱処理を行う。

[0095] 真空注入法を利用する場合は、以下の通りである。

まず、スクリーン印刷法、ディスペンサ描画法等の方法により、アレイ基板 10 及び対向基板 50 のいずれかにシール材を塗布する。シール材は、液晶注入口が形成される領域を除いて、環状に塗布される。

[0096] 真空注入法を利用する場合において、シール材の種類は特に限定されず、一般的なシール材を使用することができ、例えば、熱硬化型シール材、光硬化型シール材、光・熱併用型シール材が挙げられる。なかでも、熱硬化型シール材が好適である。

[0097] 次に、アレイ基板 10 と対向基板 50 を貼り合わせる。額縁領域 8 を狭くする観点から、シール材は、BM 52 に重なる場所に位置している。次に、光照射及び／又は熱処理を行ってシール材を硬化させる。このとき、シール材が塗布されていなかった部分には開口部である液晶注入口が形成される。次に、真空下において液晶注入口を液晶材料中に浸し、その後、大気圧下に戻して液晶注入口を通してアレイ基板 10 及び対向基板 50 の間に液晶材料を注入する。最後に、液晶注入口を封止する。

[0098] 一般的に、液晶パネルの額縁領域が狭くなると、シール塗布領域が表示領域に接近し、シフトレジスタ上にもシールが形成されることがある。また、ゲートバスラインに接続される出力トランジスタ及びブートストラップ・コンデンサのサイズは大きい。したがって、この出力トランジスタ及びブートストラップ・コンデンサ上に光硬化型シール材又は光・熱併用型シール材が塗布されると、光が出力トランジスタ及びコンデンサに遮られるためシールに未硬化部が発生することが懸念される。未硬化部が発生すると、アレイ基板及び対向基板の間の結合力（接着強度）が低下する。また、未硬化部のシール材成分が表示領域に拡散し、表示品位を低下させるおそれがある。すなわち、表示領域の端部において、表示異常が生じる可能性が高くなる。

[0099] 他方、本実施形態では、出力トランジスタ T_{r1} をシール 62 からできるだけ遠ざけ、表示領域 7 にできるだけ近づけている。その代わりに、ブートストラップ・コンデンサ CAP を表示領域 7 からできるだけ遠ざけ、シール 62 にできるだけ近づけている。そのため、ブートストラップ・コンデンサ CAP が表示領域 7 からより遠い場所（アレイ基板 10 のエッジ 10a により近い場所）に配置され、出力トランジスタ T_{r1} が表示領域 7 により近い場所に配置されている。また、出力トランジスタ T_{r1} が、ブートストラップ・コンデンサ CAP の表示領域 7 側に配置され、ブートストラップ・コンデンサ CAP 及び表示領域 7 の間の領域内に配置されている。更に、上述のように、ブートストラップ・コンデンサ CAP に透光部が設けられている。以上より、光硬化型シール材又は光・熱併用型シール材を確実に硬化させることができる。その結果、基板間の結合力の低下と、未硬化部のシール材成分の表示領域への拡散に起因する表示品位の低下とを抑制でき、更に、額縁領域 8 を狭くすることができる。

[0100] なお、出力トランジスタ T_{r1} に透光部を設けたり、出力トランジスタ T_{r1} を複数の部分に分割したりすることも考えられるが、透光部からまわり込んだ光に起因してオフリーク電流が増加する等、TFT の特性の安定性の観点からは、好ましくない。

[0101] また、本実施形態において、シール62は、シール塗布領域63内に配置され、かつ、所望の接着力が確保できる限り、その配置場所及び幅の大きさは特に限定されない。シール62は、図10に示したように、ブートストラップ・コンデンサCAPに重ならなくてもよいし、図13に示すように、ブートストラップ・コンデンサCAPの一部又は全部に重なってもよい。他方、シール62は、出力トランジスタTr1に重ならないように形成されることが好ましい。

[0102] なお、ブートストラップ・コンデンサCAPの面積は、透光部の分だけ大きくなる。しかしながら、上述のように、ブートストラップ・コンデンサCAP上までシール塗布領域63を広げることができ、そして、シール62を表示領域7の近くまで配置することができる。したがって、ブートストラップ・コンデンサCAPの面積が増加したとしても、額縁領域8の幅は小さくすることができる。

[0103] (実施形態2)

実施形態2の液晶ディスプレイは、ブートストラップ・コンデンサの構造が異なることを除いて、実施形態1の液晶ディスプレイと実質的に同じである。図14は、実施形態2の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。図15は、図14のJ-K線における断面模式図である。

[0104] 図14及び15に示すように、本実施形態において、ブートストラップ・コンデンサCAPは、絶縁膜48上の第3電極33を更に有している。

[0105] 第3電極33は、第1電極31及び第2電極32を覆うように形成されており、第1電極31上においてゲート絶縁膜42、絶縁膜47及び絶縁膜48を貫通するコンタクトホール34を通して第1電極31に接続されている。そして、第2電極32を挟み込むようにして、第1電極31及び第3電極33が配置されている。したがって、第2電極32及び第3電極33の間にも容量が形成される。

[0106] 第3電極33は、インジウム酸化スズ(ITO: Indium Tin O

xide)、酸化インジウム亜鉛 (IZO: Indium Zinc Oxide) 等の透明導電材料を含む透明導電膜から形成されている。したがって、光は第3電極33を透過することができる。なお、第3電極33は、これらの透明導電膜の積層膜を用いて形成されてもよい。また、第3電極33は、画素電極9及び／又は補助容量電極と同じ導電膜から形成されてもよい。また、IPS (In Plane Switching) モード、FFS (Fringe Field Switching) モード等の横電界を利用する液晶モードを採用する場合は、第3電極33は、共通電極と同じ導電膜から形成されてもよい。

[0107] 本実施形態によれば、実施形態1で説明した効果、例えば、シールの状態を容易に検査できるといった効果やシール材を十分に硬化させるといった効果を維持しつつ、狭い領域でもブートストラップ・コンデンサCAPの容量を大きくすることができる。したがって、ブートストラップ・コンデンサCAPを小さくすることができ、より一層の挟額縁化が可能である。

[0108] なお、本実施形態において、例えば、TNモード、VAモード等の縦電界を利用する液晶モードを採用する場合は、対向基板50は、対向電極を有しているので、シール材には導通材料（例えば、金等の金属をコーティングした樹脂ビーズ）が混入されないことが好ましい。これは、シール材が導電材料を含むと、対向電極が第3電極31とリークする可能性があるためである。したがって、上述の場合は、シール材には導通材料を混入せずに、コモン転移電極14上にのみ選択的に導通材料を塗布することが好ましい。例えば、シリンジによりコモン転移電極14上にのみカーボンペーストを塗布してもよい。

[0109] また、第3電極33には通常、開口部を設ける必要はないが、透光部に対応して少なくとも一つの開口部及び／又は切り欠き部が形成されてもよい。

[0110] (実施形態3)

実施形態3の液晶ディスプレイは、シフトレジスタ中の素子のレイアウトが異なることを除いて、実施形態1の液晶ディスプレイと実質的に同じである

。図 1 6 は、実施形態 3 の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[0111] 図 1 6 に示すように、本実施形態では、出力トランジスタ T_{r1} 及びブートストラップ・コンデンサ CAP は、配線群 7 8 及び制御素子領域 7 7 の間に配置されている。

[0112] そして、本実施形態では、出力トランジスタ T_{r1} は、ブートストラップ・コンデンサ CAP に対してアレイ基板 1 0 のエッジ 1 0 a 側、すなわち、ブートストラップ・コンデンサ CAP 及びエッジ 1 0 a の間の領域内に配置されている。また、出力トランジスタ T_{r1} は、シール 6 2 の下に配置されている。更に、ブートストラップ・コンデンサ CAP は、出力トランジスタ T_{r1} 及び表示領域の間の領域内に配置され、ブートストラップ・コンデンサ CAP には、上述のように、少なくとも一つの開口部（透光部）が形成されている。このように、出力トランジスタ T_{r1} をシール 6 2 で覆うことによって、出力トランジスタ T_{r1} に対応する領域においてシール 6 2 に未硬化部が発生するおそれがある。しかしながら、未硬化部の表示領域側の部分は、ブートストラップ・コンデンサ CAP の透光部を通して光が照射されるため、安定的に硬化することができる。したがって、未硬化部のシール材成分が表示領域内に拡散することを防止することができる。また、本実施形態では、実施形態 1 に比べて、シール 6 2 を表示領域のより近くまで配置することができるので、額縁領域をより狭くすることができる。

[0113] （実施形態 4）

実施形態 4 の液晶ディスプレイは、シフトレジスタ中の素子のレイアウトが異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。図 2 2 は、実施形態 4 の液晶ディスプレイの額縁領域における構成を示す平面模式図である。図 2 3 は、図 2 2 の M-N 線における断面模式図である。

[0114] 図 2 2 に示すように、本実施形態では、ブートストラップ・コンデンサ CAP は、2 以上の部分、例えばコンデンサ部分 $CAP(1)$ 及びコンデンサ部

分CAP (2) に分割されている。各コンデンサ部分CAP (1)、CAP (2) には透光部が形成されている。そして、その中の1つ、例えばコンデンサ部分CAP (2) は、他のコンデンサ部分と比べて表示領域からより遠い位置に配置され、配線群78及び制御素子領域77の間に配置されている。このことにより、実施形態1に比べて制御素子領域77を表示領域により近づけることが可能となり、アレイ基板のエッジ10aからのトランジスタTr2～Tr4までの距離が拡大する。したがって、外部からの水分侵入等によるトランジスタTr2～Tr4の特性劣化に対するマージンを確保することができる。

[0115] コンデンサ部分CAP (1) は、実施形態1で説明したブーツストラップ・コンデンサCAPと平面構造が異なるだけであり、その断面構造は、実施形態1で説明したブーツストラップ・コンデンサCAPの断面構造と同様である。すなわち、コンデンサ部分CAP (1) は、絶縁基板11上の第1電極31と、第1電極31上のゲート絶縁膜42と、ゲート絶縁膜42上の第2電極32とを有している。第1電極31は、第1端子、出力トランジスタTr1のゲート（ゲート電極）及びノードnet Aに接続され、第2電極32は、第2端子、出力トランジスタTr1のソース（ソース電極）及び出力端子OUTに接続されている。

[0116] 図23に示すように、コンデンサ部分CAP (2) は、絶縁基板11上の第1電極35と、第1電極35上のゲート絶縁膜42と、ゲート絶縁膜42上の第2電極36とを有している。第1電極35には、互いに平行なスリット状の複数の開口部35aが形成されており、第2電極36には、開口部35aに対応してスリット状の複数の開口部36aが形成されている。開口部36aは、互いに平行に配置されており、各開口部36aは、対応する開口部35aと対向している。そのため、これらの開口部を光は透過することができる。

[0117] 電極35及び36の一方は、第1電極31を介して、第1端子、出力トランジスタTr1のゲート（ゲート電極）及びノードnet Aに接続され、電極

35及び36の他方は、第2電極32を介して、第2端子、出力トランジスタTr1のソース（ソース電極）及び出力端子OUTに接続されている。ノードnetAに接続される電極と、出力端子OUTに接続される電極との配置場所は、コンデンサ部分CAP（1）及びCAP（2）の間で、互いに上下入れ替わっていてもよい。コンデンサ部分CAP（1）では、下層の第1電極31がノードnetAに接続され、上層の第2電極32が出力端子OUTに接続されているが、コンデンサ部分CAP（2）では、上層の第2電極36がノードnetAに接続されてもよく、下層の第1電極35が出力端子OUTに接続されてもよい。各電極31、32、35及び36の接続先は、制御素子領域77のレイアウトを考慮して、出力端子OUT及びノードnetAのうちの接続しやすいほうを適宜選択することができる。

[0118] コンデンサ部分CAP（1）及びCAP（2）を互いに接続する2本の配線は、狭額縁化の観点からは制御素子領域77内の空きスペースに配置されることが好ましく、この場合、上記2本の配線は各々、制御素子領域77内の立体的な配線構造に応じて、電極31及び35が存在する下の電極層と電極32及び36が存在する上の電極層との間で繋ぎ替えられることが好ましい。

[0119] （実施形態5）

実施形態5の液晶ディスプレイは、コンデンサ部分CAP（2）の平面構造が異なることを除いて、実施形態4の液晶ディスプレイと実質的に同じである。図24は、実施形態5の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[0120] 図24に示すように、本実施形態では、コンデンサ部分CAP（2）には透光部が形成されておらず、コンデンサ部分CAP（2）の第1電極35及び第2電極36には開口部が形成されていない。本実施形態は、各電極35、36の幅が十分に細い場合、例えば、10 μ m以下の場合に好適である。

[0121] （実施形態6）

実施形態6の液晶ディスプレイは、シフトレジスタ中の素子のレイアウトが

異なることを除いて、実施形態１の液晶ディスプレイと実質的に同じである。図２５は、実施形態６の液晶ディスプレイの額縁領域における構成を示す平面模式図である。図２６は、図２５のＰ－Ｑ線における断面模式図である。

[0122] 図２５に示すように、本実施形態では、ブートストラップ・コンデンサＣＡＰは、２以上の部分、例えばコンデンサ部分ＣＡＰ（１）及びコンデンサ部分ＣＡＰ（２）に分割されている。コンデンサ部分ＣＡＰ（２）には透光部が形成されているが、コンデンサ部分ＣＡＰ（１）には透光部が形成されていない。そして、透光部が形成されたコンデンサ部分ＣＡＰ（２）は、コンデンサ部分ＣＡＰ（１）と比べて表示領域からより遠い位置に配置され、配線群７８及び制御素子領域７７の間に配置されている。このことにより、実施形態１に比べて制御素子領域７７を表示領域により近づけることが可能となり、アレイ基板のエッジ１０ａからのトランジスタＴｒ２～Ｔｒ４までの距離が拡大する。したがって、外部からの水分侵入等によるトランジスタＴｒ２～Ｔｒ４の特性劣化に対するマージンを確保することができる。

[0123] コンデンサ部分ＣＡＰ（１）は、実施形態１で説明したブートストラップ・コンデンサＣＡＰと平面構造が異なるだけであり、その断面構造は、実施形態１で説明したブートストラップ・コンデンサＣＡＰの断面構造と同様である。すなわち、コンデンサ部分ＣＡＰ（１）は、絶縁基板１１上の第１電極３１と、第１電極３１上のゲート絶縁膜４２と、ゲート絶縁膜４２上の第２電極３２とを有している。第１電極３１は、第１端子、出力トランジスタＴｒ１のゲート（ゲート電極）及びノードｎｅｔＡに接続され、第２電極３２は、第２端子、出力トランジスタＴｒ１のソース（ソース電極）及び出力端子ＯＵＴに接続されている。ただし、第１電極３１及び第２電極３２には開口部が形成されていない。

[0124] 図２６に示すように、コンデンサ部分ＣＡＰ（２）は、絶縁基板１１上の第１電極３５と、第１電極３５上のゲート絶縁膜４２と、ゲート絶縁膜４２上の第２電極３６とを有している。第１電極３５には、互いに平行なスリット

状の複数の開口部 35 a が形成されており、第 2 電極 36 には、開口部 35 a に対応してスリット状の複数の開口部 36 a が形成されている。開口部 36 a は、互いに平行に配置されており、各開口部 36 a は、対応する開口部 35 a と対向している。そのため、これらの開口部を光は透過することができる。

[0125] 第 1 電極 35 は、第 1 電極 31 を介して、第 1 端子、出力トランジスタ T_{r1} のゲート（ゲート電極）及びノード n_{etA} に接続され、第 2 電極 36 は、第 2 電極 32 を介して、第 2 端子、出力トランジスタ T_{r1} のソース（ソース電極）及び出力端子 O_{UT} に接続されている。図 25 には、ノード n_{etA} に接続される電極と、出力端子 O_{UT} に接続される電極との互いの上下の配置関係がコンデンサ部分 $CAP(1)$ 及び $CAP(2)$ の間で同じある例を示しているが、これらの配置関係は、制御素子領域 77 内の空きスペースの形状及び／又は大きさに応じて、実施形態 4 で説明したように入れ替わっていてもよい。

[0126] （実施形態 7）

実施形態 7 の液晶ディスプレイは、シフトレジスタ中の素子のレイアウトが異なることを除いて、実施形態 6 の液晶ディスプレイと実質的に同じである。図 27 は、実施形態 7 の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

[0127] 図 27 に示すように、本実施形態では、出力トランジスタ T_{r1} 及びコンデンサ部分 $CAP(1)$ の配置場所が互いに入れ替わっており、出力トランジスタ T_{r1} 及び制御素子領域 77 は、コンデンサ部分 $CAP(1)$ 及び $CAP(2)$ の間に配置されている。これにより、実施形態 6 の場合に比べて、出力トランジスタ T_{r1} に接続される配線 75 のより近くに出力トランジスタ T_{r1} を配置することが可能となる。そのため、コンデンサ部分 $CAP(1)$ の大きさを確保でき、また、コンデンサ部分 $CAP(1)$ と、出力トランジスタ T_{r1} を配線 75 に接続する配線との間で短絡が生じるのを抑制することができる。

[0128] 以下、実施形態１～７の種々の変形例について説明する。図１７～１９は、実施形態１～７の液晶ディスプレイにおけるブートストラップ・コンデンサの平面模式図である。図１７～１９は各々、ブートストラップ・コンデンサCAP、コンデンサ部分CAP（１）、又は、コンデンサ部分CAP（２）を示している。

[0129] 実施形態１～７において、ブートストラップ・コンデンサに形成される開口部の形状及び配列は特に限定されず、例えば、図１７に示すように、開口部３１a、３２a、３５a及び３６aは、上下及び左右に配列されていてもよい。また、第１電極３１、３５には、少なくとも一つの切り欠き部が形成されていてもよく、第２電極３２、３６には、この切り欠き部に対応して少なくとも一つの切り欠き部が形成されていてもよい。例えば、図１８及び１９に示すように、第１電極３１、３５には、互いに平行なスリット状の複数の切り欠き部３１b、３５bが形成されていてもよく、第２電極３２、３６には、切り欠き部３１b、３５bに対応してスリット状の複数の切り欠き部３２b、３６bが形成されていてもよい。切り欠き部３２b、３６bは、互いに平行に配置されており、各切り欠き部３２b、３６bは、対応する切り欠き部３１b、３５bと対向している。また、ブートストラップ・コンデンサには、開口部と切り欠き部が混在していてもよい。更に、開口部と切り欠き部が互いに対向していてもよい。

[0130] 各開口部及び切り欠き部の数及びサイズと、第１及び第２電極の各線状部分の幅とは特に限定されず、適宜、設定することができる。ただし、光硬化型シール材及び光・熱併用型シール材を十分に硬化させる観点からは、各開口部及び切り欠き部の幅は、 $5\mu\text{m}$ 以上が好ましく、 $10\mu\text{m}$ 以上がより好ましく、各線状部分の幅は、 $40\mu\text{m}$ 以下が好ましく、 $10\mu\text{m}$ 以下がより好ましい。

[0131] また、実施形態１～７では、出力トランジスタTr１と、ブートストラップ・コンデンサCAP又はコンデンサ部分CAP（１）との間に隙間を設け、これらを短い配線で互いに接続した構造について説明したが、シール及びシ

ール塗布領域のエッジの位置によっては、これらの間には隙間がなくてもよく、これらは互いに一体的に形成されていてもよい。例えば、ゲート電極41と第1電極31との間には隙間がなくてもよく、第2電極32と、それに隣接するソース電極45の櫛歯部との間には隙間がなくてもよい。前者の構造によれば、隙間の分だけ透光部の面積を確保することができるので、実施形態1で説明した効果、例えば、シールの状態を容易に検査できるといった効果やシール材を十分に硬化させるといった効果をより効果的に奏することができる。他方、後者の構造によれば、より一層の挟額縁化が可能である。

[0132] また、各TFTの半導体材料は特に限定されず、適宜、選択することができる。例えば、シリコン等の14属元素の半導体、酸化物半導体等が挙げられる。更に、各TFTの半導体材料の結晶性は特に限定されず、単結晶、多結晶、非晶質、又は、微結晶であってもよく、これらの2種以上の結晶構造を含んでもよい。しかしながら、出力トランジスタがアモルファスシリコンを含む場合、その駆動能力を大きくする観点から、出力トランジスタのチャネル幅と、ブートストラップ・コンデンサのサイズとは特に大きくなる。したがって、出力トランジスタがアモルファスシリコンを含む場合に、シールの状態を容易に検査できるといった効果やシール材を十分に硬化させるといった効果を顕著に発揮することができる。なお、酸化物半導体は、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、アルミニウム(Al)及びシリコン(Si)からなる群より選ばれる少なくとも一種の元素と、酸素(O)とを含むことが好ましく、In、Ga、Zn及びOを含むことがより好ましい。

[0133] また、実施形態1～7において、透光部（開口部及び／又は切り欠き部）が形成されるブートストラップ・コンデンサの数と配置場所は特に限定されず、適宜設定することができる。すなわち、少なくとも一つのブートストラップ・コンデンサに透光部を形成すればよく、全てのブートストラップ・コンデンサが透光部を含んでもよいし、一部のブートストラップ・コンデンサのみが透光部を含んでいてもよい。ただし、上述の効果を特に効果的に発揮す

る観点からは、全てのブートストラップ・コンデンサに透光部（開口部及び／又は切り欠き部）を形成することが好ましい。

[0134] また、実施形態１～７において、各ゲートドライバの素子及び配線の種類は、出力トランジスタ及びブートストラップ・コンデンサを除いて、特に限定されず、適宜決定することができる。

[0135] また、実施形態１～７では、液晶ディスプレイについて説明したが、本発明に係る表示装置は、出力トランジスタ及びブートストラップ・コンデンサを含むシフトレジスタを備える表示装置であればよく、液晶ディスプレイに特に限定されない。例えば、マイクロカプセル型電気泳動方式の電子ペーパー、有機又は無機ＥＬディスプレイ等であってもよい。

[0136] （実施形態８）

以下にアクティブマトリクス型有機ＥＬディスプレイに係る実施形態８を示す。

図２０は、実施形態８のアクティブマトリクス型有機ＥＬディスプレイに含まれる単位画素（画素又はサブ画素）の回路構成を示す回路図である。図２０に示すように、この画素回路には、６つの画素用トランジスタ T_{r11} ～ T_{r16} と、１つの有機ＥＬ素子１６１とが設けられている。トランジスタ T_{r13} は、上記実施形態（Ｃ）における第２の画素用トランジスタに相当し、トランジスタ T_{r16} は、上記実施形態（Ｂ）における画素用トランジスタと、上記実施形態（Ｃ）における第１の画素用トランジスタとに相当する。

[0137] トランジスタ T_{r11} は、バスライン（以下、初期化信号線とも言う。）１１５から入力される信号（初期化信号）に応答して、所定の電位に設定された配線（以下、初期化電圧線とも言う。）１２０を介してコンデンサ C の電荷を放電させる。その結果、トランジスタ T_{r14} のゲート電圧が初期化される。

[0138] トランジスタ T_{r12} は、トランジスタ T_{r14} の閾値電圧のばらつきを補償する。

- [0139] トランジスタ T_{r13} は、ゲートバスライン 113 から入力されるゲート信号（走査信号）に応答して、データバスライン 112 から入力されるデータ信号のスイッチングを行う。ゲートバスライン 113 は、上記実施形態（C）における第 1 のバスラインに相当する。なお、データ信号とは、外部から入力された画像信号に基づいてディスプレイ又はデータドライバで生成された信号であり、単位画素の階調データを含んでいる。
- [0140] トランジスタ T_{r14} は、トランジスタ T_{r13} を介して入力されるデータ信号に応答して、有機 EL 素子 161 に供給される電流量を制御する。
- [0141] トランジスタ T_{r15} は、バスライン（以下、発光制御線とも言う。）121 から入力される信号に応答して、所定の電位に設定された配線（以下、陽極側電源線とも言う。）122 からトランジスタ T_{r14} に供給される電流のスイッチングを行う。発光制御線 121 は、上記実施形態（B）におけるバスラインに相当する。
- [0142] トランジスタ T_{r16} は、発光制御線 121 から入力される信号に応答して、トランジスタ T_{r14} を介して有機 EL 素子 161 に供給される電流のスイッチングを行う。
- [0143] コンデンサ C は、トランジスタ T_{r14} に印加されたゲート電圧を保持するために設けられている。
- [0144] 有機 EL 素子 161 は、トランジスタ T_{r15} 、トランジスタ T_{r14} 及びトランジスタ T_{r16} を介して供給された電流に対応した輝度で発光する。有機 EL 素子 161 の陽極は、トランジスタ T_{r16} のドレインに接続され、有機 EL 素子 161 の陰極は、所定の電位に設定された配線（以下、陰極側電源線とも言う。）123 に接続されている。有機 EL 素子 161 としては、一般的なものを利用することができる。
- [0145] なお、本実施形態では、トランジスタ $T_{r11} \sim T_{r6}$ として、p チャネル型の TFT を用いた例を示している。
- [0146] 図 21 は、実施形態 8 のアクティブマトリクス型有機 EL ディスプレイに含まれる有機 EL 基板の平面模式図である。有機 EL 基板は、上記第 1 基板に

対応する。図 21 に示すように、初期化電圧線 120、ゲートバスライン 113 及び発光制御線 121 は、行方向に延在している。陽極側電源線 122 及びデータバスライン 112 は、列方向に延在している。なお、行方向に隣接する陽極側電源線 122 は、表示領域 107 内で相互に接続されてもよい。

[0147] 表示領域 107 外には、ゲートバスライン 113 用の駆動回路と、発光制御線 121 用の駆動回路とが設けられている。例えば、図 21 に示すように、表示領域 107 の左側にゲートバスライン 113 用の駆動回路 113D を設け、表示領域 107 の右側に発光制御線 121 用の駆動回路 121D を設けてもよい。また、表示領域 107 の左右両側にそれぞれゲートバスライン 113 用の駆動回路を設け、これらの外側（すなわち表示領域 107 からより遠い位置）にそれぞれ発光制御線 121 用の駆動回路を設けてもよい。この場合、発光制御線 121 は、ゲートバスライン 113 用の駆動回路内を通過して、発光制御線 121 用の駆動回路に接続される。

[0148] 初期化信号線 115 は、図 21 では図示していないが、初期化電圧線 120 等のバスラインと同じように行方向に延在しており、隣の行の画素用のゲートバスライン 113 に接続されてもよいし、初期化信号線 115 に専用に設けられた駆動回路（以下、初期化信号線用駆動回路とも言う。）に接続されてもよい。

[0149] 上述の駆動回路は各々、複数の単位回路を多段接続して構成されたシフトレジスタを含み得る。

[0150] 初期化電圧線 120、及び、陽極側電源線 122 は、それぞれ、表示領域 107 外で、配線（初期化電圧線用幹配線）120W、及び、配線（陽極電源線用幹配線）122W に接続されている。全ての有機 EL 素子 161 の陰極は、表示領域 107 内で相互に接続されており、表示領域 107 外で陰極側電源線 123 に接続されている。

[0151] 次に、本実施形態のアクティブマトリクス型有機 EL ディスプレイの駆動方法について説明する。

- [0152] 各行の画素には、１フレーム中に、初期化期間、書き込み期間及び発光期間の三つの期間（段階）がこの順に設けられている。
- [0153] まず、初期化期間では、初期化信号線１１５から入力されるオン信号によってトランジスタＴｒ１１をオン状態にし、初期化電圧線１２０を介してコンデンサＣの電荷を放電する。これにより、トランジスタＴｒ１４のゲート電圧が初期化される。
- [0154] 次に、書き込み期間では、ゲートバスライン１１３から入力されるオン信号に応じて、データバスライン１１２から入力される階調データをトランジスタＴｒ１４に書き込む。このとき、トランジスタＴｒ１４のゲート電圧は、データバスライン１１２から入力される電圧よりもトランジスタＴｒ１４の閾値電圧分だけ低い値となる。また、コンデンサＣにもトランジスタＴｒ１４のゲート電位に対応した電荷が充電される。
- [0155] 発光期間では、発光制御線１２１から入力されるオン信号によってトランジスタＴｒ１５及びトランジスタＴｒ１６をオン状態にし、トランジスタＴｒ１４のゲート電圧に応じた電流量の電流を有機ＥＬ素子１６１に供給する。この結果、有機ＥＬ素子１６１が発光する。
- [0156] 以上の三つの段階を、各行ごとに繰り返すことで表示を行う。
- [0157] 一般的な有機ＥＬ素子は、水分や酸素等により劣化しやすい。したがって、有機ＥＬ素子１６１の保護のために、上記第２基板に対応し、有機ＥＬ基板に対向する対向基板を設け、また、有機ＥＬ基板と対向基板と間にシールを設けている。これにより、両基板の間を密閉している。シールの材料としては、例えば、フリットガラス等が挙げられる。更に、両基板の接着強度を向上する観点から、シールは、フリットガラスが硬化した部分と、樹脂が硬化した部分とを含んでもよい。この樹脂部分は、フリットガラス部分の内側及び外側（すなわち、表示領域側及び基板のエッジ側）のいずれか一方側又は両側に設けられる。樹脂の具体例としては、例えば、光硬化性及び／又は熱硬化性のエポキシ樹脂、光硬化性及び／又は熱硬化性のアクリル樹脂、このような樹脂を含む組成物等が挙げられる。

- [0158] 本発明に係る表示装置におけるシフトレジスタは、上述した、ゲートバスライン 1 1 3 用の駆動回路、発光制御線 1 2 1 用の駆動回路、及び、初期化信号線用駆動回路に適用可能である。すなわち、これらの駆動回路は、実施形態 1 ～ 7 で説明した、出力トランジスタと、透光部（開口部及び／又は切り欠き部）が形成されたブーツストラップ・コンデンサとを含むことができる。そのため、本実施形態においても、実施形態 1 で説明した効果、例えば、シールの状態を容易に検査できるといった効果やシール材を十分に硬化させるといった効果を奏することができる。
- [0159] なお、実施形態 1 ～ 8 は、互いに組み合わせられてもよく、例えば、異なる構造のブーツストラップ・コンデンサを同じシフトレジスタ内に形成してもよいし、複数のシフトレジスタが互いに異なる構造のブーツストラップ・コンデンサを含んでいてもよい。
- [0160] また、実施形態 1 ～ 7 の変形例を実施形態 8 に適用してもよい。例えば、実施形態 8 において、ブーツストラップ・コンデンサに設けられる各開口部及び切り欠き部の幅は、 $5\ \mu\text{m}$ 又は $10\ \mu\text{m}$ 以上であってもよいし、各線状部分の幅は、 $40\ \mu\text{m}$ 又は $10\ \mu\text{m}$ 以下であってもよい。また、各 T F T の半導体材料は特に限定されず、例えば、シリコン等の 1 4 属元素の半導体、酸化物半導体等が挙げられる。また、各 T F T の半導体材料の結晶性は特に限定されず、単結晶、多結晶、非晶質、又は、微結晶であってもよく、これらの 2 種以上の結晶構造を含んでもよい。また、実施形態 1 ～ 7 と同様の観点から、実施形態 8 において、出力トランジスタは、アモルファスシリコンを含んでもよい。また、酸化物半導体は、I n、G a、Z n、A l 及び S i からなる群より選ばれる少なくとも一種の元素と、O とを含むことが好ましく、I n、G a、Z n 及び O を含むことがより好ましい。更に、実施形態 8 においても、透光部（開口部及び／又は切り欠き部）が形成されるブーツストラップ・コンデンサの数と配置場所は特に限定されず、例えば、全てのブーツストラップ・コンデンサが透光部を含んでもよいし、一部のブーツストラップ・コンデンサのみが透光部を含んでいてもよい。

符号の説明

- [0161] 1 : 液晶パネル
2 : 表示部
3 : 画素
4 : 画素用 T F T
5 : ソースバスライン用の駆動回路 (ソースドライバ)
6 a、6 b : ゲートバスライン用の駆動回路 (ゲートドライバ)
7、107 : 表示領域
8 : 額縁領域
9 : 画素電極
10 : アレイ基板
10 a : エッジ
11 : 絶縁基板
12、S1～Sm : ソースバスライン
13、113、G1～Gn : ゲートバスライン
14 : コモン転移用電極
16 : 共通幹配線
17 : コモンバスライン
18、19 : 引き出し線
25 : 入力配線
26、27、28、29、30 : 端子
31、35 : 第1電極
31 a、32 a、35 a、36 a : 開口部
31 b、32 b、35 b、36 b : 切り欠き部
32、36 : 第2電極
33 : 第3電極
34 : コンタクトホール
41 : ゲート電極

- 4 2 : ゲート絶縁膜
- 4 3 : i 層 (半導体活性層)
- 4 4 : n + 層
- 4 5 : ソース電極
- 4 6 : ドレイン電極
- 4 7、4 8 : 絶縁膜
- 5 0 : 対向基板
- 5 1 : 絶縁基板
- 5 2 : ブラックマトリクス (BM)
- 6 1 : 液晶層
- 6 2 : シール
- 6 3 : シール塗布領域
- 7 1 : 画素アレイ
- 7 2 : 表示制御回路
- 7 3 a、7 3 b : シフトレジスタ
- 7 4 ~ 7 6 : 配線
- 7 7 : 制御素子領域
- 7 8 : 配線群
- 1 1 2 : データバスライン
- 1 1 3 D : ゲートバスライン用の駆動回路
- 1 1 5 : 初期化信号線
- 1 2 0 : 初期化電圧線
- 1 2 0 W : 初期化電圧線用幹配線
- 1 2 1 : 発光制御線
- 1 2 1 D : 発光制御線用の駆動回路
- 1 2 2 : 陽極側電源線
- 1 2 2 W : 陽極電源線用幹配線
- 1 2 3 : 陰極側電源線

161 : 有機EL素子

Pij : 画素回路

SR1～SRn : 単位回路

INa、INb : 入力端子

CKA、CKB : クロック端子

VSS : 電源端子

OUT : 出力端子

Tr1～Tr4、Tr11～Tr16 : トランジスタ

CAP : ブートストラップ・コンデンサ

CAP(1)、CAP(2) : コンデンサ部分

C : コンデンサ

請求の範囲

- [請求項1] 第1基板と、前記第1基板に対向する第2基板と、前記第1基板及び前記第2基板の間に設けられたシールとを備える表示装置であって、前記第1基板は、絶縁基板と、前記絶縁基板上にモノリシック形成されたシフトレジスタと、複数のバスラインとを含み、前記シフトレジスタは、多段接続された複数の単位回路を含み、前記複数の単位回路は各々、クロック信号が入力されるクロック端子と、対応するバスラインに接続され、出力信号が出力される出力端子と、ソース及びドレインの一方が前記クロック端子に接続され、前記ソース及び前記ドレインの他方が前記出力端子に接続されたトランジスタと、第1端子が前記トランジスタのゲートに接続され、第2端子が前記出力端子に接続されたコンデンサとを含み、前記コンデンサは、第1電極と、前記第1電極上の絶縁層と、前記絶縁層上の第2電極とを含み、前記複数の単位回路のうちの少なくとも一つにおいて、前記第1電極には、第1切り欠き部及び／又は第1開口部が設けられ、前記第2電極には、前記第1切り欠き部及び／又は前記第1開口部に対向する第2切り欠き部及び／又は第2開口部が設けられる表示装置。
- [請求項2] 前記シールは、光硬化性を有する材料の硬化物を含む請求項1記載の表示装置。
- [請求項3] 前記材料は、熱硬化性を更に有する請求項2記載の表示装置。
- [請求項4] 前記トランジスタは、前記コンデンサと、前記第1基板の表示領域との間の領域内に配置され、前記シールは、前記トランジスタ上に配置されない請求項1～3のいずれかに記載の表示装置。
- [請求項5] 前記コンデンサは、前記トランジスタと、前記第1基板の表示領域との間の領域内に配置され、前記トランジスタは、前記シールに覆われ、

前記コンデンサの少なくとも一部は、前記シールの下に配置される請求項 1 ～ 3 のいずれかに記載の表示装置。

[請求項6] 前記コンデンサは、前記第 2 電極上の第 2 絶縁層と、前記第 2 絶縁層上の透明電極とを更に含み、
前記透明電極は、前記第 1 電極に接続される請求項 1 ～ 5 のいずれかに記載の表示装置。

[請求項7] 前記第 1 基板は、表示領域内に設けられた複数の画素回路を含み、
前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続された画素電極とを含み、
前記複数のバスラインは各々、対応する複数の画素用トランジスタのゲートに接続される請求項 1 ～ 6 のいずれかに記載の表示装置。

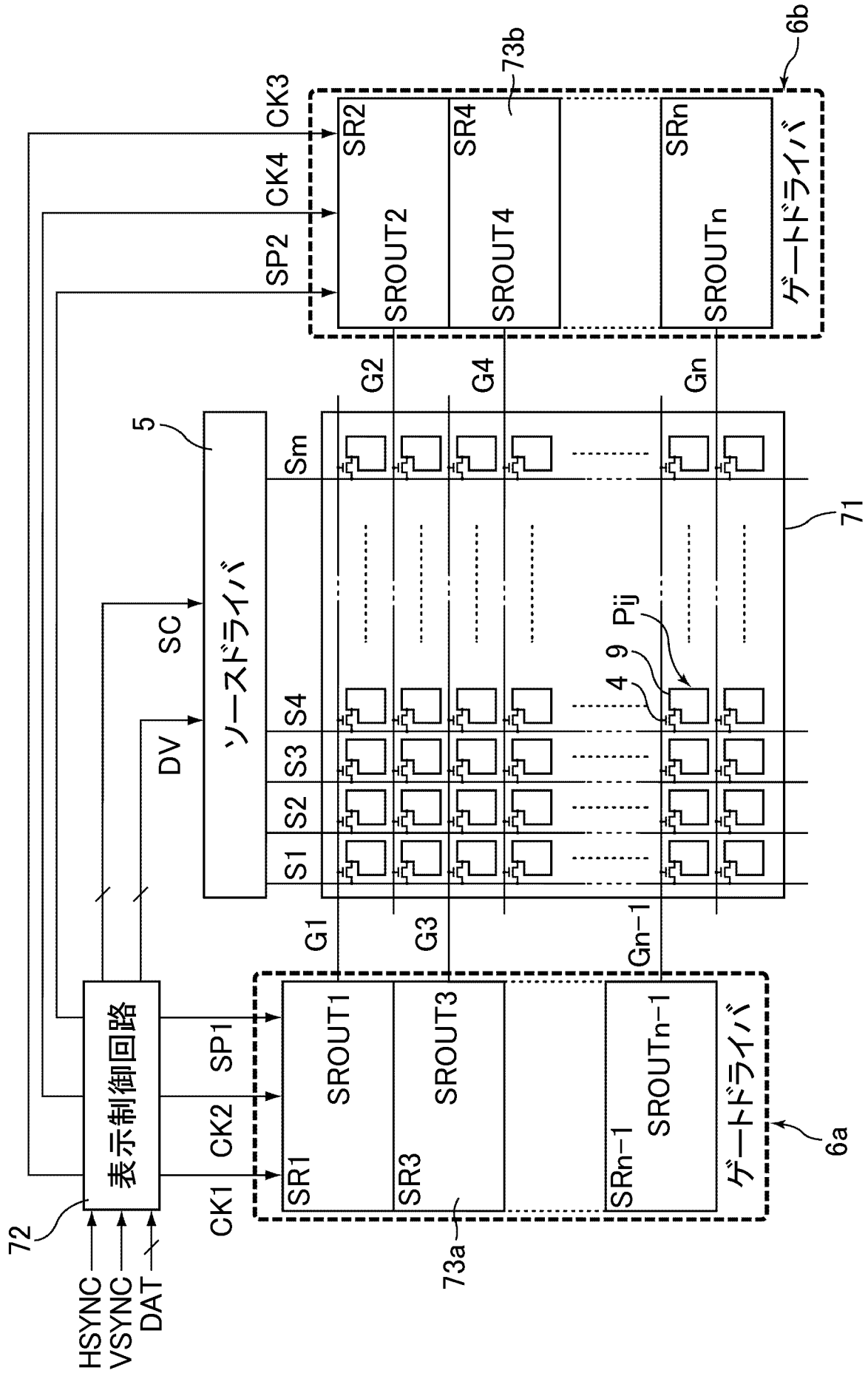
[請求項8] 前記第 1 基板は、表示領域内に設けられた複数の画素回路を含み、
前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続されたエレクトロルミネッセンス素子とを含み、
前記複数のバスラインは各々、対応する複数の画素用トランジスタのゲートに接続される請求項 1 ～ 6 のいずれかに記載の表示装置。

[請求項9] 前記複数のバスラインは、第 1 の複数のバスラインであり、
前記第 1 基板は、表示領域内に設けられた複数の画素回路と、複数のデータバスラインとを含み、
前記複数の画素回路は各々、第 1 の画素用トランジスタと、対応するデータバスラインに接続された第 2 の画素用トランジスタと、前記第 1 の画素用トランジスタに接続されたエレクトロルミネッセンス素子とを含み、
前記第 1 の複数のバスラインは各々、対応する複数の第 2 の画素用トランジスタのゲートに接続される請求項 1 ～ 6 のいずれかに記載の表示装置。

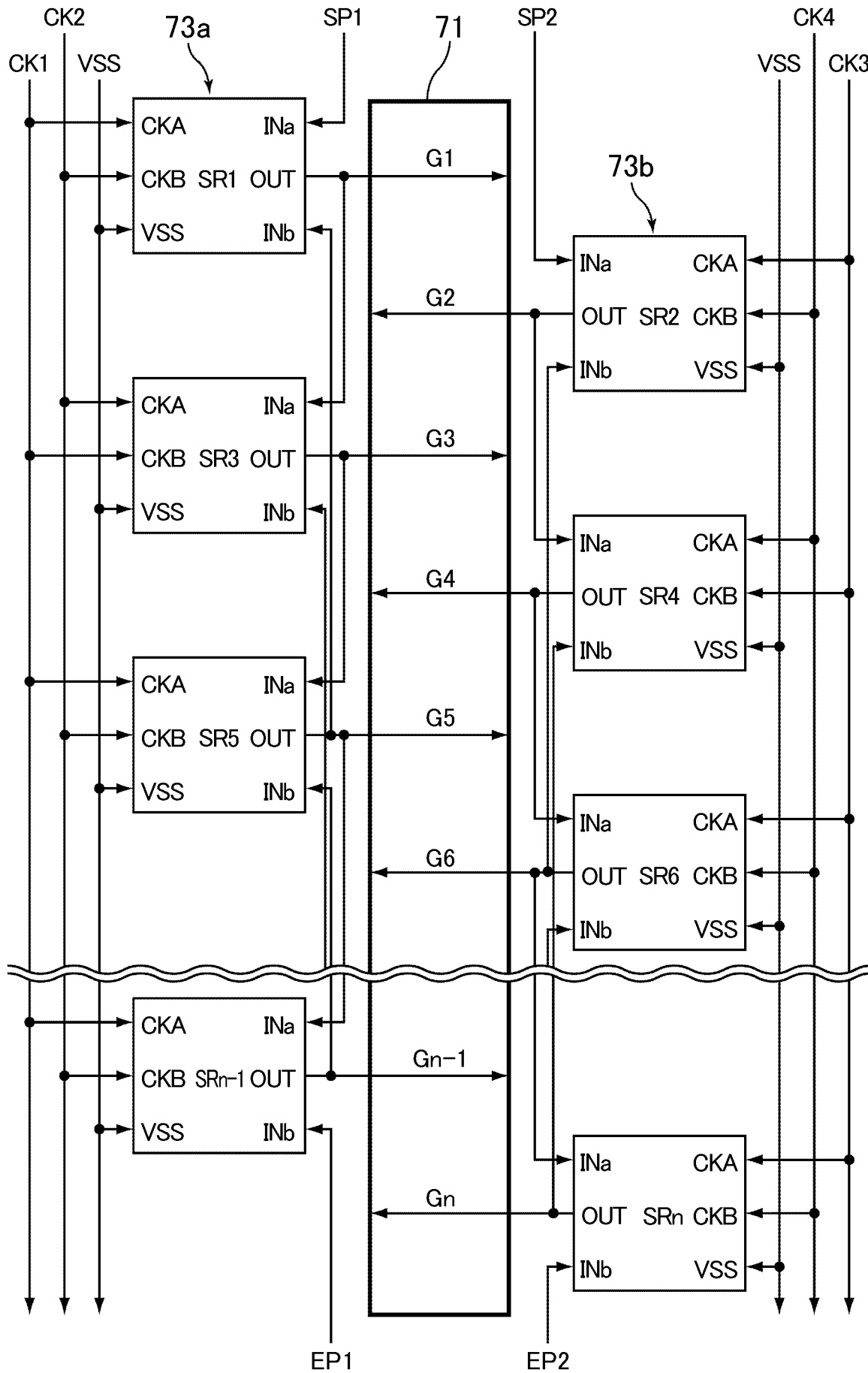
[請求項10] 前記トランジスタは、酸化物半導体を含む請求項 1 ～ 9 のいずれかに記載の表示装置。

[請求項11] 前記酸化物半導体は、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）及び酸素（O）を含む請求項10記載の表示装置。

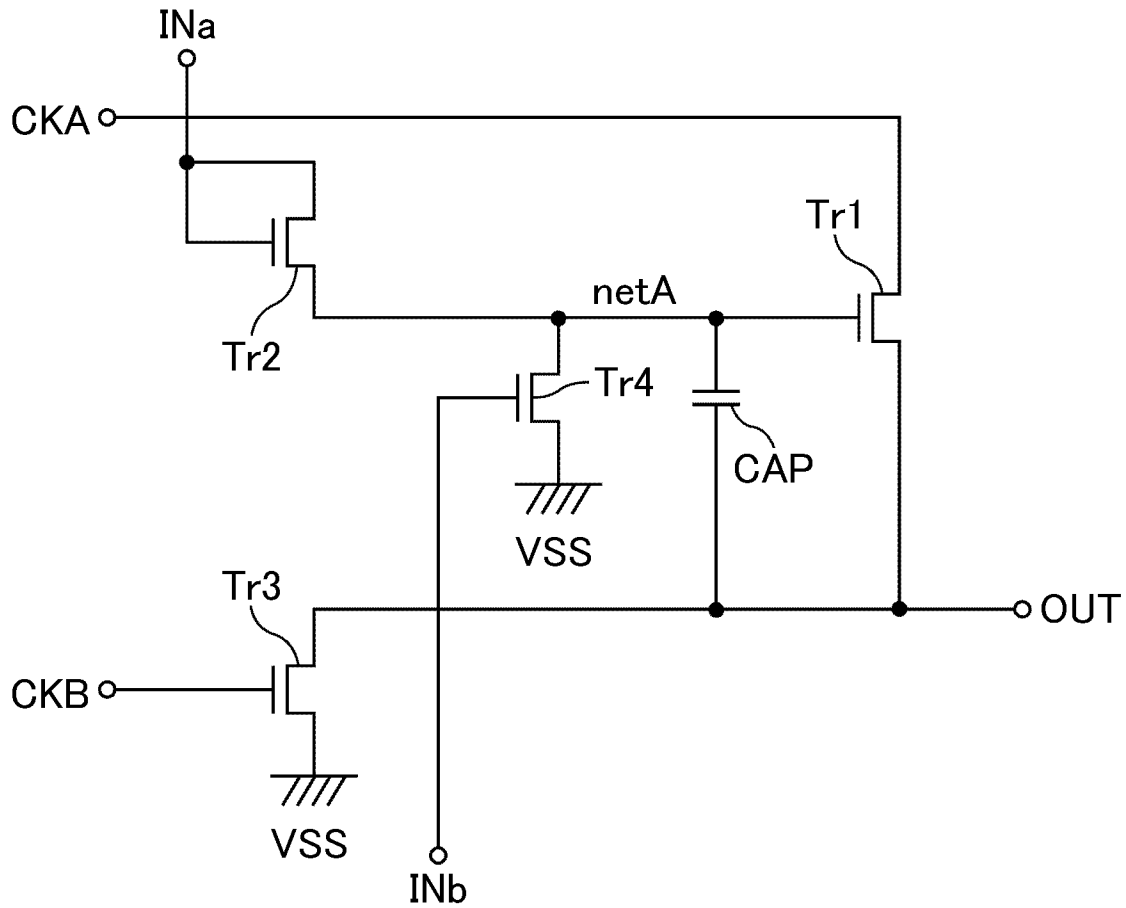
[図4]



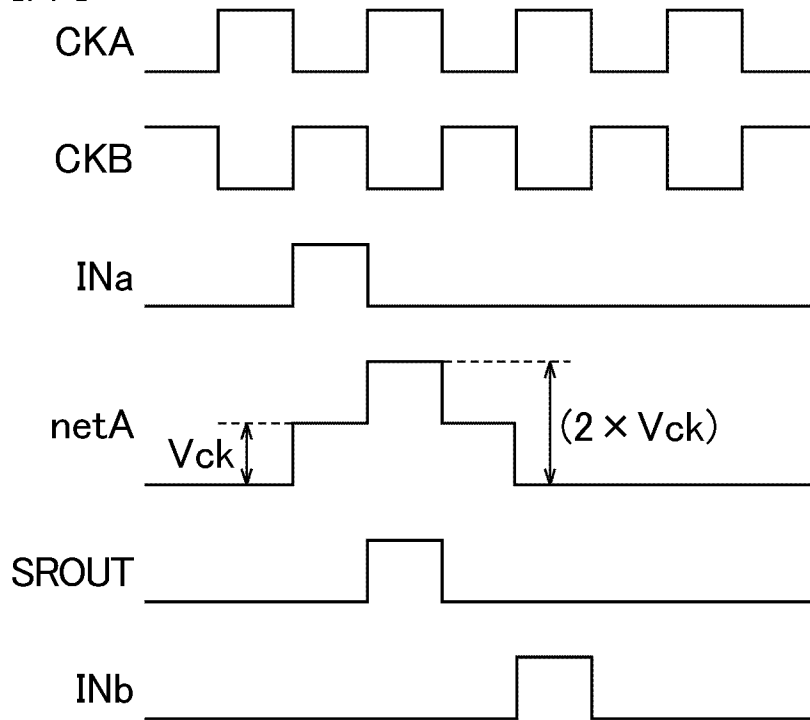
[図5]



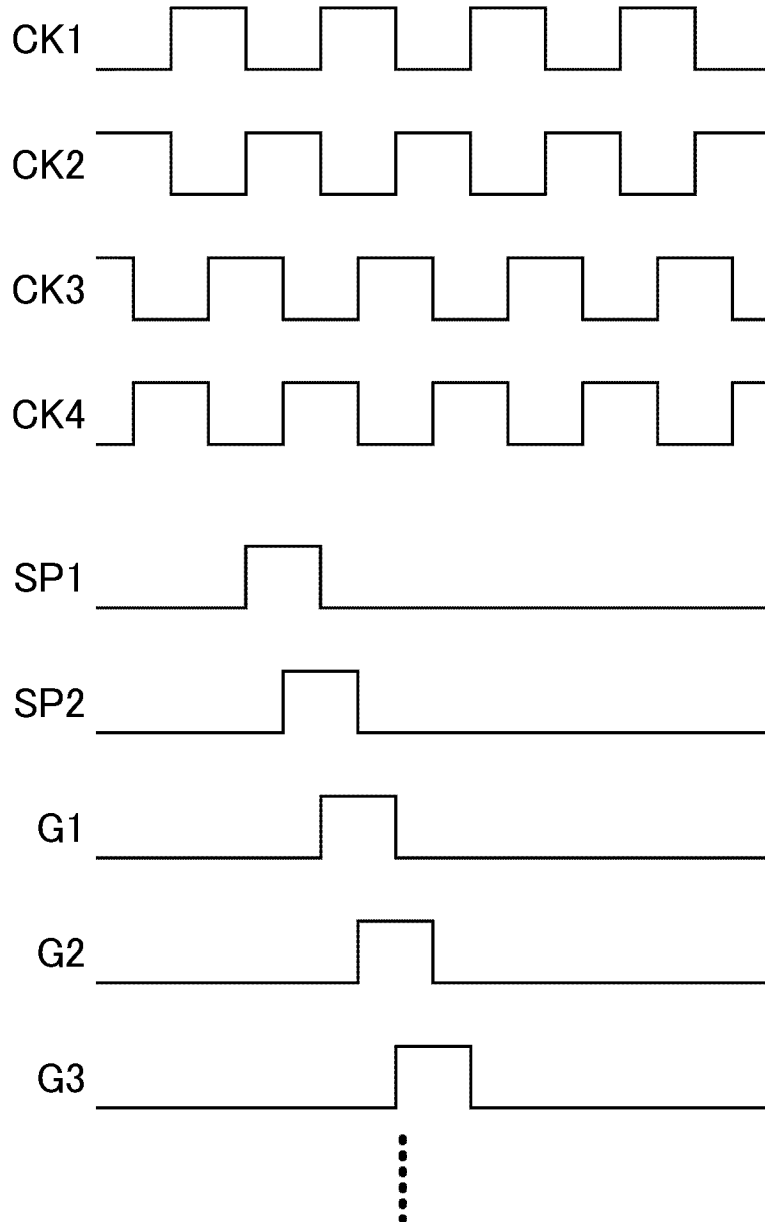
[図6]



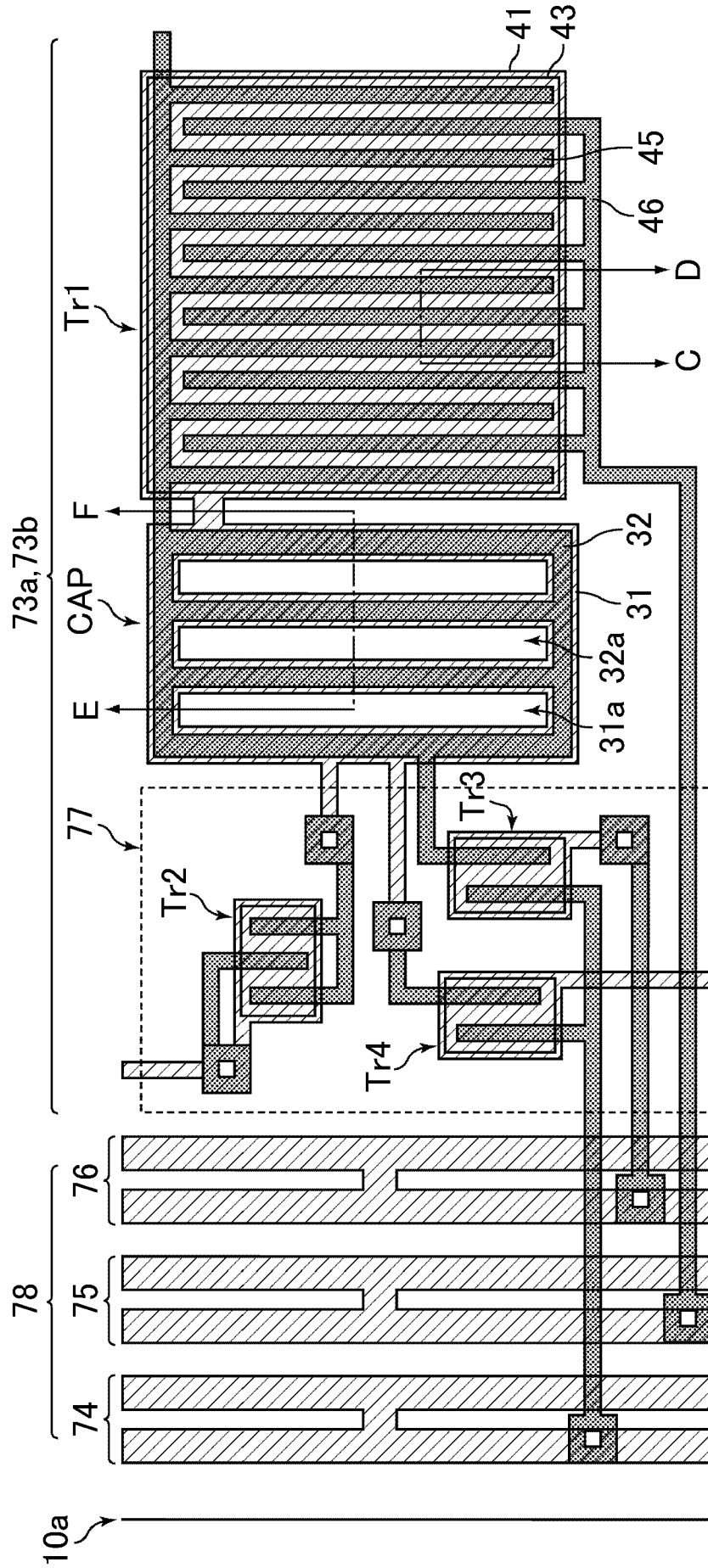
[図7]



[図8]

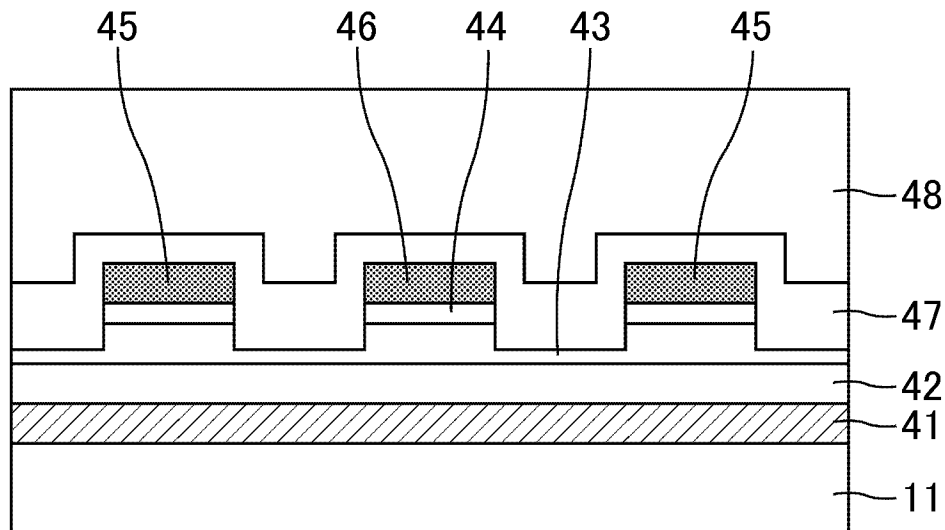


[図9]

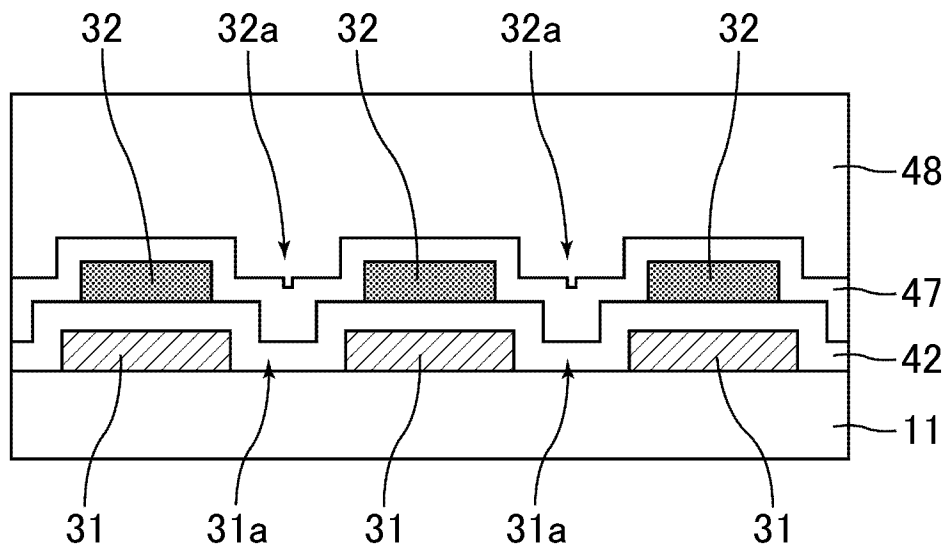


A cross-sectional view of a semiconductor device 10a. The device consists of a stack of layers 74, 75, and 76, which are patterned into a grid. A wiring layer 77 is formed on top of the stack, with conductive lines connecting the grid elements. A capacitor CAP is formed on top of the wiring layer 77, and a transistor Tr1 is formed on top of the capacitor. The device is shown with dimensions 62 and 63.

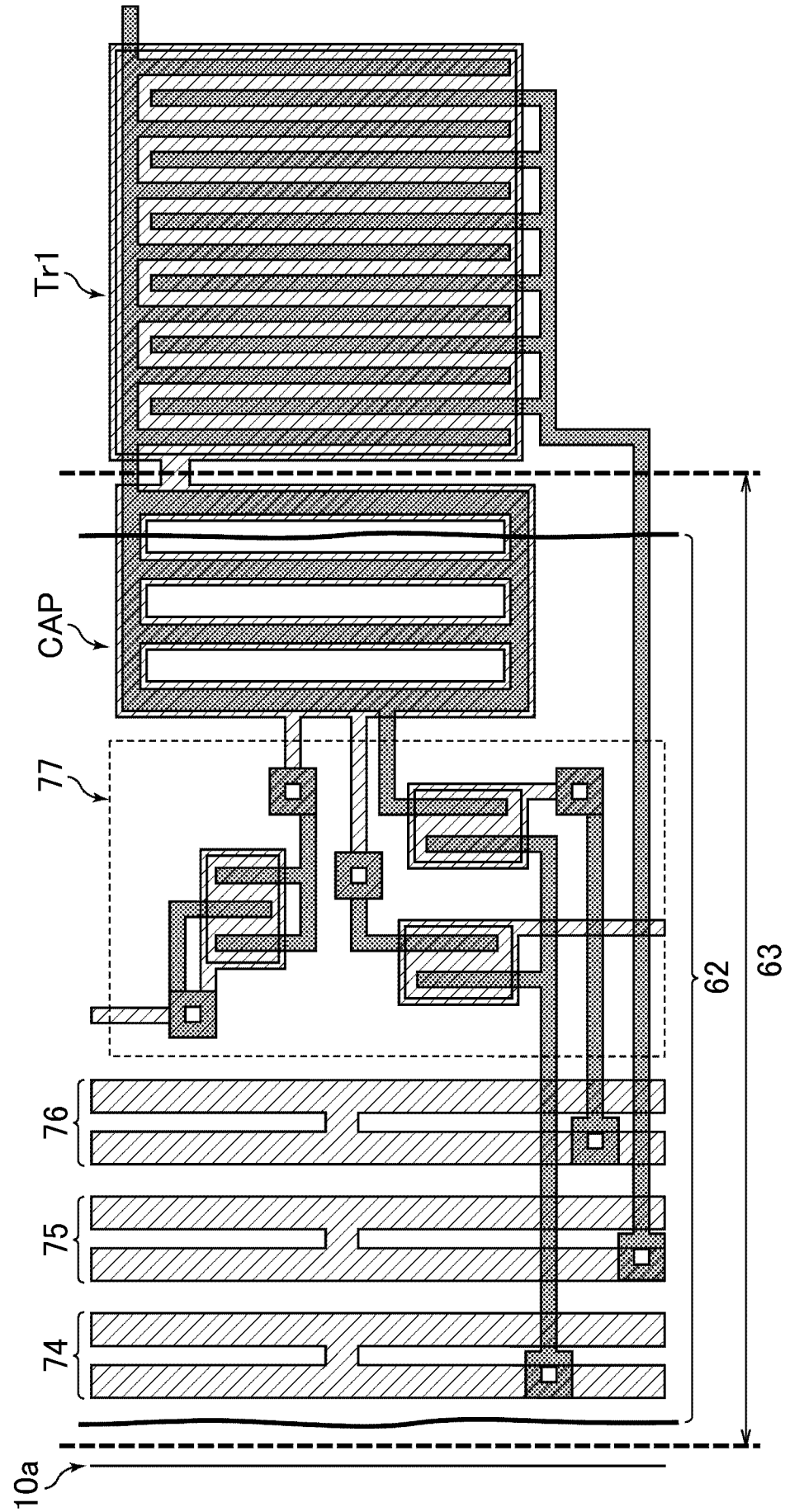
[図11]



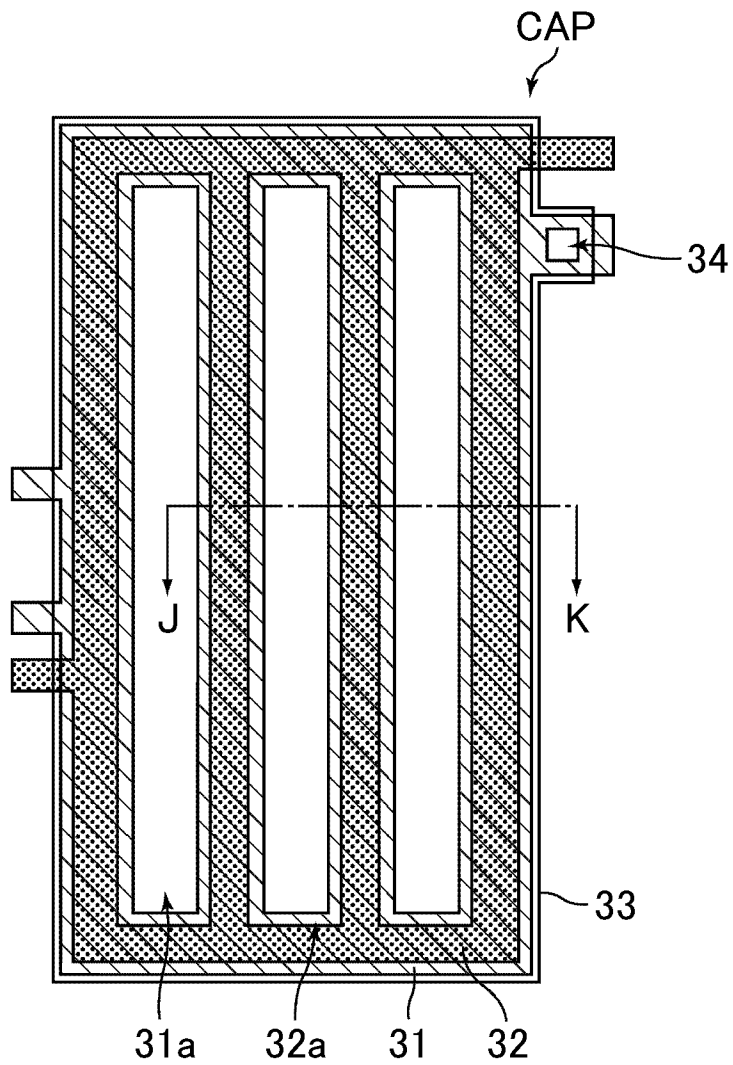
[図12]



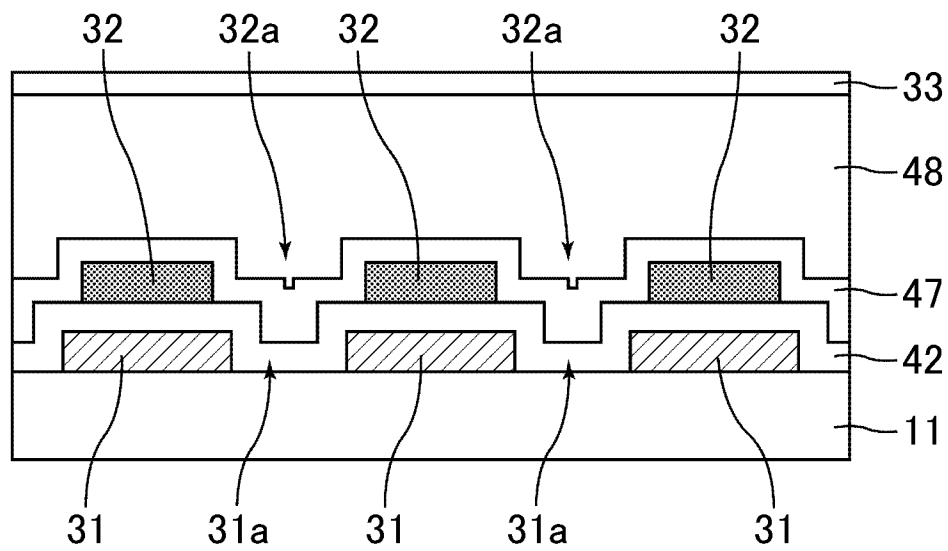
[図13]



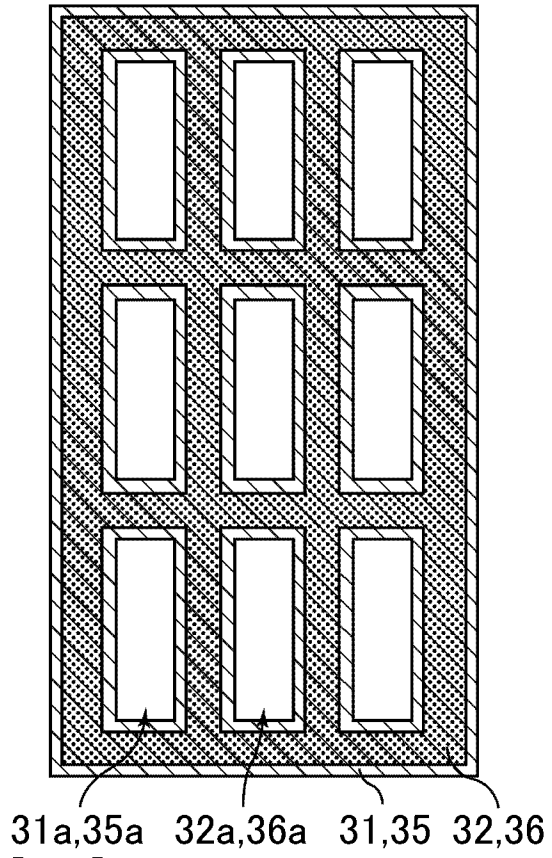
[図14]



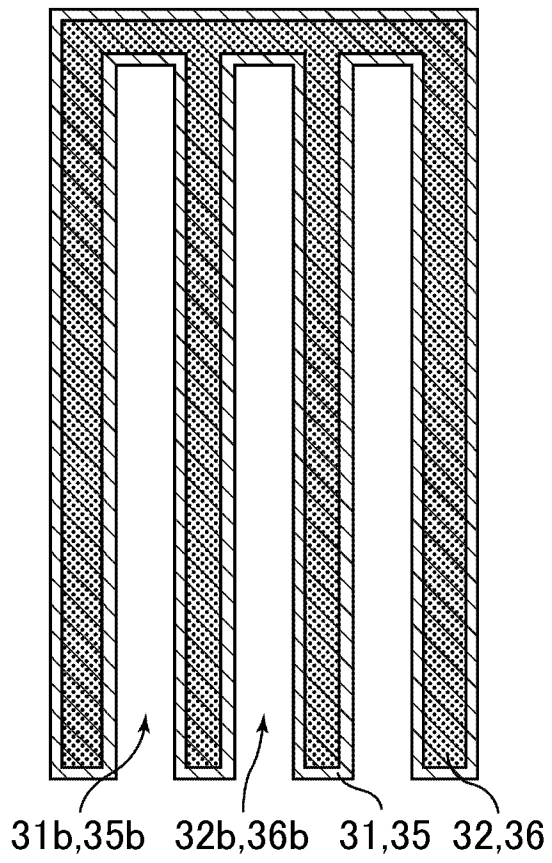
[図15]



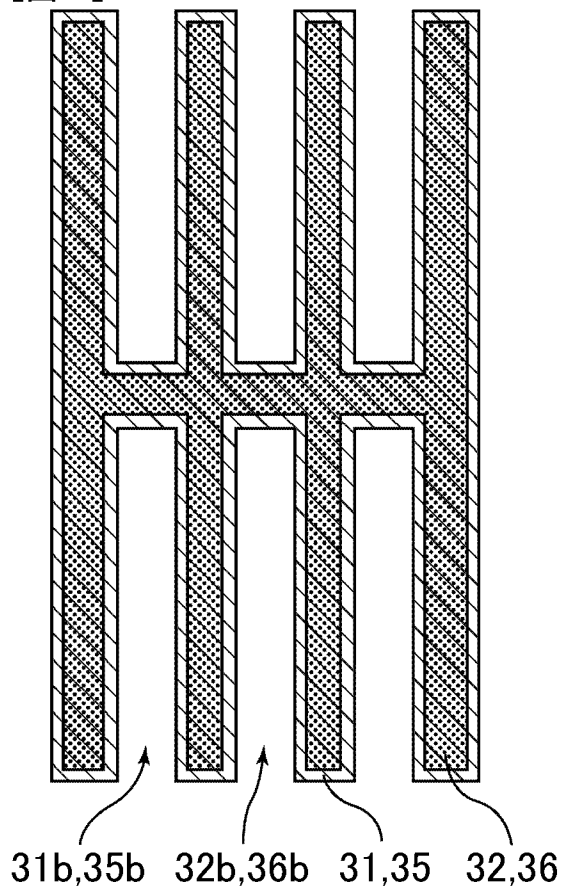
[図17]



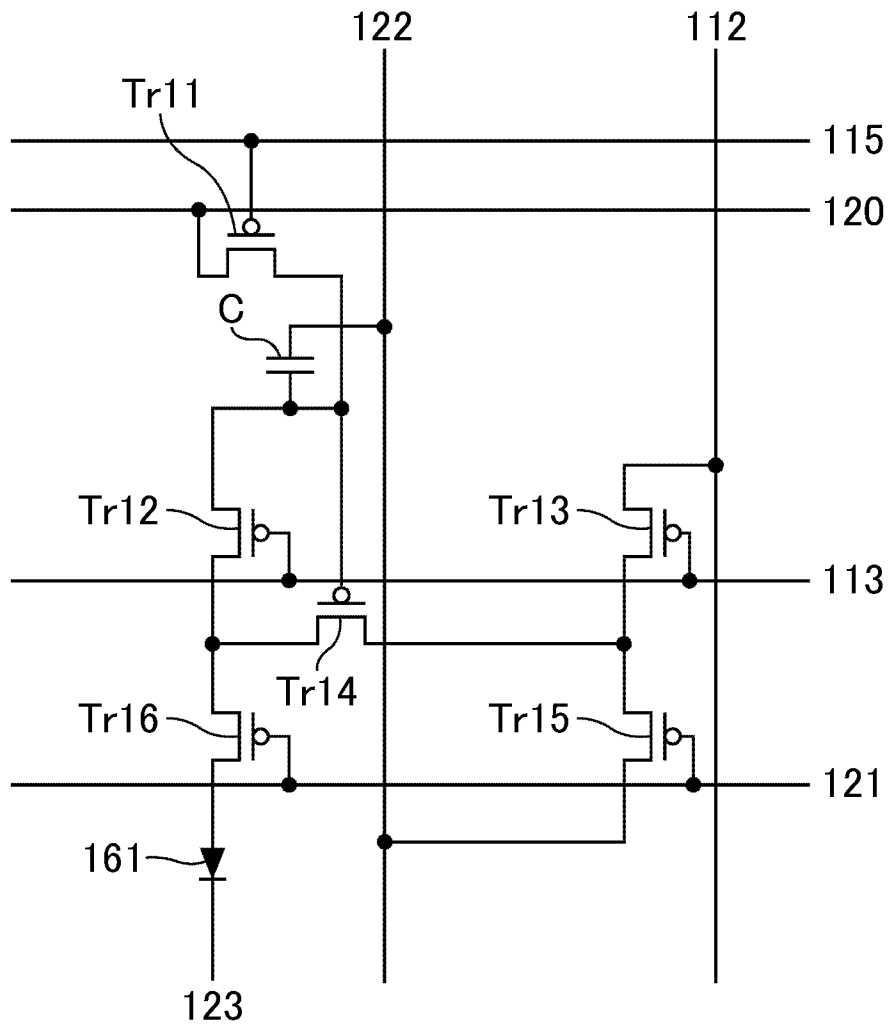
[図18]



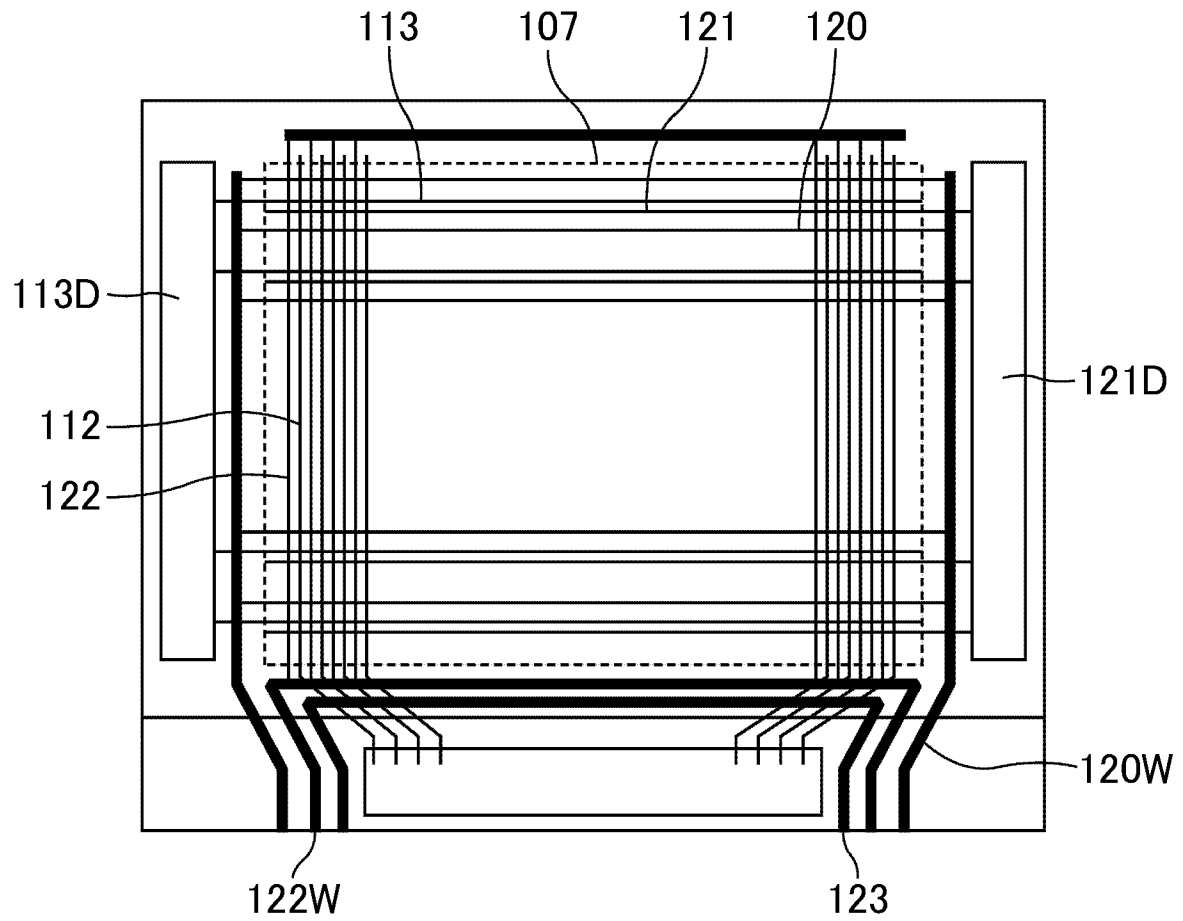
[図19]



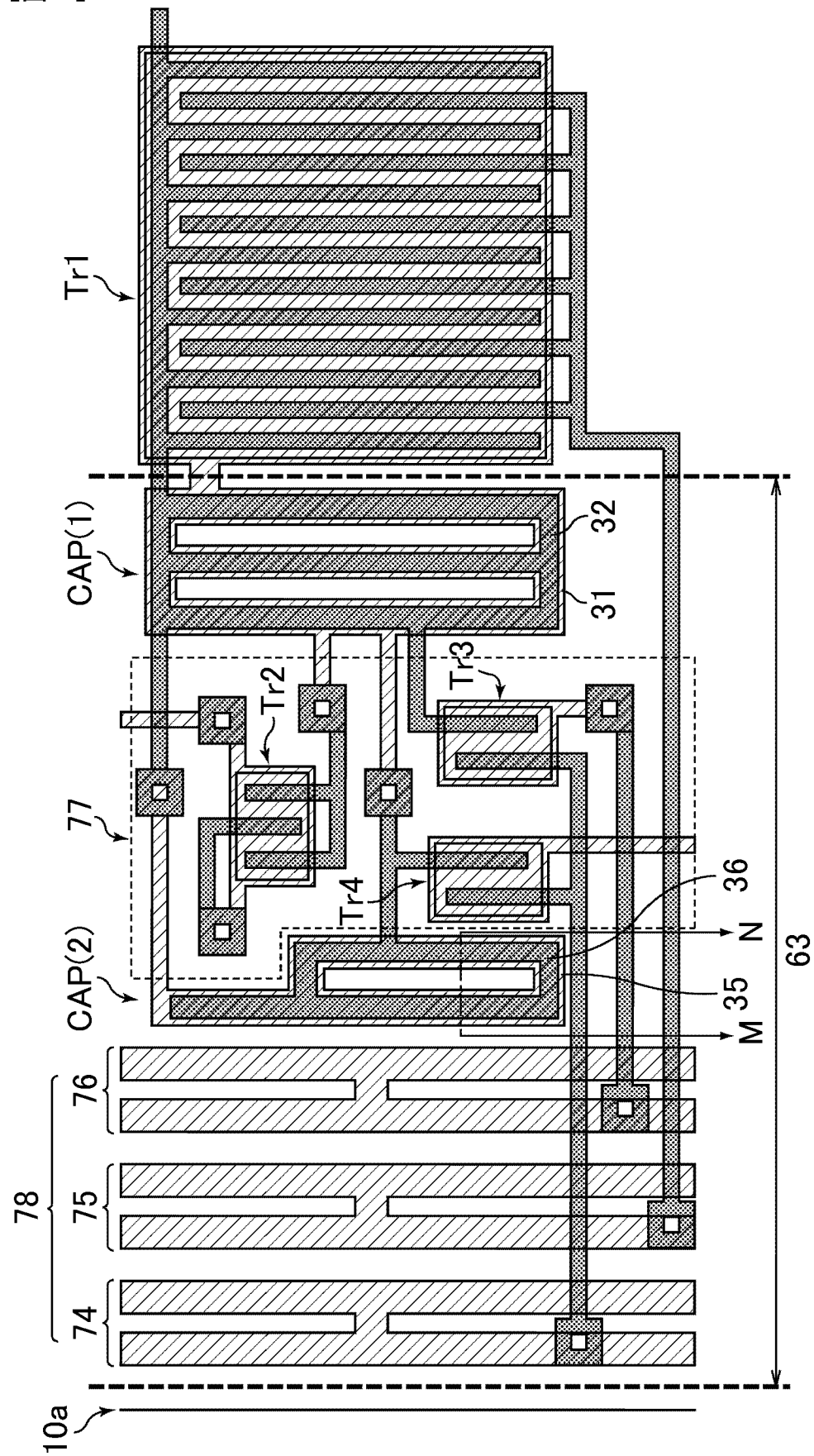
[図20]



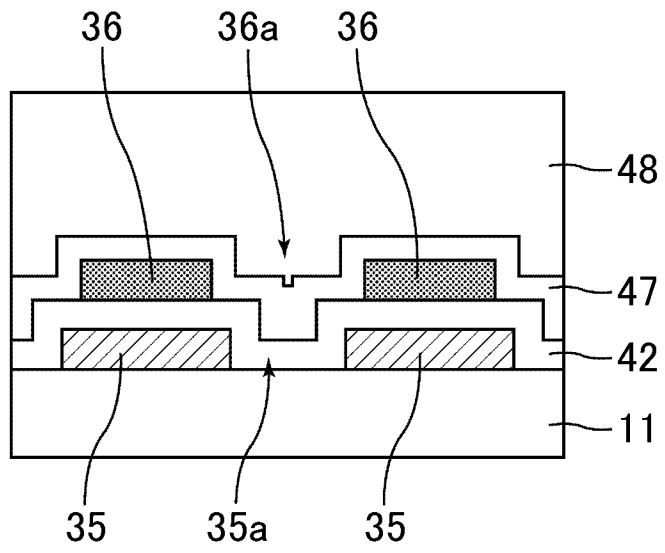
[図21]



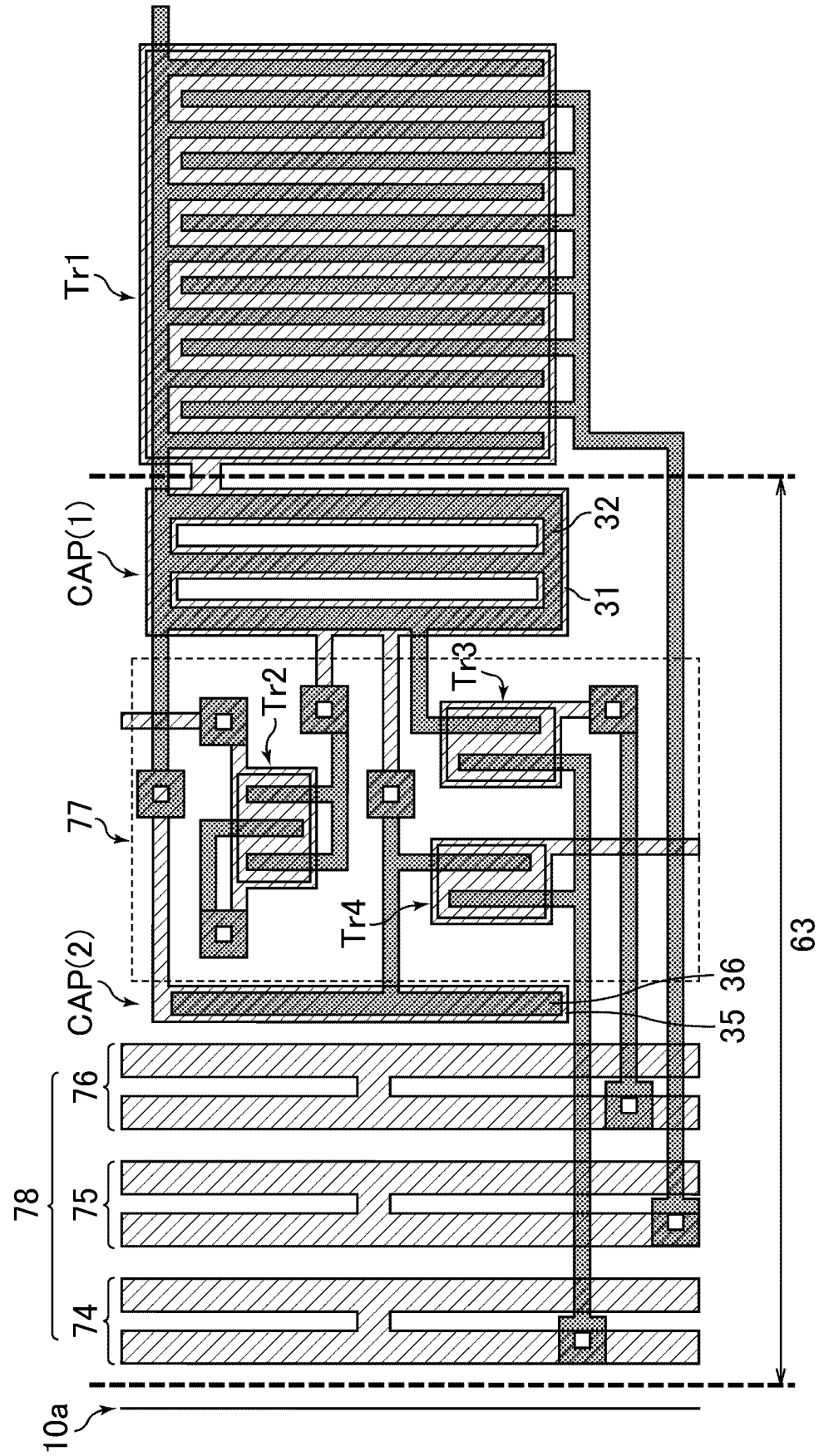
[図22]



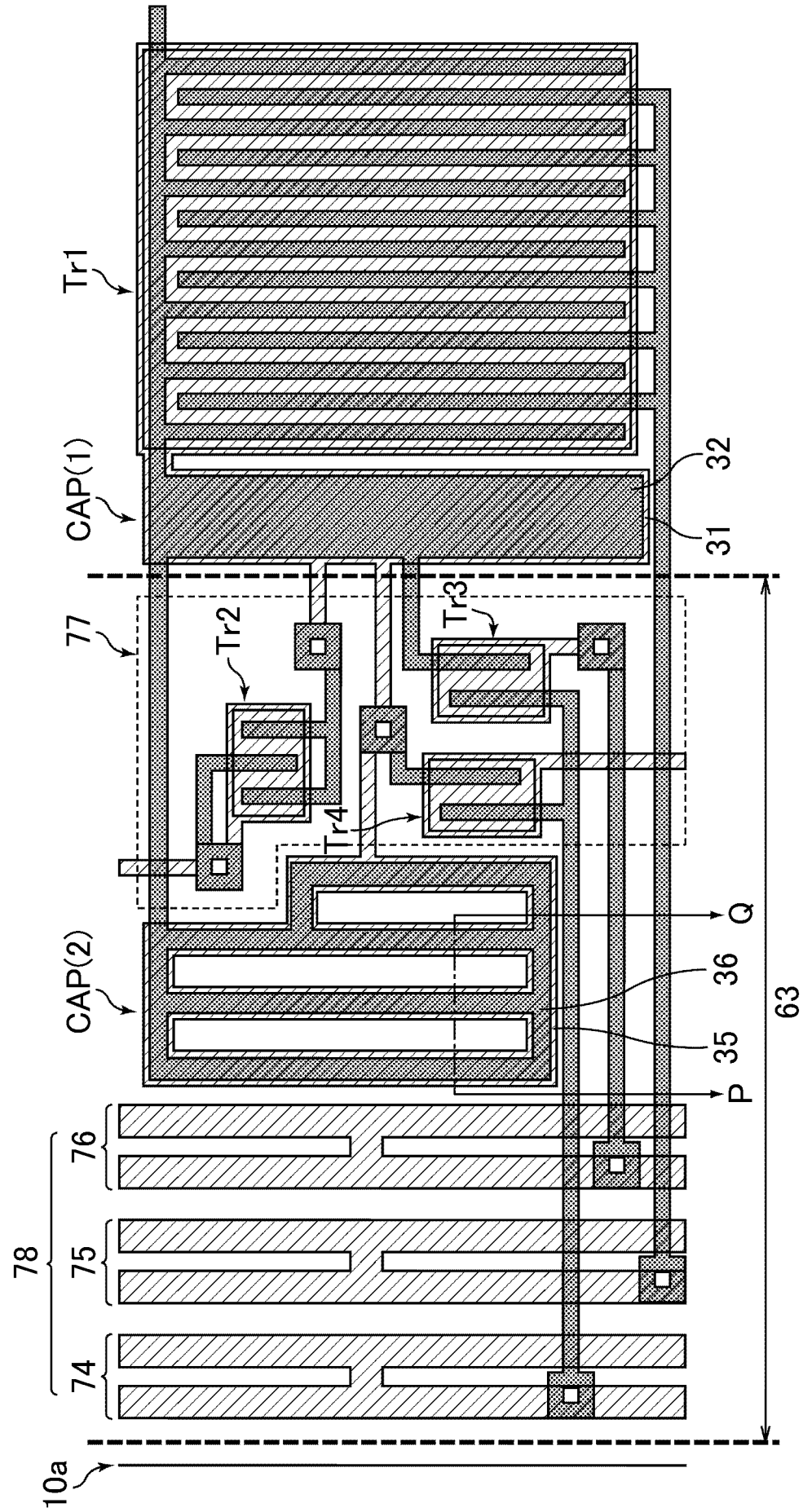
[図23]



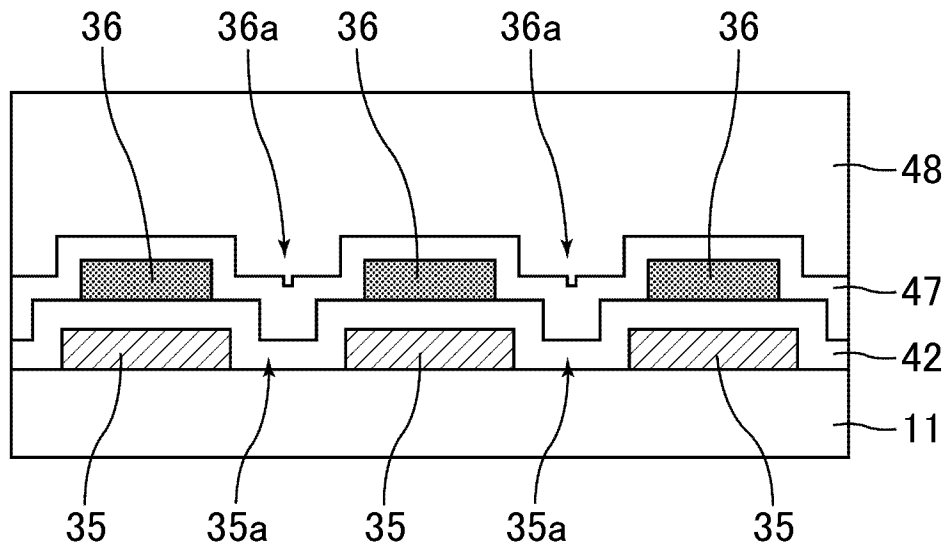
[図24]



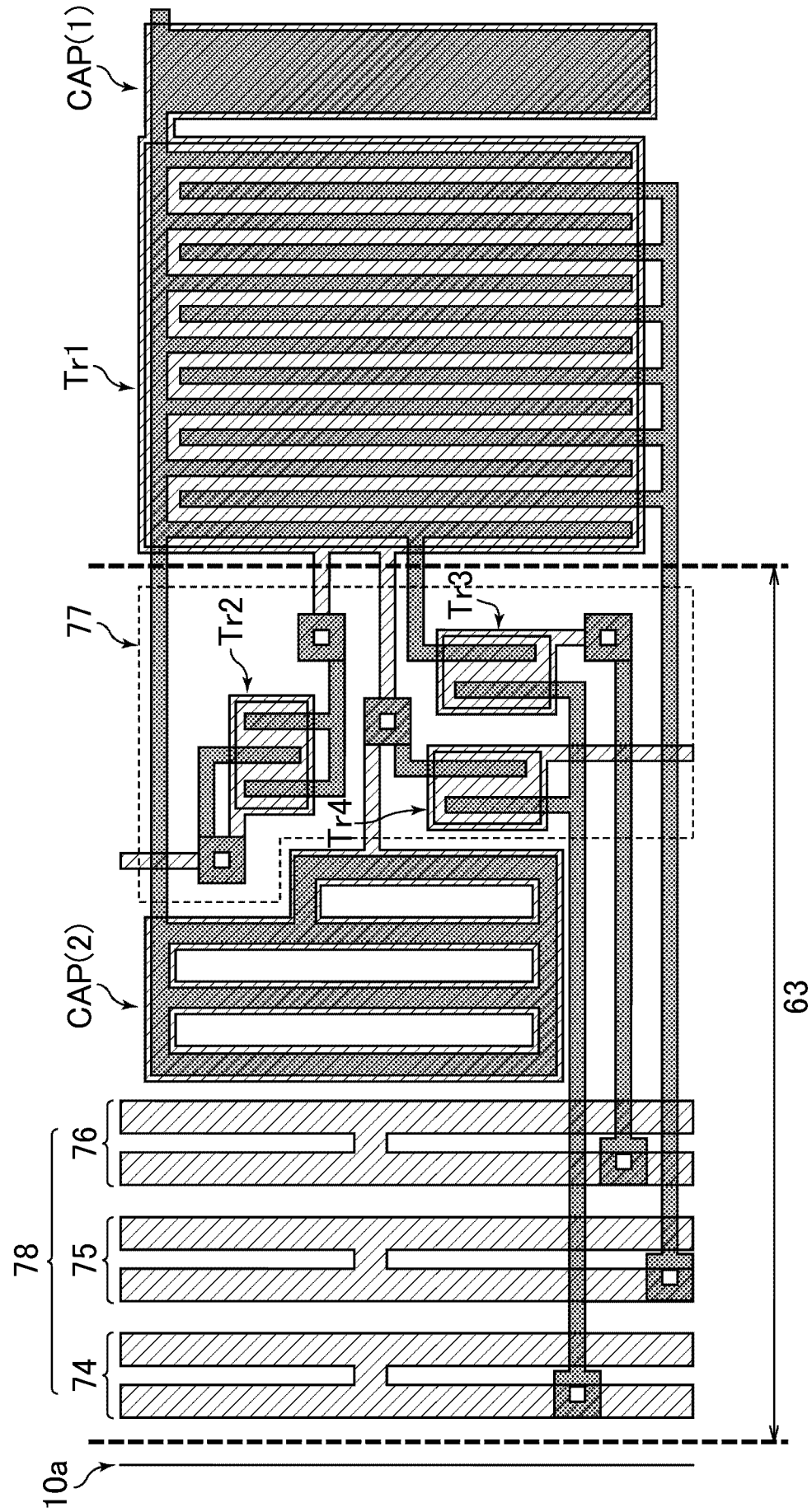
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/052672

A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G02F1/1339(2006.01)i, G02F1/1368(2006.01)i, H01L51/50(2006.01)i, H05B33/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G02F1/1339, G02F1/1368, H01L51/50, H05B33/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/029671 A1 (Sharp Corp.), 08 March 2012 (08.03.2012), entire text; all drawings (Family: none)	1-11
A	WO 2011/065055 A1 (Sharp Corp.), 03 June 2011 (03.06.2011), entire text; all drawings & US 2012/0241747 A1 & EP 2506306 A1 & CN 102714220 A	1-11
A	WO 2009/150862 A1 (Sharp Corp.), 17 December 2009 (17.12.2009), entire text; all drawings & US 2011/0012880 A1 & CN 101978505 A & RU 2010138946 A	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 May, 2013 (02.05.13)

Date of mailing of the international search report
14 May, 2013 (14.05.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/052672

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-287135 A (Sony Corp.), 27 November 2008 (27.11.2008), entire text; all drawings (Family: none)	1-11
A	WO 2009/150864 A1 (Sharp Corp.), 17 December 2009 (17.12.2009), entire text; all drawings & US 2011/0007049 A1 & CN 101978504 A	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))			
Int.Cl. G09F9/30(2006.01)i, G02F1/1339(2006.01)i, G02F1/1368(2006.01)i, H01L51/50(2006.01)i, H05B33/04(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (I P C))			
Int.Cl. G09F9/30, G02F1/1339, G02F1/1368, H01L51/50, H05B33/04			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	WO 2012/029671 A1 (シャープ (株)) 2012.03.08, 全文、全図 (ファミリーなし)	1-11	
A	WO 2011/065055 A1 (シャープ (株)) 2011.06.03, 全文、全図 & US 2012/0241747 A1 & EP 2506306 A1 & CN 102714220 A	1-11	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 02.05.2013		国際調査報告の発送日 14.05.2013	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 請園 信博 電話番号 03-3581-1101 内線 3273	2 I 4 7 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/150862 A1 (シャープ (株)) 2009.12.17, 全文、全図 & US 2011/0012880 A1 & CN 101978505 A & RU 2010138946 A	1-11
A	JP 2008-287135 A (ソニー (株)) 2008.11.27, 全文、全図 (ファミリーなし)	1-11
A	WO 2009/150864 A1 (シャープ (株)) 2009.12.17, 全文、全図 & US 2011/0007049 A1 & CN 101978504 A	1-11