

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

G11C 11/15 (2006.01)

G11C 5/02 (2006.01)

H01L 27/10 (2006.01)

专利号 ZL 02141490.4

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331154C

[22] 申请日 2002.8.30 [21] 申请号 02141490.4

[30] 优先权

[32] 2001. 8. 31 [33] US [31] 09/944680

[73] 专利权人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 L·T·特兰

[56] 参考文献

CN 1175775 A 1998.3.11

EP 0712134 A2 1996.5.15

审查员 吴紫璇

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 栾本生 张志醒

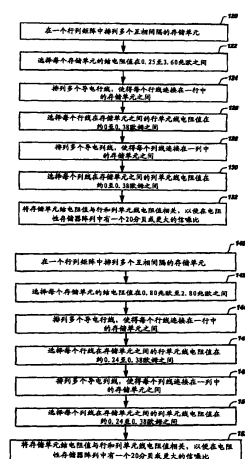
权利要求书 2 页 说明书 14 页 附图 7 页

[54] 发明名称

用于使电阻性阵列中信噪比最大化的方法和结构

[57] 摘要

公开了一种使电阻性阵列中信噪比最大化的方法，包括：在行和列的矩阵(40)中将多个存储单元(42)彼此隔开，对每个存储单元(42)选择一个结电阻(R)；将每个行导线连接在行(44)中的存储单元(42)之间，并在存储单元(42)之间选择一个行单位线电阻(r_c)；将每个列导线连接在列(46)中的存储单元(42)之间并在存储单元(42)之间选择一个列单位线电阻(r_c)；将该存储单元结电阻(R)与行和列单位线电阻(r_c)的值相关，以便增大信噪比。还公开了一种使信噪比最大化的电阻性随机存取存储器阵列(40)。



1. 一种设计随机存取存储器阵列的方法，该阵列具有电阻元件(r_c, R)，用于为该阵列保持 20 分贝或大于 20 分贝的信噪比，该方法包含：

(a) 在行和列的矩阵中将多个存储单元安排为互相隔开，每个存储单元被选择为具有在 0.25 兆欧与 3.60 兆欧之间的结电阻值(R)；

(b) 安排多个导电行线，每个行线连接在行中的存储单元之间并被选择为在存储单元之间具有在 0.0 欧姆与 0.38 欧姆之间的行单位线电阻(r_c)值；

(c) 安排多个导电列线，每个列线连接在列中的存储单元之间并被选择为在存储单元之间具有在 0.0 欧姆与 0.38 欧姆之间的列单位线电阻(r_c)值；和

(d) 将存储单元结电阻(R)的值与行和列单位线电阻(r_c)的值相关，以便在电阻性存储器阵列中具有 20 分贝或大于 20 分贝的信噪比。

2. 如权利要求 1 所述的方法，其中行或列单位线电阻(r_c)的值被选择在 0.24 欧姆与 0.38 欧姆之间的范围内，并且结电阻(R)的范围被选择在 0.8 兆欧与 2.8 兆欧之间。

3. 如权利要求 1 所述的方法，其中将存储单元的结电阻值(R)与行或列单位线电阻(r_c)的值相关，使得结电阻(R)与行或列单位线电阻(r_c)之比是五百万比 1。

4. 如权利要求 1 所述的方法，其中在具有 N 行和 M 列的存储器阵列中，将结电阻(R)值与总的行或列线电阻(r_c)值相关，以保持结电阻(R)与总的行或列线电阻(r_c)之比大于五百万比 N 或 M 。

5. 如权利要求 4 所述的方法，其中 N 和 M 等于 1024，并且保持 MTJ 电阻(R)与总的行或列线电阻之比为 5000 或大于 5000。

6. 一种电阻性随机存取存储器阵列，该阵列具有单元电阻值，用于为该阵列保持 20 分贝或大于 20 分贝的信噪比，该阵列包含：

(a) 在行和列的矩阵中互相隔开的多个存储单元，每个存储单元被选择为具有在 0.25 兆欧与 3.60 兆欧之间的结电阻(R)值；

(b) 多个导电行线，每个行线连接在行中的存储单元之间并被选择为在存储单元之间具有行单位线电阻，其具有在 0.0 欧姆与 0.38 欧姆之间的值；和

(c) 多个导电列线, 每个列线连接在列中的存储单元之间并被选择为在存储单元之间具有列单位线电阻(r_c), 其中行单位线电阻等于列单位线电阻;

(d) 其中将结电阻(R)的值与行或列单位线电阻(r_c)的值相关, 使得在电阻性存储器阵列中信噪比是 20 分贝或大于 20 分贝。

7. 如权利要求 6 所述的电阻性随机存取存储器阵列, 其中多个存储单元被安排在 1024×1024 的存储单元阵列中, 行和列单位线电阻(r_c)值被选择为落在 0.24 欧姆与 0.38 欧姆之间的范围内, 并且存储单元被选择为具有在 0.8 兆欧与 2.8 兆欧之间的结电阻。

8. 如权利要求 7 所述的电阻性随机存取存储器阵列, 其中将结电阻(R)值与行或列单位线电阻(r_c)值相关, 使得结电阻(R)值与行或列单位线电阻(r_c)值之比是五百万比 1。

9. 如权利要求 6 所述的电阻性随机存取存储器阵列, 其中选择行和列单位线电阻(r_c)值, 使得行导体的总的行电阻等于列导体的总的线电阻。

10. 如权利要求 6 所述的电阻性随机存取存储器阵列, 其中存储单元是 MTJ 器件, 其具有固定在磁朝向中的销接层、响应于磁场的施加而在磁朝向状态之间改变的传感层以及位于销接层与传感层之间的绝缘层。

用于使电阻性阵列中信噪比最大化的方法和结构

技术领域

本发明涉及电阻性存储单元阵列的领域。更具体来说，本发明涉及用于最大化阵列的信噪比的方法和电阻性存储器阵列中的存储结构。

背景技术

电阻性随机存取存储器 (RAM) 是一种交叉点类型的存储器阵列，由间隔的存储单元的平面矩阵组成，平面矩阵夹在存储单元上下的两个沿正交方向延伸的导体网格(meshes)之间。一个例子是图 1 中所示的电阻性 RAM 阵列 10。在一个方向上延伸的行导体 12 被称为字线，在一个通常垂直于第一个方向的方向上延伸的列导体 14 被称为位线。存储部件 16 一般被排列成正方形或矩形阵列，使得每个存储部件 16 与一个字线 12 和一个交叉的位线 14 连接。

在电阻性 RAM 阵列中，每个存储单元的电阻有多于一个的状态，存储单元中的数据是该单元的电阻状态的函数。这些电阻性存储单元可以包括一个或多个磁层、一个熔丝或抗熔丝(fuse or anti-fuse)、或任何通过影响元件的额定电阻而存储或产生信息的元件。其它类型的用于电阻性 RAM 阵列的元件包括作为只读存储器一部分的多硅电阻、以及作为光学存储器、成像装置或浮栅(floating gate)存储器件的一部分的浮栅晶体管。

一种类型的电阻性随机存取存储器是磁随机存取存储器(MRAM)，其中的每个存储单元由多个由绝缘层隔离的磁层构成。一个磁层被称作销接层(pinned layer)，销接层中的磁朝向是固定的，以便在出现有意义范围的外加磁场时不旋转。另一个磁层被称作传感层(sense layer)，传感层中的磁朝向是在一个与销接层的状态对准的状态与一个与销接层的状态不对准的状态之间可变的。一个绝缘隧道势垒层夹在磁销接层与磁传感层之间。这个绝缘隧道势垒允许在磁销接层与磁传感层之间发生量子力学穿隧(tunneling)。穿隧是与电子旋转相关的，引起存储单元的电阻，该电阻是传感层和销接层的磁化的相对朝向的函数。传感层的两个状态的结电阻的变化决定着在存储单元中存

储的数据。2001年1月2日授权给 Brug 等人的美国专利 6,169,686 公开了这样的一种磁存储单元存储器。

参看图 2, 图中显示了 MRAM 存储器。存储部件 16 被显示为一个三层的存储单元 20。在每个单元 20 中按照单元 20 的磁传感层 22 的朝向存储一位信息。单元 20 通常有两个稳定的磁状态, 对应着逻辑状态“1”和“0”。传感层 22 上的双向箭头 15 表示这个二进制状态功能。单元 20 中的销接层 24 被一个薄绝缘层 26 与传感层隔离。销接层 24 有一个固定的磁朝向, 如层 24 上的单向箭头 17 所表示的那样。当传感层 22 的磁状态是朝向与销接层 24 的磁化的方向相同的方向时, 该单元磁化被称作是“并行的”。类似地, 当传感层 22 的磁状态是朝向与销接层 24 的磁化的方向相反的方向时, 该单元磁化被称作是“逆并行的”。这些朝向分别对应于一个低电阻状态和一个高电阻状态。

通过向在选定存储单元交叉的字线 12 和位线 14 施加电流可以改变选定存储单元 20 的磁状态。电流产生两个正交磁场, 它们的组合将把选定存储单元 20 的磁朝向在并行的和逆并行的之间转换。其它未选定的存储单元只从交叉于未选定存储单元的字线或者位线接收一个磁场。这一个磁场强度不足以改变未选定磁场的朝向, 因此它们保持它们的磁朝向。

参看图 3, 图中显示一个 MRAM 存储器阵列 30。传感放大器 32 连接到选定存储单元 36 的位线 34。向选定存储单元 36 的字线 38 施加一个电压 V_r , 传感放大器 32 向单元 36 的位线 34 施加一个电压。相同的位线电压被施加到所有位线 34, 实际上将未选定行上的所有单元偏置到零电势。这个行动将位线电流互相隔离, 实际上阻塞了多数否则可能流经次级通路的漏电流, 而漏电流有可能在选定存储单元的传感功能产生误差。

应当明白磁阵列中的字线和位线的导体都对流经这些线的电流有一定量的电阻。跨交叉点的节上也有对应于存储器状态“1”和“0”的低电阻状态和高电阻状态。尽管每个这种电阻的效应本身是可忽略不计的, 这些电阻在阵列中的组合效应, 特别是导体电阻, 导致可用于传感放大器的用来确定存储单元的状态“1”和“0”的传感电流的某些减少。如果阵列变得太大, 则导体电阻增加, 因为有更多的行和列。这样, 流动的电流更多, 经过“潜通路”的漏电流也增加。大型

阵列中更大的电流和更高的行和列导体电阻能引起沿字线上的相当大的电压降和位线中的不相等的电势。这些效应引起可用于传感放大器的传感电流的严重减少，会导致在感应存储单元的状态时的出错。

由导体的组合电阻引起误差的问题，随着存储器阵列中存储单元的数量增加而更严重。每个导体必须更长，以连接到数量增加的存储单元，结果每个导体的线电阻更大。此外，随着阵列变得更大，存储器阵列的设计要缩小，以便在不增加阵列尺寸的情况下增加容量。导体被制作得相应地更薄和更窄，以便能在不实质地增加行和列导体中的写电流的情况下向存储单元写数据。导体这种减少的厚度导致沿每个导体上的更大的电阻，增加了出错或干扰阵列输出或信号的“噪声”的可能性。

MRAM 阵列中每个存储单元的“磁阻隧道结”（MTJ）可能也是个因素。在为了在不显著增加阵列尺寸的情况下增加容量而缩小存储器时，MTJ 电阻增加。这个增加的电阻导致通过 MTJ 的穿隧电流（tunneling current）更小，由此减少信号电流。穿过每个存储单元的结的“穿隧电流”是每个存储单元的 MTJ 电阻的函数，也可能对阵列的噪声产生贡献。结的 MTJ 电阻受单元中所用材料以及结的每边上各层的各自极性的影响。参看 Sharma 等人的“Spin-dependent tunneling junctions with AlN and AlON barriers”（77 Applied Physics Letters, number 14, 2000 年 10 月 2 日）。

所以，需要确定存储单元的最佳电阻范围和给定导体电阻的存储器阵列的最佳尺寸，以便使对输出信号的无益的误差贡献最小化。检测阵列中数据的能力是按信噪比（SNR）测量的；SNR 越高，误差率越低。SNR 通常是按分贝（dB）测量的。通过保持阵列的 SNR 在一个可接受的分贝水平之上，将阵列中由电阻导致的误差保持在一个可容忍的水平。

换言之，需要确定相对于存储器阵列尺寸的 MTJ 电阻范围和导体电阻，以使误差最小化，由此将信噪比保持在一个最小希望的阈值之上。

发明内容

本发明提供一种设计有用于随机存取存储器（RAM）阵列的方法，该 RAM 阵列有用于优化该阵列的信噪比的电阻元件。选择多个存储单元，将它们在一个行列矩阵中彼此间隔，每个存储单元被选择得具有一个

在 0.25 兆欧姆至 3.60 兆欧姆之间的结电阻值。多个导电行线在一行中的存储单元之间连接，并被选择得具有一个在 0.0 兆欧姆至 0.38 兆欧姆之间的行单位线单位(row unit line unit)电阻。多个导电列线在一列中的存储单元之间连接，并被选择得具有一个在存储单元之间的列单位线单位(column unit line unit)电阻。行单位线单位电阻大约等于列单位线单位电阻。将存储单元结电阻的值与行和列单位线电阻的值相关，使得存储器阵列的信噪比被保持在 20 分贝或更大。

在本发明的另一个最佳实施例中，一个随机存取存储器阵列有选定的、具有为保持阵列的信噪比为 20 分贝或更大而被相关的电阻的元件。将多个存储单元在一个行列矩阵中彼此间隔，每个存储单元被选择得具有一个在 0.80 兆欧姆至 2.80 兆欧姆之间的结电阻值。在一行中的存储单元之间连接的多个导电行线被选择得在存储单元之间具有一个值基本在 0.0 兆欧姆至 0.38 兆欧姆范围中的行单位线单位电阻。多个导电列线在一列中的存储单元之间连接，并被选择得具有一个值基本在 0.0 兆欧姆至 0.38 兆欧姆范围中的列单位线单位电阻。将存储单元选择得使得结电阻的值与行或列单位线电阻的值相关，以将存储器阵列中的信噪比保持在 20 分贝或更大。

最好，在一个 1024×1024 存储单元阵列的优化设计中，将行或列单位线电阻值选择得在约 0.24 兆欧姆至 0.38 兆欧姆之间，将结电阻的范围选择得在 0.8 兆欧姆至 2.8 兆欧姆之间。概括地说，将结电阻值以及列和行单位线电阻值选择得使得结电阻值与列和行单位线电阻值的比率约为 5 百万比 1。

按照本发明的另一个最佳实施例，一种磁随机存取存储器(MRAM)阵列有具有为将阵列的信噪比最大化为至少 20 分贝而确定的电阻的元件。选择多个磁阻隧道结(MTJ)存储单元，将它们在一个约 N 行和 N 列的正方形矩阵中彼此间隔，每个存储单元被选择得具有一个在 0.25 兆欧姆至 3.60 兆欧姆之间的 MTJ 电阻值。多个导电行线在每行中的存储单元之间连接，每个行线被选择得具有 N 乘以存储单元之间的行单位电阻的总行线电阻。多个导电列线在每列中的存储单元之间连接，每个列线被选择得具有 N 乘以存储单元之间的列单位电阻的总列线电阻。行和列导体被选择得使得每行的总行线电阻约等于每列的列线电阻。将 MTJ 电阻值与行和列导体电阻值选择得使得 MTJ 电阻值与总行

或列线电阻值的比率必须大于约 5 百万比 1, 以保持存储器阵列的信噪比在 20 分贝或更大。优选地, 如果 N 约等于 1024, 将 MTJ 电阻值与总的行和列线电阻值相关, 使得 MTJ 电阻值与总的行和列线电阻值的比率约等于 5,000 或更大。

从以下详细说明本发明的其它特点和优点将显而易见, 以下的说明是结合附图, 通过对本发明原理的举例而阐述的。

附图说明

图 1 是表示按照本发明的一种现有技术电阻交叉点存储器件的示意图;

图 2 是表示现有技术的 MRAM 存储单元以及与之相连的导体的结构的示意图;

图 3 是表示具有按照本发明的传感元件的现有技术的存储器阵列结构的示意图;

图 4A 是表示按照本发明的存储器阵列中的漏电流和无益的电压降的示意图;

图 4B 和 4C 是按照本发明的外加电压和作为沿导体线上的元件数的函数的信号电流损失(误差)量的变化的图示;

图 5 是一个轮廓图, 以图形表示按照本发明的作为导体单位电阻和 MTJ 电阻的函数的信噪比;

图 6、7、8 的电路示意图表示按照本发明的存储单元阵列相对于阵列中的电阻、电流和电压的动态特性; 和

图 9 和 10 是表示按照本发明的优选方法的流程图。

具体实施方式

参看图 4A, 本发明的一个最佳实施例是 MRAM 存储器阵列 40。MRAM 器件包括一个按行 44 和列 46 排列的存储单元 42 的阵列, 各行 44 沿 X 轴方向延伸, 各列 46 沿 Y 轴方向延伸。为了简化对本发明的说明, 图中只显示了较少的存储单元 42。实践中, 使用的阵列有 1024 行 1024 列的存储单元或更多, 各行中的存储单元数可以与各列中的存储单元数不同。

起字线作用的导体 48 在存储器阵列 40 的一边上的平面中沿 X 轴向延伸。起位线作用的导体 49 在存储器阵列 40 的另一边上的平面中沿 Y 轴向延伸。最好阵列 40 的每个行有一个字线 48, 阵列 40 的

每个列有一个位线 49。每个存储单元 42 位于对应字线 48 和位线 49 的交叉点上。

存储单元 42 并不仅仅限于任何特定类型的器件。如上所述, 可以使用依靠旋转的穿隧器件 (spin dependent tunneling device)。通过校正每个单元的磁化的方向以代表 “1” 或 “0”, 在存储单元 42 中存储数据。例如, 参看图 2, 通过将传感层的磁化的方向校正为与销接层的磁朝向平行, 可以在存储单元 42 中存储逻辑值 “0”; 通过将传感层的磁化的方向校正为与销接层的磁朝向的方向相反或逆平行, 可以在存储单元中存储逻辑值 “1”。

如上所述地将逻辑值存储在选定的存储单元中。向所选定的单元的字线和位线施加一个电压时, 存储单元的结上的电流确定该单元磁化是平行的还是逆平行的。逆平行的朝向最好导致更大的 MTJ 电阻, 由此导致所选定存储单元的结上的电流更低。每个存储单元在没有电的时候最好保持磁朝向, 这被称作是 “非易失的”。

图 4B 中的图表 50 表示字线 52 上外加电压的变化。字线 52 上的箭头 54、56 和 58 表示在电流沿字线 52 前进时的电流和电压降。如图 4B 中所示, 起初在字线 52 的开始处施加的 0.50 伏的电压, 在连接 1000 个存储单元的导体的结尾处将降至不到 0.45 伏。图 4C 中的图表 60 表示因列导体电阻对行位置而产生的漏电流。漏电流从约 1.1×10^{-6} 安培, 在连接 1000 个存储单元的最后行的导体处几乎减少至零。离传感放大器远的行比靠近传感放大器的行承受更多的漏电流, 因为导体电阻更大。

现在参看图 5, 图中给出的轮廓图 70 显示, 以分贝为单位的信噪比是以欧姆为单位的导体单位电阻 (y 轴) 和以兆欧为单位的存储单元的 MTJ 电阻 (x 轴) 的函数。虚线 78 上面的导体单位电阻约为 0.24 欧姆, 用现有的制造工艺就能容易地制造, 通常使用的金属例如铜、铝或铜铝合金。通过增加导体的宽度和厚度, 降低导体电阻单位是可能的, 但是这将有不利的影响, 因为这导致阵列的尺寸的增加, 因而需要更大的电流才能向阵列写数据。新开发的金属合金或超导体有利于降低单位导体电阻, 但是现在使用它们可能还不切实际。

已经确定了一个 20 分贝的轮廓线 72 用来表示一个阈值, 为了保持阵列中的误差率在可接受的低水平, SNR 不应降到此阈值以下。在轮

廓线 72 下面, SNR 将高于 20。SNR 最好在线 78 (0.24 欧姆) 之上, 以便于制造, 但要在线 72 之下, 以保持一个可接受的 SNR。因此, 最佳的设计范围由图 5 中 20 分贝轮廓线 72 和虚线 78 围起来的阴影区 74 表示。在这个范围内, 单位导体电阻和 MTJ 电阻范围对存储器阵列是最佳的, 与此同时仍然保持 20dB 或更佳的 SNR。

查看轮廓图 70, 显然, 要选择的行和列导体应当有一个在 0.38 欧姆以下的导体单位电阻, 以保持 SNR 在 20 分贝或 20 分贝以上。被选择的行和列导体最好有一个在约 0.0 欧姆至 0.38 欧姆范围内的单位电阻, 如果该导体范围可得到的话。就图 5 的轮廓图来说, 假设行电阻和列电阻是相同的。然而, 本发明的范围并不旨在包括不同的行和列单位电阻, 只要它们各自降在约 0.0 欧姆至 0.38 欧姆的范围以内。同样, 行数和列数也可以不同, 视电路设计而定。

将存储单元选择得使得每个存储单元的 MTJ 电阻在约 0.25 兆欧至 3.60 兆欧之间, 最好在约 0.8 兆欧至 2.8 兆欧的范围内。然后将存储单元结值与行和列单位线电阻相关, 以在存储器阵列中提供至少 20 分贝的信噪比。

参看图 5, 在导体电阻的范围低于 0.24、结电阻的范围在 0.25 兆欧至 3.60 兆欧之间时, 对存储器阵列中电阻元件的选择在制造时更难以实现, 不过仍然落在本发明的范围内。在图 5 中, 这个区域被指定为代表一个在 20 和 25dB 之间的 SNR 的区域 75、以及 25dB 以上的 SNR 的区域 76。这些区域代表更难以实现的电阻元件的范围, 对区域 76 来说尤其如此。然而, 正如前文提到的那样, 它们在特殊条件下是可以实现的, 因此属于本发明的范围之内。

导体单位电阻将因阵列的大小而异, 因为当阵列变大时需要更薄的导体。所以, 在某种程度上, 阵列的大小将决定导体单位电阻。对于一个大约 1024×1024 的存储单元阵列来说, 最好选择由虚线 78 所表示的约 0.24 欧姆的导体单位电阻。虚线 78 与轮廓线 72 相交处的点 71 和 73 定义可接受的 MTJ 电阻值的范围在约 0.8 兆欧至 2.8 兆欧之间。

所以在本发明的一个最佳实施例中, 对于行和列导体被选择得具有约 0.24 欧姆的导体单位线电阻的一个 1024×1024 的存储单元阵列来说, 每行的总电阻是 246 欧姆, 每列的总电阻是 246 欧姆。将存储

单元选择得使得 MTJ 电阻值在 0.8 兆欧至 2.8 兆欧之间。这个数据在电路设计者为典型存储器阵列保持可接受的 SNR 水平时极其有价值。

图 5 在点 77 显示一个约 0.38 欧姆的最大值，导体单位线电阻不应超过这个最大值。所以，图 2 中的轮廓线 72 显示，对于最高的约 0.38 欧姆的导体单位线电阻，应当将存储单元选择得有一个约 1.8 兆欧的 MTJ 电阻值。相应地，将 MTJ 电阻值以及行和列单位线电阻选择得使得 MTJ 电阻对导体单位线电阻的比率约为 1.8×10^{-6} 至 3.8×10^{-1} ，即约为五百万比一。设计存储器阵列时，要选择存储单元以及行和列导体，使得 MTJ 电阻值与行和列单位线电阻值相关，以在存储器阵列中提供至少 20 分贝的信噪比。

如果查看图 5 中的轮廓图来帮助设计一个有 N 行和 M 列的阵列，就能确定 MTJ 电阻对一行中给定存储元件个数 N 和一系列中给定存储元件个数 M 的总线电阻的比率。对应最大可接受导体单位线电阻的导体的总线电阻是 0.38 欧姆乘以一个导体线中存储元件的个数 N。对于最大可接受导体单位线电阻，最佳的 MTJ 存储单元电阻值约为 1.8 欧姆。因此，MTJ 存储单元电阻对总导体线电阻的比率是约 1.8×10^{-6} 比 3.8×10^{-1} ，即约 5×10^{-6} 比 N，或五百万比 N。所以，对于典型的 1024×1024 的存储单元阵列来说，MTJ 存储单元电阻对总线电阻的比率是约 5000 比 1。这些参数和比率对 MRAM 阵列设计者快速确定阵列中电阻的相对值有重要的帮助。

制作行和列导体的材料最好是高度导电的，正如铜、铝、甚至超导材料。在 MRAM 存储单元中，销接层是由反铁材料构成的，传感层是由受磁场影响的磁性材料构成的，诸如镍铁、钴铁或镍钴铁。绝缘层可以由任何绝缘材料构成并且很薄，一般不超过 50 埃，以允许发生穿隧电流。

在一个例子中，单元结电阻状态可以在低状态的 1.0 兆欧与高状态的 1.3 兆欧之间改变。如果在节上施加一个 0.5 伏的电压，产生的电流对低状态来说是约 500 毫微安，对高状态来说是 384 毫微安。所以，对于存储单元中的传感电流来说，电流信号变化或窗口 (window) 在理想情况下一般只有约 116 毫微安。由于信号因列和行电阻的损失，有效的窗口更小。因此仔细设计阵列元件以保持在阵列中有令人满意的信噪比是非常重要的。

提供图 5 中所示轮廓图的方程由下式表达:

$$(1) \text{ SNR} := 20 \log(I_signal / N_{rms})$$

其中:

SNR 是以分贝计的信噪比,

N_{rms} 是阵列中的总噪声,

I_signal 是估计的可用于传感一个存储单元的信号。

如果假设传感放大器噪声等于阵列噪声, 则估计的总噪声由下式导出:

$$(2) N_{rms} := \sqrt{[4 \cdot k \cdot T \cdot l / R + (4 \cdot k \cdot T \cdot l / R) + 4 \cdot k \cdot T \cdot l / R \cdot m] \cdot BW \cdot \sqrt{2}}$$

其中:

BW 是传感放大器的频率带宽,

T 是以开氏 (Kelvin) 温度单位计的温度, R 是 TMR 结的电阻, k 是波兹曼常数 (Boltzmann's constant), m 和 n 是阵列中的行数和列数。

估计的可用于传感的信号 I_signal 是由下面的方程导出的:

$$(3) I_signal := (1 - I_loss) \times (1 - 1/dR) \times V/R$$

其中:

V 是用于感应存储单元的状态的外加电压,

R 是存储器结电阻,

dR 是高状态的结电阻与低状态的结电阻的比率,

I_loss 是由下式得出的:

$$(4) I_loss := \frac{3 \cdot V \cdot (1 - \frac{1}{dR}) \cdot r_c}{R^2 \cdot (1 + \frac{dR}{n-1})} \cdot [\sum_{i=1}^m (m-i)]$$

其中 r_c 是每平方单位的按欧姆计的导体电阻。

图 6、7 和 8 提供的电路用作以下对电阻阵列中的电阻的分析。参看图 6, 给出对存储器阵列每行上的电阻的分析。在简化的电路中显示的电阻阵列 80 有 1 到 m 的若干行和 1 到 n 的若干列, 每行有一个导体 82, 每列有一个导体 84。在每行和每列的交会处是一个连接在该行导体和列导体之间的存储单元 86。每个行导体都有对流过其的电流的某种阻抗。每个行导体 82 上的位于每个存储单元 86 之间的单位电阻被显示为电阻 (r_c) 87、88 和 89。

在读过程期间，有电压施加在选定行上，在节点 81 产生电压 V_0 ，该电压产生的电流 I_0 流过连接到节点 90 的存储单元 86a。沿行 0 看，单位电阻 87 在列 0 与列 1 之间产生一个电压降，这样就有一个稍微低一点的电压 V_1 施加在存储单元 86b 上，产生流经该存储单元的电流 I_1 。沿行 0 上在列 1 与 2 之间遇到相同的单位电阻 88，在存储单元 86c 上产生电压 V_2 并产生电流 I_2 。继续沿着行 0，导体 82a 在每个列导体 84 之间都有一个单位电阻，一直到最后的单位电阻 89，在存储单元 86n 上产生电压 V_n 并产生流过该存储单元的电流 I_n 。对于沿列 0 到 n 上的 0 至 m 的每行，基本上出现相同的现象。

对行导体电阻的数学分析，有下述假设：

1. 列导体电阻等于零。
2. 同一行的每个存储单元的 TMJ 结电阻的值是 R。
3. 行导体有一个单位电阻 r_c 。

为了读一个电阻交叉点阵列，向一个选定行施加电压 V，将列导体或者接地，或者连接到传感放大器的虚拟地。结果，在列导体上没有电阻或者电位差。因此，电流 I_0 、 I_1 、...、 I_n 被限制于对应的列导体 0、1、...、n。

我们可以将沿着该行的每个节点的电压写成：

$$V_0 = V$$

$$V_1 = V_0 - r_c (I_1 + I_2 + \dots I_n)$$

$$V_2 = V_1 - r_c (I_2 + I_3 + \dots I_n)$$

$$V_3 = V_2 - r_c (I_3 + I_4 + \dots I_n)$$

$$V_n = V_{n-1} - r_c (I_n)$$

对于一个每行少于约 1000 列的合理大小的阵列，并且如果 R 比 r_c 小得多，则所有电流 I_1 、 I_2 、 I_3 ... I_n 大致相等且 $I = V/R$ 。因此：

$$V_0 = V$$

$$V_1 = V - r_c I (n)$$

$$V_2 = V - r_c I [n + (n-1)]$$

$$V_3 = V - r_c I [n + (n-1) + (n-2)]$$

$$V_n = V - r_c I [n + (n-1) + (n-2) + (n-3) \dots + 1]$$

于是，可以将沿该行上的任何点 (i) 处的电压的通用方程写成：

$$V_i = V - r_c I \sum_{j=0}^i (n-j)$$

现在来看图 7，可以对阵列中的列电阻作一个类似的分析。在简化的电路中显示的电阻阵列 90 有 1 到 m 的若干行和 1 到 n 的若干列，每行有一个导体 92，每列有一个导体 94。在每行和每列的交会处是一个连接在该行导体和列导体之间的存储单元 96。每个行导体都有流过其的电流的某种阻抗。每个行导体 92 上的位于每个存储单元 96 之间的单位电阻被显示为电阻 (r_c) 97、98 和 99。

对列导体电阻的数学分析，有下述假设：

1. 行导体电阻等于零。
2. 在最坏情形的分析中，选定存储单元的 TMR 结电阻要在高电阻状态中被读，所有其它单元的 TMR 结电阻都处于低电阻状态。
3. R 结电阻比 $m \times r_c$ 大得多。

因为 0 至 $n-1$ 所有列都相同，我们可以如图 8 中所示的那样将它们组合在一起而不改变阵列的电属性。这样，图 8 中的简化阵列 100 只有两列，即具有列导体 104 的 n 列和具有列导体 102 的 $n-1$ 列，后者是除 n 列以外的所有列的组合。

为了读阵列 100 中的一个单元，向该选定行（例如第 n 列的第 2 行）施加电压 V 。该选定行有两个状态，即高电阻状态 R_H 和低电阻状态 R_L 。假设 R_H 和 R_L 都比 $m \times r_c$ 大得多。则：

$$I_H = \frac{V(n-1)}{R_L} \text{ 和 } I_L = \frac{V}{R_H}$$

于是对于行 2，在节点 112：

$$V_{2H} = I_H \cdot (m-2) \frac{r_c}{n-1} = \frac{V}{R_L} (m-2) \cdot r_c$$

列 n 中的最后一个单元 110 的 TMR 结上的电压有最大误差：

$$V_n = V - r_c I \sum_{j=0}^n (n-j)$$

$$\text{Error_row (\%)} = (V - V_n) / V \times 100$$

$$\text{Error_row (\%)} = \frac{V - [V - r_c \frac{V}{R} \sum_{j=0}^n (n-j)]}{V} \times 100$$

$$\text{Error_row (\%)} = [\frac{r_c}{R} \sum_{j=0}^n n-j] \times 100$$

所以该误差与行导体电阻和阵列大小成正比，与 TMR 结电阻成反比。

注：如果 $r_c = 0.2$ 欧姆， $R = 10^6$ 欧姆且 $n = 1000$ ，则在该行的结尾处的 TMR 上的电压将有 10% 的减少。

对于节点 114 处的电压， $V_{3L} = I_L (m-2) r_c = V / R_H (m-2) r_c$

因此对于任何行，将行 2 用变量 a 替代：

$$R_H(a) = V / R_L (m-a) r_c$$

$$R_L(a) = V / R_H (m-a) r_c$$

可以看到，在 $(n-1)$ 个列上的电势电压与选定列 n 上的电势电压之间有一个小的差别。

$$\Delta V(a) = V_H(a) - V_L(a)$$

$$\Delta V(a) = [V / R_L - V / R_H] r_c (m-a)$$

电压的小差别 $\Delta V(a)$ 将导致小漏电电流 $\Delta i(a)$ 流过存储单元 100，如图 8 中所示的那样。

$$\Delta i(a) = \frac{\Delta V(a)}{R_L + \frac{R_L}{n-1}} = [V / R_L - V / R_H] r_c (m-a-1) \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right]$$

结果，将任何给定行 “ a ” 处的总漏电电流 I_{leak} 估计为：

$$I_{\text{leak}(a)} = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot [(m-a) + (m-a-1) + (m-a-2) \dots]$$

$$I_{\text{leak}(a)} = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot \sum_{i=0}^{m-a} (m-a-i)$$

因此通过在行 0 上选择一个要读取的存储单元，确定该存储单元的状态的传感电流将因为有一个大的漏电电流 I_{leak} 而有最大的误差。

I_{leak} 可以写成：

$$I_{\text{leak}} = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot \sum_{j=0}^m (m-j)$$

其中 $I_H = R/R_L$, $I_L = V/R_H$, $R_H = R_L(1 + \Delta R/R_L)$ 和 $\Delta R = R_H - R_L$

$\Delta R/R_L$ (%) 是 TMR 结从低电阻状态到高电阻状态的百分比变化。由于漏电电流而相对于信号窗口 $I_H - I_L$ 的百分比误差可估计为：

$$\text{Error - column (\%)} = \left[\frac{I_{\text{leak}}}{I_H - I_L} \right] \times 100$$

$$\text{Error - column (\%)} = \frac{(V/R_L - V/R_H)}{(V/R_L - V/R_H)} \left[\frac{r_c}{R_L} \sum_{j=0}^m (m-j) \right] \times 100$$

$$\text{Error - column (\%)} = \left[\frac{r_c}{R_L} \sum_{j=0}^m (m-j) \right] \times 100$$

对于正方形矩阵阵列来说， $m=n$ ，由行导体电阻导致的百分比误差与由列导体电阻导致的百分比误差大约相同。

以上分析提供了对行导体电阻导致误差和由列导体电阻导致的误差的估计。这些计算表明导体电阻、TMR 结电阻和阵列大小都对阵列的误差率有重要影响。

因此，阵列的设计者需要为导体电阻、TMR 结电阻和阵列大小寻求最佳的工作范围。

在一个标准的制造过程中，特别是对于 MRAM 器件，也选择导体的

厚度，以优化对数据的写。又窄又薄的导体用于写是更好的，但是产生比较高的导体电阻，这将降低信噪比（SNR）。因此，误差率将比较高。通过使用本文所述的发明，可以获得优化的参数，使得对选定的阵列大小和导体电阻有更好的 SNR。相应地，误差率能得到减少，由此更少需要误差校正软件和电路。

现在看图 9 和 10，图中提供了用于进一步解释本发明的两个优选方法的流程图。在图 9 中，在步骤 120，在一个行列矩阵中将多个存储单元互相隔离。在 122，将每个存储单元选择得有一个在 0.25 兆欧与 3.60 兆欧之间的结电阻值。然后在 124，在多个行中的存储单元之间连接多个导电行线。在 126，将每个导电行线选择得在相邻存储单元间有一个单位行电阻，其中每行的单位行电阻有一个在 0.0 欧姆至 0.38 欧姆之间的值。然后在步骤 128，在多个列中的存储单元之间连接多个导电列线。在 130，将每个导电行线选择得有一个基本上在 0.0 欧姆至 0.38 欧姆之间的单位列电阻。最后，在步骤 132，将存储单元结电阻的值与行和列单位线电阻的值相关，以便在电阻存储器阵列中有一个 20 分贝或更大的信噪比。

本发明的另一个优选方法在图 10 中表示。在图 10 中，在步骤 140，在一个行列矩阵中将多个存储单元互相隔离。在 142，将每个存储单元选择得有一个在 0.80 兆欧与 2.80 兆欧之间的结电阻值。然后在 144，在多个行中的存储单元之间连接多个导电行线。在 146，将每个导电行线选择得在相邻存储单元间有一个单位行电阻，其中每行的单位行电阻有一个基本上在 0.24 欧姆至 0.38 欧姆之间的值。然后在步骤 148，在多个列中的存储单元之间连接多个导电列线。在 150，将每个导电行线选择得有一个基本上在 0.24 欧姆至 0.38 欧姆之间的单位列电阻。最后，在步骤 152，将存储单元结电阻的值与行和列单位线电阻的值相关，以便在电阻存储器阵列中有一个 20 分贝或更大的信噪比。

尽管以上实施例是本发明的代表，对于本技术领域的熟练人员来说，通过考察本说明书和后附的权利要求书或者通过对所公开的发明的实施例的实践，其它实施方案是显而易见的。本说明书及其中的实施例应视作只是示例性的，本发明是由各权利要求及其等同物界定的。

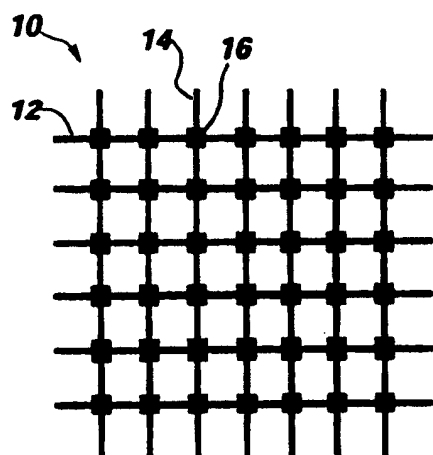


图 1
(现有技术)

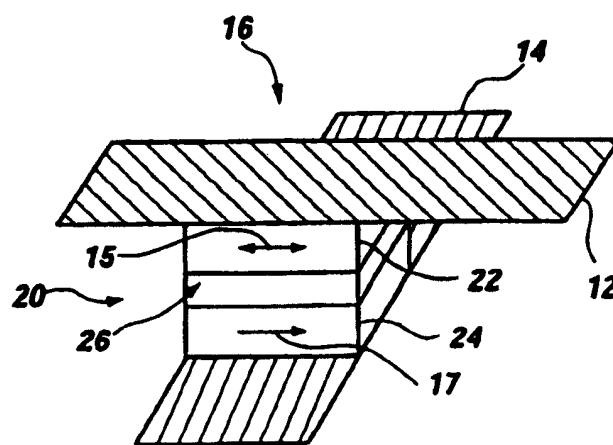


图 2
(现有技术)

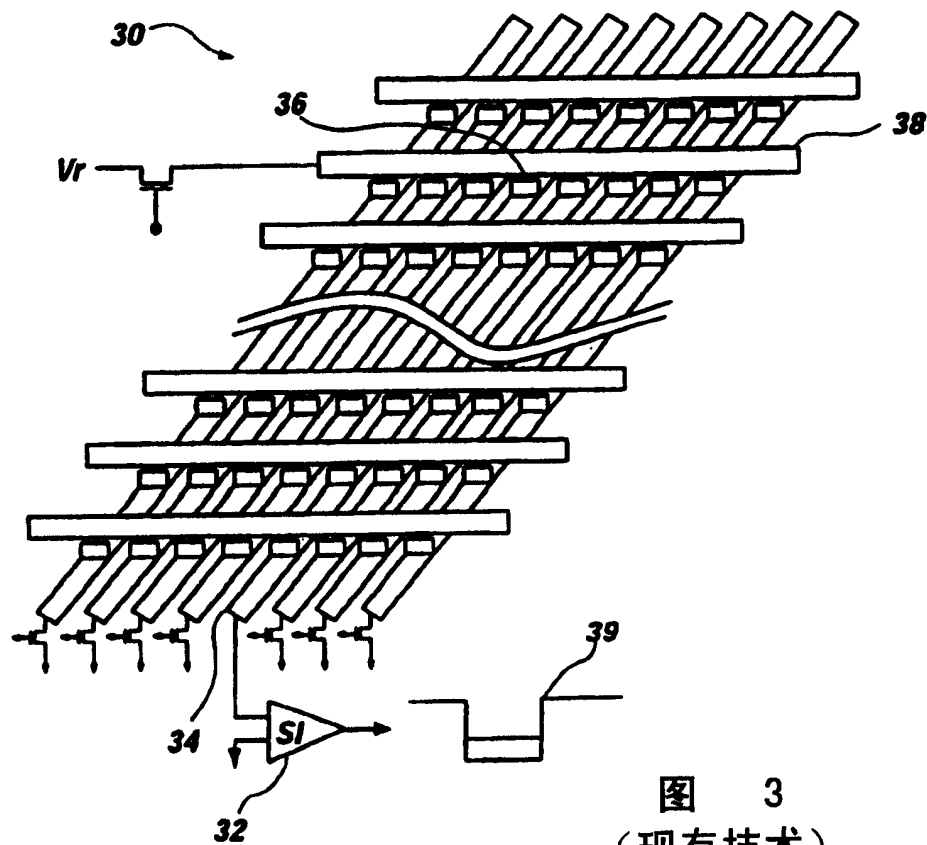


图 3
(现有技术)

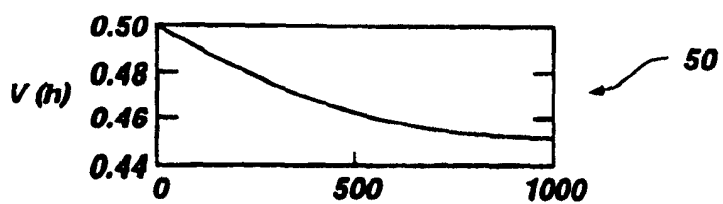


图 4B

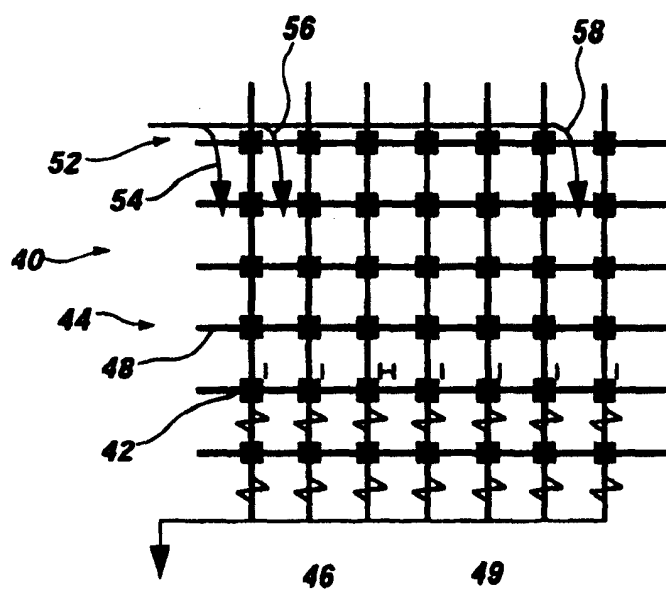


图 4A

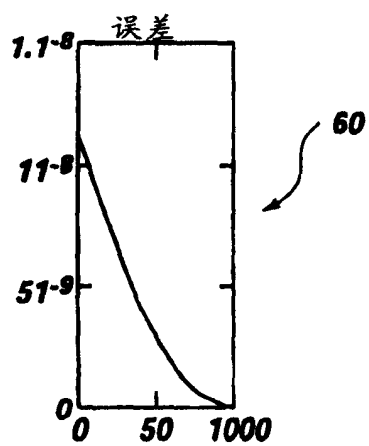


图 4C

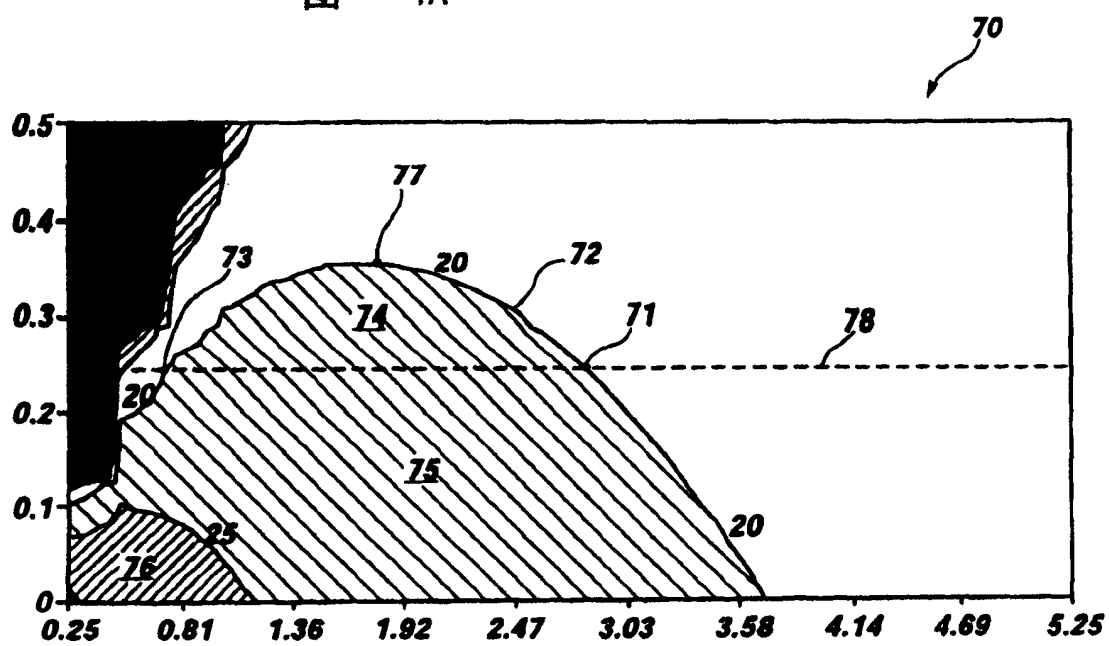


图 5

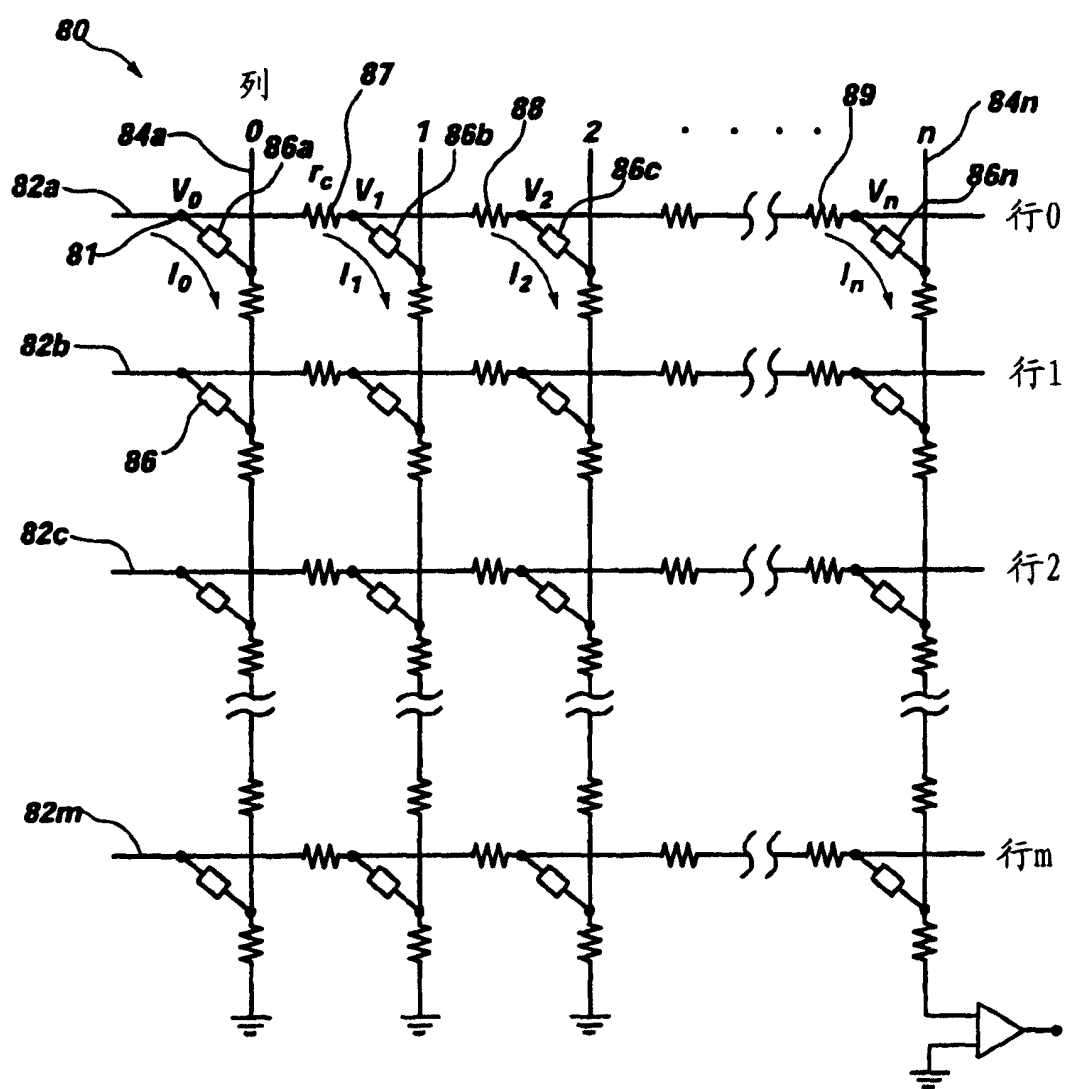


图 6

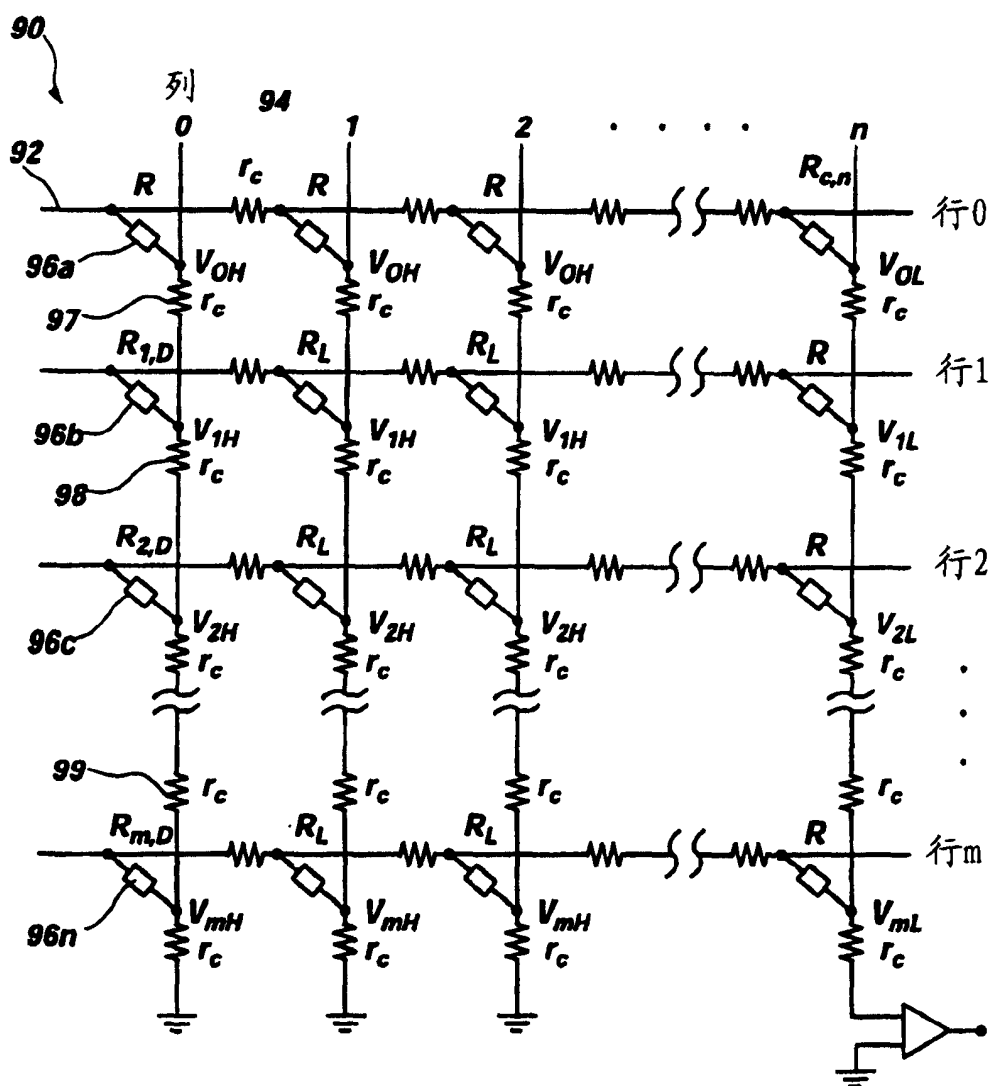


图 7

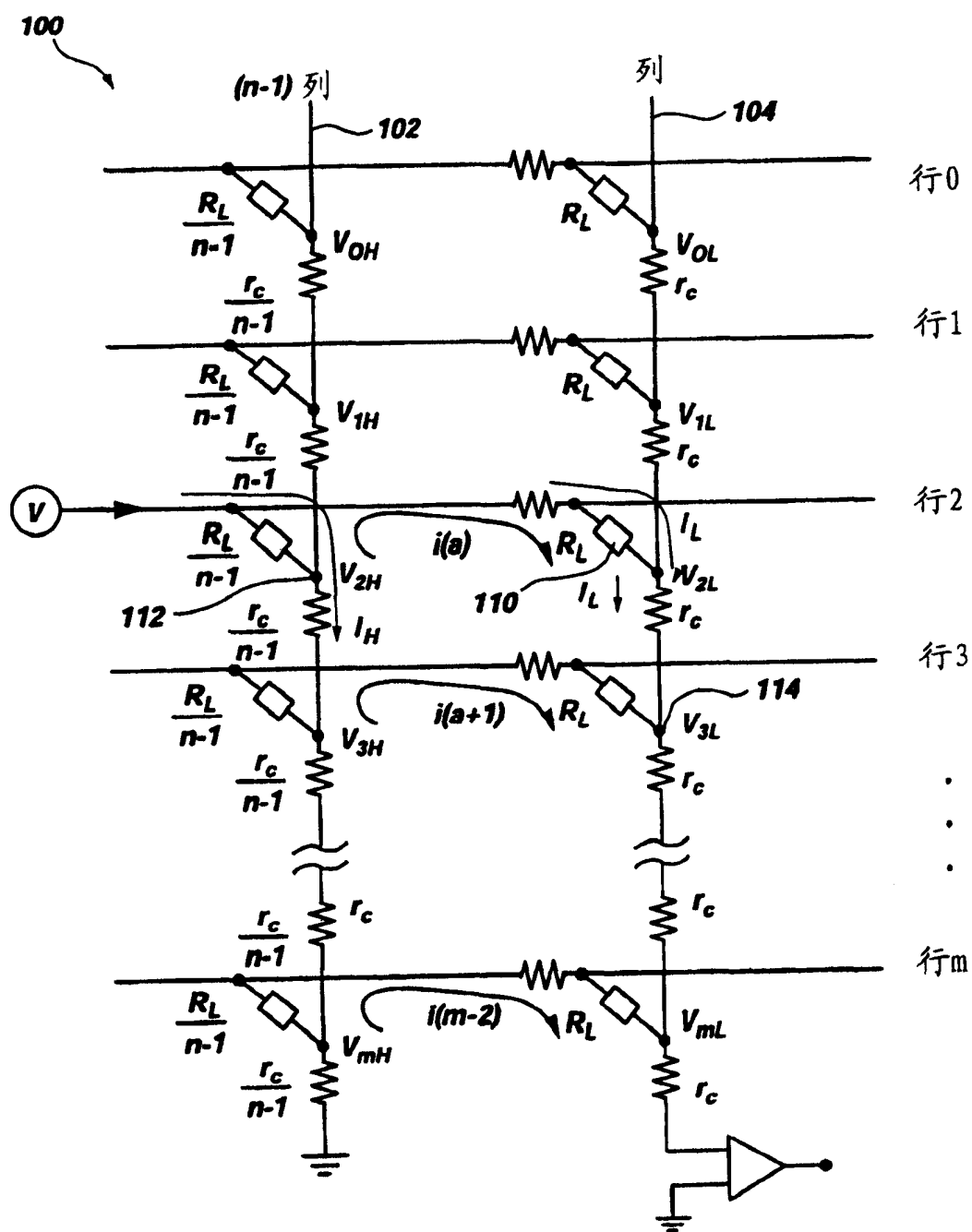


图 8

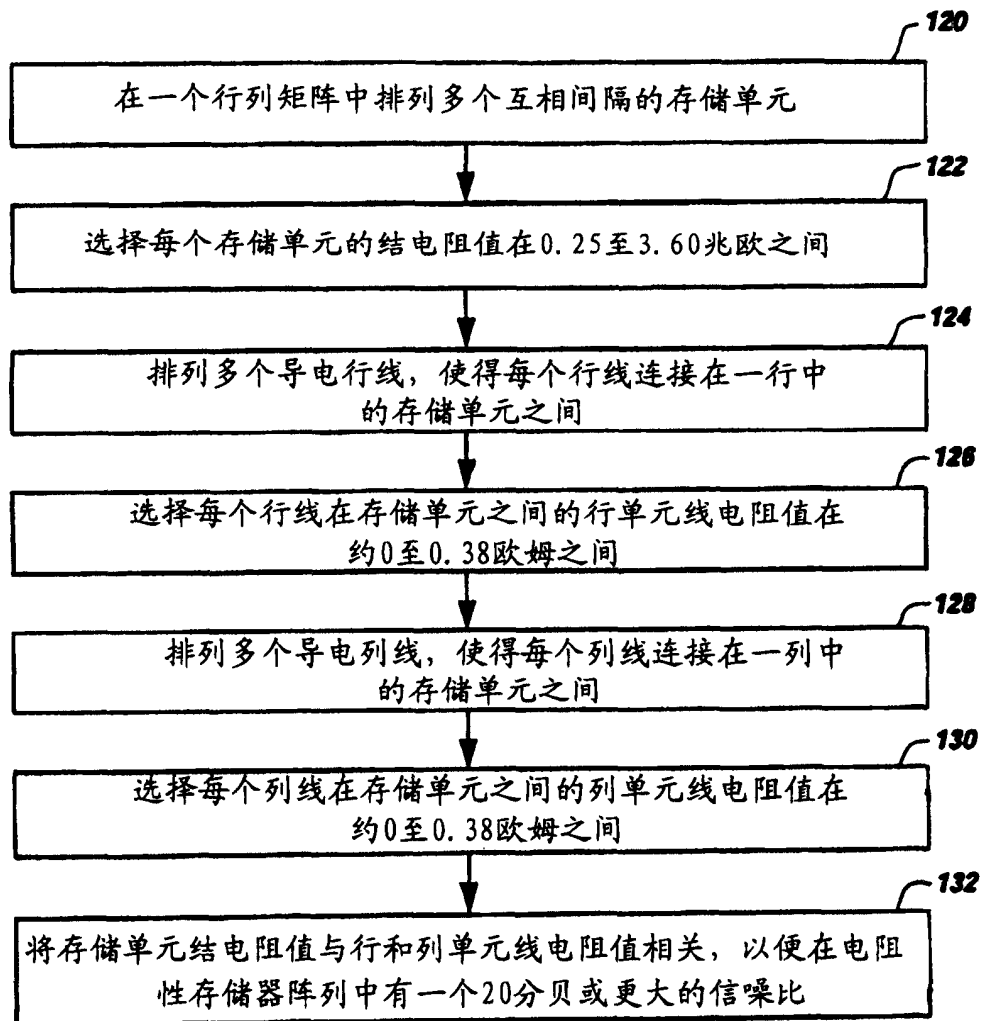


图 9

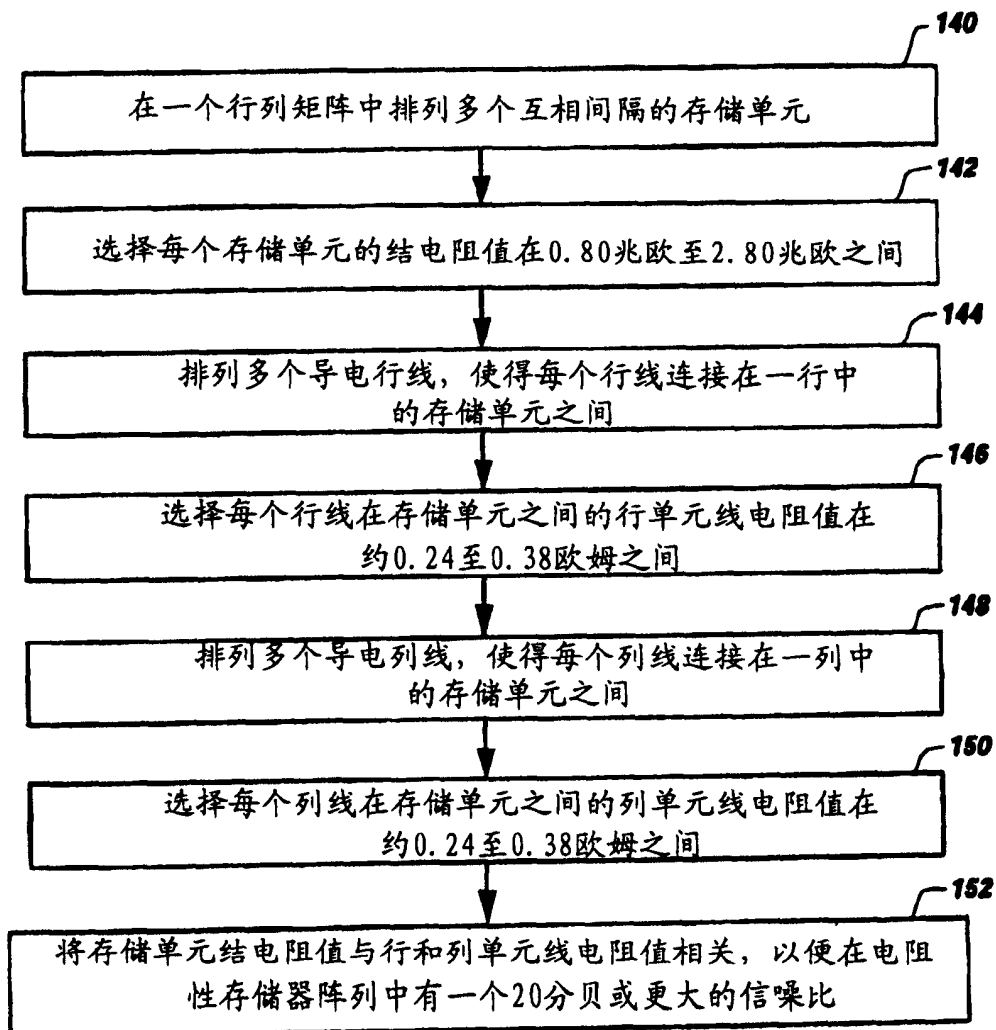


图 10