I474351

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I474351 B**

(45)公告日： 中華民國 104 (2015) 年 02 月 21 日

(21)申請案號：098139289 (22)申請日： 中華民國 98 (2009) 年 11 月 19 日

(51)Int. Cl.： ***H01G2/02 (2006.01)***

(30)優先權：2008/11/21 美國 12/276,280

(71)申請人：吉林克斯公司 (美國) XILINX, INC. (US)
美國

(72)發明人：鍾 禎 路得衛克 JONG, JAN LODEWIJK DE (US)；拜耳 史帝芬 BAIER, STEVEN (US)

(74)代理人：桂齊恆；閻啟泰

(56)參考文獻：

US 2005/0135042A1

審查人員：江國塽

申請專利範圍項數：13 項 圖式數：5 共 37 頁

(54)名稱

具有交替疊層部分的整合電容器

INTEGRATED CAPACITOR WITH ALTERNATING LAYERED SEGMENTS

(57)摘要

一種於積體電路(IC)中的電容器具有：一第一節點平板鏈路，形成於 IC 的一第一金屬層，其電氣連接且形成電容器之一第一節點的一部分，且沿著一第一軸(y)延伸；及，一第二節點平板鏈路，形成於 IC 的一第二金屬層，其沿著該軸延伸且藉著一通路而連接至第一節點平板鏈路。形成於第一金屬層之一第三節點平板鏈路電氣連接且形成電容器之一第二節點的一部分，且沿著節點平板陣列的一第二軸(x)延伸而橫向於第一節點平板鏈路、鄰近於第一節點平板鏈路的一端且重疊第二節點平板鏈路的一部分。

A capacitor in an integrated circuit (“IC”) has a first node plate link formed in a first metal layer of the IC electrically connected to and forming a portion of a first node of the capacitor extending along a first axis (y) and a second node plate link formed in a second metal layer of the IC extending along the axis and connected to the first node plate with a via. A third node plate link formed in the first metal layer is electrically connected to and forming a portion of a second node of the capacitor and extends along a second axis (x) of the node plate array transverse to the first node plate link, proximate to an end of the first node plate link and overlying a portion of the second node plate link.

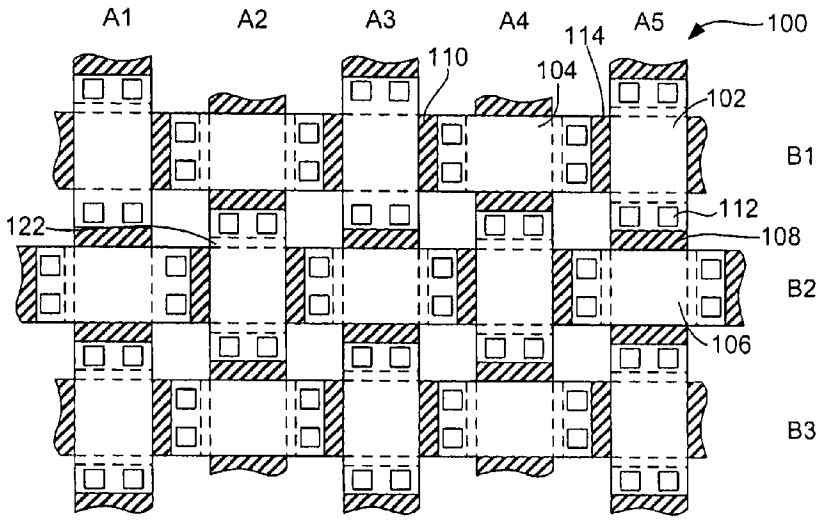


圖1A

100・・・整合電容器

102、104、106、108、110、114・・・節點平板鏈路

112・・・通路

122・・・節點平板鏈路

A1、A2、A3、A4、A5・・・行

B1、B2、B3・・・列

公告本

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：98139289

※申請日：98.11.19　※IPC 分類：H01G 2/02 (2006.01)

一、發明名稱：（中文/英文）

具有交替疊層部分的整合電容器

INTEGRATED CAPACITOR WITH ALTERNATING LAYERED SEGMENTS

二、中文發明摘要：

一種於積體電路（IC）中的電容器具有：一第一節點平板鏈路，形成於IC的一第一金屬層，其電氣連接且形成電容器之一第一節點的一部分，且沿著一第一軸（y）延伸；及，一第二節點平板鏈路，形成於IC的一第二金屬層，其沿著該軸延伸且藉著一通路而連接至第一節點平板鏈路。形成於第一金屬層之一第三節點平板鏈路電氣連接且形成電容器之一第二節點的一部分，且沿著節點平板陣列的一第二軸（x）延伸而橫向於第一節點平板鏈路、鄰近於第一節點平板鏈路的一端且重疊第二節點平板鏈路的一部分。

三、英文發明摘要：

A capacitor in an integrated circuit ("IC") has a first node plate link formed in a first metal layer of the IC electrically connected to and forming a portion of a first

node of the capacitor extending along a first axis (y) and a second node plate link formed in a second metal layer of the IC extending along the axis and connected to the first node plate with a via. A third node plate link formed in the first metal layer is electrically connected to and forming a portion of a second node of the capacitor and extends along a second axis (x) of the node plate array transverse to the first node plate link, proximate to an end of the first node plate link and overlying a portion of the second node plate link.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1A ）圖。

(二)本代表圖之元件符號簡單說明:

100 整合電容器

102、104、106、108、110、114 節點平板鏈路

112 通路

122 節點平板鏈路

A1、A2、A3、A4、A5 行

B1、B2、B3 列

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）

六、發明說明：

【相關申請案】

此件專利申請案與由 Patrick J. Quinn 所共同擁有之標題為「整合電容器之遮蔽」的美國專利申請案、由 Patrick J. Quinn 所共同擁有之標題為「具有格子(tartan)橫截面的整合電容器」的美國專利申請案、由 Patrick J. Quinn 所共同擁有之標題為「具有交互連接側翼的整合電容器」的美國專利申請案、由 Patrick J. Quinn 所共同擁有之標題為「具有纜線平板的整合電容器」的美國專利申請案及由 Patrick J. Quinn 所共同擁有之標題為「具有十字元件陣列的整合電容器」的美國專利申請案所同時提出，此等美國專利申請案之揭露內容實際各自以參照方式而將其整體納入於本文。

【發明所屬之技術領域】

本發明關於形成於積體電路（IC；integrated circuit）中的電容器，通稱為「整合電容器」。

【先前技術】

製造 IC 之方法典型包括：一前端處理順序，其中，諸如電晶體之種種的電氣元件形成於一半導體基板；及，一後端處理順序，概括包括形成具有傳導通路（via）的介電材料與圖案化（patterned）傳導材料（典型為金屬）的交替層或使用其他技術以互連金屬層來形成一種三維的接線結構，其連接電氣元件至其他電氣元件及 IC 之端子。

電容器為了種種目的而用於IC系統。於多個實例，納入（整合）一電容器於IC晶片是期待的。一種簡單的方式是形成具有一介於中間的介電質的二個傳導平板；然而，此針對於取得的電容而消耗相當大的面積。用於增大一既定面積的電容之一種技術運用多個傳導平板，各個傳導平板與鄰近的平板由介電質所分開。另外的技術運用傳導板條（strip），亦稱為傳導線條（line）、傳導指部（finger）或傳導線跡（trace），其交替地連接至第一與第二電容器端子（節點）。於傳導板條之間耦合的側壁提供電容。以垂直一致性排列或配置之傳導板條層可附加以進而增大一種整合電容器結構的電容。

一種電容器具有連接至第一節點之於連續層的若干個傳導板條且與連接至整合電容器之第二節點的相等數目個傳導板條交替。該傳導板條是於連續層上偏置了半個單元，使得連接至第一節點之一傳導板條具有於其上方且二側的連接至第二節點之傳導板條。提供針對於各個節點之於一層的相等數目個傳導板條是與至基板的各個節點之耦合平衡，此是期待於一些應用中，但為不期待於其他者，諸如：切換式應用，其中，於一個節點處具有較小的耦合是期待的。

提供一種整合電容器之另一個方式是具有連接至該電容器的交替節點之於一層的傳導板條及連接至相同節點的重疊傳導板條。此本質為形成連接至該電容器的第一節點之一簾幕（curtain）的傳導板條與互連通路及連接至第二節

點之相鄰簾幕的傳導板條與互連通路。連接至該相同節點的重疊傳導板條避免關聯於匯流板條之喪失的表面積；然而，層間的電容是降低，因為上方板條如同下方板條而連接至相同節點。此效應是稍微排除，因為隨著臨界尺寸縮小，板條間的電容相較於層間的電容而成為較為強勢。換言之，於連續金屬層之間的介電層分離隨著減小臨界尺寸而成為愈來愈大於傳導板條之間的介電分離。

長、平行的傳導指部經常造成設計限制，諸如：針對於一既定金屬層的既定長度之最小寬度。於一些設計，長的傳導指部造成不期待的電感-電阻量變曲線，電感隨著增大該指部的長度而增大。

因此，克服先前技術的缺點之整合電容器是期望。更概括期望的是：整合電容器具有每單位面積的高電容、低損失（電阻）與低的自電感，其藉由提高自共振頻率與電容器電路品質而改良高頻的應用。

【發明內容】

一種於積體電路（IC）中的電容器具有：一第一節點平板鏈路（link），形成於該 IC 的一第一金屬層，其電氣連接且形成該電容器之一第一節點的一部分，且沿著一第一軸延伸；及，一第二節點平板鏈路，形成於該 IC 的一第二金屬層，其沿著該軸延伸且藉著一通路而連接至第一節點平板鏈路。形成於第一金屬層之一第三節點平板鏈路電氣連接且形成該電容器之一第二節點的一部分，且沿著節

點平板陣列的一第二軸延伸而橫向於第一節點平板鏈路、鄰近於第一節點平板鏈路的一端且重疊第二節點平板鏈路的一部分。

【實施方式】

諸如可程式邏輯元件之複合IC經常具有藉由形成於一半導體基板上之介電材料層所分開的數個圖案化金屬層，其用於接線連接與其他功能，通稱為IC的「後端」。本發明之一些實施例可適於現存CMOS處理程序，藉由運用形成期望的圖案於適當金屬層之遮罩（mask）及通過於IC的後端之金屬間的介電質（IMD；inter-metal dielectric）層或層間的介電質（ILD；inter-layer dielectric）之通路（via）。通路運用數種習知技術之任一者所形成，諸如：接觸插頭（contact plug）、金屬鑲嵌（damascene）或雙金屬鑲嵌技術。同理，傳導板條運用數種習知技術之任一者所形成，諸如：薄膜金屬蝕刻（etch）、薄膜金屬升離（lift-off）、金屬鑲嵌與雙金屬鑲嵌技術。於一些實施例，該等傳導層之一者是一聚矽或矽化物層。於再一個實施例，於半導體基板之一傳導井是形成一電容器平板或一遮蔽的一部分。

現場可程式閘陣列（FPGA；field programmable gate array）運用整合電容器於種種的電路應用，諸如：濾波電容器、切換電容器與RF耦合電容器。整合電容器之實施例可擴充以提供用於種種電路應用之大範圍的總電容值。高的比電容（specific capacitance）（每單位面積矽的電容）

是可達成而且維持低的電阻與電感阻抗，且高的總電容是於小面積得到，保持IC晶片尺寸為小。電容器概括有用於廣泛的種種積體電路及於廣泛的種種應用。舉例而言，一或多個電容器可有用於一種切換電容器網路，諸如：於一類比至數位轉換器，或作為針對於AC發訊之一種解耦合或濾波電容器（例如：於MGT）。概括而言，本文所述的電容器結構可有用於需要電容之任何應用。

圖1A是根據本發明之一個實施例的一種整合電容器100之一部分的平面圖。該平面圖顯示於一IC之二個圖案化傳導層的部分者且其間的介電材料移除。下方金屬層是由斜線所顯示以較明確區分於下方金屬層的特徵與於上方金屬層的彼等者。此外，延伸在於上方層的金屬特徵之下的下方層的金屬特徵是為了該二層式結構之改善圖示而由虛線所顯示。

該種整合電容器具有一第一節點A與一第二節點B。於一些實施例，A與B節點是於IC之一種切換電容器的頂部與底部節點。於一些切換電容器應用，遮蔽該頂部節點免於電氣雜訊或雜散耦合是特別期待。於其他實施例，A與B節點是一種RF耦合電容器的平衡節點。於一些RF耦合應用，特別期待的是：一個節點是實質呈現如同另一個節點的相同阻抗且電容器具有高的自共振頻率。於還有其他的實施例，A與B節點是一種濾波電容器的節點。高的比電容與高的總電容通常期待於濾波電容器。注意：一電容器概括視為一種二端子元件，且如本文所述的「頂部」與

「底部」節點概括對應於電容器的此二個端子。因此，下述的結構可視為（例如：電氣）連接至一個節點或另一個節點或形成一節點的部分者。一節點未分開其所連接的電容結構，而是彼等結構可形成一節點的部分者。

整合電容器 100 由數個節點平板鏈路 102、104、106、108、110 所構成。該等節點平板鏈路實質為相同，但是替代實施例運用於不同層的不同鏈路或於一層之內的不同鏈路。附加的實施例運用連接至節點平板陣列的節點平板鏈路之附加的傳導元件（參閱：例如於圖 2A 所示的中央「H 元件」）。該等節點平板鏈路是矩形且具有自約 1.5:1 至約 5:1 之一長度:寬度的長寬比。具有較低的長寬比之節點鏈路（參閱：例如圖 1A 的參考符號 104）典型具有於諸層之間的超過一個接點。具有單一個接點之節點鏈路（參閱：例如圖 2C 的參考符號 237）可具有一較高的長寬比。於一個特定實施例，一節點平板鏈路（參閱：例如圖 2C 的參考符號 237）具有：一寬度，此針對於該節點平板鏈路為形成於其之圖案化金屬層的一金屬線跡之最小設計寬度；及，一長度，約為等於該寬度的三倍（例如：通路為形成於其之二個方形端部分與該節點平板鏈路為重疊下面的橫向節點平板鏈路之一中央方形部份）加上二個最小金屬線間隔（例如：於其在鏈路 237 下面的橫向節點平板鏈路與其在鏈路 237 左右的鏈路端之間的間隔（基本為於鏈路 237 的垂直虛線對之間的長度））。於一特定實施例，最小金屬線間隔約等於最小金屬線寬度，造成約為 5:1 之一長寬比。於一替

代實施例，一節點平板鏈路約為 3f 寬及 6f 長，其中，f 針對於節點平板鏈路為形成於其之金屬層的節點技術之臨界最小尺度。

相較於用於諸多習用的整合電容器之金屬絲線（其經常具有大於 100:1 之長寬比），節點平板鏈路的長寬比是相當低。節點平板鏈路之低的長寬比提供高的比電容，藉由在連接至第一節點之一節點平板鏈路對於連接至第二節點之對應節點平板鏈路的二端與二個側邊之層內（邊緣至邊緣）電容（參閱：圖 1C 與關聯的說明）。為了便於論述，一節點平板鏈路的長度是一節點平板鏈路之平面圖的較長維度，其典型於一節點平板陣列之一第一軸的接點之間延伸，且該寬度是較短的維度，其典型沿著節點平板陣列之一第二軸延伸，第二軸典型為正交於第一軸。

一些節點平板鏈路 108、110 是於下方金屬層，且其他的節點平板鏈路 102、104、106、122 是於上方金屬層。於一層的節點平板鏈路（例如：於上層的節點平板鏈路 102）是由傳導通路（「通路」）112 所電氣連接至於其他層的節點平板鏈路（例如：節點平板鏈路 108），且該等節點平板鏈路是充分寬以容納至少一個（且或者二或多個）通孔。節點平板鏈路是以一種「籃筐-編織（basket-weave）」圖案於列 B1、B2、B3 與行 A1、A2、A3、A4、A5 而自一層至下一層交替。即，連接至第一節點之沿著行 A5 延伸於上層的一節點平板鏈路 102 通過在連接至第二節點之沿著 B1 延伸於下層的一節點平板鏈路 114 之上方。節點平板鏈路 102

串聯連接沿著行 A5 延伸於下層的一第二節點平板鏈路 108，且第二節點平板鏈路 108 通過連接至第二節點之沿著列 B2 延伸於上層的一節點平板鏈路 106 之下方。此順序沿著整合電容器 100 的諸列與諸行重複。

於上方圖案化金屬層，連接至第一節點之節點平板鏈路 102 是在於下方圖案化金屬層的節點平板鏈路 114 之上方而沿著一第一軸延伸，節點平板鏈路 114 連接至第二節點且沿著正交於第一軸的一第二軸延伸。行 A5 包括附接至整合電容器的第一節點而交替於第一（上方）與第二（下方）金屬層之間的節點平板鏈路，且列 B1 包括附接至整合電容器的第二節點而交替於第一與第二金屬層之間的節點平板鏈路。於上方金屬層，沿著該節點平板鏈路陣列（「節點平板陣列」）的一第一軸延伸，連接至整合電容器的第一節點之一第一節點平板鏈路是沿著第一軸（即：節點平板鏈路的長維度是沿著第一軸延伸）方位，接著連接至整合電容器的第二節點之一第二節點平板鏈路是沿著第二軸方位，且接著連接至第一節點之一第三節點平板鏈路是沿著第一軸方位。

於各行的各個節點平板鏈路連接至該種電容器的 A 節點，且於各列的各個節點平板鏈路連接至該種電容器的 B 節點，此關於圖 1B 而進一步論述。

相較於其運用長、薄的傳導絲線之習用式整合電容器，籃筐-編織圖案提供高的比電容及低的電感與電阻阻抗。於上層之節點平板鏈路 102 電容式耦合至於下層之節

點平板鏈路 114，其中，該等鏈路是跨接（部分重疊），稱作為「層間電容」，節點平板鏈路 102 之末端電容式耦合至相鄰的節點平板鏈路 106 之邊緣，稱作為「層內電容」，且相鄰的節點平板鏈路 104 之末端電容式耦合至節點平板鏈路 102 之邊緣。因此，該種籃筐-編織圖案提供層間與層內電容。對於總電容的層間作用對層內作用之比值是可選擇，藉由調整該等節點平板鏈路的長寬比與尺度及該圖案佈局。於一些實施例，節點平板元件運用最小間距規則而佈局。於一些實施例，節點平板元件運用最小金屬線寬度規則與最小間距而圖案化。於替代實施例（參閱：例如圖 1A），節點平板元件佈局為大於最小金屬線寬度。

於再一個實施例，在該二個圖示層之上方或下方的附加金屬層是圖案化。舉例而言，一第三金屬層（參閱：圖 2E）圖案化為實質類似第一金屬層且重疊於圖 1A 所示的上方金屬層。另一個圖案化金屬層是可於類似方式而在下方的圖示層。堆疊的通路自最下方的金屬層延伸且通過中間的金屬層而至最上方（第三）金屬層。實施例可具有偶數個圖案化金屬層或奇數個圖案化金屬層（比一個大）。附加的圖案化金屬層提高該種整合電容器之比電容。

圖 1B 是根據一個實施例的一種整合電容器之一節點平板陣列 150 的平面圖。節點平板陣列 150 是一區塊的節點平板鏈路，該區塊複製且重複以形成該種整合電容器之一部分，類似於記憶體單元陣列如何分段及重複。於該節點平板陣列之節點平板鏈路的數目是為了說明而降低。節點

平板陣列 150 具有概括為方形的覆蓋區，提供針對於該電容器的二個節點之高度對稱的阻抗特性。節點平板陣列之替代實施例是非方形。於一個特定實施例，於一陣列之列與行的數目（且因此沿著對應行或列之串聯鏈路的數目）是選擇以調整電容對串聯電阻的比值。

串聯的節點平板鏈路是實行於列與行。典型節點平板鏈路陣列具有串聯於一列或一行之 10 至 100 個節點平板鏈路。串聯於匯流條（「金屬接線」）或其他共同節點連接器之間的鏈路數目是由數個因素所確定，諸如：整合電容器之期望的電容與阻抗特性。舉例而言，通路可具有相當高的串聯電阻。一個實施例可能運用具有單一個通路之窄的節點平板鏈路，而另一個實施例運用具有於各排（tier）的二或多個通路之較寬的節點平板鏈路。運用較寬的節點平板鏈路是透過多個（並聯）通路而增強層間電容且提供低的串聯電阻，但是藉由降低針對於節點平板陣列的一已知區域之邊緣至邊緣的耦合之總長度而降低層內電容，因此層內電容對層間電容之比值可根據節點平板鏈路的長寬比而調整（選擇）。

諸行的節點平板鏈路延伸於一第一匯流條 152 與概括平行於第一匯流條的一第二匯流條 154 之間，匯流條 152、154 沿著該節點平板陣列之一第一軸（X 軸），諸列的節點平板鏈路延伸於一第三匯流條 156 與一第四匯流條 158 之間，匯流條 156、158 沿著該節點平板陣列之一第二軸（Y 軸）延伸。第三與第四匯流條 156、158 顯示於虛線，以指

出其為圖案化於下方金屬層且為了說明清楚而於一簡化方式。通路 160、162 電氣連接於上層的節點平板鏈路 164 至於下層的匯流條 156。同理，通路 166、168 連接第一匯流條 152 至於下方金屬層的一節點平板鏈路（未顯示）（參閱：例如圖 1A）。匯流條的其他配置是替代運用。舉例而言，垂直與水平的匯流條是實質為圖案化於單一個金屬層，運用數種跨接技術之任一者，其中，該等匯流條是跨越或否則為相交。

匯流條概括為低電阻、低阻抗的元件，其連接一或多個節點平板鏈路陣列至整合電容器之電路節點。提供一匯流條沿著節點平板鏈路陣列 150 的相對邊緣是呈現一對稱的電氣環境，且降低其將出現於單端的列或行之串聯電阻或電感。換言之，於該陣列中央之一節點平板鏈路具有對於該等匯流條之各者的類似電阻，基本提供並聯的二個電阻器且降低明顯的串聯電阻。

於一種典型的整合電容器，多個節點平板鏈路陣列是連接至匯流條。舉例而言，附加的節點平板鏈路陣列（未顯示）是連接至匯流條 156、158 的左側與右側或在匯流條 152、154 的上方或下方。運用一種標準的節點平板鏈路陣列使得易於製造不同值與不同實際尺寸之整合電容器。整合電容器之一些實施例運用單一個節點平板陣列。

運用一種籃筐-編織圖案技術之整合電容器提供良好的製造一致性與高的比電容。製造一致性（即：跨於一晶圓或跨於一 IC 的低變化與低的逐批變化）是特別期待於實際

大的IC，諸如：FPGA，其中，整合電容器可能實際分開於IC晶片的相當大距離。運用大於最小金屬線寬度所製造的節點平板元件之實施例(參閱：例如圖1A的節點平板鏈路，其為充分寬以容納二個通路）是提供跨於多個IC之一晶圓的良好一致性及良好的逐個晶圓與逐批的一致性。相較於最小金屬線寬度所製造的習用絲線式電容器，大於最小金屬線寬度所製造的整合電容器是提供高的比電容與高的製造產量。

圖1C是圖1A的上方金屬層之一部分120的平面圖。連接至一個節點（即：節點A）之一節點平板鏈路122（例如：於圖1A之列B2相交於行A2的節點平板鏈路）具有相鄰於連接至其他節點(即：節點B)的節點平板鏈路128、130之末端124、126。節點平板鏈路122之側邊132、134亦相鄰於連接至其他節點的節點平板鏈路136、138。節點平板鏈路122之末端124、126耦合於相對節點平板鏈路128、130之側邊以提供層內電容。同理，節點平板鏈路122之側邊132、134耦合於相對節點平板鏈路136、138之末端以提供附加的層內電容。運用一籃筐-編織技術所配置之矩形節點平板鏈路提供在該等傳導元件之末端與側邊的層內電容，因此提供高的比電容。

圖2A是一節點平板陣列的第一圖案化金屬層201（即：於圖2C的上方金屬層）之一部分的平面圖。節點平板鏈路210、214、211、218是沿著行A1、A2、A3與列B1、B2、B3配置。一H元件202具有側邊元件205、207及延

伸於該等側邊元件之間的交接元件 209。H 元件 202 是連接至 A 節點，如為節點平板鏈路 210 與 214。交接元件 209 為沿著行之方向延伸，如連接至 A 節點之節點平板鏈路所延伸，而側邊元件 205、207 為沿著列之方向延伸，如連接至 B 節點之節點平板鏈路所延伸。此允許該等側邊元件以耦合至於沿著相較於一簡單矩形鏈路的末端邊緣（比較：圖 1C 之參考符號 124、126）為較長邊緣之列的 B 節點鏈路平板，因此提供提高的層內電容。舉例而言，於 H 元件 202 與節點平板鏈路 218 之間的層內耦合 213、215 增加至末端至側邊的耦合 217，其將發生於若該 H 元件為以一矩形鏈路所取代。此外，側邊元件 205 耦合至節點平板鏈路 221，如由雙端箭頭 219 所指出。熟悉整合電容器技術人士將理解的是：H 元件之側邊元件提供對於其他節點平板鏈路（諸如：鏈路 211 與 223）之附加的層內電容。

圖 2B 是一節點平板陣列的第二圖案化金屬層 203（即：於圖 2C 的下方金屬層）之一部分的平面圖。第二圖案化金屬層 203 之部分是實質類似於旋轉九十度後之圖 2A 的第一圖案化金屬層之部分。因此，第二圖案化金屬層之此部分的詳細說明是省略。第二 H 元件提高層內電容，如同關於圖 2A 之上文所述，且亦提高層間電容，如同關於圖 2C 之下文所述。

圖 2C 是根據另一個實施例的一種整合電容器之一節點平板陣列 200 的一部分的平面圖。圖 2A 之上方金屬層顯示為無斜線且為重疊於圖 2B 之下方金屬層，其顯示具有斜

線。H元件202是界定於上方傳導（金屬或聚矽/矽化物）層，且第二H元件204界定於下方傳導層。第二H元件204是自第一H元件202而旋轉九十度。通路206、208一起電氣連接傳導節點元件。第一H元件202是透過行A2之節點平板鏈路與通路而連接至一第一節點（節點A）且第二H元件204是透過列B2之節點平板鏈路與通路而連接至整合電容器之一第二節點（節點B）。對於第一節點之電氣連接是沿著行A1、A2、A3所作成，而對於第二節點之電氣連接是沿著列B1、B2、B3所作成。作為一列或作為一行之軸的標示是任意，且術語僅是為了便於論述而運用。連接至第一節點之節點平板鏈路210、212、214及連接至第二節點之正交平板部分216、238、220是以一「籃筐編織」圖案而交替於傳導層，如同關於圖1A與1B之上文所述。

於一些實施例，圖2C之圖案是沿著列與行重複，以形成一節點平板陣列（參閱：例如圖3A）。H元件提高關於圖2A之如上所述的層內電容，且亦提高於區域P1、P2、P3與P4的層間電容，於該等區域中，第一與第二H元件的側邊元件是重疊，且關於圖2D進而說明於下文。層間電容對層內電容之比值是根據平板部分的寬度與長度及層內的線間距而可變。

圖2D是圖2C之節點平板陣列200的橫截面220，其沿著截面線L-L所取得。截面線是延伸通過圖2C之節點平板鏈路218、H元件202與204及通路208。節點平板鏈路212、218與H元件202、204之截面是電容式耦合至傳導元

件。層間耦合 222、224、226 與層內耦合 228、230、232、234 是藉著雙端箭頭所表示。於傳導元件之間的間距是為了說明而誇大。節點平板元件是形成於一第一（下方）傳導層 M_N 及於一第二（上方）傳導層 M_{N+1}。於一特定實施例，M_N 與 M_{N+1} 均為金屬層。替代而言，一或二者是一聚矽或矽化物層。

圖 2E 是根據另一個實施例的一種四層整合電容器 250 之一部分的橫截面。於一第三傳導層 M_{N+2} 之圖案實質為相同於第一傳導層 M_N 之圖案。同理，於一第四傳導層 M_{N+3} 之圖案實質為相同於第二傳導層 M_{N+1} 之圖案。實施例可包括奇數個層或偶數個層。附加的圖案化傳導層提高該種整合電容器的比電容。

圖 3A 是運用根據圖 2C 之一圖案的一節點平板陣列 300 之一部分的平面圖。節點平板 H 元件是沿著列與行鏈接，概括與節點平板鏈路交替（比較圖 1A）。該種圖案是重複以形成一節點平板陣列（參閱：例如圖 3B 之參考符號 312）。於一特定實施例，該種圖案是沿著列與行重複以形成一實質為方形的節點平板陣列，其提供實質為可互換的第一與第二節點。

圖 3B 是根據一個實施例之一種於 IC 的整合電容器 301 之一部分的平面圖。匯流條 302、304、306、308 是連接節點平板陣列 312、314 至整合電容器之 IC 電路節點。如同關於節點平板陣列之上文所述，水平匯流條 306、308 電氣連接該等節點平板陣列之行元件，且垂直匯流條 302、304

電氣連接該等節點平板陣列之列元件。匯流條 302、304、306、308 均形成於相同金屬層，且運用通路 310 之跨接者是運用。替代而言，連接至第一節點之匯流條界定於一第一金屬層，且連接至第二節點之匯流條界定於一第二金屬層（比較：圖 1B）。於一個特定實施例，各個節點平板陣列是由匯流條所圍繞（參閱：例如圖 1B）。替代而言，於整合電容器之周邊的節點平板陣列是未圍繞。於一個特定實施例，各個節點平板陣列具有根據圖 2A 之約二十個單位單元。

圖 4 是根據另一個實施例的一種整合電容器之一節點平板陣列 400 的一部分的平面圖。相較於圖 2A 之 H 元件 202，圖 4 之 H 元件 402 包括側邊延伸部分 403、404、406、408，其鏈接 H 元件 402 之側邊元件 405、407 至節點平板鏈路 410、411、414、415。該等側邊延伸部分提供附加的層內電容，諸如：由雙端箭頭 416 所示，且藉由互連 H 元件與節點平板鏈路於金屬層以降低該等節點平板鏈路的電阻。如關於圖 2A 所述，沿著 X 方向延伸之側邊元件是如沿著 Y 方向延伸之鏈路 410、411、414、415 的相同節點極性。根據圖 4 之一種整合電容器具有旋轉九十度而在圖 4 所示層的上方或下方之一第二或第三金屬層。替代而言，根據圖 4 之一種整合電容器具有在圖 4 之層的上方或下方之一不同圖案化金屬層，諸如：於圖 2B 所示的圖案。

注意：所述的層之型式與數目僅為實例，且於一些實施例，其他適合層是可運用，且任何數目個層是可運用。

舉例而言，運用的層是可取決於可利用於製程之層的型式與數目，且其他配置將對於熟悉此技術人士為顯而易見。概括而言，根據本發明之實施例，任何適合層及任意數目個層是可運用。

圖5是一種FPGA 500的平面圖，納入根據實施例之一或多個整合電容器。FPGA 500包括CMOS部分於數個功能方塊，諸如：於RAM與邏輯，且為運用一種CMOS製程所製造。根據本發明的一或多個實施例之一或多個整合電容器544納入於FPGA之數個功能方塊的任一者，諸如：一I/O部分、收發器或電源供應分配網路。

FPGA架構包括多個不同的可程式瓦塊（tile），包括：多重十億位元收發器（MGT；multi-gigabit transceiver）501、可組態邏輯方塊（CLB；configurable logic block）502、隨機存取記憶體方塊（BRAM；random access memory block）503、輸入/輸出方塊（IOB；input/output block）504、組態與時脈邏輯（CONFIG/CLOCK）505、數位訊號處理（DSP；digital signal processing）方塊506、專用輸入/輸出（I/O）方塊507（例如：組態埠與時脈埠）及其他可程式邏輯508，諸如：數位時脈管理器、類比至數位轉換器、系統監視邏輯等等。一些FPGA亦包括：專屬處理器（PROC）方塊510。

於一些FPGA，各個可程式瓦塊包括一可程式互連元件（INT；interconnect）511，其具有往返於各個相鄰瓦塊的一對應互連元件之標準化連接。因此，一起作用的可程式互連元件實施針對於圖示的FPGA之可程式互連結構。可程

式互連元件（INT）511 亦包括往返於相同瓦塊內的可程式邏輯元件之連接，如由包括在圖 5 之頂部的實例所示。

舉例而言，一 CLB 502 可包括可程式規劃以實施使用者邏輯之一可組態邏輯元件（CLE；configurable logic element）512 加上單一個可程式互連元件（INT）511。除了一或多個可程式互連元件之外，一 BRAM 503 可包括一 BRAM 邏輯元件（BRL；BRAM logic element）513。典型而言，納入於一瓦塊之互連元件的數目視該瓦塊之高度而定。於描繪的實施例，一 BRAM 瓦塊具有如同四個 CLB 之相同高度，但是其他數目（例如：五個）亦可運用。除了適當數目的可程式互連元件之外，一 DSP 瓦塊 506 可包括一 DSP 邏輯元件（DSPL；DSP logic element） 514。除了一個實例的可程式互連元件（INT）511 之外，一 IOB 504 可包括例如二個實例的輸入/輸出邏輯元件（IOL；input/output logic element）515。如將為熟悉此技術人士所明白，舉例而言，連接至 I/O 邏輯元件 515 之實際 I/O 墊是運用在種種圖示邏輯方塊之上方的疊層金屬所製造，且典型為未限定於輸入/輸出邏輯元件 515 之區域。於描繪的實施例，接近晶片之中央的柱狀區域（於圖 5 所示為陰影處）用於組態、時脈與其他控制邏輯。

利用於圖 5 所示的架構之一些 FPGA 包括附加的邏輯方塊，瓦解構成 FPGA 大部分者之規則的柱狀結構。附加的邏輯方塊可為可程式方塊及/或專屬邏輯。舉例而言，於圖 5 所示的處理器（PROC）方塊 510 跨越數行的的 CLB 與

BRAM。

注意：圖 5 僅意圖以說明一個範例的 FPGA 架構。於一行（column）的邏輯方塊之數目、諸行的相對寬度、行的數目與順序、納入於諸行的邏輯方塊之型式、邏輯方塊之相對尺寸及包括在圖 5 之頂部的互連/邏輯實施純然為範例性質。舉例而言，於一實際 FPGA，典型包括超過一個相鄰行的 CLB 而無論該等 CLB 出現在何處，以利於使用者邏輯之有效率的實施。

儘管前文描述根據本發明的一或多個觀點之示範實施例，根據本發明的一或多個觀點之其他與進一步實施例可設計而未脫離其範疇，本發明之範疇由隨後的申請專利範圍與其等效者所決定。列出步驟之申請專利範圍非意指該等步驟之任何順序。

【圖式簡單說明】

伴隨圖式顯示根據本發明的一或多個觀點之示範實施例；然而，伴隨圖式不應視作限制本發明於圖示的實施例，而是僅用於解說與瞭解。

圖 1A 是根據本發明之一個實施例的一種整合電容器之一部分的平面圖。

圖 1B 是根據一個實施例的一種整合電容器之一節點平板陣列的平面圖。

圖 1C 是圖 1A 的上方金屬層之一部分的平面圖。

圖 2A 是一節點平板陣列的第一圖案化金屬層之一部分

的平面圖。

圖 2B 是一節點平板陣列的第二圖案化金屬層之一部分的平面圖。

圖 2C 是根據另一個實施例的一種整合電容器之一節點平板陣列的一部分的平面圖。

圖 2D 是圖 2C 之節點平板陣列的橫截面，沿著截面線 L-L 所取得。

圖 2E 是根據另一個實施例的一種四層整合電容器 250 之一部分的橫截面。

圖 3A 是運用根據圖 2C 之一圖案的一節點平板陣列之一部分的平面圖。

圖 3B 是根據一個實施例之一種於 IC 的整合電容器之一部分的平面圖。

圖 4 是根據另一個實施例的一種整合電容器之一節點平板陣列 400 的一部分的平面圖。

圖 5 是納入根據一個實施例的整合電容器之一種 FPGA 的平面圖。

【主要元件符號說明】

100　整合電容器

102、104、106、108、110、114　節點平板鏈路

112　通路

120　上方金屬層之部分

122、128、130、136、138、164　節點平板鏈路

124、126　末端

132、134　側邊

150　節點平板陣列

152、154、156、158　匯流條

160、162、166、168　通路

200　節點平板陣列

201、203　圖案化的金屬層

202、204　H元件

205、207　側邊元件

206、208　通路

209　交接元件

210、211、212、214　節點平板鏈路

213、215　層內耦合

216、220　平板部分

217　鏈路/末端至側邊的耦合

218　節點平板鏈路/平板部分

219　雙端箭頭

221、223　鏈路

222、224、226　層間耦合

228、230、232、234　層內耦合

237　節點平板鏈路

238　平板部分

250　四層整合電容器

300　節點平板陣列

301　整合電容器

302、304、306、308　匯流條

310　通路

312、314、400　節點平板陣列

402　H元件

403、404、406、408　側邊延伸部分

405、407　側邊元件

410、411、414、415　節點平板鏈路

416　雙端箭頭

500　FPGA

501　多重十億位元收發器

502　可組態邏輯方塊

503　隨機存取記憶體方塊

504　輸入/輸出方塊

505　組態與時脈邏輯

506　數位訊號處理方塊

507　專用輸入/輸出方塊

508　其他可程式邏輯

510　專屬處理器方塊

511　可程式互連元件

512　可組態邏輯元件

513　BRAM邏輯元件

514　DSP邏輯元件

515　輸入/輸出邏輯元件

544　整合電容器

A1、A2、A3、A4、A5　行

B1、B2、B3　列

M_N、M_{N+1}、M_{N+2}、M_{N+3}　傳導層

P1、P2、P3、P4　區域

七、申請專利範圍：

1.一種於積體電路（IC）中的電容器，包含：

一第一金屬層；

一第二金屬層；

一第一列的節點平板鏈路，其沿著一節點平板陣列的一第一軸延伸而連接至該電容器的一第一節點，包括與形成在該第二金屬層中的一第二複數個矩形節點平板鏈路交替的形成在該第一金屬層中的一第一複數個矩形節點平板鏈路；以及

一第一行的節點平板鏈路，其沿著垂直於該第一軸的該節點平板陣列的一第二軸延伸而連接至該電容器的一第二節點，包括與形成在該第二金屬層中的一第四複數個矩形節點平板鏈路交替的形成在該第一金屬層中的一第三複數個矩形節點平板鏈路，形成在該第一金屬層的該第一列中具有一長度和一寬度之一第一矩形節點平板鏈路橫越形成在該第二金屬層的該第一行中之一第二矩形節點平板鏈路上。

2.如申請專利範圍第1項之電容器，其中，該第二矩形節點平板鏈路具有該長度與該寬度。

3.如申請專利範圍第1或2項之電容器，其中，由該第一矩形節點平板鏈路所重疊之該第二矩形節點平板鏈路的該部分是一方形部分。

4.如申請專利範圍第1項之電容器，更包含：一第一通路和一第二通路，在該第一矩形節點平板鏈路的一第一

端，其電氣連接在該第一列中的該第一矩形節點平板鏈路至在該第一列中的一第三矩形節點平板鏈路。

5.如申請專利範圍第 1 項之電容器，其中，該長度是 6f 且該寬度是 3f，f 是該第一金屬層之一臨界最小尺寸。

6.如申請專利範圍第 1 項之電容器，其中，該長度對該寬度之一長寬比是不大於 5:1。

7.如申請專利範圍第 1 項之電容器，更包含：

一第一匯流條，沿著該節點平板陣列的一第一邊緣處的該第二軸延伸，其電氣連接該第一列的節點平板鏈路；

一第二匯流條，沿著相對於該第一邊緣之該節點平板陣列的一第二邊緣處的該第二軸延伸，其電氣連接該第一列的節點平板鏈路；

一第三匯流條，沿著該節點平板陣列的一第三邊緣處的該第一軸延伸，其電氣連接該第一行的節點平板鏈路；及

一第四匯流條，沿著相對於該第三邊緣之該節點平板陣列的一第四邊緣處的該第一軸延伸，其電氣連接該第一列的節點平板鏈路。

8.如申請專利範圍第 1 項之電容器，其中，該第一列的節點平板鏈路包括形成在該第一金屬層中的一第一複數個 H 元件且該第一行的節點平板鏈路包括形成在該第二金屬層中的一第二複數個 H 元件，該等第一複數個 H 元件之各者重疊該等第二複數個 H 元件之對應 H 元件，該等第一複數個 H 元件之各者相對於該等對應 H 元件為旋轉九十度。

9.如申請專利範圍第7項之電容器，更包含：一第二節點平板陣列，具有電氣連接至該第一匯流條之一第二列的節點平板鏈路，且為離開該第一節點平板陣列而延伸。

10.如申請專利範圍第1項之電容器，其中，該電容器之該第一節點是電氣等效於該電容器之該第二節點。

11.如申請專利範圍第1項之電容器，其中，該IC是一現場可程式閘陣列（FPGA），且該電容器是於該FPGA之一收發器部分。

12.如申請專利範圍第1項之電容器，其中，該電容器位於一類比至數位轉換器。

13.如申請專利範圍第8項之電容器，其中，該第一複數個H元件中的特定一個包括複數個側邊延伸部分，且該第二複數個H元件中的特定一個包括另一個複數個側邊延伸部分。

八、圖式：

（如次頁）

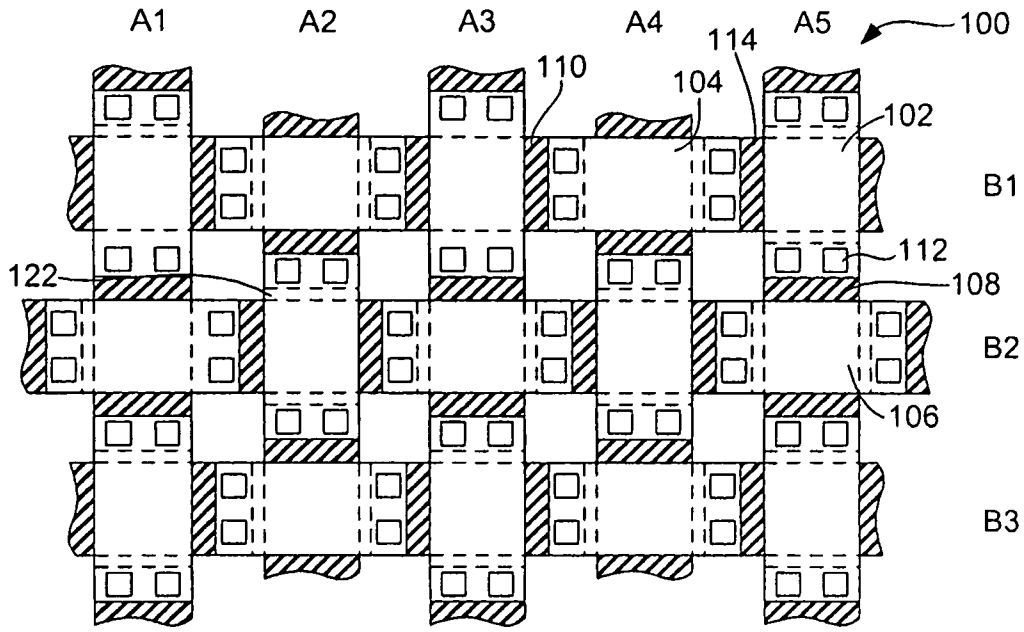

A1
A2
A3
A4
A5
100
110
114
104
102
B1
112
122
108
B2
106
B3

圖1A

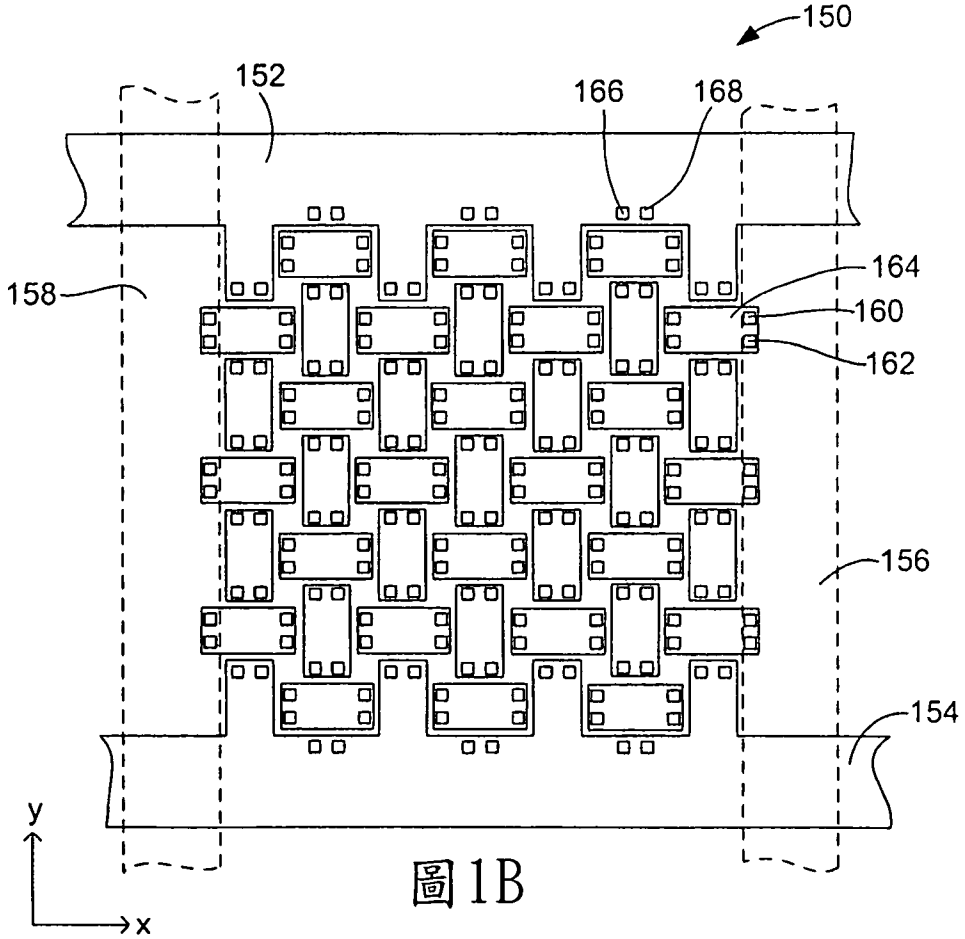

150
152
166
168
158
164
160
162
156
154
y
x

圖1B

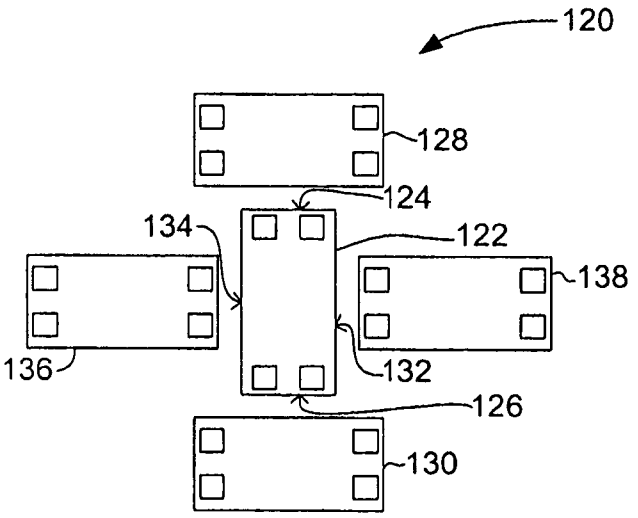

120
128
124
134
122
138
136
132
126
130

圖1C

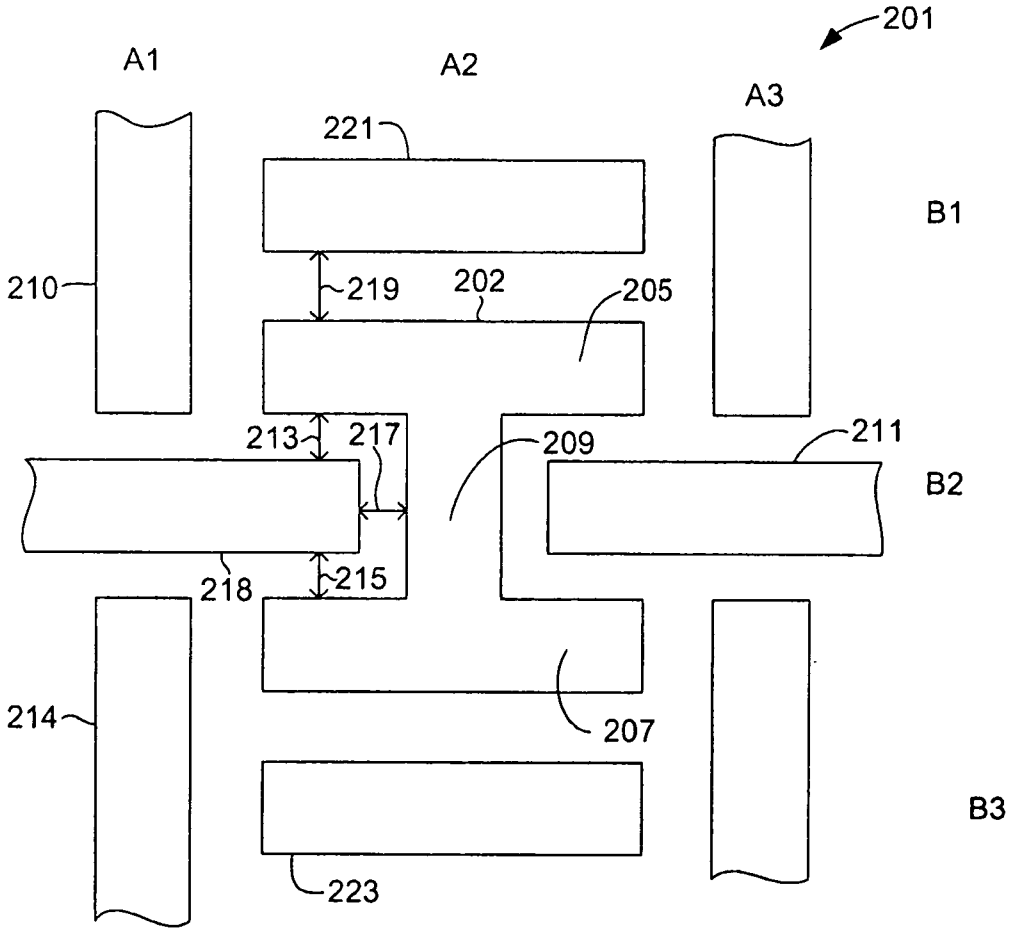

201
A1
A2
A3
221
B1
210
219
202
205
213
217
209
211
B2
218
215
214
207
B3
223

圖2A

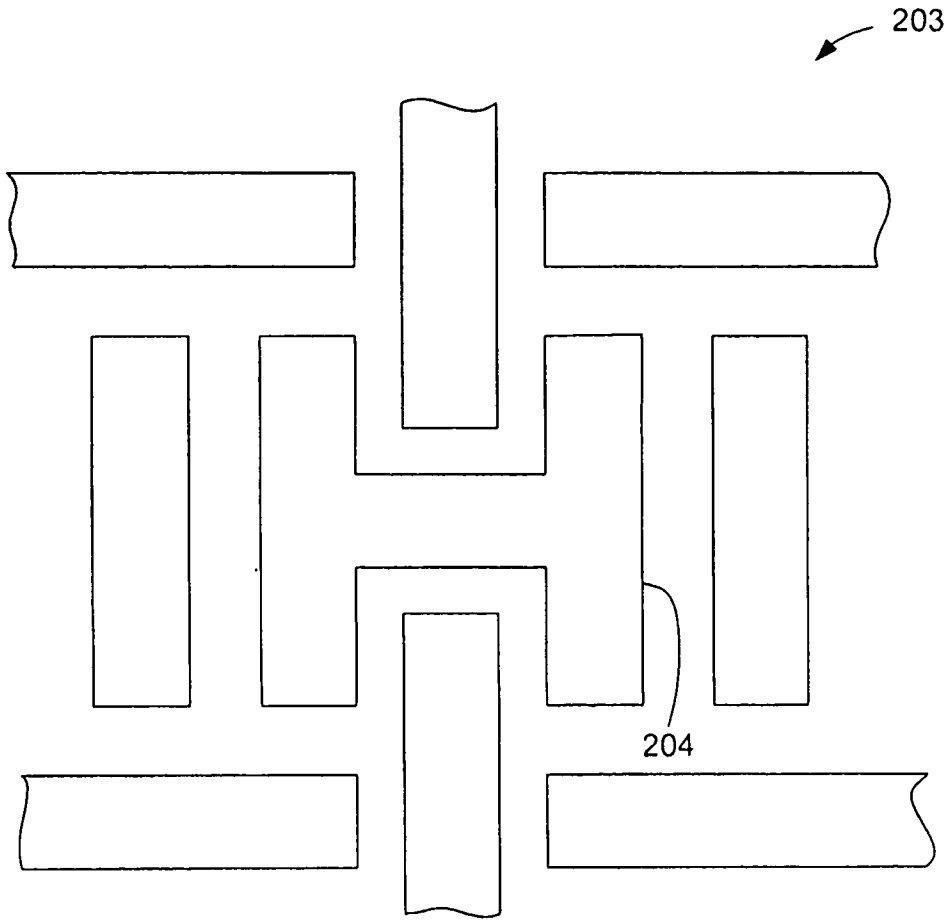


圖2B

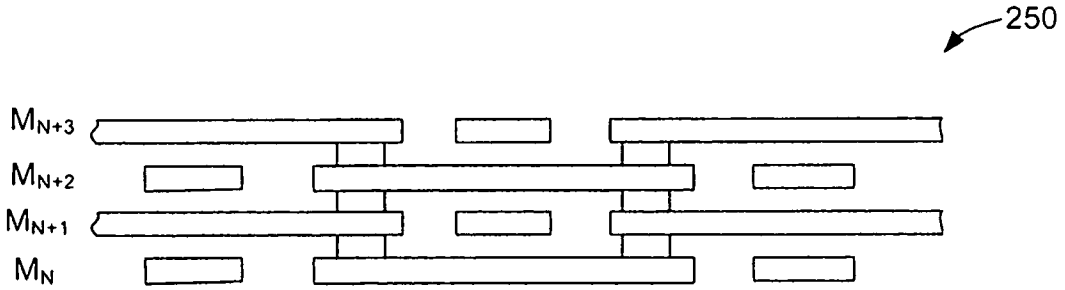


圖2E

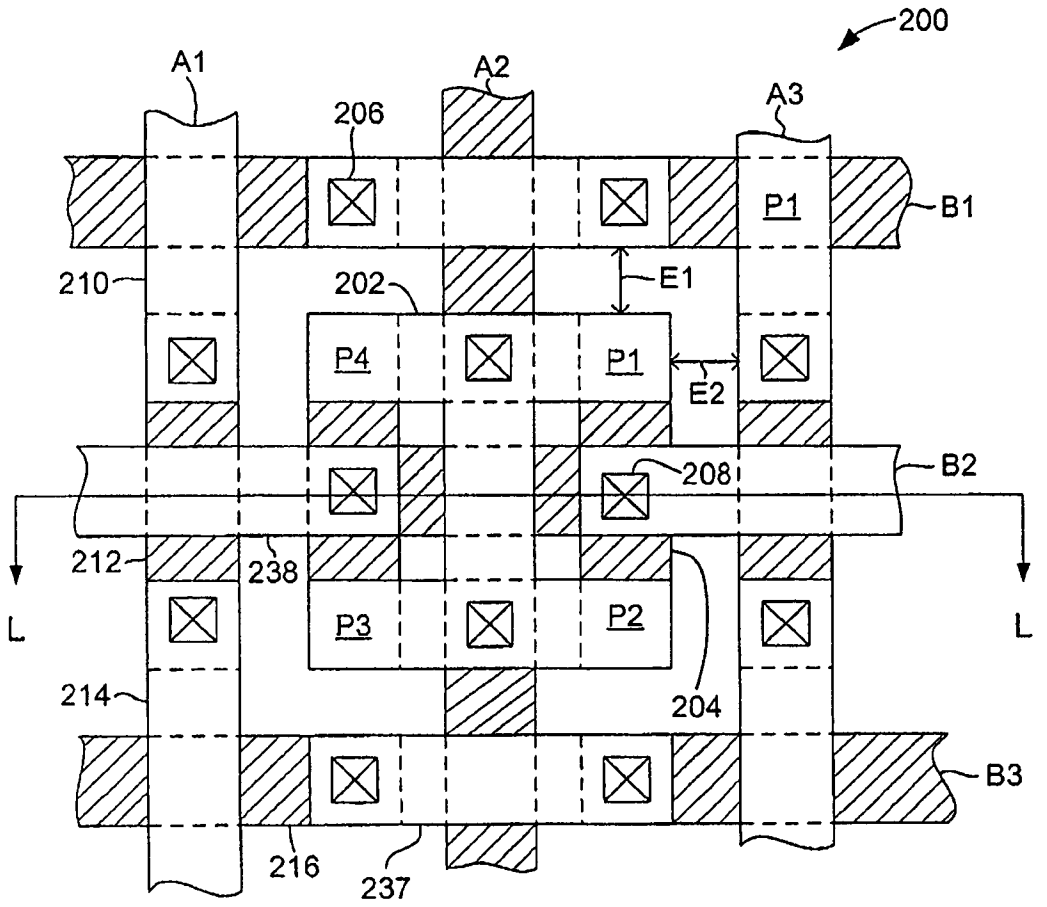

200
A1
A2
A3
206
P1
B1
210
202
E1
P4
P1
E2
208
B2
212
238
L
P3
P2
L
214
204
B3
216
237

圖2C

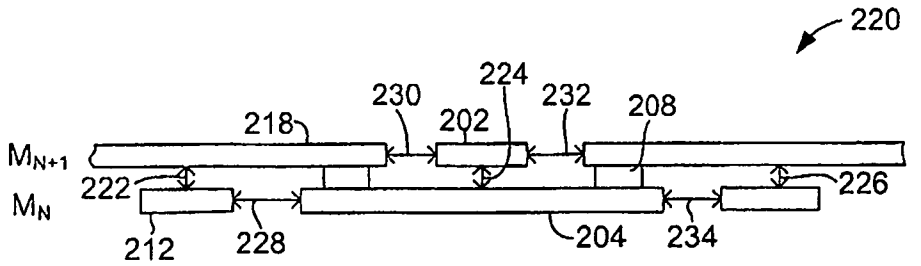

220
224
230
232
218
202
208
M_{N+1}
222
226
M_N
212
228
204
234

圖2D

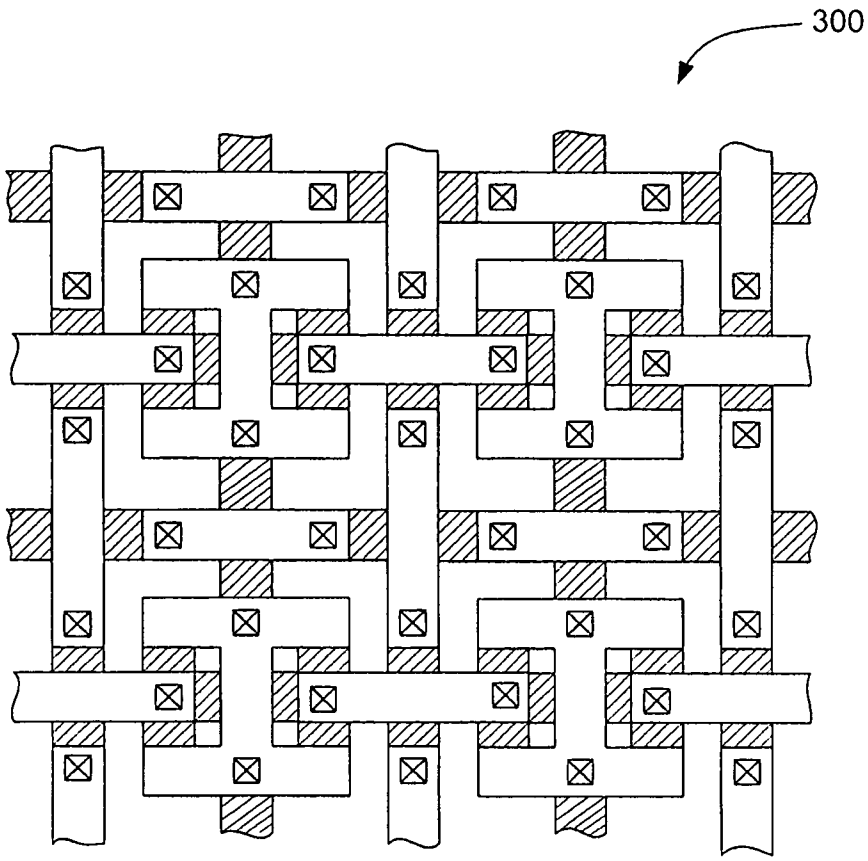


圖3A

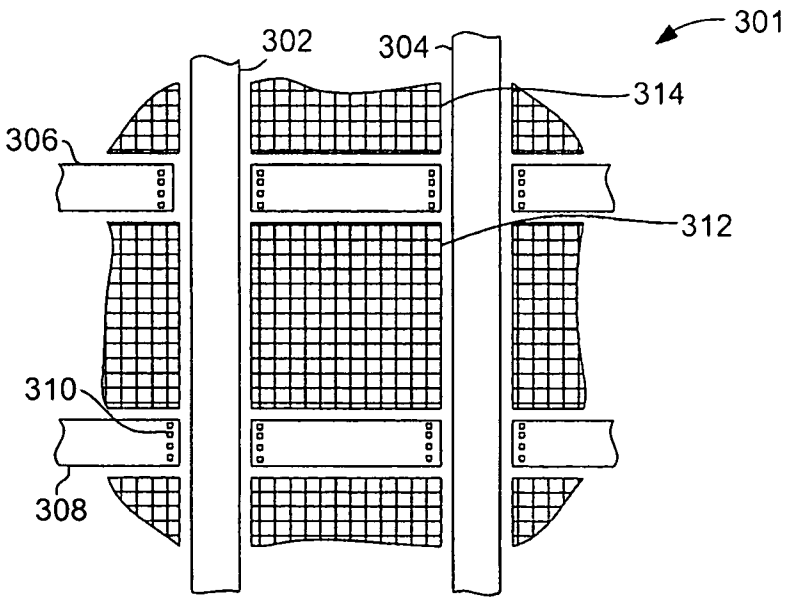


圖3B

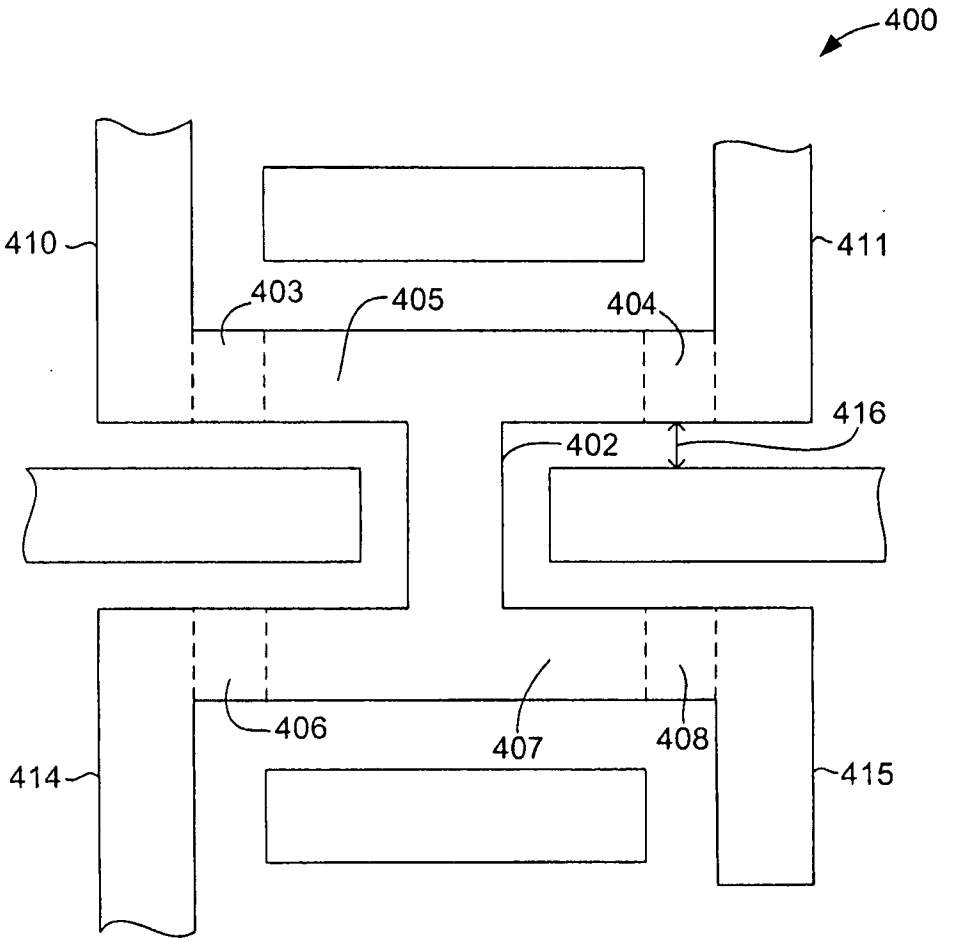


圖4

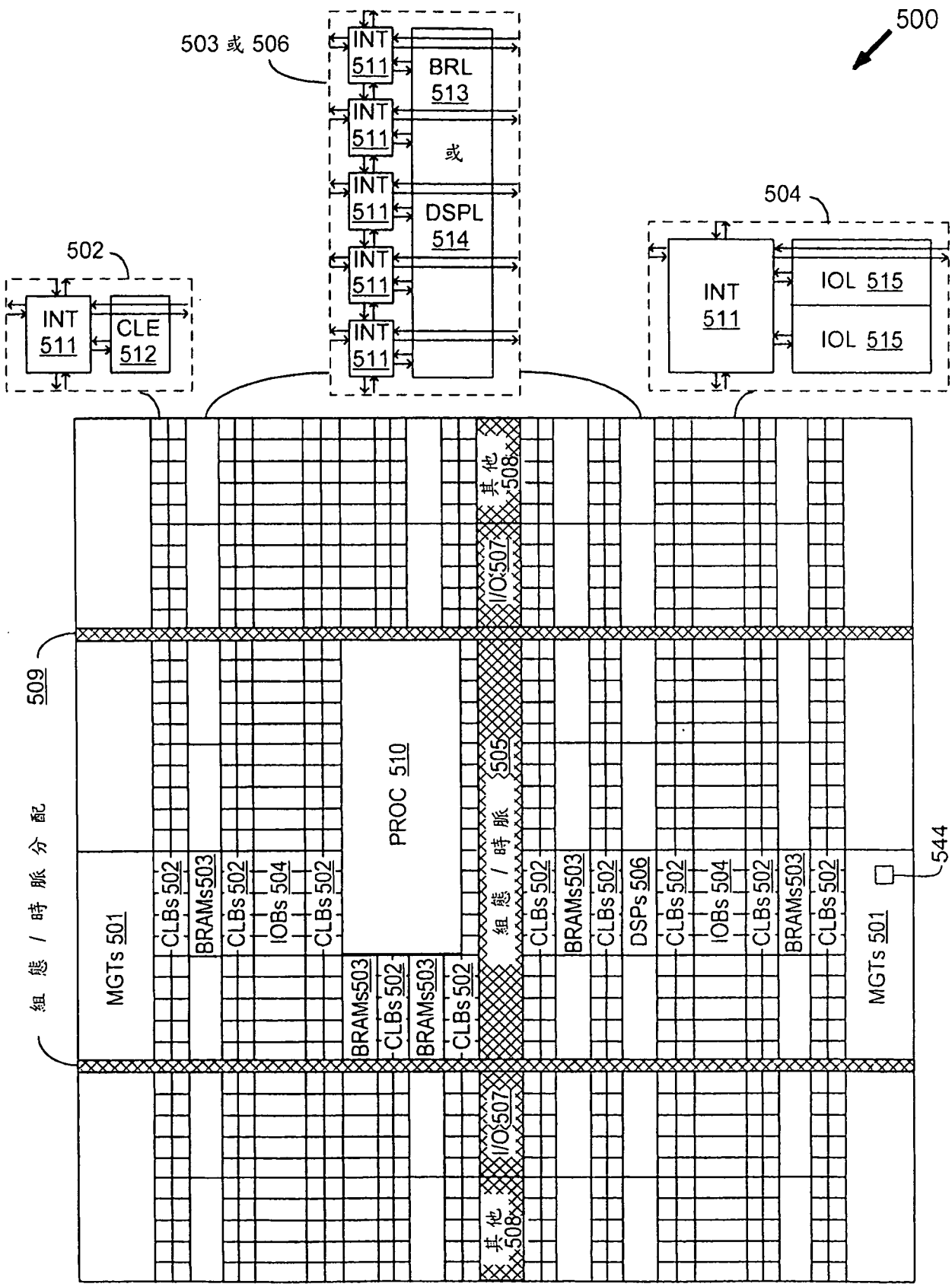

500
503 或 506
INT 511
BRL 513
或
DSPL 514
502
CLE 512
504
IOL 515
509
組態 / 時脈分配
MGTs 501
CLBs 502
BRAMs503
IOBs 504
PROC 510
其他 508
I/O507
DSPs 506
544

圖5