

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 25 年 3 月 7 日 (2013.3.7)

【公表番号】特表 2012-516555 (P2012-516555A)

【公表日】平成 24 年 7 月 19 日 (2012.7.19)

【年通号数】公開・登録公報 2012-028

【出願番号】特願 2011-546705 (P2011-546705)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/20 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 C

H 0 1 L 27/08 1 0 2 B

H 0 1 L 21/20

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 2 6 C

【手続補正書】

【提出日】平成 25 年 1 月 21 日 (2013.1.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

分離領域によって横方向に分離されている第 1 のシリコン含有結晶性半導体領域及び第 2 のシリコン含有結晶性半導体領域の上方上にマスク層を形成することと、

前記第 1 のシリコン含有結晶性半導体領域の上方から選択的に前記マスク層を除去する一方で前記第 2 のシリコン含有結晶性半導体領域の上方上には前記マスク層を維持することと、

前記第 1 のシリコン含有結晶性半導体領域の高さと前記分離領域の高さとの差異を減少させることと、

前記差異が減少させられ沈まされた第 1 のシリコン含有結晶性半導体領域上に選択的にスレッショルド調節半導体合金を形成することと、

前記スレッショルド調節半導体合金の上方に第 1 のトランジスタの第 1 のゲート電極構造を形成することと、

前記第 2 のシリコン含有結晶性半導体領域の上方に第 2 のトランジスタの第 2 のゲート電極構造を形成することとを備えた方法。

【請求項 2】

前記第 1 及び第 2 のゲート電極構造を形成することは、高 k 誘電体ゲート絶縁層を形成

することと、前記高kゲート絶縁層上に金属含有電極材質を形成することとを備えている請求項1の方法。

【請求項3】

前記マスク層を形成することはシリコン窒化物層を形成することとを備えている請求項1の方法。

【請求項4】

前記第1のシリコン含有結晶性半導体領域から選択的に前記マスク層を除去することはプラズマ支援エッチングプロセスを実行することとを備えている請求項1の方法。

【請求項5】

前記第1のシリコン含有結晶性半導体領域の前記厚みは前記プラズマ支援エッチングプロセスの間に減少させられ沈まされる請求項4の方法。

【請求項6】

前記第1のシリコン含有結晶性半導体領域から選択的に前記マスク層を除去することの後にウエット化学的エッチングプロセスを実行することとを更に備えた請求項3の方法。

【請求項7】

前記マスク層を選択的に除去するために用いられたレジストマスクを除去することとを更に備えた請求項6の方法。

【請求項8】

前記第1のシリコン含有結晶性半導体領域の前記厚みは前記ウエット化学的エッチングプロセスに基いて減少させられ沈まされる請求項6の方法。

【請求項9】

前記ウエット化学的エッチングプロセスを実行することはテトラメチルアンモニウムヒドロキシド(TMAH)を用いることを備えている請求項8の方法。

【請求項10】

前記スレッシュホールド調節半導体合金を形成することは、前記分離構造上及び前記第2のシリコン含有結晶性半導体領域の上方に形成される前記マスク層上の材質堆積を抑制するように選択的エピタキシャル成長プロセスを実行することとを備えている請求項1の方法。

【請求項11】

前記スレッシュホールド調節半導体合金はシリコン/ゲルマニウム合金を備えている請求項10の方法。

【請求項12】

分離構造によって横方向に包囲される能動半導体領域の表面を露出させ、前記能動半導体領域の高さと前記分離構造の高さとの差異を減少させて前記露出させられた表面の任意の露出させられた表面区域が実質的に同一の結晶方位を有するようにすることと、

選択的エピタキシャル成長プロセスを実行することによって、前記露出させられた表面上にスレッシュホールド調節半導体材質を形成することと、

トランジスタのゲート電極構造であって高k誘電体材質及び前記高k誘電体材質上に形成される金属含有電極材質を備えているゲート電極構造を前記スレッシュホールド調節半導体材質上に形成することとを備えた方法。

【請求項13】

前記表面を露出させることは前記分離構造の表面より上方に拡がる前記能動半導体領域の材質を除去することとを備えている請求項12の方法。

【請求項14】

前記能動半導体領域の材質を除去することはプラズマ支援エッチングプロセスを実行することとを備えている請求項13の方法。

【請求項15】

前記能動半導体領域の上方にマスク層を形成することと、前記プラズマ支援エッチングプロセスに基いて前記マスク層を前記能動領域から選択的に除去する一方で前記マスク層を更なる能動領域の上方で維持することとを更に備えた請求項14の方法。

【請求項16】

前記マスク層はシリコン窒化物を備えている請求項 15 の方法。

【請求項 17】

前記マスク層は概ね 10 ナノメートル (nm) 以下の厚みで形成される請求項 15 の方法。

【請求項 18】

前記表面を露出させることの後にウエット化学的エッチングプロセスを実行することを更に備えた請求項 14 の方法。

【請求項 19】

前記ウエット化学的エッチングプロセスはフッ酸 (HF) に基いて実行される請求項 18 の方法。

【請求項 20】

前記スレッシュホールド調節半導体材質はシリコン / ゲルマニウム合金を備えている請求項 12 の方法。