

公告本

390012

申請日期	87. 9. 17
案 號	87112084
類 別	Int. Cl. 6 H01L 23/60

A4
C4

390012

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	輸出驅動器保護電路
	英 文	PROTECTION CIRCUIT FOR OUTPUT DRIVERS
二、發明 人	姓 名	1. 杜佛利 (Charvaka Duvvury) 2. 卡麥可 (Michael D. Chaine)
	國 籍	1、2. 美國籍
	住、居所	1. 美國德州布雷諾市橡樹公園大道6821號 6821 Oak Park Lane, Plano, Texas 75023, USA 2. 美國德州密蘇里市萊克大道4442號 4442 Lakeshore Forest Drive, Missouri City, Texas 77459, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路7839號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251 U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： 西元1997年7月24日 60/053,612

☒有

☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

〔發明領域〕

本發明是有關於 ESD 保護之領域，特別是有關用於輸出驅動器之 ESD 保護。

〔發明背景〕

在同步動態隨機存取記憶體之應用，該輸出緩衝器(output buffer)含有一 N 型金屬氧化物半導體(NMOS)提升電晶體(pull-up transistor)和一 N 型金屬氧化物半導體下拉電晶體(NMOS pull-down transistor)。在沒有使用任何保護裝置之輸出緩衝器就需要 ESD 保護，該保護裝置是需要一與該裝置之高速需求有關的串聯電阻。該同步動態隨機存取記憶體是設定在超過 60 MHz (百萬赫芝) 以上動作。所以高輸出和低輸出之調換是關鍵處。任何在該高速路徑之電阻將延遲該輸出驅動器。甚者，一能為正應力極性和負應力極性(positive and negative stress polarities)兩者動作之保護電路是很有用的。

在圖 1，是顯示一種使用於邏輯應用之習知輸出保護電路。該電路在一 ESD 脈波時，使用一提升 P 型金屬氧化物半導體電晶體(PMOS transistor) 20 來導通該替代保護電晶體 22。該替代保護電晶體 22 是與該輸出 N 型金屬氧化物半導體電晶體(NMOS transistor) 24 並聯連接，且該替代保護電晶體 22 藉由 P 型金屬氧化物半導體電晶體 20 而具有一閘極，該閘極是藉 Vcc 接通電源來關閉閘極(例如，0V)，和一連接到接地基材之源極。該提升 P 型金屬氧化物半導體對 Vcc 提供自動保護。在其他應用方面，該電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

五、發明說明(2)

22 之閘極是直接接地。

不幸地，在動態隨機存取記憶體之應用，一 P 型金屬氧化物半導體提升在 ESD 時，是不能有效地接通 Vcc。該習知之替代電晶體在 ESD 時，是依靠該 P 型金屬氧化物半導體來動作。甚者，沒有該提升 P 型金屬氧化物半導體，對 Vcc 就沒有自動保護。最後，對浮動基材(floating substrate)動態隨機存取記憶體，是沒有二極體(diode)連接該基材，且如果該保護閘極沒有能適當地控制或是接地，該 ESD 位準就會低於負應力極性。當使用一接地之閘極保護裝置，在一多指狀接頭(multi-finger)之 N 型金屬氧化物半導體電晶體的 ESD 保護位準就會變成飄浮不定，而這是眾所皆知的。

如上所述，是需要一保護電路，該保護電路是適用於浮動基材動態隨機存取記憶體，且亦能沿用到接地基材之技術。

〔發明摘要〕

本發明是一輸出保護電路。一替代 N 型金屬氧化物半導體電晶體是與該 N 型金屬氧化物半導體輸出電晶體並聯連接。該替代電晶體之閘極是藉由一電阻接地。該界於替代電晶體之閘極和在裝置之焊點側的源極／漏極之間之電阻值和電容值是可以調整，以便得到所希望之閘極匹配，該閘極匹配是界於該替代晶電體閘極和該 N 型金屬氧化物半導體輸出電晶體閘極之間。

本發明之優點是提供一輸出保護電路，該電路能使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

東

五、發明說明(3)

浮動基材之應用。

本發明之另一優點是提供一輸出保護電路，該電路在輸出之漏極是不需要隔離電阻。

本發明之又一優點是提供一輸出保護電路設計，該電路設計能很容易地改變來得到所希望之保護範圍。

本發明之再一優點是提供一輸出保護電路設計，該電路設計是能應用在浮動基材和接地基材兩者之技術。

對這些習知該技藝者參考該說明書並借助該附圖將會很清楚地了解這些和其他之優點。

〔附圖簡敘〕

在附圖中：

圖 1 是一電路圖，其顯示一用於邏輯應用之習知輸出保護電路；

圖 2 是一截面圖，其顯示依照本發明之輸出保護；

圖 3 是一電路圖，其顯示依照本發明之用於提昇和下拉輸出電晶體兩者的輸出保護；

圖 4 是一俯視圖，其顯示依照本發明之一用於下拉輸出電晶體的輸出保護；

圖 5 是一電路圖，其顯示本發明應用在一接地基材裝置之輸出保護；和

圖 6 是一開極與時間比之圖，其用於圖 5 之電路。

〔較佳實施例之詳細說明〕

因為在許多動態隨機存取記憶體應用中，該基材是浮動著，該輸出 N 型金屬氧化物半導體電晶體在潛在上是一

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

良好之自我保護裝置。然而，因為其閘極電位(gate potential)之不確定性，該輸出 N 型金屬氧化物半導體電晶體並不是能完全有效地作為一 npn 保護裝置。甚者，在許多輸出設計，該 N 型金屬氧化物半導體並非大到足夠提供所需要之保護。本發明克服閘極電位不確定性之問題，來使該輸出 N 型金屬氧化物半導體電晶體能適用於 ESD 保護之最大範圍。

本發明將借助一同步動態隨機存取記憶體 N 型金屬氧化物半導體輸出驅動器來說明之。然而，對這些熟習該技藝者會很清楚到本發明是可以應用到其他動態隨機存取記憶體設計、邏輯設計，且亦可以借助互補金屬氧化物半導體(CMOS)和 N 型金屬氧化物半導體輸出驅動器兩者來使用。

在圖 2 是一截面圖，其顯示依照本發明之一用於下拉電晶體的輸出保護 100。N 型金屬氧化物半導體輸出電晶體 102 是該動態隨機存取記憶體輸出緩衝器之下拉電晶體，且在標準上是一位於基材 104 之多指狀接頭輸出裝置。N 型金屬氧化物半導體輸出電晶體 102 具有一源極(source)106，該源極 106 是连接到一源極電位(source potential，例如，地面)108。該閘極電極(gate electrode) 110 是连接到適當之內部電路，而該漏極(drain，區域 112)是连接到該輸出焊點(output pad) 114。

替代電晶體 116 是與 N 型金屬氧化物半導體輸出電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

晶體 102 並聯連接。該替代電晶體 116 之漏極是連接到焊點 114。該替代電晶體 116 和輸出電晶體 102 兩者之漏極是藉用相同之 n 型區域 112 來形成。該閘極 120 是藉由一電阻 122 來連接到一源極電位 109。電阻 122 是一 n 井電阻(使用 n 井 124)。當然,在該技藝中所知悉的,電阻 122 包貪其他之材料來作為替代用。例如,電阻 122 可以是一多矽物電阻或是一矽化物擴散區域(silicided diffusion region)。該替代電晶體 116 之源極 126 是連接到該源極電位 108。該電路是依靠固有之電容值,該電容值是界於替代電晶體閘極 120 和漏極 112 之間,或是,安置一分散電容(discrete capacitor)在閘極 120 和焊點 114 之間。電容 121 之目的是用於說明兩者之情況。

源極電位 108 和 109 可以是相同源極或是不同之源極。在許多情況下,諸如浮動基材動態隨機存取記憶體,使用分離源極是很有用的。該用於電晶體 116 之源極 108 是該局部接地(local ground)相同,該局部接地是由該輸出驅動器(電晶體 102)所使用。又,源極 109 可以是一分離接地,但不是由該輸出驅動器來使用。

選擇該電晶體 102 和 116 之各別寬度,俾使該寬度之和能提供全部所需要之保護範圍,就如同在 $V/\mu m$ 技術中所決定者。例如,在 $10 V/\mu m$,如果該所需要之 ESD 保護範圍是需要 400 微米(μm)之電晶體寬度,該 N 型金屬氧化物半導體輸出電晶體 102 之寬度和該替代電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

116 之寬度的和就是 400 微米(μm)。

選擇該電晶體 102 之通道長度(channel length)，以便計算在該技藝中所熟悉之熱載流子可信度(hot carrier reliability)。對該技術，經常是選擇比最小長度(minimum geometry)大 20%。當該替代電晶體 116 並不考慮該熱載流子可信度時，該替代電晶體 116 之長度是在最短。

一類似之保護電路亦是能用於該提昇 N 型金屬氧化物半導體電晶體 130。在圖 3 是顯示兩者之保護電路的電路圖。一第二替代電晶體 132 是與該提昇輸出電晶體 130 並聯連接。該第二替代電晶體 132 和提升 N 型金屬氧化物半導體電晶體 130 兩者之漏極是連接到 Vcc，而其源極是連接到輸出焊點 114。該第二替代電晶體之閘極亦是藉由一電阻 134 來連接到一源極電位 108。安置一備用電容器(optional capacitor) 136 在界於替代電晶體 132 之閘極和於焊點側 114 之源極／漏極區域之間，以便藉由下述之閘極耦合來進一步控制。

在圖 4，其顯示該輸出電晶體 102 和與其結合之替代電晶體 116 之俯視圖。其顯示該輸出電晶體 102 之多指狀接頭。該替代電晶體 116 是一分為二，並位於該輸出電晶體 102 之每一端。將該替代電晶體 116 安置在毗鄰輸出電晶體 102 是很重要的。使在替代和輸出電晶體兩者之上的閘極間距(gate spacing，用於漏極和源極)之接點匹配亦是很重要的。

五、發明說明(7)

現在，則將討論在圖 2 和 4 所顯示之輸出保護電路的動作。在該討論中假設，該輸出電晶體 102 之寬度是比該替代電晶體 116 寬。在這種情況下，選擇該電阻 122 和電容 121 之值，俾使在 ESD 時，該替代電晶體之閘極 120 耦合高於該輸出電晶體 102 之閘極耦合。該電阻／電容器是能使用該具有替代電晶體之完全輸出電路的電腦模擬（例如 SPICE）來指定。施加一 0 到 V_{av} （漏極接合面之電子崩潰擊穿，avalanche breakdown of the drain junction）之斜波，以 500 ps（微微秒）之脈衝，在該 ESD 脈衝時，來代表該對漏極崩潰之快速上昇時間。由此，來決定該相關之閘極耦合。

在相對於該源極電位 108 之正 ESD 應力，首先替代電晶體 116 進入擊穿模式(breakdown mode)，因為其閘極電位是設定比較高。觸發該毗鄰輸出電晶體 102 之替代電晶體 116 並允許藉由該輸出電晶體 102 之接合面來收集載流子。將使該輸出電晶體 102 之導通變得容易。在最惡劣之情況下，該輸出電晶體 102 之閘極在一先前週期是處於接地電位。即使在該情況下，觸發該接近輸出電晶體 102 之替代電晶體 116 會造成足夠載流子，並由該輸出電晶體之接合面來收集，以便觸發該輸出電晶體 102。觸發該替代電晶體 116 和輸出電晶體 102 兩者，則確定會得到最大之保護。

對 V_{ss} 之負應力（具有該基材浮動），因為該替代電晶體 116 並不是直接連到該源極，以避免該裝置之飽

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(8)

和金屬氧化物半導體的導通。亦就是，藉 RC 時間常數 (time constant, 電阻 122 和閘極氧化物電容) 來延遲該閘極之充電。所以，即使如果該輸出電晶體閘極在一先前狀態是 0 伏特 (V)，該保護裝置是首先導通來提供所需要之保護。

具有該替代電晶體 116 觸發器(trigger)之額外優點是首先，其將會立刻恢復原狀(snapback)，且，任何所產生之介面陷阱(interface trap)的形式將僅會在替代電晶體 116 之內。該輸出電晶體 102 將會觀察到相當低之陷阱效果(trapping effect)，且比較不會使該熱載流子壽命退化。該輸出電晶體 102 之較長通道將確保熱載流子可信度。

該上述之討論假設該輸出電晶體 102 之寬度是比該替代電晶體 116 之寬度寬。如果反之，該替代電晶體 116 之寬度是比較寬，則調整該 R/C 值，以便使該輸出電晶體 102 之閘極耦合是高於該替代電晶體 116 之閘極耦合。如果該模擬顯示該輸出閘極沒有高閘極耦合，則在輸出 102 之漏極和閘極之間增加一電容 128。其確保在 ESD 下，兩者之電晶體都最終會導通，且兩者會提供 ESD 保護。如果該寬度是相等，則調整該 R/C 值，以便使該替代電晶體 116 之閘極耦合和該輸出電晶體 102 之閘極耦合是在相同程度。即使用較高之閘極耦合，該用於輸出之較長通道會確保熱載流子可信度。

如果該基材是在邏輯晶片組接地，該替代保護

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

(dummy protection)策略就會不同。在圖 5 是顯示用於接地基材之替代保護。在該情況下，不管該輸出寬度是比該替代寬度寬，或是該替代寬度是比該輸出寬度寬，就如同圖 6 所示，該閘極耦合是匹配的(至少持續最初之 10 奈秒，ns)。這是因為局部基材效應(local substrate effect)是不能依靠一接地基材。如果該擴散不是呈矽化物，則在兩者之閘極間距的漏極接點亦是能匹配的。

當參考敘述之實施例來描述本發明，該敘述之目的並不是要限定在一有限之範圍。該敘述之實施例的各種變更和結合，與本發明之其他實施例，熟悉該技藝者在參考該敘述時會清楚地了解。所以，下列之申請專利範圍之目的是包含任何諸如此種之變更或實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱: 輸出驅動器保護電路)

一種動態隨機存取記憶體輸出保護電路(100)。一替代N型金屬氧化物半導體(dummy NMOS)電晶體(116)是與N型金屬氧化物半導體(NMOS)輸出電晶體(102)並聯連接。該替代電晶體(116)之閘極(gate)是藉由一電阻(122)來接地(108)。該替代電晶體(116)之電阻(122)值和閘極電容(121, 127)值是可以調整,以便得到所希望之閘極匹配(gate matching),該閘極匹配是界於該替代晶電體閘極(120)和該N型金屬氧化物半導體輸出電晶體閘極(110)之間。

英文發明摘要(發明之名稱:

PROTECTION CIRCUIT FOR OUTPUT DRIVERS

A DRAM output protection circuit (100). A dummy NMOS transistor (116) is connected in parallel with the NMOS output transistor (102). The gate of the dummy transistor (116) is connected through a resistor (122) to ground (108). The resistor 122 value and the gate capacitance (121, 127) of the dummy transistor (116) are adjusted to achieve the desired gate matching between the dummy transistor gate (120) and the NMOS output transistor gate (110).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種輸出電路，其含有：

一金屬氧化物半導體輸出電晶體，該電晶體是連接在一焊點和一電壓電位之間，且其具有一連接到內部電路之閘極；

一替代電晶體，該替代電晶體是與該金屬氧化物半導體輸出電晶體並聯連接，該替代電晶體是位於毗鄰該金屬氧化物半導體輸出電晶體；和

一電阻，該電阻是連接在該替代電晶體之閘極和地面之間。

2. 如申請專利範圍第1項之輸出電路，其中，該電路具有一浮動基材，且在該替代電晶體之閘極的電阻值和電容值之任一者或是兩者都可以調整，俾使該金屬氧化物半導體輸出電晶體和該替代電晶體之較大閘極耦合，與其他電晶體之閘極耦合比較，是耦合到一較高電壓。

3. 如申請專利範圍第1項之輸出電路，其中，該電金屬氧化物半導體輸出電晶體之寬度是比該替代電晶體之寬度寬。

4. 如申請專利範圍第3項之輸出電路，其中，在該替代電晶體之閘極的電阻、電容、或是兩者都可以選擇，俾使該替代電晶體之閘極耦合，與該金屬氧化物半導體輸出電晶體之閘極耦合比較，是耦合到一較高電壓。

5. 如申請專利範圍第1項之輸出電路，其中，選定該替代電晶體之寬度，俾使該替代電晶體之寬度和該金屬氧化物半導體輸出電晶體之寬度的和，是大致等於所需者，

六、申請專利範圍

以便提供一所需要的 ESD 保護範圍。

6. 如申請專利範圍第 1 項之輸出電路，其中，該替代電晶體之長度是比該金屬氧化物半導體輸出電晶體之長度短。
7. 如申請專利範圍第 1 項之輸出電路，其中，該電壓電位是接地。
8. 如申請專利範圍第 1 項之輸出電路，其中，該電壓電位是一高供應電壓。
9. 如申請專利範圍第 1 項之輸出電路，其中，該電路具有一接地基材，且其中，該替代電晶體之閘極耦合與該金屬氧化物半導體輸出電晶體之閘極耦合，在持續至少 10 奈秒是匹配的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

圖 1
習知例

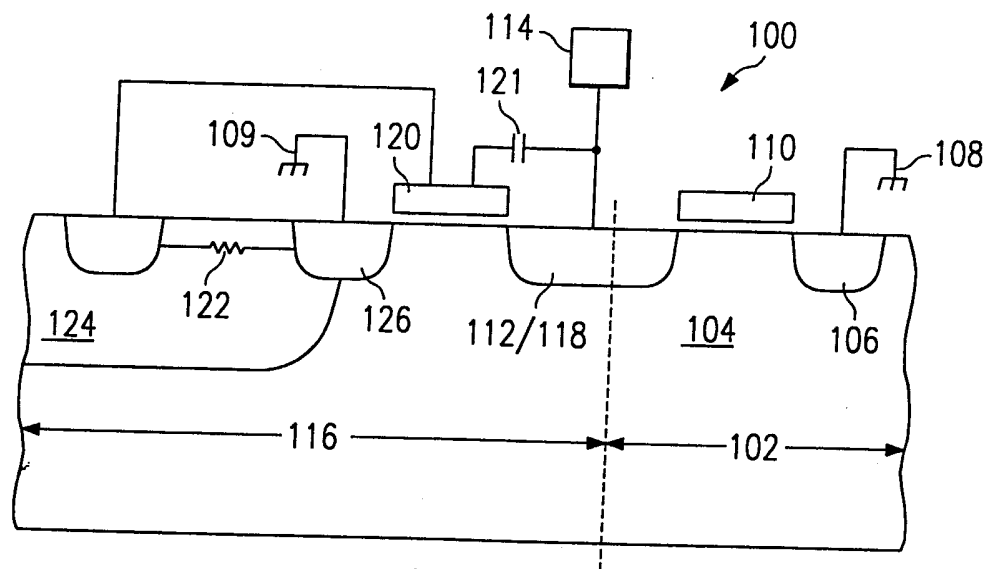
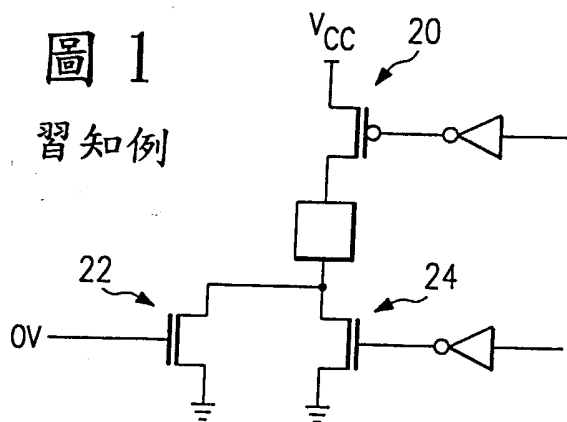
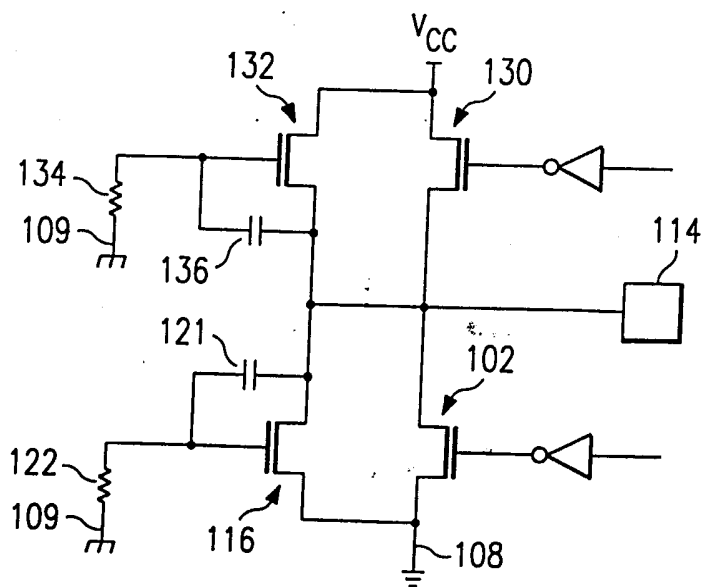


圖 2

圖 3



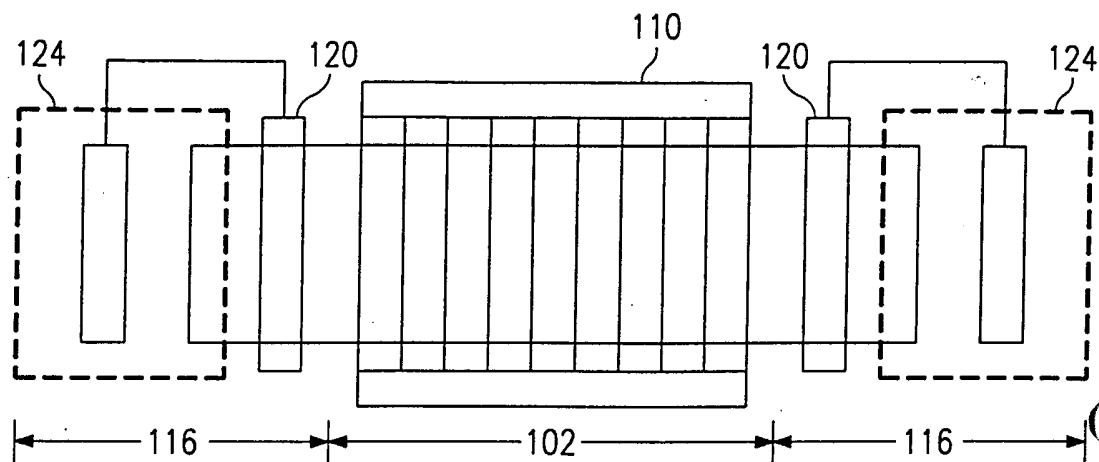


圖 4

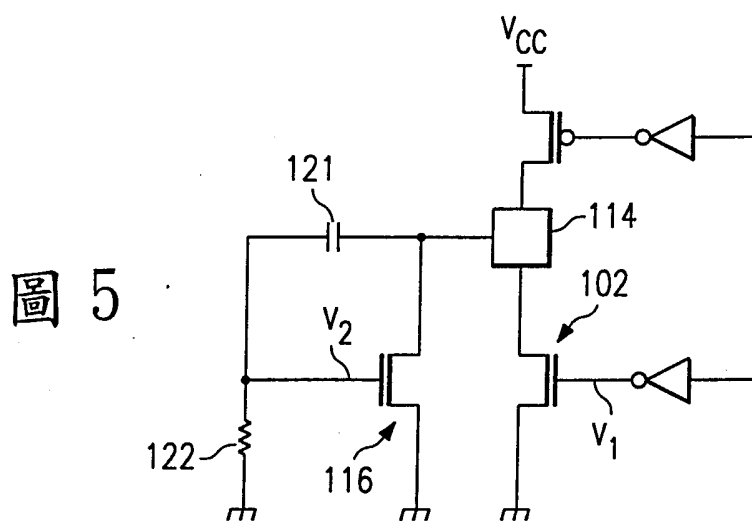


圖 5

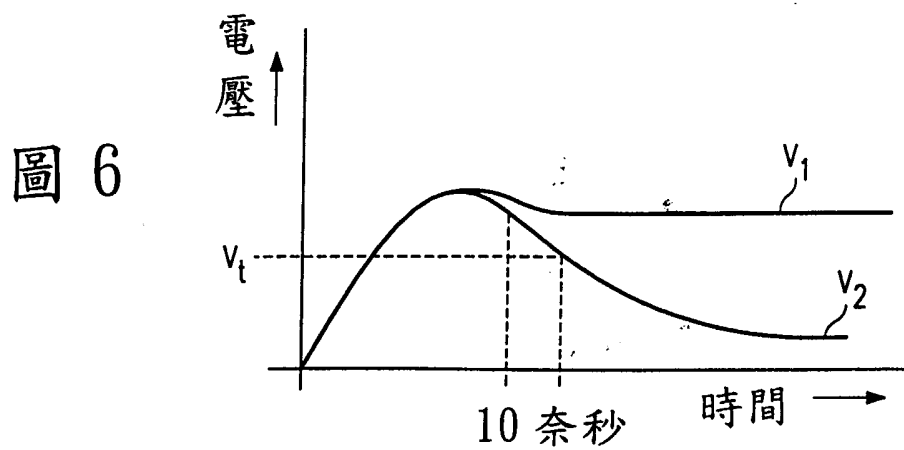


圖 6