



(12) 发明专利申请

(10) 申请公布号 CN 102197434 A

(43) 申请公布日 2011. 09. 21

(21) 申请号 201080003079. 3

代理人 徐殿军

(22) 申请日 2010. 08. 26

(51) Int. Cl.

(30) 优先权数据

G11C 13/00(2006. 01)

2009-238766 2009. 10. 15 JP

H01L 27/10(2006. 01)

H01L 45/00(2006. 01)

(85) PCT申请进入国家阶段日

H01L 49/00(2006. 01)

2011. 04. 28

(86) PCT申请的申请数据

PCT/JP2010/005254 2010. 08. 26

(87) PCT申请的公布数据

W02011/045886 JA 2011. 04. 21

(71) 申请人 松下电器产业株式会社

地址 日本大阪府

(72) 发明人 友谷裕司 岛川一彦 河合贤

(74) 专利代理机构 永新专利商标代理有限公司

72002

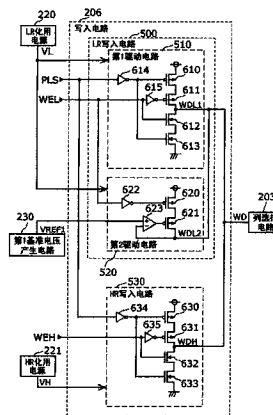
权利要求书 4 页 说明书 26 页 附图 20 页

(54) 发明名称

电阻变化型非易失性存储装置

(57) 摘要

提供一种减小电阻变化元件的低电阻状态的电阻值的偏差、进行稳定的动作的电阻变化型非易失性存储装置。该电阻变化型非易失性存储装置具备对存储单元 (102) 施加电压、以使包含在该存储单元 (102) 中的电阻变化元件 (100) 等从高电阻状态转变为低电阻状态的 LR 写入电路 (500); LR 写入电路 (500) 具有对存储单元 (102) 施加电压的、输出端子相互连接的第 1 驱动电路 (510) 及第 2 驱动电路 (520); 第 1 驱动电路 (510) 在对存储单元 (102) 施加电压时输出第 1 电流, 第 2 驱动电路 (520) 在对存储单元 (102) 施加电压时, 在第 1 驱动电路 (510) 的输出端子处的电压比预先确定的基准电压 VREF 高的情况下输出第 2 电流, 在输出端子处的电压比基准电压 VREF 低的情况下为高阻抗状态。



1. 一种电阻变化型非易失性存储装置,其特征在于,
具备:

存储单元阵列,以矩阵状配置存储单元而构成,该存储单元具备电阻变化元件和与上述电阻变化元件串联连接的第 1 开关元件,上述电阻变化元件由第 1 电极、第 2 电极、和夹在上述第 1 电极及第 2 电极之间、对应于对上述第 1 电极及第 2 电极间施加的电压的极性而可逆地转变为高电阻状态或低电阻状态的非易失性的电阻变化层构成;

选择电路,从构成上述存储单元阵列的存储单元中选择至少一个存储单元;

高电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从低电阻状态转变为高电阻状态的电压而以该电阻变化元件的第 1 电极为基准对第 2 电极施加正的电压;以及

低电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从高电阻状态转变为低电阻状态的电压而以该电阻变化元件的第 2 电极为基准对第 1 电极施加正的电压;

上述低电阻状态写入电路具有对上述存储单元施加上述电压的、输出端子相互连接的第 1 驱动电路及第 2 驱动电路;

当上述低电阻状态写入电路对上述存储单元施加上述电压时上述第 1 驱动电路输出第 1 电流;

当上述低电阻状态写入电路对上述存储单元施加上述电压时,在上述第 1 驱动电路的输出端子处的电压比预先确定的第 1 基准电压高的情况下上述第 2 驱动电路输出第 2 电流,在上述输出端子处的电压比上述第 1 基准电压低的情况下上述第 2 驱动电路为高阻抗状态。

2. 如权利要求 1 所述的电阻变化型非易失性存储装置,其特征在于,

上述第 2 驱动电路具有:

第 1 比较电路,将上述第 1 驱动电路的输出端子处的电压与上述第 1 基准电压进行比较;以及

第 1 驱动元件,根据上述第 1 比较电路中的比较结果,提供上述第 2 电流。

3. 如权利要求 2 所述的电阻变化型非易失性存储装置,其特征在于,

还具有产生上述第 1 基准电压的第 1 基准电压产生电路;

上述第 1 比较电路将上述第 1 驱动电路的输出端子处的电压与由上述第 1 基准电压产生电路产生的上述第 1 基准电压进行比较。

4. 如权利要求 2 所述的电阻变化型非易失性存储装置,其特征在于,

上述第 1 比较电路是逻辑运算元件;

上述逻辑运算元件通过将用来判别被输入的逻辑值的状态的阈值电压用作上述第 1 基准电压,从而进行上述比较。

5. 如权利要求 1~4 中任一项所述的电阻变化型非易失性存储装置,其特征在于,

上述第 1 基准电压设定在上述低电阻状态写入电路应输出的电压的范围内,以使对上述电阻变化元件施加的电压在作为低电阻变化电压而可能发生的电压范围内,该低电阻变化电压是该电阻变化元件从高电阻状态转变为低电阻状态的阈值电压。

6. 如权利要求 5 所述的电阻变化型非易失性存储装置,其特征在于,

如果设每当上述电阻变化元件的电阻变化时可能发生的上述低电阻变化电压的平均值为 VR、最小值为 VR1, 设从上述低电阻状态写入电路到上述电阻变化元件的电压下降的最小值为 VD1、最大值为 VD2,

则上述第 1 基准电压 VREF1 处于 $(VD1+VR1) \leq VREF1 \leq (VD2+VR)$ 的范围中。

7. 如权利要求 6 所述的电阻变化型非易失性存储装置, 其特征在于,

上述电阻变化层由钽及铪中的某一种的欠氧型的过渡性金属氧化物层构成;

上述第 1 电极和上述第 2 电极由具有不同的标准电极电位的材料构成;

上述第 1 电极的标准电极电位 V1、上述第 2 电极的标准电极电位 V2、和包含在上述电阻变化层中的钽及铪中的某一种的标准电极电位 V_t 满足 $V_t < V2$ 、且 $V1 < V2$;

上述低电阻变化电压的偏差的上述低电阻变化电压的平均值是 0.8V, 最小值是 0.7V;

上述第 1 基准电压是 0.75V ~ 1.10V。

8. 如权利要求 1 ~ 7 中任一项所述的电阻变化型非易失性存储装置, 其特征在于,

上述第 2 电流比上述第 1 电流小、且比 0 安培大。

9. 如权利要求 1 ~ 8 中任一项所述的电阻变化型非易失性存储装置, 其特征在于,

还具备:

高电阻化用电源, 提供用来使上述电阻变化元件从低电阻状态转变为高电阻状态的电压; 以及

低电阻化用电源, 提供用来使上述电阻变化元件从高电阻状态转变为低电阻状态的电压;

上述高电阻状态写入电路将从上述高电阻化用电源提供的电压施加到上述存储单元;

上述第 1 驱动电路及第 2 驱动电路分别基于从上述低电阻化用电源提供的电压来输出上述第 1 电流及第 2 电流。

10. 如权利要求 1 所述的电阻变化型非易失性存储装置, 其特征在于,

上述低电阻状态写入电路还具有输出端子与上述第 1 驱动电路及第 2 驱动电路的输出端子连接的第 3 驱动电路;

当上述低电阻状态写入电路对上述存储单元施加上述电压时, 在上述第 1 驱动电路的输出端子处的电压比预先确定的第 2 基准电压高的情况下上述第 3 驱动电路输出第 3 电流, 在上述输出端子处的电压比上述第 2 基准电压低的情况下上述第 3 驱动电路为高阻抗状态。

11. 如权利要求 10 所述的电阻变化型非易失性存储装置, 其特征在于,

上述第 2 驱动电路具有:

第 1 比较电路, 将上述第 1 驱动电路的输出端子处的电压与上述第 1 基准电压进行比较; 以及

第 1 驱动元件, 根据上述第 1 比较电路中的比较结果, 提供上述第 2 电流;

上述第 3 驱动电路具有:

第 2 比较电路, 将上述第 1 驱动电路的输出端子处的电压与上述第 2 基准电压进行比较; 以及

第 2 驱动元件, 根据上述第 2 比较电路中的比较结果, 提供上述第 3 电流。

12. 如权利要求 11 所述的电阻变化型非易失性存储装置,其特征在于,
还具有分别产生上述第 1 基准电压及第 2 基准电压的第 1 基准电压产生电路及第 2 基准电压产生电路;

上述第 1 比较电路将上述第 1 驱动电路的输出端子处的电压与由上述第 1 基准电压产生电路产生的上述第 1 基准电压进行比较;

上述第 2 比较电路将上述第 1 驱动电路的输出端子处的电压与由上述第 2 基准电压产生电路产生的上述第 2 基准电压进行比较。

13. 如权利要求 10 ~ 12 中任一项所述的电阻变化型非易失性存储装置,其特征在于,
上述第 1 基准电压及第 2 基准电压设定在上述低电阻状态写入电路应输出的电压的范围内,以使对上述电阻变化元件施加的电压在作为低电阻变化电压而可能发生的电压范围内,该低电阻变化电压是该电阻变化元件从高电阻状态转变为低电阻状态的阈值电压;

上述第 1 基准电压与上述第 2 基准电压不同。

14. 如权利要求 13 所述的电阻变化型非易失性存储装置,其特征在于,
如果设每当上述电阻变化元件的电阻变化时可能发生的上述低电阻变化电压的平均值为 V_R 、最小值为 V_{R1} 、最大值为 V_{R2} ,设从上述低电阻状态写入电路到上述电阻变化元件的电压下降的最小值为 V_{D1} 、最大值为 V_{D2} ,

则上述第 1 基准电压 V_{REF1} 在 $(V_{D1}+V_{R1}) \leq V_{REF1} \leq (V_{D2}+V_R)$ 的范围中,上述第 2 基准电压 V_{REF2} 在 $(V_{D1}+V_R) \leq V_{REF2} \leq (V_{D2}+V_{R2})$ 的范围中,并且满足 $V_{REF1} < V_{REF2}$ 。

15. 如权利要求 14 所述的电阻变化型非易失性存储装置,其特征在于,
上述电阻变化层由钽及铪中的某一种的欠氧型的过渡性金属氧化物层构成;
上述第 1 电极和上述第 2 电极由具有不同的标准电极电位的材料构成;
上述第 1 电极的标准电极电位 V_1 、上述第 2 电极的标准电极电位 V_2 、和包含在上述电阻变化层中的钽及铪中的某一种的标准电极电位 V_t 满足 $V_t < V_2$ 、且 $V_1 < V_2$;

上述低电阻变化电压的偏差的上述低电阻变化电压的平均值是 0.8V、最小值是 0.7V、最大值是 0.9V;

上述第 1 基准电压是 0.75V ~ 1.10V;

上述第 2 基准电压是 0.85V ~ 1.20V。

16. 如权利要求 10 ~ 15 中任一项所述的电阻变化型非易失性存储装置,其特征在于,
上述第 2 电流及第 3 电流都比上述第 1 电流小、且比 0 安培大。

17. 如权利要求 10 ~ 16 中任一项所述的电阻变化型非易失性存储装置,其特征在于,
还具备:

高电阻化用电源,提供用来使上述电阻变化元件从低电阻状态转变为高电阻状态的电压;以及

低电阻化用电源,提供用来使上述电阻变化元件从高电阻状态转变为低电阻状态的电压;

上述高电阻状态写入电路将从上述高电阻化用电源提供的电压施加到上述存储单元;

上述第 1 ~ 第 3 驱动电路分别基于从上述低电阻化用电源提供的电压来输出上述第 1 ~ 第 3 电流。

18. 如权利要求 1 ~ 17 中任一项所述的电阻变化型非易失性存储装置,其特征在于,上述存储单元阵列还具有多个位线和多个源极线;
按每个上述位线与上述源极线的组合,设有 1 个上述存储单元;
上述存储单元的两端分别连接到上述多个位线及上述多个源极线中的对应的 1 条;
上述选择电路具有选择上述多个位线的至少一个的列选择电路、和选择上述多个源极线的至少一个的行选择电路;

上述低电阻状态写入电路和上述高电阻状态写入电路驱动由上述列选择电路选择的位线或由上述行选择电路选择的源极线。

19. 如权利要求 18 所述的电阻变化型非易失性存储装置,其特征在于,上述第 1 开关元件由 MOS 晶体管或二极管构成。

20. 如权利要求 19 所述的电阻变化型非易失性存储装置,其特征在于,上述存储单元阵列还具有多个字线;
上述第 1 开关元件是 MOS 晶体管,该 MOS 晶体管的栅极端子连接到上述多个字线中的对应的 1 条;

上述行选择电路还选择上述多个字线的至少一个;

上述电阻变化型非易失性存储装置还具备驱动由上述行选择电路选择的字线的字线驱动电路。

21. 一种电阻变化型非易失性存储装置,其特征在于,具备:

存储单元阵列,以矩阵状配置存储单元而构成,该存储单元具备电阻变化元件和与上述电阻变化元件串联连接的第 1 开关元件,上述电阻变化元件由第 1 电极、第 2 电极、和夹在上述第 1 电极及第 2 电极之间、对应于对上述第 1 电极及第 2 电极间施加的电压的极性而可逆地转变为高电阻状态或低电阻状态的非易失性的电阻变化层构成;

选择电路,从构成上述存储单元阵列的存储单元中选择至少一个存储单元;

高电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从低电阻状态转变为高电阻状态的电压而以该电阻变化元件的第 1 电极为基准对第 2 电极施加正的电压;以及

低电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从高电阻状态转变为低电阻状态的电压而以该电阻变化元件的第 2 电极为基准对第 1 电极施加正的电压;

上述低电阻状态写入电路的负载特性,是除了一部分区域以外、随着输出电压的增加而输出电流减小的单调减小的负载特性,是在上述一部分区域中、随着输出电压的增加而输出电流增加的负载特性。

22. 如权利要求 21 所述的电阻变化型非易失性存储装置,其特征在于,

上述负载特性中的一部分区域,是与当包含在上述存储单元中的电阻变化元件发生低电阻化时、作为对该电阻变化元件施加的电压而能够发生的偏差的范围相对应的区域。

电阻变化型非易失性存储装置

技术领域

[0001] 本发明涉及具有由电阻值基于电信号而可逆地变化的电阻变化元件和选择元件构成的存储单元的电阻变化型非易失性存储装置。

背景技术

[0002] 近年来,具有使用电阻变化元件构成的存储单元的非易失性存储装置的研究开发不断进展。所谓电阻变化元件,是指具有电阻值根据电信号而可逆地变化的性质、而且能够将对应于该电阻值的数据非易失性地存储的元件。

[0003] 作为使用电阻变化元件的非易失性存储装置,一般已知有以矩阵状阵列配置有在正交配置的位线与字线、源极线(source line)的交点的位置串联连接有MOS晶体管和电阻变化元件的、所谓1T1R型的存储单元的非易失性存储装置。

[0004] 此外,以更高集成化为目标,在正交的位线与字线的交点的位置串联连接有二极管元件和电阻变化元件的所谓的交叉点型的非易失性存储装置的研究也正热烈地进行。

[0005] 在专利文献1中,公开了如下技术,即:具有通过电阻的状态而存储、保持信息的电阻变化元件、和与该电阻变化元件串联连接的电路元件而构成存储单元,通过对该存储单元施加电压、电流,将电阻变化元件的电阻值保持为较高的状态和较低的状态。

[0006] 图19是在由专利文献1所公开的存储装置中使用的存储单元C的电路图。存储单元C将电阻变化元件A与电路元件T电气地串联连接而形成。电阻变化元件A是在两个电极之间(例如上部电极与下部电极之间)夹着存储层的结构,可以举出存储层由稀土类氧化膜等的非晶质薄膜构成的结构。公开了在该稀土类氧化膜中含有Cu、Ag、或Zn那样的容易电离的金属的结构。此外,电路元件T使用MIS(Metal-Insulator-Semiconductor)晶体管,通过对栅极端子施加规定的电压 V_{GS} ,具有如下功能,即:作为控制向电阻变化元件A的访问的有源元件而发挥作用,并且还作为对电阻变化元件A的负载元件而发挥作用。在电路元件T为导通状态下,通过对存储单元C的两端的端子V1和V2施加规定的电压及电流,能够使电阻变化元件A的电阻值变化。

[0007] 图20表示在专利文献1中公开的电阻变化元件A的电压-电流变化。如果将使电阻变化元件A从电阻值较高的状态向电阻值较低的状态变化的动作定义为写入、将使电阻变化元件A从电阻值较低的状态向电阻值较高的状态变化的动作定义为擦除,则作为电阻变化元件A的动作的一例,如果从最初的电阻变化元件A的电阻值较大、不易流过电流的状态(ST1)施加写入阈值电压(+1.1X[V])以上,则流过电流,电阻值下降(ST2)。并且,电阻变化元件A向欧姆特性变化(ST3),成为电流与电压成比例流过的状态。然后,即使使电压回到0V(0伏特)也持续保持该较低的电阻值。接着,如果将负的电压施加在电阻变化元件A上、使施加电压变大,则在擦除阈值电压(-1.1X[V])下电流减小(ST4),向与擦除状态相同的较高的电阻值变化。然后,即使使电压回到0V也持续保持该较高的电阻值(ST5)。

[0008] 图21是表示在专利文献1中公开的电阻变化元件A的工作点的变化的图。纵轴表示流到对应于电路元件T的MIS晶体管T及电阻变化元件A的电流[A],横轴表示对MIS

晶体管 T 及电阻变化元件 A 施加的电压 [V]。虚线的图形是将 MIS 晶体管 T 的栅极电压改变为 V_{G1} 、 V_{G2} 、 V_{G3} ($V_{G1} > V_{G2} > V_{G3}$) 时的电压 - 电流特性,实线的图形表示电阻变化元件 A 的低电阻状态及高电阻状态的电压 - 电流特性。另外,高电阻状态与横轴重叠表示。

[0009] 如图 21 的实线所示,通过对存储单元 C 的两端的端子 V1 与 V2 之间施加电压 V(1.0V),当在电阻变化元件 A 的电极间施加了电压 V_{th} (约 0.52V) 时,电阻变化元件 A 从高电阻状态变化为低电阻状态。此时,表示出,电阻变化元件 A 的电阻值根据经由 MIS 晶体管 T 流到电阻变化元件 A 的电流值来决定。例如,当栅极电压为 V_{G1} 时,到流过电流最多的工作点 P1 有电流流动,根据由该工作点 P1 表示的电压与电流的关系求出的电阻值成为电阻变化元件 A 的低电阻状态的电阻值。同样,表示出,当栅极电压为 V_{G2} 时根据更高电阻的工作点 P2 的电压与电流的关系、当栅极电压为 V_{G3} 时根据进一步高电阻的工作点 P3 的电压与电流的关系求出的电阻值,成为电阻变化元件 A 的低电阻状态的电阻值。

[0010] 即,公开了一种记录装置,该记录装置通过控制对由电阻变化元件 A 和 MIS 晶体管 T 构成的存储单元 C 的两端施加的电压及 MIS 晶体管 T 的栅极电压,能够控制电阻变化元件 A 的低电阻状态的电阻值,利用该特征能够实线多值数据的记录。

[0011] 接着,在专利文献 2 中,公开了通过对存储单元阵列中的各存储单元施加统一的电压来实现稳定的动作的存储装置。在对存储单元施加写入电压的电压施加电路与存储单元之间存在位线等较长的配线。在向低电阻状态的写入中,在访问位于电压施加电路附近的存储单元的情况下,起因于该配线电阻的电压下降较小,结果能够使电流较多流过,成为更低的电阻值的低电阻状态。另一方面,在访问位于远离电压施加电路的存储单元的情况下,起因于该配线电阻的电压下降较大,结果流过的电流减少,与前者情况相比留在电阻值较高的状态的电阻值。

[0012] 即,在专利文献 2 中,提出了针对如下问题的技术,该问题为:向存储单元写入的低电阻状态的电阻值取决于配置存储单元的场合而不能实现统一。

[0013] 图 22 是在专利文献 2 中公开的解决方案,公开了如下结构,即:具备驱动器和运算放大器,该驱动器连接在位线的一端并对位线施加规定电压,该运算放大器将对位于位线的最另一端侧的存储元件施加的电压与设定电压比较,来调整驱动器对位线施加的电压。

[0014] 现有技术文献

[0015] 专利文献

[0016] 专利文献 1:日本特开 2005-235360 号公报

[0017] 专利文献 2:日本特許第 4148210 号公报

发明概要

[0018] 发明所要解决的问题

[0019] 此外,本申请的发明者们,对于作为电阻变化型非易失性存储装置之一、使用作为过渡性金属之一的钽 (Ta)、用以其欠氧型的过渡性金属氧化物 TaO_x ($0 < x < 2.5$) 为电阻变化层的 1T1R 型存储单元构成的电阻变化型非易失性存储装置的稳定的电阻变化动作的实现进行了研究。这里,所谓欠氧型的过渡性金属氧化物,是指与具有化学计量学的组成的过渡性金属氧化物相比氧的含有量(原子比:氧原子数在总原子数中所占的比例)较少的过渡性金属氧化物。通常,具有化学计量学的组成的过渡性金属氧化物是绝缘体、或者具有

非常高的电阻值。例如在过渡性金属是 Ta 的情况下,化学计量学的过渡性金属氧化物的组成是 Ta_2O_5 , Ta 与 O 的原子数的比率 (O/Ta) 是 2.5。因而,在欠氧型的 Ta 氧化物中, Ta 与 O 的原子比比 O 大而比 2.5 小。

[0020] 首先,对以欠氧型的 Ta 氧化物为电阻变化层的电阻变化元件,说明通过测量得到的一些特性。

[0021] 图 1 是表示将电阻变化元件 100 与作为第 1 开关元件的选择晶体管 101 串联连接的 1T1R 型的存储单元 102 的基本构造的示意图。电阻变化元件 100 通过由 TaN 构成的下部电极 (第 1 电极) 103、由 Pt 构成的上部电极 (第 2 电极) 105、和由作为上述欠氧型的过渡性金属氧化物的 TaO_x 构成的电阻变化层 104 构成。电阻变化元件 100 的下部电极 103 与选择晶体管 101 的一个扩散层端子 (例如漏极端子) 连接,另一个扩散层端子 (例如源极端子) 被作为存储单元 102 的 PD 端子引出,上部电极 105 被作为存储单元 102 的 PU 端子引出,选择晶体管 101 的栅极端子被作为存储单元 102 的 PG 端子引出。

[0022] 通过本发明者们研究可知,在该构造的情况下,通过以下部电极 103 为基准对上部电极 105 施加正的电压,能够将电阻变化层 104 设定为高电阻状态,通过以上部电极 105 为基准对下部电极 103 施加正的电压,能够将电阻变化层 104 设定为低电阻状态。

[0023] 因此,在对存储单元 102 设定规定的电阻状态的方法中,对存储单元 102 的 PG 端子施加选择晶体管 101 导通的写入电压,在使存储单元 102 成为高电阻状态的情况下,以存储单元 102 的 PD 端子为基准对 PU 端子施加高电阻化电压 V_{ph} ,在使存储单元 102 成为低电阻状态的情况下,以存储单元 102 的 PU 端子为基准对 PD 端子施加低电阻化电压 V_{pl} ,从而能够设定为各个电阻值。

[0024] 在将存储单元 102 的电阻状态读出的方法中,对存储单元 102 的 PG 端子施加选择晶体管 101 导通的读出电压,对存储单元 102 的 PD 端子与 PU 端子间施加不发生写入的程度的较低的读出电压 V_{pr} ,测量流到存储单元 102 的存储单元电流 I_r ,从而能够求出存储单元 102 的电阻值。

[0025] 图 2 是存储单元 102 的电阻变化后的存储单元读出电流 I_r 的评价结果的一例,是表示对于某个代表性的 1 位的存储单元交替地分别施加 200 次面向高电阻化的脉冲和面向低电阻化的脉冲、在每次脉冲施加后测量的存储单元电流 I_r 的结果的图。纵轴表示流到存储单元 102 中的存储单元电流 I_r [A],横轴表示其测量次数。另外,为了电阻变化而施加的脉冲是以脉冲宽度为 50ns、PG 端子为 2.4V、PD 端子与 PU 端子间的电压使一个为 0V、另一个为 2.4V 的设定而一边交替地切换一边进行的,此外,存储单元电流 I_r 的测量是对 PG 端子施加 2.4V、对 PU 端子施加 0V、对 PD 端子施加 0.4V、全部在相同的条件下进行测量的。

[0026] 下述的表 1 是其结果的汇总,表示高电阻化脉冲 200 次或低电阻化脉冲 200 次施加时的存储单元电流的各平均值,作为各自的最大值与最小值的差而表示其偏差 (ばらつき)。

[0027] [表 1]

[0028]

	I_r (200 次的平均值)	ΔI_r (最大值 - 最小值)
高电阻状态	0.93 [μA]	2.0 [μA]

低电阻状态	44.0[μ A]	9.2[μ A]
-------	----------------	---------------

[0029] 当存储单元 102 为高电阻状态时,存储单元电流 I_r 的平均为约 0.93[μ A],几乎不流过,在存储单元 102 为低电阻状态时,存储单元电流 I_r 平均流约 44.0[μ A] 左右,能够清楚地区别高电阻状态与低电阻状态。另一方面,如果着眼于存储单元电流的 ΔI_r (最大值 - 最小值),则高电阻状态的存储单元电流的 ΔI_r 是 2.0[μ A],相对于此,低电阻状态的存储单元电流的 ΔI_r 是 9.2[μ A],发现即使使相同的存储单元在相同的条件下反复动作、也具有以某种一定的幅度不规则地偏差的现象。

[0030] 关于该存储单元电流 I_r 的偏差 (ΔI_r),由于单元电流的测量误差是 0.2 μ A 左右,所以不能认为是测量精度的问题。

[0031] 此外,在专利文献 1 中,表示了低电阻状态对应于晶体管流过的电流值而决定电阻变化元件的电阻值,但如果假设晶体管的电流发生偏差为原因,则选择晶体管 101 的特性相当于每次电阻变化而偏差 10% 左右。但是, MOS 晶体管很久以来就作为非常稳定的元件被周知,并且不能认为每当开关时具有这样的较大的偏差。

[0032] 进而,在专利文献 2 中,表示了取决于存储单元的配置位置、通过起因于配线电阻成分的电压下降而写入状态发生偏差,但上述测量是相同存储单元中的偏差,配线电阻是固定的,所以上述偏差与这样的原因不同。

[0033] 本发明者们进行了锐意研究,结果推测该相同存储单元的电阻变化后的存储单元电流 I_r 的偏差不是因为以往已知的原因,而是因为电阻变化元件 100 自身的电阻变化特性每当电阻变化而在一定范围内发生偏差。

[0034] 在将存储单元电流的大小作为存储信息的存储装置的情况下,特别是低电阻状态时的存储单元电流的最小值限制读出速度,并且低电阻状态时的存储单元电流的最小值与高电阻状态时的存储单元电流的最大值的差较大地影响动作余量。

[0035] 并且,在考虑作为多个存储单元的集合的存储单元阵列的动作的情况下,除了选择晶体管的阈值 V_t 等工艺 (process) 的各种偏差、专利文献 2 所示的由存储单元的配置场所的差异引起的偏差等以往已知的偏差因素以外,还发现存在读出速度进一步下降、此外动作余量也进一步下降的问题。

发明内容

[0036] 本发明是鉴于这样的情况而做出的,目的是提供一种在具有具备电阻变化元件和选择元件 (开关元件) 的存储单元的非易失性存储装置中、降低电阻变化元件的低电阻状态的电阻值的偏差、进行稳定的动作的电阻变化型非易失性存储装置。

[0037] 解决技术问题所采用的手段

[0038] 为了达到上述目的,有关本发明的电阻变化型非易失性存储装置的一技术方案的特征在于,具备:存储单元阵列,以矩阵状配置存储单元而构成,该存储单元具备电阻变化元件和与上述电阻变化元件串联连接的第 1 开关元件,该电阻变化元件由第 1 电极、第 2 电极、和夹在上述第 1 及第 2 电极之间、对应于对上述第 1 及第 2 电极间施加的电压的极性而可逆地转变为高电阻状态或低电阻状态的非易失性的电阻变化层构成;选择电路,从构成上述存储单元阵列的存储单元中选择至少一个存储单元;高电阻状态写入电路,对由上

述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从低电阻状态转变为高电阻状态的电压而以该电阻变化元件的第 1 电极为基准对第 2 电极施加正的电压;以及低电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从高电阻状态转变为低电阻状态的电压而以该电阻变化元件的第 2 电极为基准对第 1 电极施加正的电压;上述低电阻状态写入电路具有对上述存储单元施加上述电压的、输出端子相互连接的第 1 及第 2 驱动电路;上述第 1 驱动电路当上述低电阻状态写入电路对上述存储单元施加上述电压时输出第 1 电流;上述第 2 驱动电路当上述低电阻状态写入电路对上述存储单元施加上述电压时,在上述第 1 驱动电路的输出端子处的电压比预先确定的第 1 基准电压高的情况下输出第 2 电流,在上述输出端子处的电压比上述第 1 基准电压低的情况下为高阻抗状态。

[0039] 或者,有关本发明的电阻变化型非易失性存储装置的一技术方案的特征在于,具备:存储单元阵列,以矩阵状配置存储单元而构成,该存储单元具备电阻变化元件和与上述电阻变化元件串联连接的第 1 开关元件,该电阻变化元件由第 1 电极、第 2 电极、和夹在上述第 1 及第 2 电极之间、对应于对上述第 1 及第 2 电极间施加的电压的极性而可逆地转变为高电阻状态或低电阻状态的非易失性的电阻变化层构成;选择电路,从构成上述存储单元阵列的存储单元中选择至少一个存储单元;高电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从低电阻状态转变为高电阻状态的电压而以该电阻变化元件的第 1 电极为基准对第 2 电极施加正的电压;以及低电阻状态写入电路,对由上述选择电路选择的存储单元施加电压,以使得作为用来使包含在该存储单元中的电阻变化元件从高电阻状态转变为低电阻状态的电压而以该电阻变化元件的第 2 电极为基准对第 1 电极施加正的电压;上述低电阻状态写入电路的负载特性,是除了一部分区域以外、随着输出电压的增加而输出电流减小的单调减小的负载特性,是在上述一部分区域中、随着输出电压的增加而输出电流增加的负载特性。

[0040] 由此,低电阻状态写入电路的输出 VI 特性(负载特性)为,当比第 1 基准电压大的输出电压时输出电流变大那样的曲线,所以,通过作为第 1 基准电压而设定为电阻变化元件发生低电阻化的电压,从而在电阻变化元件发生低电阻化时流过的电流的偏差变小,结果能够抑制电阻变化元件的低电阻化时的电阻值的偏差。

[0041] 发明效果

[0042] 能够提供如下技术,即:对于具有具备电阻变化元件和选择元件(开关元件)的存储单元的非易失性存储装置,能够抑制存储单元的低电阻状态的电阻值的偏差,最大限度地确保电阻变化的窗口(window)(电阻变化元件的高电阻状态下的电阻值与低电阻状态下的电阻值的差)。即,能够提供能够实现电阻变化元件的电阻变化状态的稳定化、能够实现存储器的读出高速化及成品率提高的电阻变化型非易失性存储装置。

附图说明

[0043] 图 1 是表示有关本发明的实施方式的存储单元的基本构造的示意图。

[0044] 图 2 是有关本发明的实施方式的存储单元的正负交替脉冲施加的电阻变化特性图表。

[0045] 图 3 是有关本发明的实施方式的存储单元的改写流程图。

- [0046] 图 4 是表示有关本发明的实施方式的存储单元的低电阻化判断率的图表。
- [0047] 图 5 是有关本发明的实施方式的存储单元的等价电路图。
- [0048] 图 6 是有关本发明的实施方式的存储单元的工作点解析图。
- [0049] 图 7 是有关本发明的第 1 实施方式的非易失性存储装置的结构图。
- [0050] 图 8 是有关本发明的第 1 实施方式的电阻变化型非易失性存储装置的存储单元部的结构的一例的剖视图。
- [0051] 图 9 是有关本发明的第 1 实施方式的写入电路的结构图。
- [0052] 图 10 是有关本发明的第 1 实施方式的存储单元的动作时序图。
- [0053] 图 11 是有关本发明的第 1 实施方式的工作点解析图。
- [0054] 图 12 是有关本发明的第 2 实施方式的非易失性存储装置的结构图。
- [0055] 图 13 是有关本发明的第 2 实施方式的写入电路的结构图。
- [0056] 图 14 是有关本发明的第 2 实施方式的工作点解析图。
- [0057] 图 15 是有关本发明的第 3 实施方式的写入电路的结构图。
- [0058] 图 16 是有关本发明的第 3 实施方式的工作点解析图。
- [0059] 图 17 是与有关本发明的第 1 实施方式的写入电路等价的其他写入电路的结构图。
- [0060] 图 18 是表示有关本发明的 LR 写入电路的合成负载特性的图。
- [0061] 图 19 是在有关以往技术的专利文献 1 中记载的存储单元的结构图。
- [0062] 图 20 是在有关以往技术的专利文献 1 中记载的存储单元的电压电流变化特性图。
- [0063] 图 21 是在有关以往技术的专利文献 1 中记载的存储单元的写入工作点解析图。
- [0064] 图 22 是在有关以往技术的专利文献 2 中记载的存储装置的电路图。

具体实施方式

[0065] 以下,参照附图对本发明的实施方式详细地说明。

[0066] 本发明的第 1 实施方式的电阻变化型非易失性存储装置是具有将电阻值基于电信号而可逆地变化的电阻变化元件和作为选择元件的晶体管等开关元件串联连接而构成的电阻变化型的存储单元的电阻变化型非易失性存储装置,是减小电阻变化元件的低电阻状态的电阻值的偏差、进行稳定的动作的装置。

[0067] [有关本发明的电阻变化型非易失性存储装置的基础数据]

[0068] 作为准备,对发现了作为本发明的基础的关于电阻变化元件的新的现象的基础数据进行说明。

[0069] 首先,当采用图 1 的 1T1R 型的存储单元 102、在高电阻状态和低电阻状态之间反复进行电阻变化动作时,测量电阻变化层 104 从高电阻状态电阻变化为低电阻状态时的电阻变化电压的偏差。

[0070] 图 3 表示该测量的流程图,分为步骤 S0 到步骤 S5 说明其流程。

[0071] 步骤 S0 是测量的初始化的步骤, N 是电阻变化的重复次数的次数参数, VLG 是对作为选择晶体管 101 的栅极的 PG 端子施加的电压值 VPG 的栅极电压参数,分别最初设置为 0 及规定的电压值,这里将 VLG 的初始值设为 2.4V,但在将能够进行充分的写入的电压施加在 PU 端子与 PD 端子间时,只要是使选择晶体管 101 成为充分的导通状态的栅极电压就可以。

[0072] 接着,在步骤 S1 中进行向高电阻状态的写入。具体而言,对作为选择晶体管 101 的栅极的 PG 端子以 $V_{PG} = 2.4V$ 、对 PU 端子以 $1.8V$ 、对 PD 端子以 $0V$ 的振幅,分别施加脉冲宽度为 $50ns$ 的脉冲。这里,对 PU 端子、PD 端子间施加的 $1.8V$ 及 $V_{PG} = 2.4V$ 的电压是足够使电阻变化元件 100 高电阻化的电压的一例。并且,接着对 PG 端子施加 $1.8V$ 、对 PU 端子施加 $0.4V$ 、对 PD 端子施加 $0V$,将此时流过的电流值 I_{HR} 作为此时的高电阻状态的存储单元电流来测量并记录。此时,对 PU 端子、PD 端子间施加的 $0.4V$ 是不论电阻变化元件 100 的电阻状态如何都不引起电阻变化的电压。

[0073] 接着,在步骤 S2 中进行向低电阻状态的写入。具体而言,分别对作为选择晶体管 101 的栅极的 PG 端子以由栅极电压参数 V_{LG} 指定的电压、对 PU 端子以 $0V$ 、对 PD 端子以 $1.8V$ 的振幅,施加脉冲宽度 $50ns$ 的脉冲。这些是将与高电阻化极性相反的脉冲施加在 PU 端子、PD 端子间。并且,接着对 PG 端子施加 $1.8V$,对 PU 端子施加 $0.4V$,对 PD 端子施加 $0V$,将此时流过的电流值 I_{LR} 作为此时的低电阻状态的存储单元电流来测量并记录。另外,存储单元电流的测量在与高电阻状态的测量相同的条件下测量。

[0074] 接着,在步骤 S3 中,进行向存储单元 102 的写入状态的判断处理。如果向低电阻状态的写入后的存储单元电流值 I_{LR} 与向高电阻状态的写入后的存储单元电流值 I_{HR} 的差为 $5\mu A$ 以上,则判断为在前步骤 S2 中发生了低电阻化的变化,否则判断为没有发生低电阻化的变化。并且,在将次数参数 N 增加 1 后,再次从步骤 S1 起,步骤 S2、步骤 S3 而重复 50 次。

[0075] 接着,在步骤 S4 中进行重复的另一个判断处理。在步骤 3 中,如果上述步骤重复了 50 次 ($N = 50$),则使对作为选择晶体管 101 的栅极的 PG 端子施加的电压值的栅极电压参数 V_{LG} 减小 $0.01V$,将次数参数 N 初始化 ($N = 0$) 后,再次同样重复步骤 1 到步骤 3。并且,如果栅极电压参数 V_{LG} 达到 $1.1V$,则在步骤 S5 中结束测量。这里,所谓 $V_{LG} = 1.1V$,是选择晶体管 101 的电阻增加而完全没有施加电阻变化元件 100 的低电阻化所需要的电压那样的栅极电压。

[0076] 图 4 是图 3 所示的测量的、关于代表性的存储单元 1 位的测量结果,是将 $V_{PG} = 1.6V \sim 2.1V$ 的电阻变化区域附近标绘的图。在横轴上标绘选择晶体管 101 的栅极端子 PG 的电压 V_{PG} ,在纵轴上标绘为将在图 3 的步骤 S3 中判断为在低电阻中发生了变化的次数用 50 次的尝试次数除而得到的低电阻化判断率。当栅极端子 PG 的电压 V_{PG} 不到 $1.7V$ 时,不发生低电阻化的动作,从 $1.7V$ 以上起逐渐开始低电阻化,当施加了 $1.9V$ 以上时可靠地实现低电阻化。即,表示出,在从 $1.7V$ 到 $1.9V$ 的电压带中,即使是相同的存储单元,在对栅极端子 PG 施加了规定的电压 V_{PG} 的状态下,也概率性地存在变化为低电阻状态的情况和维持高电阻状态不变的情况的某个状态。

[0077] 简单地考察其物理的现象。图 5 是图 1 所示的存储单元 102 的等价电路图。这里,图示了将电阻变化元件 110 与选择晶体管 111 串联连接的存储单元 112。另外,电阻变化元件 110 的符号的箭头的方向表示进行高电阻化时应施加的电压的方向。即,电阻变化元件 110 当以节点 $N1$ 为基准对端子 PU 施加了正的电压时高电阻化(当施加了其反极性的电压时低电阻化)。

[0078] 在图 3 中的步骤 S3 的低电阻状态的写入中,作为脉冲而对 PD 端子施加 $1.8V$,对 PU 端子施加 $0V$ 。向低电阻化的变化当电阻变化元件 110 的两端的电压达到规定的电压(将该

电压表示为低电阻变化电压 VR) 时发生。另一方面, 经由选择晶体管 111 对电阻变化元件施加的电压 (节点 N1 的电压) 受到作为栅极的 PG 端子的电压的控制, 如果设选择晶体管的阈值电压为 VT (约 1.0V), 则由于在 PD 端子上施加 1.8V, 所以作为选择晶体管 111 的源极电位的节点 N1 的电位比基板电位上升, 所以通过基板偏压效应的影响, 被施加到 VPG-VT。

[0079] 当对作为栅极端子的 PG 端子施加了规定的电压 VPG 时, 发生低电阻化的情况可以近似为

[0080] $VPG - VT = VR$ 即

[0081] $VPG = VR + VT \quad \dots (1)$ 。

[0082] 在图 4 所示的测量结果中, 发生低电阻化的 PG 端子的电压 VPG 在 1.7V 到 1.9V 的约 0.2V 区间分布。晶体管的特性非常稳定是以往以来周知的事实, 不能认为在相同的晶体管中每当动作则阈值电压 VT 就有这样的 0.2V 的较大的偏差。因而, 可以考虑电阻变化元件 110 的低电阻变化电压 VR 以 0.7V ~ 0.9V 偏差约 0.2V。如以上那样, 我们发现了电阻变化元件 110 具有以往不知道的、即使是相同的电阻变化元件、低电阻变化电压 VR 也发生偏差的现象。

[0083] 接着, 对这样的电阻变化电压的偏差给电阻变化特性带来的问题进行说明。

[0084] 这里, 考虑通过对 PG 端子提供 2.4V、对 PD 端子施加 1.8V 的脉冲电压、对 PU 端子施加 0V 的脉冲电压而进行低电阻变化时的动作。图 6 是用来说明图 5 所示的存储单元 112 从高电阻状态变化为低电阻状态时的、电阻变化元件 110 和选择晶体管 111 的工作点的工作点解析图。横轴表示存储单元 112 的选择晶体管 111 与电阻变化元件 110 之间的节点 N1 处的电压, 纵轴表示存储单元 112 的在 PD 端子与 PU 端子间流动的存储单元写入电流。

[0085] 特性 (1) 表示选择晶体管 111 的负载曲线, 表示对 PG 端子施加 2.4V、对 PD 端子施加 1.8V 的电压、使 N1 的节点变化到 0V ~ 1.8V 时的流过选择晶体管 111 的电流, 即在 PD 端子与节点 N 间流过的电流。此外, 特性 (2) 表示电阻变化元件 110 为高电阻状态时的负载直线, 表示当电阻变化元件 110 为高电阻状态时对 PU 端子施加 0V、使 N1 的节点变化到 0V ~ 1.8V 时的流过电阻变化元件 110 的电流, 即在 PU 端子与节点 N 间流过的电流。这里, 由于选择晶体管 111 与电阻变化元件 110 串联连接, 所以分别流过的电流变为相等的 A 点成为电阻变化元件 110 为高电阻状态时的工作点。特性 (3) 表示电阻变化元件 110 为低电阻状态时的负载直线, 电阻变化元件 110 的低电阻状态的电阻值当电阻变化元件 110 的两端的电压达到了低电阻变化电压 VR 时, 根据由选择晶体管 111 流动的电流值决定。即, 在工作点解析图中, B 点是电阻变化元件 110 和选择晶体管 111 流动的电流平衡的点, 此时的电阻变化元件 110 的负载直线的斜率为低电阻状态的电阻值。

[0086] 这里, 考虑在上述的电阻变化元件 110 的低电阻变化电压 VR 中有偏差的情况。

[0087] 工作点 B' 对应于低电阻变化电压 VR 为最小的情况下的工作点, 工作点 B'' 对应于低电阻变化电压 VR 为最大的情况下的工作点。在工作点 B', 与工作点 B 点相比, 电阻变化元件 110 的负载直线的斜率变得更陡峭 (即更低的电阻状态), 在工作点 B'', 与工作点 B 点相比, 电阻变化元件 110 的负载直线的斜率为更平缓的斜度 (即更高的电阻状态)。

[0088] 即, 在电阻变化元件 110 的低电阻变化电压 VR 发生偏差的情况下, 晶体管和电阻变化元件的工作点与电阻变化元件 110 处于高电阻状态时相比, 在陡峭的斜率的负载直线上具有交点, 所以形成的低电阻状态的电阻值的偏差也变大。

[0089] 例如,将在假设对作为栅极的 PG 端子施加 2.4V、对 PD 端子施加的脉冲电压为 1.8V、电阻变化元件 110 的低电阻变化电压 VR 以 0.7V(相当于工作点 B') ~ 0.9V(相当于工作点 B") 发生偏差时生成的低电阻值计算为 1.7k Ω ~ 3.0k Ω , 为约 1.8 倍的较大的偏差,具有由此带来读出速度的下降、造成稳定的存储动作的较大的妨碍的问题。

[0090] [第 1 实施方式]

[0091] 接着,作为抑制了低电阻状态的电阻值的偏差的本发明的第 1 实施方式,对在上述中说明的采用电阻变化元件的 1T1R 型的电阻变化型非易失性存储装置(以下,也简称作“非易失性存储装置”)进行说明。

[0092] 图 7 是表示有关本发明的第 1 实施方式的非易失性存储装置的结构框图。

[0093] 如图 7 所示,有关本实施方式的非易失性存储装置 200 在半导体基板上具有存储器主体部 201。存储器主体部 201 具备存储单元阵列 202、列选择电路 203、检测流过所选择的位线的电流量并判断存储的数据是“1”还是“0”的读出电路 204、进行数据信号的输入输出处理的数据信号输入输出电路 205、和进行数据的写入的写入电路 206。写入电路 206 由包括第 1 驱动电路 510 和第 2 驱动电路 520 的 LR 写入电路 500、和 HR 写入电路 530 构成。此外,该非易失性存储装置 200 具备行选择电路 209 及行驱动电路 210。行驱动电路 210 由字线驱动电路 211 和源极线驱动电路 212 构成。字线驱动电路 211 和源极线驱动电路 212 分别驱动由行选择电路 209 选择的字线、以及源极线。另外,由列选择电路 203 和行选择电路 209 构成从构成存储单元阵列 202 的存储单元中选择至少一个存储单元的选择电路。此外,“LR”意味着“低电阻”或“低电阻状态”,“HR”意味着“高电阻”或“高电阻状态”。

[0094] 并且,该非易失性存储装置 200 具备控制存储器主体部 201 的动作的控制电路 213。控制电路 213 具备接受从外部输入的控制信号的控制信号输入电路 214、和接受从外部输入的地址信号的地址信号输入电路 215。

[0095] 本非易失性存储装置 200 具备用来供给使电阻变化元件从高电阻状态转变为低电阻状态的电压的低电阻(LR)化用电源 220、和供给用来使电阻变化元件从低电阻状态转变为高电阻状态的电压的高电阻(HR)化用电源 221 以作为写入用电源。低电阻(LR)化用电源 220 的输出电压 VL 被供给到第 1 驱动电路 510 和第 2 驱动电路 520,高电阻(HR)化用电源 221 的输出电压 VH 被供给到 HR 写入电路 530 和行驱动电路 210。此外,该非易失性存储装置 200 具备产生与低电阻变化电压 VR 具有一定的关系的预先确定的第 1 基准电压 VREF1 的第 1 基准电压产生电路 230。将该第 1 基准电压产生电路 230 产生的第 1 基准电压 VREF1 作为第 2 驱动电路 520 中的比较的基准供给到第 2 驱动电路 520。

[0096] 存储单元阵列 202 具备:形成在半导体基板之上的、相互交叉而排列的多个字线 WL0、WL1、WL2、WL3、...及多个位线 BL0、BL1、...;对应于这些字线 WL0、WL1、WL2、WL3、...及位线 BL0、BL1、...的交点而分别设置的多个作为选择元件(第 1 开关元件)的 NMOS 晶体管 N00、N01、N10、N11、N20、N21、N30、N31、...;以及与 NMOS 晶体管 N00、N01、... 1 对 1 地串联连接的多个电阻变化元件 R00、R01、R10、R11、R20、R21、R30、R31、...。另外,NMOS 晶体管 N00、N01、N10、N11、N20、N21、N30、N31、...和与 NMOS 晶体管 N00、N01、... 1 对 1 串联连接的多个电阻变化元件 R00、R01、R10、R11、R20、R21、R30、R31、...构成各个串联电路配置为矩阵状的存储单元 M00、M01、M10、M11、M20、M21、M30、M31、...。

[0097] 如图 7 所示,NMOS 晶体管 N00、N01、...的栅极连接到字线 WL0,NMOS 晶体管 N10、

N11、…的栅极连接到字线 WL1, NMOS 晶体管 N20、N21、…的栅极连接到字线 WL2, NMOS 晶体管 N30、N31、…的栅极连接到字线 WL3。

[0098] 此外, NMOS 晶体管 N00、N10、N20、N30、…连接到位线 BL0, NMOS 晶体管 N01、N11、N21、N31、…连接到位线 BL1。

[0099] 此外, 电阻变化元件 R00、R01、…连接到源极线 SL0, 电阻变化元件 R10、R11、…连接到源极线 SL1, 电阻变化元件 R20、R21、…连接到源极线 SL2, 电阻变化元件 R30、R31、…连接到源极线 SL3。

[0100] 地址信号输入电路 215 从外部电路 (未图示) 接受地址信号, 基于该地址信号将行地址信号向行选择电路 209 输出, 并且将列地址信号向列选择电路 203 输出。这里, 地址信号是表示多个存储单元 M00、M01、…中的被选择的特定的存储单元的地址的信号。

[0101] 控制信号输入电路 214 接受控制存储器主体部 201 的动作的控制信号, 通过控制电路 213 输出控制各电路块的信号。

[0102] 控制电路 213 在写入周期中, 将写入脉冲信号 PLS 输出给 LR 写入电路 500 和 HR 写入电路 530, 将控制写入的写入使能信号 WE 输出到数据信号输入输出电路 205。数据信号输入输出电路 205 根据来自外部电路 (未图示) 的数据信号, 在 L 数据写入 (使电阻变化元件低电阻化) 时的情况下, 对 LR 写入电路 500 输出 LR 写入使能信号 WEL, 在 H 数据写入 (使电阻变化元件高电阻化) 时的情况下, 对 HR 写入电路 530 输出 HR 写入使能信号 WEH。此外, 在读出周期中, 将从由列选择电路 203、及行选择电路 209 选择的存储单元所输出的数据信号, 通过读出电路 204 向数据信号输入输出电路 205 输出。

[0103] 行选择电路 209 接受从地址信号输入电路 215 输出的行地址信号, 根据该行地址信号, 从字线驱动电路 211 对对应于多个字线 WL0、WL1、WL2、WL3、…中的某个的字线施加规定的电压。

[0104] 此外, 同样, 行选择电路 209 接受从地址信号输入电路 215 输出的行地址信号, 根据该行地址信号, 从源极线驱动电路 212 对对应于多个源极线 SL0、SL2、…中的某个的源极线施加规定的电压。

[0105] 列选择电路 203 接受从地址信号输入电路 215 输出的列地址信号, 根据该列地址信号, 选择多个位线 BL0、BL1、…中的某个, 对该选择的位线施加写入用电压或读出用电压, 对没有被选择的位线施加非选择电压。

[0106] 写入电路 206 在接受到从控制电路 213 输出的写入脉冲信号 PLS 的情况下, 接受对由列选择电路 203 选择的位线指示写入电压的施加的信号, 输出遵循由写入模式设定的电压的写入电压。

[0107] 读出电路 204 在数据的读出周期中, 检测流到作为读出对象的选择位线的电流, 判断存储的数据是“1”还是“0”。将其结果得到的判断数据经由数据信号输入输出电路 205 向外部电路 (未图示) 输出。

[0108] 图 8 是表示对应于图 7 的 C 部的存储单元 300 的结构 (2 位的结构) 的剖视图、及电阻变化元件 400 的放大图的一例。

[0109] NMOS 晶体管 301、电阻变化元件 400 分别对应于图 7 中的 NMOS 晶体管 N01、N11 和电阻变化元件 R01、R11。

[0110] NMOS 晶体管 301 通过第 1N 型扩散层区域 303a、第 2N 型扩散层区域 303b、栅极绝

缘膜 304a、和栅极电极 304b 构成在半导体基板 302 上。此外,在第 1N 型扩散层区域 303a 上,依次形成有第 1 通孔 305、第 1 配线层 306、第 2 通孔 307、第 2 配线层 308、第 3 通孔 309、第 3 配线层 310,另一方面,在第 2N 型扩散层区域 303b 上,依次形成有第 1 通孔 305、第 1 配线层 306、下部电极连接通孔 401、电阻变化元件 400、上部电极连接通孔 402、第 2 配线层 308。另外,在本实施方式中,表示了在第 1 配线层 306 与第 2 配线层 308 之间形成电阻变化元件 400 的例子,但对于本发明而言,也可以在其他配线层间。

[0111] 第 3 配线层 310 对应于位线 BL1,连接到电阻变化元件 400 的第 1 配线层 306、第 2 配线层 308 是垂直于该图面延伸的配线层,第 2 配线层 308 对应于源极线 SL0 及源极线 SL1。

[0112] 半导体基板 302 的电压是 0V,由接地电源极线(未图示)通过一般周知的结构连接到接地电位。

[0113] 如图 8 的放大部分所示,电阻变化元件 400 在下部电极连接通孔 401 上以三明治状层叠下部电极 400a、电阻变化层 400b、上部电极 400c 而形成,并且连接到与第 2 配线层 308 连接的上部电极连接通孔 402。

[0114] 这里,电阻变化层 400b 由欠氧型的 Ta 等的过渡性金属氧化物层构成,下部电极 400a 和上部电极 400c 由具有不同的标准电极电位的材料构成。下部电极 400a 由作为电阻变化层 400b 在与下部电极 400a 的界面处不易发生电阻变化的电极材料(标准电极电位比上部电极材料低的材料)的 TaN(氮化钽)等构成,经由通孔连接到晶体管的第 2N 型扩散层区域 302b。此外,上部电极 400c 由电阻变化层 400b 在与上部电极 400c 的界面处容易发生电阻变化的(具有比构成电阻变化层的金属的标准电极电位高的标准电极电位的)Pt(白金)等构成,成为经由通孔连接到由第 2 配线层 308 形成的源极线 SL0 或 SL1 的构造。

[0115] 在本实施方式中,将上部电极 400c 用标准电极电位较高的 Pt 构成,将下部电极 400a 用标准电极电位比其低的 TaN 构成,通过对电阻变化元件 400 的下部电极 400a 施加 H 电位、对上部电极 400c 施加 L 电位,电阻变化层 400b 低电阻化。为了对电阻变化元件 400 的下部电极 400a 施加 H 电位、对上部电极 400c 施加 L 电位,通过第 1 驱动电路 510 和第 2 驱动电路 520 对位线施加 H 电位,通过源极线驱动电路 212 对源极线施加 L 电位。

[0116] 另外,电阻变化层 400b 由钽(Ta)及铪(Hf)中的某一个欠氧型的过渡性金属氧化物层构成,下部电极 400a 和上部电极 400c 由具有不同的标准电极电位的材料构成,只要是下部电极 400a 的标准电极电位 V_1 、上部电极 400c 的标准电极电位 V_2 、和包含在电阻变化层 400b 中的钽及铪的某一个的标准电极电位 V_t 满足 $V_t < V_2$ 且 $V_1 < V_2$ 的材料就可以。

[0117] 具体而言,在电阻变化层 400b 是欠氧型的钽氧化物的情况下,优选的是,从由 Pt、Ir、Pd、Ag、Cu、Au 构成的组中选择而构成上部电极 400c,从由 TaN、W、Ni、Ta、Ti、Al 构成的组中选择而构成下部电极 400a。

[0118] 此外,在电阻变化层 400b 是欠氧型的铪氧化物的情况下,优选的是,从由 W、Cu、Pt、Au 构成的组中选择而构成上部电极 400c,从由 Al、Ti、Hf 构成的组中选择而构成下部电极 400a。

[0119] 如也在本发明的基础数据中记载的那样,使用上述材料的电阻变化元件 400 的低电阻变化电压 V_R 具有以往不知道的低电阻变化电压 V_R 的偏差现象,为 0.7V ~ 0.9V 约 0.2V 左右偏差。

[0120] 图9是表示本发明的第1实施方式的写入电路206的具体的电路结构的一例、LR化用电源220、HR化用电源221、第1基准电压产生电路230和它们的连接关系的电路图。如图9所示,写入电路206由为了使电阻变化元件R00、R01、…的电阻状态从高电阻状态变化为低电阻状态而对存储单元施加电压及电流的LR写入电路500、和为了使电阻变化元件R00、R01、…的电阻状态从低电阻状态变化为高电阻状态而施加电压及电流的HR写入电路530构成。

[0121] LR写入电路500是对由行选择电路209及列选择电路203选择的存储单元施加电压、以使得作为用来使包含在该存储单元中的电阻变化元件R00等从高电阻状态转变为低电阻状态的电压而以该电阻变化元件R00等的第2电极(上部电极400c)为基准对第1电极(下部电极400a)施加正的电压的低电阻状态写入电路的一例,由第1驱动电路510和第2驱动电路520构成。

[0122] 第1驱动电路510是当LR写入电路500对存储单元施加进行低电阻化的电压时输出第1电流的电路,由PMOS610、PMOS611、NMOS612、NMOS613、反相器(inverter)614、和反相器615构成。另外,简单记为“PMOS”、“NMOS”的记载分别是指“PMOS晶体管”、“NMOS晶体管”。

[0123] PMOS610、PMOS611、NMOS612、和NMOS613将主端子(漏极端子、或源极端子)彼此连接、以使得按此顺序形成串联,形成一个电流路径。PMOS610的两个主端子中的、没有连接PMOS611的主端子(源极端子)连接到电源(例如LR化用电源220)。此外,NMOS613的两个主端子中的、没有与NMOS612连接的主端子(源极端子)连接到接地电位。

[0124] 从数据信号输入输出电路205输出的LR写入使能信号WEL被输入到反相器615的输入端子和NMOS612的栅极,从反相器615的输入端子输入的LR写入使能信号WEL作为反转信号而输入到PMOS611的栅极。此外,从控制电路213输出的写入脉冲信号PLS被输入到反相器614的输入端子,从反相器614的输入端子输入的信号作为反转信号被输入到PMOS610和NMOS613的栅极。将PMOS611和NMOS612的各自的一个主端子(漏极端子)连接,通过第1驱动电路510的输出端子WDL1输出。

[0125] 第1驱动电路510在LR写入使能信号WEL为H状态时,按照写入脉冲信号PLS,输出从LR化用电源220供给的VL电位和接地电位(VSS)的某个,在LR写入使能信号WEL为L状态时,从输出端子WDL1输出高阻抗(以下也记作“Hi-Z”)状态。

[0126] 这里,第1驱动电路510的输出驱动电流(第1电流)通过由PMOS610和PMOS611的串联路径决定的电流能力来决定,通过控制该驱动电流,能够控制流过电阻变化元件R00的电流。控制第1驱动电路510的输出驱动电流,以使其比选择晶体管N00的驱动电流小。作为其实现方法的一例,通过减小PMOS610、PMOS611的栅极的W尺寸、或增大L尺寸能够容易地实现。此外,通过对LR化用电源220组装电流限制电路也能够实现。

[0127] 第2驱动电路520是当LR写入电路500对存储单元施加低电阻化的电压时、在第1驱动电路510的输出端子WDL1处的电压比预先确定的第1基准电压VREF1高的情况下输出第2电流、在其输出端子WDL2处的电压比第1基准电压VREF1低的情况下成为高阻抗状态的电路,由PMOS620、作为第1驱动元件的PMOS621、反相器622、和作为第1比较电路的电压比较电路623构成。PMOS620和PMOS621的主端子(漏极端子、或源极端子)彼此连接以使其按此顺序形成串联,形成一个电流路径。PMOS620的两个主端子中的、不与PMOS621

连接的主端子（源极端子）连接到电源（例如 LR 化用电源 220）。此外，PMOS621 的两个主端子中的、没有与 PMOS620 连接的主端子（漏极端子）连接到电压比较电路 623 的两个输入端子中的一个端子（例如负端子），并且与第 2 驱动电路 520 的输出端子 WDL2 连接。这里，第 1 驱动电路 510 的输出端子 WDL1 与第 2 驱动电路 520 的输出端子 WDL2 连接。

[0128] 电压比较电路 623 的输出端子连接到 PMOS621 的栅极端子。此外，电压比较电路 623 的另一个输入端子（例如正端子）与第 1 基准电压产生电路 230 的输出端子连接，被施加第 1 基准电压 VREF1。电压比较电路 623 将输入到正端子的第 1 基准电压 VREF1、与将通过第 2 驱动电路 520 的输出端子 WDL2 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较，在第 1 基准电压 VREF1 更高的情况下，电压比较电路 623 的输出成为被从 LR 化用电源 220 供给的 VL 电位，从而 PMOS621 成为 OFF 状态，第 2 驱动电路 520 的输出端子 WDL2 的输出成为 Hi-Z 状态。此外，电压比较电路 623 将输入到正端子的第 1 基准电压 VREF1、与将通过第 2 驱动电路 520 的输出端子 WDL2 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较，在第 1 基准电压 VREF1 更低的情况下，电压比较电路 623 的输出成为接地电位 (VSS)，从而 PMOS621 成为 ON 状态，当 PMOS620 是 ON 状态时，第 2 驱动电路 520 的输出端子 WDL2 处的输出为 PMOS620 的源极端子的电位、即被从 LR 化用电源 220 供给 VL 电位，由此输出第 2 电流。另外，也可以设定为，使得在输出端子 WDL1 的电压与第 1 基准电压 VREF1 为同电位的情况下、电压比较电路 623 输出 VL 电位及接地电位的某个（或者，输出也可以是不定的）。

[0129] 此外，从数据信号输入输出电路 205 输出的 LR 写入使能信号 WEL 与反相器 622 的输入端子连接，从反相器 622 的输入端子输入的 LR 写入使能信号 WEL 作为反转信号被输入到 PMOS620 的栅极。

[0130] 第 2 驱动电路 520 的输出信号 WDL2 当 LR 写入使能信号 WEL 为 H 状态时，根据电压比较电路 623 的两个输入端子的电压的关系，如上述那样输出 Hi-Z 状态，或者从 LR 化用电源 220 供给 VL 电位。此外，在 LR 写入使能信号 WEL 是 L 状态时，第 2 驱动电路 520 的输出信号 WDL2 输出 Hi-Z 状态。

[0131] HR 写入电路 530 是对由行选择电路 209 及列选择电路 203 选择的存储单元施加电压、以使得作为用来使包含在该存储单元中的电阻变化元件 R00 等从低电阻状态转变为高电阻状态的电压而以该电阻变化元件 R00 等的第 1 电极（下部电极 103）为基准对第 2 电极（上部电极 105）施加正的电压的高电阻状态写入电路的一例，具备 PMOS630、PMOS631、NMOS632、NMOS633、反相器 634、和反相器 635。

[0132] PMOS630、PMOS631、NMOS632、和 NMOS633 将主端子（漏极端子、或源极端子）彼此连接以按此顺序形成串联，形成一个电流路径。PMOS630 的两个主端子中的、没有连接 PMOS631 的主端子（源极端子）连接到电源（例如 HR 化用电源 221）。此外，NMOS633 的两个主端子中的、没有与 NMOS632 连接的主端子（源极端子）连接到接地电位。

[0133] 从数据信号输入输出电路 205 输出的 HR 写入使能信号 WEH 被输入到反相器 635 的输入端子和 NMOS632 的栅极，从反相器 635 的输入端子输入的 HR 写入使能信号 WEH 被作为反转信号输入到 PMOS631 的栅极。此外，从控制电路 213 输出的写入脉冲信号 PLS 被输入到反相器 634 的输入端子，从反相器 634 的输入端子输入的信号作为反转信号被输入到 PMOS630 和 NMOS633 的栅极。将 PMOS631 和 NMOS632 的各自的一个主端子（漏极端子）连

接,通过 HR 写入电路 530 的输出端子 WDH 输出。

[0134] HR 写入电路 530 的输出端子 WDH 的输出信号当 HR 写入使能信号 WEH 为 H 状态时,按照从控制电路 213 输出的写入脉冲信号 PLS,输出从 HR 化用电源 221 供给的 VH 电位和接地电位 (VSS) 的某个,当 HR 写入使能信号 WEH 为 L 状态时,输出 Hi-Z 状态。

[0135] 第 1 驱动电路 510 的输出端子 WDL1、第 2 驱动电路 520 的输出端子 WDL2、和 HR 写入电路 530 的输出端子 WDH 分别与写入电路 206 的输出端子 WD 连接,写入电路 206 的输出端子 WD 的信号驱动由列选择电路 203 选择的位线。

[0136] 接着,对以上那样构成的电阻变化型非易失性存储装置 200,参照图 10 所示的时序图,对写入低电阻状态的数据的情况下的写入周期的动作例进行说明。另外,该时序图是用来简单地说明动作的示意图,不是实际的电压及电流波形。

[0137] 另外,这里定义为,分别将电阻变化层为高电阻状态的情况分配给数据“1”、将低电阻状态的情况分配给数据“0”,从而表示其动作例。此外,说明表示对图 7 的存储单元 M00 进行数据的写入及读出的情况。此外,LR 化用电源 220 提供电位 VL。此外,第 1 基准电压产生电路 230 提供第 1 基准电压 VREF1,该第 1 基准电压 VREF1 的值设定为,当电阻变化元件 R00 变化为低电阻状态时、在电阻变化元件 R00 的两端施加低电阻变化电压 VR 的电压的电压。

[0138] 在图 10 的低电阻状态(数据“0”)写入周期中,由于数据信号输入输出电路 205 的输入数据 DIN 被输入 L 电位,所以如果从控制电路 213 将控制写入的写入使能信号 WE 输入到数据信号输入输出电路 205,数据信号输入输出电路 205 的 LR 写入使能信号 WEL 成为 H 电位。然后,使所选择的字线 WL0 启动,将存储单元 M00 的 NMOS 晶体管 N00 导通。在该阶段中,由于所选择的源极线 SL0 和位线 BL0 都被施加 0V,所以不流过电流。

[0139] 接着,通过使写入脉冲信号 PLS 上升,从第 1 驱动电路 510 的输出端子 WDL1 供给被从 LR 化用电源 220 供给的电位 VL,并且如果第 1 驱动电路 510 的输出端子 WDL1 的电压超过第 1 基准电压 VREF1,则从第 2 驱动电路 520 也供给电位 VL,由此从写入电路 206 的输出端子 WD 供给电位 VL。

[0140] 接着,如果电阻变化元件 R00 的两端的电压的绝对值 $|VR00|$ 达到 VL 附近,则电阻变化元件 R00 从高电阻状态变化为低电阻状态,电阻变化元件 R00 的两端的电压的绝对值 $|VR00|$ 成为低电阻变化电压 VR,流过电阻变化元件 R00 的电流的绝对值 $|IR00|$ 成为低电阻变化电流 IR。这里,通过低电阻变化电压 VR 发生偏差,低电阻变化电流 IR 也发生偏差。如果设低电阻变化电压 VR 的偏差为 ΔVR 、设低电阻变化电流的偏差为 ΔIR ,则电阻变化元件 R00 的低电阻状态的电阻 LR 可以用以下的式 (2) 表示。

$$[0141] \quad LR = (VR \pm \Delta VR) / (IR \pm \Delta IR) \quad \dots (2)$$

[0142] 在以往的写入电路中,如图 6 所示,如果低电阻变化电压 VR(工作点 B)通过低电阻变化电压的偏差 ΔVR 而成为正方向 $(VR + \Delta VR)$ (工作点 B’),则电阻变化电流减小 $(IR - \Delta IR)$,所以如以下的式 (3) 所示,电阻变化元件 R00 的电阻值 LR(+) 向增加的方向较大地变化,另一方面,如果低电阻变化电压 VR 通过低电阻变化电压的偏差 ΔVR 成为负方向 $(VR - \Delta VR)$ (工作点 B’),则电阻变化电流增加 $(IR + \Delta IR)$,所以如以下的式 (4) 所示,电阻变化元件 R00 的电阻值 LR(-) 向大幅减小的方向变化。

$$[0143] \quad LR(+)= (VR + \Delta VR) / (IR - \Delta IR) \quad \dots (3)$$

$$[0144] \quad LR(-) = (VR - \Delta VR) / (IR + \Delta IR) \quad \cdots (4)$$

[0145] 另一方面,本申请所示的第 2 驱动电路 520 如上所述,如果电阻变化元件 R00 的两端的电压的绝对值 $|VR00|$ 成为 VR 以上则供给 H 电位,所以电阻变化电流 IR 增加。由此,低电阻变化电压 VR 如果因低电阻变化电压的偏差 ΔVR 而成为正方向 $(VR + \Delta VR)$,则电阻变化电流增加 $(IR + \Delta IR)$,所以如以下的式 (5) 所示,电阻变化元件 R00 的电阻值 LR(+) 的变化较小,另一方面,如果低电阻变化电压 VR 因低电阻变化电压的偏差 ΔVR 而成为负方向 $(VR - \Delta VR)$,则电阻变化电流减小 $(IR - \Delta IR)$,所以如以下的式 (6) 所示,电阻变化元件 R00 的电阻值 LR(-) 的变化也变小。

$$[0146] \quad LR' (+) = (VR + \Delta VR) / (IR + \Delta IR) \quad \cdots (5)$$

$$[0147] \quad LR' (-) = (VR - \Delta VR) / (IR - \Delta IR) \quad \cdots (6)$$

[0148] 图 11 是用来说明本发明的第 1 实施方式的电阻变化型非易失性存储装置 200 的电阻变化元件 R00 从高电阻状态变化为低电阻状态时的电阻变化元件 R00、和 LR 写入电路 500 的工作点的工作点解析图。横轴表示存储单元 M00 的选择晶体管 N00 与电阻变化元件 R00 之间的节点 N1 处的电压,纵轴表示从写入电路 206 的输出端子 WD 流动的存储单元写入电流。

[0149] 特性 (1) 表示从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 1 驱动电路 510 时的第 1 驱动电路 510 的输出负载曲线,当节点 N1 的电压为 1.8V 时,从第 1 驱动电路 510 供给的电流为 0A (0 安培),当节点 N1 的电压为 0V 时,从第 1 驱动电路 510 供给约 112 μ A 的电流。这里,第 1 驱动电路 510 如上述那样被限制为,使其驱动电流 (即第 1 电流) 比选择晶体管 N00 的驱动电流小,所以表现出与图 6 所示的以往的驱动电路的特性不同的特性。即,在图 6 所示的以往的驱动电路中,通过图 5 的选择晶体管 111 决定对电阻变化元件 110 施加的电压和电流,所以若节点 N1 的电压降低,则驱动电流大致以线性增加,所以其特性斜率较大,相对于低电阻变化电压 VR 的偏差的存储单元写入电流的变化幅度为工作点 B' 与工作点 B'' 间的约 100 μ A,是较大的。另一方面,在本发明的电阻变化型非易失性存储装置 200 中,由选择晶体管 N00 等的驱动电流也限制了来自 LR 写入电路 500 的驱动电流 (即,选择晶体管 N00 等的 ON 时的阻抗比 LR 写入电路 500 的输出阻抗低),所以对电阻变化元件 R00 等施加的电压和电流由 LR 写入电路 500 决定。

[0150] 具体而言,如图 11 所示,在第 1 驱动电路 510 的驱动电路的负载特性 (1) 中,节点 N1 的电压越低则驱动电流越增加,但从低电阻变化电压 VR 附近起,电流变化相对于电压变化的变化斜率变小。另外,该负载特性 (1) 根据上述选择晶体管 N00 的阻抗与 LR 写入电路 500 的输出阻抗的关系,由第 1 驱动电路 510 自身的输出特性决定。即,第 1 驱动电路 510 具有随着输出电压的增加而输出电流减小的输出特性。

[0151] 特性 (2) 表示同样从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 2 驱动电路 520 时的第 2 驱动电路 520 的输出曲线。该第 2 驱动电路 520 具有仅在第 1 驱动电路 510 的输出端子 WDL1 处的电压比预先确定的第 1 基准电压 VREF1 高的情况下输出第 2 电流的输出特性。这里,关于第 1 基准电压产生电路 230 的第 1 基准电压 VREF1,设定第 1 基准电压 VREF1,以使节点 N1 的电位在电阻变化电压 VR = 0.8V 附近具有拐点。即,当节点 N1 的电压为 1.8V 时,从第 2 驱动电路 520 供给的电流 (即第 2 电流) 成为 0A,如果节点 N1 的电压变得比 1.8V 小,则第 2 电流逐渐增加,当节点 N1 的电压为 0.8V 时,从第 2 驱动电路 520 供

给约 $18\mu\text{A}$ 的电流（第 2 电流），而在 0.8V 以下时，供给的电流（第 2 电流）成为 0A 。另外，如图 11 所示，从第 2 驱动电路 520 供给的电流（即第 2 电流）在电流供给时比从第 1 驱动电路 510 供给的电流（即第 1 电流）小、并且比 0 安培大。

[0152] 这里，LR 写入电路 500 的输出电流由于流过了将第 1 驱动电路 510 与第 2 驱动电路 520 各自的输出电流（第 1 电流及第 2 电流）加在一起的合成电流，所以 LR 写入电路 500 的输出负载特性成为曲线 (3) 所示的特性。

[0153] 如用本发明的基础数据说明那样，电阻变化元件 R00 的低电阻状态的电阻值根据当电阻变化元件 R00 的两端的电压达到低电阻变化电压 VR 时流过电阻变化元件 R00 的电流值来决定，所以在图 11 的工作点解析图中，当电阻变化元件 R00 为高电阻状态时处于 C 点，而从高电阻状态变化为低电阻状态时的工作点推移到电阻变化元件 R00 和 LR 写入电路 500 流过的电流平衡的 D 点，此时的电阻变化元件 R00 的负载直线的斜率 (R_{mL}) 为低电阻状态的电阻值。这里，本发明者发现的低电阻变化电压 VR 值的偏差即使以例如 $0.8\text{V} \pm 0.1\text{V}$ 而发生偏差，也仅通过由在特性 (3) 中决定的从工作点 D' 到工作点 D'' 的范围决定的电阻值而变动。在本模拟中，计算出电阻变化元件 R00 的电阻值为约 $7.1\text{k}\Omega \sim 8.7\text{k}\Omega$ ，能够抑制为约 1.23 倍左右的低电阻值的偏差。

[0154] 另外，在本发明的第 1 实施方式中，设定了第 1 基准电压产生电路 230 的第 1 基准电压 VREF1，以使得在低电阻变化电压 VR = 0.8V 附近具有拐点，但第 1 基准电压 VREF1 只要设定在 LR 写入电路 500 应输出的电压的范围内、以使得成为对电阻变化元件施加的电压作为低电阻变化电压 VR 而能够发生的电压的范围内就可以。例如，如果设低电阻变化电压 VR 的平均值为 VRa、最小值为 VR1、从 LR 写入电路 500 到电阻变化元件的电压下降的最小值为 VD1、最大值为 VD2，则第 1 基准电压产生电路 230 的第 1 基准电压 VREF1 只要是

[0155] $(VD1+VR1) \leq VREF1 \leq (VD2+VRa)$

[0156] 的范围就可以。

[0157] 具体而言，如上所述，电阻变化元件 R00 以 VRa = 0.8V 、VR1 = 0.7V 而发生偏差，如果设从 LR 写入电路 500 到电阻变化元件的电压下降的最小值为 VD1 = 0.05V 、最大值为 VD2 = 0.3V ，则第 1 基准电压产生电路 230 的第 1 基准电压 VREF1 只要是 $0.75\text{V} \sim 1.10\text{V}$ 就可以。

[0158] 此外，第 2 驱动电路 520 的驱动电流优选的是，流过比第 1 驱动电路 510 的驱动电流小、并且比 0A 大（或者是 0A 以上）的驱动电流。

[0159] 以上，根据本实施方式的非易失性存储装置 200，由于设定了 LR 写入电路 500 的负载特性，以使其相对于与以往相同的低电阻变化电压 VR 值的偏差，流过存储单元的电流的偏差变小，所以电阻变化元件的低电阻状态下的电阻值的偏差变得比以往小。

[0160] [第 2 实施方式]

[0161] 接着，对本发明的第 2 实施方式的非易失性存储装置进行说明。

[0162] 图 12 是表示有关本发明的第 2 实施方式的非易失性存储装置 200a 的结构框图。该非易失性存储装置 200a 与有关第 1 实施方式的非易失性存储装置 200 的不同点在于：具备两个基准电压产生电路（第 1 基准电压产生电路 231、第 2 基准电压产生电路 232）、和具有由 3 个驱动电路（第 1 驱动电路 510、第 2 驱动电路 540、第 3 驱动电路 550）构成的 LR 写入电路 500a 的写入电路 206a。以下，说明不同点。

[0163] 图 13 是表示本发明的第 2 实施方式的写入电路 206a 的具体的电路结构的一例，是表示 LR 化用电源 220、HR 化用电源 221、第 1 基准电压产生电路 231、第 2 基准电压产生电路 232、和它们的连接关系的电路图。如图 13 所示，本实施方式的写入电路 206a 由为了使电阻变化元件 R00、R01、…的电阻状态从高电阻状态变化为低电阻状态而对存储单元施加电压及电流的 LR 写入电路 500a、和为了使电阻变化元件 R00、R01、…的电阻状态从低电阻状态变化为高电阻状态而施加电压及电流的 HR 写入电路 530 构成。

[0164] LR 写入电路 500a 是对由行选择电路 209 及列选择电路 203 选择的存储单元施加电压、以使得作为用来使包含在该存储单元中的电阻变化元件 R00 等从高电阻状态转变为低电阻状态的电压而以该电阻变化元件 R00 等的第 2 电极（上部电极 400c）为基准对第 1 电极（下部电极 400a）施加正的电压的低电阻状态写入电路的一例，由第 1 驱动电路 510、第 2 驱动电路 540 和第 3 驱动电路 550 构成。第 1 驱动电路 510 和 HR 写入电路 530 由于与在上述本发明的第 1 实施方式中叙述的内容相同，所以这里的记载省略。

[0165] 第 2 驱动电路 540 是当 LR 写入电路 500a 对存储单元施加低电阻化的电压时、在第 1 驱动电路 510 的输出端子 WDL1 处的电压比预先确定的第 1 基准电压 VREF1 高的情况下输出第 2 电流、当该输出端子 WDL1 处的电压比第 1 基准电压 VREF1 低的情况下为高阻抗状态的电路，由 PMOS640、作为第 1 驱动元件的 PMOS641、反相器 642、和作为第 1 比较电路的电压比较电路 643 构成。PMOS640 和 PMOS641 将主端子（漏极端子、或源极端子）彼此连接以按此顺序形成串联，形成一个电流路径。PMOS640 的两个主端子中的、没有与 PMOS641 连接的主端子（源极端子）连接到电源（例如 LR 化用电源 220）。此外，PMOS641 的两个主端子中的、没有与 PMOS640 连接的主端子（漏极端子）连接到电压比较电路 643 的两个输入端子中的一个端子（例如负端子），并且与第 2 驱动电路 540 的输出端子 WDL2 连接。这里，第 1 驱动电路 510 的输出端子 WDL1 与第 2 驱动电路 540 的输出端子 WDL2 连接。

[0166] 电压比较电路 643 的输出端子连接到 PMOS641 的栅极端子。此外，电压比较电路 643 的另一个输入端子（例如正端子）与第 1 基准电压产生电路 231 的输出端子连接，被施加第 1 基准电压 VREF1。电压比较电路 643 将输入到正端子的第 1 基准电压 VREF1、与将通过第 2 驱动电路 540 的输出端子 WDL2 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较，在第 1 基准电压 VREF1 更高的情况下，电压比较电路 643 的输出成为从 LR 化用电源 220 供给的 VL 电位，从而 PMOS641 成为 OFF 状态，第 2 驱动电路 540 的输出端子 WDL2 成为 Hi-Z 状态。此外，电压比较电路 643 将输入到正端子的第 1 基准电压 VREF1、与将通过第 2 驱动电路 540 的输出端子 WDL2 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较，在第 1 基准电压 VREF1 更低的情况下，电压比较电路 643 的输出成为接地电位 (VSS)，从而 PMOS641 成为 ON 状态，当 PMOS640 是 ON 状态时，第 2 驱动电路 540 的输出端子 WDL2 为 PMOS640 的源极端子的电位，即被从 LR 化用电源 220 供给 VL 电位，由此输出第 2 电流。另外，电压比较电路 643 也可以设定为，在输出端子 WDL1 的电压与第 1 基准电压 VREF1 为同电位的情况下输出 VL 电位及接地电位的某个（或者输出也可以是不定的）。

[0167] 此外，从数据信号输入输出电路 205 输出的 LR 写入使能信号 WEL 与反相器 642 的输入端子连接，从反相器 642 的输入端子输入的 LR 写入使能信号 WEL 作为反转信号被输入到 PMOS640 的栅极。

[0168] 在第 2 驱动电路 540 的输出端子 WDL2 的输出信号中,当 LR 写入使能信号 WEL 为 H 状态时,根据电压比较电路 643 的两个输入端子的电压的关系,如上述那样输出 Hi-Z 状态、或者被从 LR 化用电源 220 供给 VL 电位。此外,当 LR 写入使能信号 WEL 为 L 状态时,作为第 2 驱动电路 540 的输出端子 WDL2 的输出信号而输出 Hi-Z 状态。

[0169] 第 3 驱动电路 550 是当 LR 写入电路 500a 对存储单元施加低电阻化的电压时、在第 1 驱动电路 510 的输出端子 WDL1 处的电压比预先确定的第 2 基准电压 VREF2 高的情况下输出第 3 电流、在该输出端子 WDL3 的电压比第 2 基准电压 VREF2 低的情况下为高阻抗状态的电路,由 PMOS650、作为第 2 驱动元件的 PMOS651、反相器 652、和作为第 2 比较电路的电压比较电路 653 构成。PMOS650 和 PMOS651 将主端子(漏极端子、或源极端子)彼此连接,以使其按此顺序形成串联,形成一个电流路径。PMOS650 的两个主端子中的、没有与 PMOS651 连接的主端子(源极端子)连接到电源(例如 LR 化用电源 220)。此外,PMOS651 的两个主端子中的、没有与 PMOS650 连接的主端子(漏极端子)连接到电压比较电路 653 的两个输入端子中的一个端子(例如负端子),并且与第 3 驱动电路 550 的输出端子 WDL3 连接。这里,第 1 驱动电路 510 的输出端子 WDL1 与第 3 驱动电路 550 的输出端子 WDL3 连接。

[0170] 电压比较电路 653 的输出端子连接到 PMOS651 的栅极端子。此外,电压比较电路 653 的另一个输入端子(例如正端子)与第 2 基准电压产生电路 232 的输出端子连接,被施加第 2 基准电压 VREF2。电压比较电路 653 将输入到正端子的第 2 基准电压 VREF2、与将通过第 3 驱动电路 550 的输出端子 WDL3 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较,在第 2 基准电压 VREF2 更高的情况下,电压比较电路 653 的输出成为被从 LR 化用电源 220 供给的 VL 电位,从而 PMOS651 成为 OFF 状态,第 3 驱动电路 550 的输出端子 WDL3 处的输出成为 Hi-Z 状态。此外,电压比较电路 653 将输入到正端子的第 2 基准电压 VREF2、与将通过第 3 驱动电路 550 的输出端子 WDL3 连接的第 1 驱动电路 510 的输出端子 WDL1 的电压进行反馈而输入到负端子的电压进行比较,在第 2 基准电压 VREF2 更低的情况下,电压比较电路 653 的输出成为接地电位(VSS),从而 PMOS651 成为 ON 状态,当 PMOS650 是 ON 状态时,第 3 驱动电路 550 的输出端子 WDL3 处的输出为 PMOS650 的源极端子的电位,即被从 LR 化用电源 220 供给 VL 电位,由此输出第 3 电流。另外,电压比较电路 653 也可以设定为,使其在输出端子 WDL1 的电压与第 2 基准电压 VREF2 为同电位的情况下输出 VL 电位及接地电位的某个(或者输出也可以是不定的)。

[0171] 此外,从数据信号输入输出电路 205 输出的 LR 写入使能信号 WEL 与反相器 652 的输入端子连接,从反相器 652 的输入端子输入的 LR 写入使能信号 WEL 作为反转信号而输入到 PMOS650 的栅极。

[0172] 第 3 驱动电路 550 的输出信号 WDL3 在 LR 写入使能信号 WEL 为 H 状态时,根据电压比较电路 653 的两个输入端子的电压的关系,如上述那样输出 Hi-Z 状态,或者被从 LR 化用电源 220 供给 VL 电位。此外,当 LR 写入使能信号 WEL 为 L 状态时,第 3 驱动电路 550 的输出信号 WDL3 输出 Hi-Z 状态。

[0173] 第 1 驱动电路 510 的输出端子 WDL1、第 2 驱动电路 540 的输出端子 WDL2、第 3 驱动电路 550 的输出端子 WDL3、和 HR 写入电路 530 的输出端子 WDH 分别与写入电路 206a 的输出端子 WD 连接,写入电路 206a 的输出端子 WD 的信号驱动由列选择电路 203 选择的位线。

[0174] 图 14 是用来说明本发明的第 2 实施方式的电阻变化型非易失性存储装置的电阻

变化元件 R00 从高电阻状态变化为低电阻状态时的电阻变化元件 R00、和 LR 写入电路 500a 的工作点的工作点解析图。横轴表示存储单元 M00 的选择晶体管 N00 与电阻变化元件 R00 之间的节点 N1 处的电压,纵轴表示从写入电路 206a 的输出端子 WD 流过的存储单元写入电流。

[0175] 特性 (1) 表示从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 1 驱动电路 510 时的第 1 驱动电路 510 的输出负载曲线,当节点 N1 的电压为 1.8V 时,从第 1 驱动电路 510 供给的电流为 0A,当节点 N1 的电压为 0V 时,被从第 1 驱动电路 510 供给约 112 μ A 的电流。即,第 1 驱动电路 510 具有随着输出电压的增加而输出电流减小的输出特性。这里,第 1 驱动电路 510 由于如上述那样驱动电流(即第 1 电流)被限制,所以表现出与图 6 所示的以往的驱动电路的特性不同的特性。即,在图 6 所示的以往的驱动电路中,若节点 N1 的电压降低,则驱动电流大致以线性增加,所以其特性斜率较大,相对于 VR 的偏差的存储单元写入电流的变化幅度为工作点 B' 与工作点 B" 间的约 100 μ A,是较大的。另一方面,在本发明的第 1 驱动电路 510 的驱动电路的负载特性 (1) 中,节点 N1 的电压越低则驱动电流越增加,但从低电阻变化电压 VR 附近开始,电流变化相对于电压变化的变化斜率变小。

[0176] 特性 (2)、及特性 (3) 分别表示同样从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 2 驱动电路 540、及第 3 驱动电路 550 时的第 2 驱动电路 540 的输出曲线、和第 3 驱动电路 550 的输出曲线。这些第 2 驱动电路 540 及第 3 驱动电路 550 具有仅在第 1 驱动电路 510 的输出端子 WDL1 处的电压分别比预先确定的第 1 基准电压 VREF1 及第 2 基准电压 VREF2 高的情况下、分别输出第 2 电流及第 3 电流的输出特性。另外,如图 14 所示,从第 2 驱动电路 540 供给的电流(即第 2 电流)及从第 3 驱动电路 550 供给的电流(即第 3 电流)在电流供给时都比从第 1 驱动电路 510 供给的电流(即第 1 电流)小、并且比 0 安培大。

[0177] 这里,对于第 1 基准电压产生电路 231 的第 1 基准电压 VREF1,设定第 1 基准电压 VREF1,以使其在节点 N1 的电位为在比低电阻变化电压 VR = 0.8V 小的值(例如 0.77V 附近)处具有拐点。即,当节点 N1 的电压为 1.8V 时,从第 2 驱动电路 540 供给的电流(第 2 电流)为 0A,当节点 N1 的电压超过 0.77V 时,从第 2 驱动电路 540 供给约 15 μ A 的电流(第 2 电流),但在 0.77V 以下时,供给的电流(第 2 电流)为 0A。同样,对于第 2 基准电压产生电路 232 的第 2 基准电压 VREF2,设定第 2 基准电压 VREF2,以使其在节点 N1 的电位为在比低电阻变化电压 VR = 0.8V 大的值(例如 0.85V 附近)处具有拐点。即,当节点 N1 的电压为 1.8V 时,从第 3 驱动电路 550 供给的电流(第 3 电流)为 0A,当节点 N1 的电压超过 0.85V 时,从第 3 驱动电路 550 供给约 15 μ A 的电流(第 3 电流),而在 0.85V 以下时,供给的电流(第 3 电流)为 0A。

[0178] 这里,LR 写入时的 LR 写入电路 500a 的输出电流由于是流过将第 1 驱动电路 510、第 2 驱动电路 540、第 3 驱动电路 550 的各自的输出电流(第 1 电流、第 2 电流及第 3 电流)加在一起的合成电流,所以 LR 写入电路 500a 的输出负载特性成为曲线 (4) 所示的特性。

[0179] 如用本发明的基础数据说明那样,电阻变化元件 R00 的低电阻状态的电阻值在电阻变化元件 R00 的两端的电压达到低电阻变化电压 VR 时根据流过电阻变化元件 R00 的电流值来决定,所以在图 14 的工作点解析图中,电阻变化元件 R00 在高电阻状态时处于 E 点,而从高电阻状态变化为低电阻状态时的工作点推移到电阻变化元件 R00 和 LR 写入电路 500a 流过的电流平衡的 F 点,此时的电阻变化元件 R00 的负载直线的斜率 (RmL) 为低电阻

状态的电阻值。这里,本发明者发现的低电阻变化电压 VR 值的偏差即使以例如 $0.8V \pm 0.1V$ 发生偏差,也仅通过由在特性 (4) 中决定的从工作点 F' 到工作点 F" 的范围决定的电阻值而发生偏差。在本模拟中,计算出电阻变化元件 R00 的电阻值为约 $7.1k\Omega \sim 7.9k\Omega$,能够抑制为约 1.12 倍左右的偏差。

[0180] 另外,在本发明的第 2 实施方式中,设定第 1 基准电压产生电路 231 的第 1 基准电压 VREF1 及第 2 基准电压产生电路 232 的第 2 基准电压 VREF2,以使其在低电阻变化电压 $VR = 0.8V$ 附近(前后)具有两个拐点,但第 1 基准电压 VREF1 及第 2 基准电压 VREF2 只要设定在 LR 写入电路 500a 应输出的电压的范围内、以使其都成为对电阻变化元件施加的电压作为低电阻变化电压 VR 而能够发生的电压的范围内就可以。例如,如果设低电阻变化电压 VR 的平均值为 VRa、最小值为 VR1、最大值为 VR2、从 LR 写入电路 500a 到电阻变化元件的电压下降的最小值为 VD1、最大值为 VD2,则第 1 基准电压产生电路 231 的第 1 基准电压 VREF1 只要是

[0181] $(VD1+VR1) \leq VREF1 \leq (VD2+VRa)$

[0182] 的范围就可以,第 2 基准电压产生电路 232 的第 2 基准电压 VREF2 只要是

[0183] $(VD1+VRa) \leq VREF2 \leq (VD2+VR2)$

[0184] 的范围就可以。其中, $VREF1 < VREF2$

[0185] 具体而言,如上所述,电阻变化元件 R00 以 $VR = 0.8V$ 、 $VR1 = 0.7V$ 、 $VR2 = 0.9V$ 而发生偏差,如果设从 LR 写入电路 500a 到电阻变化元件的电压下降的最小值为 $VD1 = 0.05V$ 、最大值为 $VD2 = 0.3V$,则只要第 1 基准电压产生电路 231 的第 1 基准电压 VREF1 是 $0.75V \sim 1.10V$ 、第 2 基准电压产生电路 232 的第 2 基准电压 VREF2 是 $0.85V \sim 1.20V$ 就可以。

[0186] 此外,优选的是,第 2 驱动电路 540 的驱动电流流过比第 1 驱动电路 510 的驱动电流小、且比 0A 大的(或者 0A 以上的)驱动电流,第 3 驱动电路 550 的驱动电流流过比第 1 驱动电路 510 的驱动电流小、且比 0A 大的(或者 0A 以上的)驱动电流。

[0187] 如以上这样,根据本实施方式的非易失性存储装置,由于设定了 LR 写入电路的负载特性、以使流过存储单元的电流的偏差相对于与以往相同的低电阻变化电压 VR 值的偏差变小,所以电阻变化元件的低电阻状态下的电阻值的偏差变得比以往小。

[0188] [第 3 实施方式]

[0189] 接着,对本发明的第 3 实施方式的非易失性存储装置进行说明。另外,本实施方式的非易失性存储装置基本上具备与图 7 所示的第 1 实施方式的非易失性存储装置相同的结构。但是,写入电路的详细的结构与第 1 实施方式不同。以下说明不同点。

[0190] 图 15 是表示本发明的第 3 实施方式的写入电路 206b 的具体的电路结构的一例、是表示 LR 化用电源 220、HR 化用电源 221、和它们的连接关系的电路图。如图 15 所示,本实施方式的写入电路 206b 由为了使电阻变化元件 R00、R01、... 的电阻状态从高电阻状态变化为低电阻状态而施加电压及电流的 LR 写入电路 500b、和为了使电阻变化元件 R00、R01、... 的电阻状态从低电阻状态变化为高电阻状态而施加电压及电流的 HR 写入电路 530 构成。

[0191] LR 写入电路 500b 是对由行选择电路 209 及列选择电路 203 选择的存储单元施加电压、以作为用来使包含在该存储单元中的电阻变化元件 R00 等从高电阻状态转变为低电阻状态的电压而以该电阻变化元件 R00 等的第 2 电极(上部电极 105)为基准对第 1 电极

(下部电极 103) 施加正的电压的低电阻状态写入电路的一例, 由第 1 驱动电路 510 和第 2 驱动电路 560 构成。

[0192] 第 1 驱动电路 510 和 HR 写入电路 530 由于与由上述的本发明的第 1 实施方式叙述的内容是相同的, 所以这里的记载省略。

[0193] 第 2 驱动电路 560 是当 LR 写入电路 500b 对存储单元施加低电阻化的电压时、在第 1 驱动电路 510 的输出端子 WDL1 处的电压比预先确定的 2 输入 NAND661 的阈值电压 V_{TH} 高的情况下输出第 2 电流、在其输出端子 WDL2 处的电压比阈值电压 V_{TH} 低的情况下成为高阻抗状态的电路, 由作为第 1 驱动元件的 PMOS660、和作为逻辑运算元件的 2 输入 NAND661 构成。PMOS660 的两个主端子中的一个主端子 (源极端子) 连接到电源 (例如 LR 化用电源 220), 另一个主端子 (漏极端子) 连接到 2 输入 NAND661 的一个输入端子 (例如第 2 输入端子), 并且与第 2 驱动电路 560 的输出端子 WDL2 连接。这里, 第 1 驱动电路 510 的输出端子 WDL1 与第 2 驱动电路 560 的输出端子 WDL2 连接。

[0194] 2 输入 NAND661 的输出端子连接到 PMOS660 的栅极端子。此外, 2 输入 NAND661 的另一个输入端子 (例如第 1 输入端子) 与从数据信号输入输出电路 205 输出的 LR 写入使能信号 WEL 连接。

[0195] 该 2 输入 NAND661 在 LR 写入使能信号 WEL 为使能 (H 状态) 时, 作为用来判断第 1 驱动电路 510 的输出端子 WDL1 的电位的逻辑值、即用来判别输出端子 WDL1 的电位和逻辑值的状态的、与内部具有的阈值电压 V_{TH} (第 1 基准电压的一例) 比较的比较电路 (第 1 比较电路) 发挥功能。结果, 第 2 驱动电路 560 的输出信号 WDL2 在 LR 化写入使能信号 WEL 为 H 状态时, 根据 2 输入 NAND661 的第 2 输入端子的状态 (H 状态还是 L 状态), 如上述那样输出 Hi-Z 状态, 或者被供给 PMOS660 的源极端子的电位、即来自 LR 化用电源 220 的 VL 电位 (即输出第 2 电流)。此外, 当 LR 写入使能信号 WEL 为 L 状态时, 第 2 驱动电路 560 的输出信号 WDL2 输出 Hi-Z 状态。另外, 2 输入 NAND661 也可以设定为, 使其在输出端子 WDL1 的电压与阈值电压 V_{TH} 为同电位的情况下输出 H 状态及 L 状态的某个 (或者输出也可以是不定的)。

[0196] 这里使用的 2 输入 NAND661 是由两个 PMOS 和两个 NMOS 构成的一般的逻辑运算元件, 只要是多个输入的具有 NAND 功能的电路就可以。阈值电压 V_{TH} 能够通过变更两个 PMOS 和两个 NMOS 的栅极宽及栅极长来调整。

[0197] 第 1 驱动电路 510 的输出端子 WDL1、第 2 驱动电路 560 的输出端子 WDL2、和 HR 写入电路 530 的输出端子 WDH 分别与写入电路 206b 的输出端子 WD 连接, 写入电路 206b 的输出端子 WD 的信号驱动由列选择电路 203 选择的位线。

[0198] 图 16 是用来说明本发明的第 3 实施方式的电阻变化型非易失性存储装置的电阻变化元件 R00 从高电阻状态变化为低电阻状态时的电阻变化元件 R00、和 LR 写入电路 500b 的工作点的工作点解析图。横轴表示存储单元 M00 的选择晶体管 N00 与电阻变化元件 R00 之间的节点 N1 处的电压, 纵轴表示从写入电路 206b 的输出端子 WD 流过的存储单元写入电流。

[0199] 特性 (1) 表示从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 1 驱动电路 510 时的第 1 驱动电路 510 的输出负载曲线, 当节点 N1 的电压为 1.8V 时, 从第 1 驱动电路 510 供给的电流为 0A, 当节点 N1 的电压为 0V 时, 从第 1 驱动电路 510 供给约 112 μ A 的电流。即,

第 1 驱动电路 510 具有随着输出电压的增加而输出电流减小的输出特性。这里,第 1 驱动电路 510 由于如上述那样驱动电流(即第 1 电流)被限制,所以表现出与图 6 所示的以往的驱动电路的特性不同的特性。即,在图 6 所示的以往的驱动电路中,若节点 N1 的电压降低,则驱动电流大致以线性增加,所以其特性斜率较大,相对于 VR 的偏差的存储单元写入电流的变化幅度在工作点 B' 与在工作点 B'' 间为约 100 μ A,是较大的。另一方面,在本发明的第 1 驱动电路 510 的驱动电路的负载特性(1)中,节点 N1 的电压越低,驱动电流越增加,但从低电阻变化电压 VR 附近开始,电流变化相对于电压变化的变化斜率变小。

[0200] 特性(2)表示同样从 LR 化用电源 220 将 1.8V 的 VL 电位供给到第 2 驱动电路 560 时的第 2 驱动电路 560 的输出曲线。该第 2 驱动电路 560 具有仅在第 1 驱动电路 510 的输出端子 WDL1 处的电压比预先确定的阈值电压 VTH 高的情况下输出第 2 电流的输出特性。这里,关于 2 输入 NAND661 的阈值电压 VTH,设定 VTH,以使节点 N1 的电位在低电阻变化电压 VR = 0.8V 处具有拐点。即,当节点 N1 的电压为 1.8V 时,从第 2 驱动电路 560 供给的电流(第 2 电流)为 0A,当节点 N1 的电压超过 0.8V 时,从第 2 驱动电路 560 供给约 28 μ A 的电流(第 2 电流),而在 0.8V 以下时,供给的电流(第 2 电流)为 0A。另外,如图 16 所示,从第 2 驱动电路 560 供给的电流(即第 2 电流)在电流供给时比从第 1 驱动电路 510 供给的电流(即第 1 电流)小且比 0 安培大。

[0201] 这里,由于 LR 写入电路 500b 的输出电流流过将第 1 驱动电路 510 和第 2 驱动电路 560 的各自的输出电流(第 1 电流及第 2 电流)加在一起的合成电流,所以 LR 写入电路 500b 的输出负载特性为曲线(3)所示的特性。

[0202] 如用本发明的基础数据说明那样,电阻变化元件 R00 的低电阻状态的电阻值在电阻变化元件 R00 的两端的电压达到低电阻变化电压 VR 时根据流过电阻变化元件 R00 的电流值来决定,所以在图 16 的工作点解析图中,在电阻变化元件 R00 为高电阻状态时处于 G 点,而从高电阻状态变化为低电阻状态时的工作点推移到电阻变化元件 R00 和 LR 写入电路 500b 流过的电流平衡的 H 点,此时的电阻变化元件 R00 的负载直线的斜率(RmL)为低电阻状态的电阻值。这里,即使本发明者发现的低电阻变化电压 VR 值的偏差以例如 0.8V \pm 0.1V 而发生偏差,也仅通过由在特性(3)中决定的从工作点 H' 到工作点 H'' 的范围决定的电阻值而发生偏差。在本模拟中,计算电阻变化元件 R00 的电阻值为约 7.1k Ω ~ 8.1k Ω ,能够抑制为约 1.14 倍左右的偏差。

[0203] 另外,在本发明的第 3 实施方式中,设定为 2 输入 NAND661 的阈值电压 VTH = 0.92V,以使其在低电阻变化电压 VR = 0.8V 处具有拐点,但阈值电压 VTH 只要设定在 LR 写入电路 500b 应输出的电压的范围内、以使得成为对电阻变化元件施加的电压作为低电阻变化电压 VR 而功能发生的电压的范围内就可以。例如,如果设低电阻变化电压 VR 的平均值为 VRa、最小值为 VR1、从 LR 写入电路 500b 到电阻变化元件的电压下降的最小值为 VD1、最大值为 VD2,则上述第 2 驱动电路 560 的上述 2 输入 NAND661 的阈值电压 VTH 只要是

[0204] $(VD1+VR1) \leq VTH \leq (VD2+VRa)$

[0205] 的范围就可以。

[0206] 具体而言,如上所述,电阻变化元件 R00 以 VR = 0.8V、VR1 = 0.7V 而发生偏差,如果设从 LR 写入电路 500b 到电阻变化元件的电压下降的最小值为 VD1 = 0.05V、最大值为 VD2 = 0.3V,则上述第 2 驱动电路 560 的上述 2 输入 NAND661 的阈值电压 VTH 只要是

0.75V ~ 1.10V 就可以。

[0207] 此外,第2驱动电路560的驱动电流优选的是流过比第1驱动电路510的驱动电流小、且比0A大(或者0A以上)的驱动电流。

[0208] 通过以上,根据本实施方式的非易失性存储装置,由于设定了LR写入电路的负载特性,以使流过存储单元的电流的偏差相对于与以往相同的低电阻变化电压VR值的偏差变小,所以电阻变化元件的低电阻状态下的电阻值的偏差变得比以往小。

[0209] 以上,基于第1~第3实施方式对有关本发明的电阻变化型非易失性存储装置进行了说明,但本发明并不限于这些实施方式。在不脱离本发明的主旨的范围内对这些实施方式实施本领域的技术人员想到的各种变形而得到的形态、以及将这些实施方式的构成单元任意组合而实现的形态也包含在本发明中。

[0210] 例如,在第1实施方式中,LR写入电路500由两个驱动电路(第1驱动电路510、第2驱动电路520)构成,在第2实施方式中,LR写入电路500a由3个驱动电路(第1驱动电路510、第2驱动电路540、第3驱动电路550)构成,但本发明并不限于这样的驱动电路的个数。只要通过将具有拐点不同的负载特性的驱动电路组合任意的个数来使用、从而设定作为LR写入电路整体的合成负载特性、以使得流过存储单元的电流的偏差相对于低电阻变化电压VR值的偏差变小就可以。由此,能够使电阻变化元件的低电阻状态的电阻值的偏差进一步减小。

[0211] 此外,有关本发明的LR写入电路也可以如图17所示的LR写入电路500c那样、在物理上使用一个驱动电路来实现有关本发明的LR写入电路(低电阻状态写入电路)。图17所示的LR写入电路500c在电气上与将图9所示的第1驱动电路510和第2驱动电路520加在一起的电路是等价的。总之,有关本发明的LR写入电路只要是具有在使电阻变化元件低电阻化时、当对该电阻变化元件施加的电压是低电阻变化电压VR的偏差的范围内时、随着输出电压的增加而输出电流增加的负载特性的驱动器就可以,不依存于构成其内部的驱动电路的物理的个数。

[0212] 即,有关本发明的非易失性存储装置只要是具备具有图18所示的合成负载特性(输出VI特性)的LR写入电路的装置就可以,并不限于具备特定的LR写入电路的装置。这里,图18的横轴及纵轴分别是有关本发明的LR写入电路的输出电压、输出电流。该图18的横轴(LR写入电路的输出电压)严格地讲与图11、图14及图16所示的工作点解析图的横轴(电阻变化元件与选择晶体管之间的连接点N1处的电压)不同,但只不过是是否包括选择晶体管的源极-漏极间电压(可以看作固定电压的电压)这一点上不同,所以图18定性地讲对应于图11、图14及图16所示的工作点解析图。

[0213] 这样的特征的LR写入电路如图18的负载特性图所示,(1)作为整体(除了一部分区域以外),具有随着输出电压(横轴)的增加而输出电流(纵轴)减小的单调减小的负载特性,而(2)在其一部分区域、即在当电阻变化元件低电阻化时对该电阻变化元件施加的电压作为低电阻变化电压VR而能够发生的偏差的范围内,具有随着输出电压的增加而输出电流增加的单调增加(或者,减小度比作为整体的单调减小要小的单调减小)的负载特性。此时,作为单调增加的倾斜的程度,优选的是与电阻变化元件为低电阻状态时的负载直线(即通过输出VI特性的原点和该一部分区域的向右上升的直线)的倾斜实质上一致(或接近)。如果是这样的负载特性,则在作为低电阻变化电压VR而能够发生的偏差的范

围（图 18 的“VR 的偏差”）内， $\Delta V/\Delta I$ 、即电阻变化元件的低电阻状态下的电阻值实质上是固定的。

[0214] 这样的非线性的合成负载特性的一实现方法如图 18 所示，是将 (1) 来自具有单调减小的负载特性 A 的驱动器的电流、和 (2) 来自具有在对电阻变化元件施加的电压在电阻变化电压 VR 的偏差范围内（或者该范围的至少一部分）中输出电流、在比其小的电压下不输出电流（或成为高阻抗状态）那样的负载特性 B 的驱动器的输出电流进行合成。

[0215] 此外，在本发明的实施方式中，说明了写入电路 206、206a、206b 驱动位线，但也可以配置为，使其驱动源极线。

[0216] 此外，在上述实施方式中，以 1T1R 型的存储单元为中心进行了说明，但由于存储单元的电阻变化通过电阻变化元件进行，所以在以向熔断元件等的应用为目的的电阻变化元件单体的存储装置中也可以考虑同样的特性。

[0217] 此外，对在选择元件（开关元件）中使用 NMOS 晶体管的 1T1R 型的存储单元进行了说明，但也可以使用 PMOS 晶体管，也可以采用使用 NMOS 晶体管和 PMOS 晶体管两者的 CMOS 晶体管。

[0218] 此外，当然在将电阻变化元件与作为开关元件的整流元件（双向二极管等）串联连接的存储单元中也能够使用同样的方法或电路。

[0219] 工业实用性

[0220] 如以上说明，本发明作为电阻变化型非易失性存储装置，特别是，在本发明中，通过能够将采用了构成电阻变化型非易失性存储装置的电阻变化元件的存储单元的低电阻和高电阻的电阻变化窗口设定为最大限度的方法及电路，能够实现低电阻的状态的稳定化，所以对于例如存储器的读出高速化及稳定化、以及成品率提高具有实用性。此外，对于作为熔断元件的替代的状态存储电路也具有实用性。

[0221] 标号说明

[0222] 100 电阻变化元件

[0223] 101 选择晶体管

[0224] 102 存储单元

[0225] 103 下部电极

[0226] 104 电阻变化层

[0227] 105 上部电极

[0228] 110 电阻变化元件

[0229] 111 选择晶体管

[0230] 112 存储单元

[0231] 200、200a（电阻变化型）非易失性存储装置

[0232] 201 存储器主体部

[0233] 202 存储单元阵列

[0234] 203 列选择电路

[0235] 204 读出电路

[0236] 205 数据信号输入输出电路

[0237] 206、206a、206b 写入电路

- [0238] 209 行选择电路
- [0239] 210 行驱动电路
- [0240] 211 字线驱动电路
- [0241] 212 源极线驱动电路
- [0242] 213 控制电路
- [0243] 214 控制信号输入电路
- [0244] 215 地址信号输入电路
- [0245] 220 低电阻 (LR) 化用电源
- [0246] 221 高电阻 (HR) 化用电源
- [0247] 230、231 第 1 基准电压产生电路
- [0248] 232 第 2 基准电压产生电路
- [0249] 300 存储单元
- [0250] 301NMOS 晶体管
- [0251] 302 半导体基板
- [0252] 303a 第 1N 型扩散层区域
- [0253] 303b 第 2N 型扩散层区域
- [0254] 304a 栅极绝缘膜
- [0255] 304b 栅极电极
- [0256] 305 第 1 通孔
- [0257] 306 第 1 配线层
- [0258] 307 第 2 通孔
- [0259] 308 第 2 配线层
- [0260] 309 第 3 通孔
- [0261] 310 第 3 配线层
- [0262] 400 电阻变化元件
- [0263] 400a 下部电极
- [0264] 400b 电阻变化层
- [0265] 400c 上部电极
- [0266] 401 下部电极连接通孔
- [0267] 402 上部电极连接通孔
- [0268] 500、500a、500b、500c LR 写入电路
- [0269] 510 第 1 驱动电路
- [0270] 520、540、560 第 2 驱动电路
- [0271] 530HR 写入电路
- [0272] 550 第 3 驱动电路
- [0273] 610、611、620、621、630、631、640、641、650、651、660PMOS 晶体管
- [0274] 612、613、632、633NMOS 晶体管
- [0275] 614、615、622、634、635、642、652 反相器
- [0276] 623、643、653 电压比较电路

[0277] 6612 输入 NAND

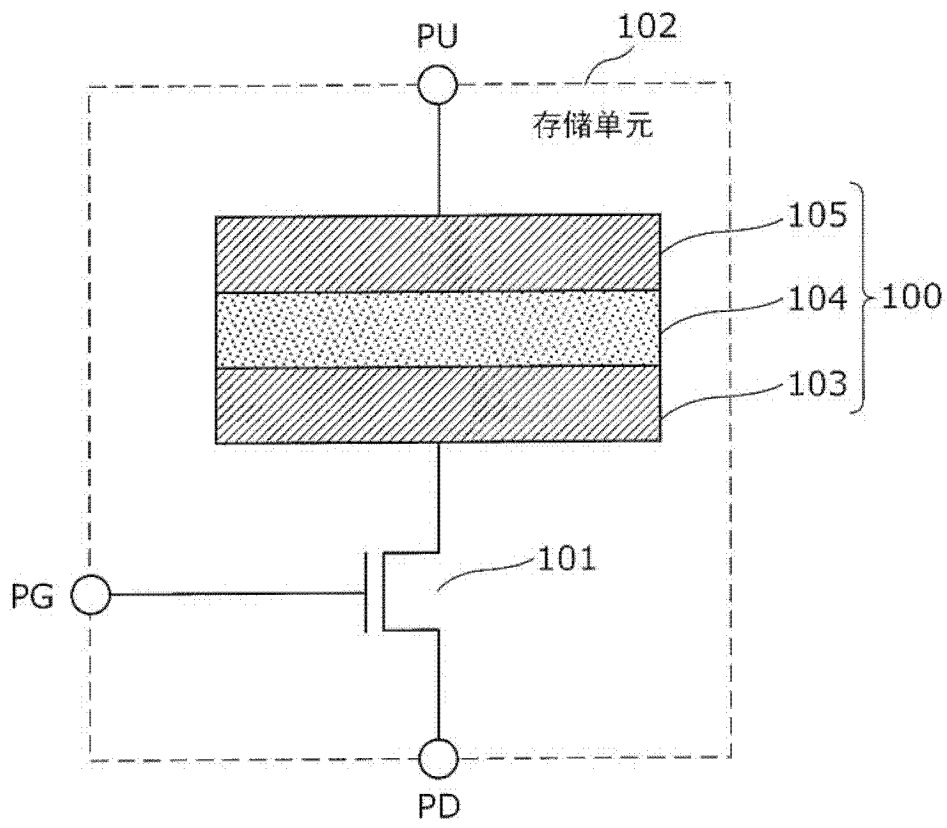


图 1

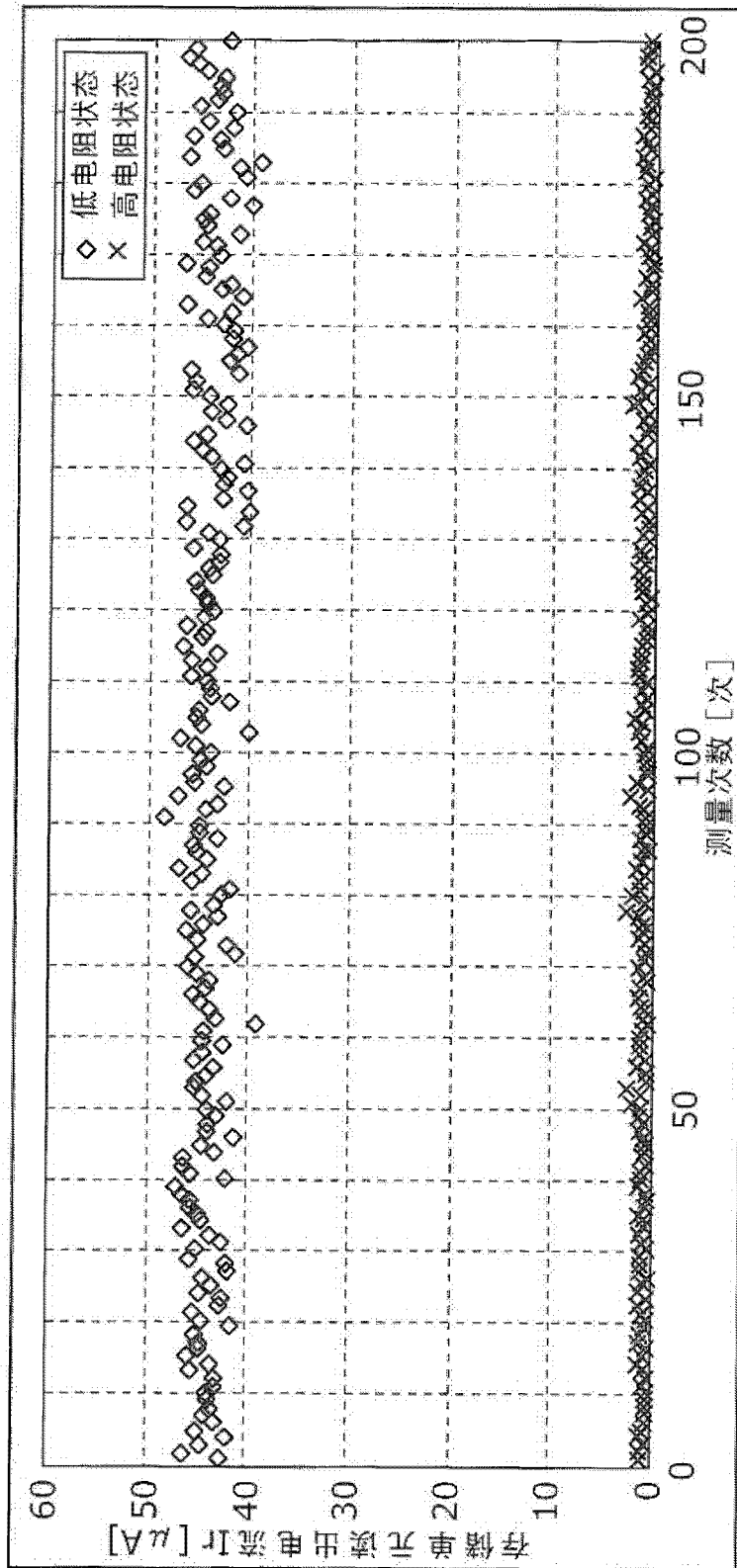


图 2

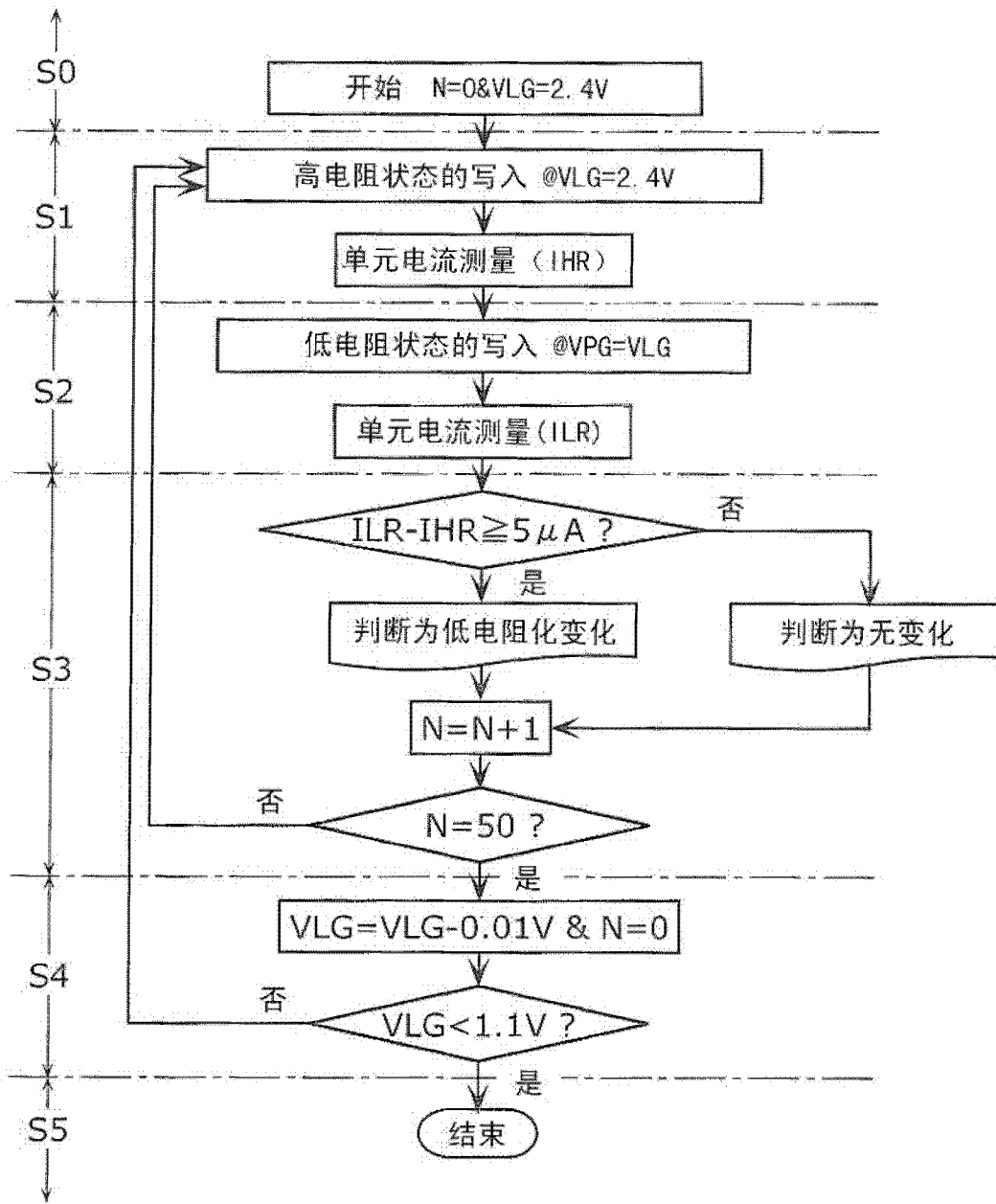


图 3

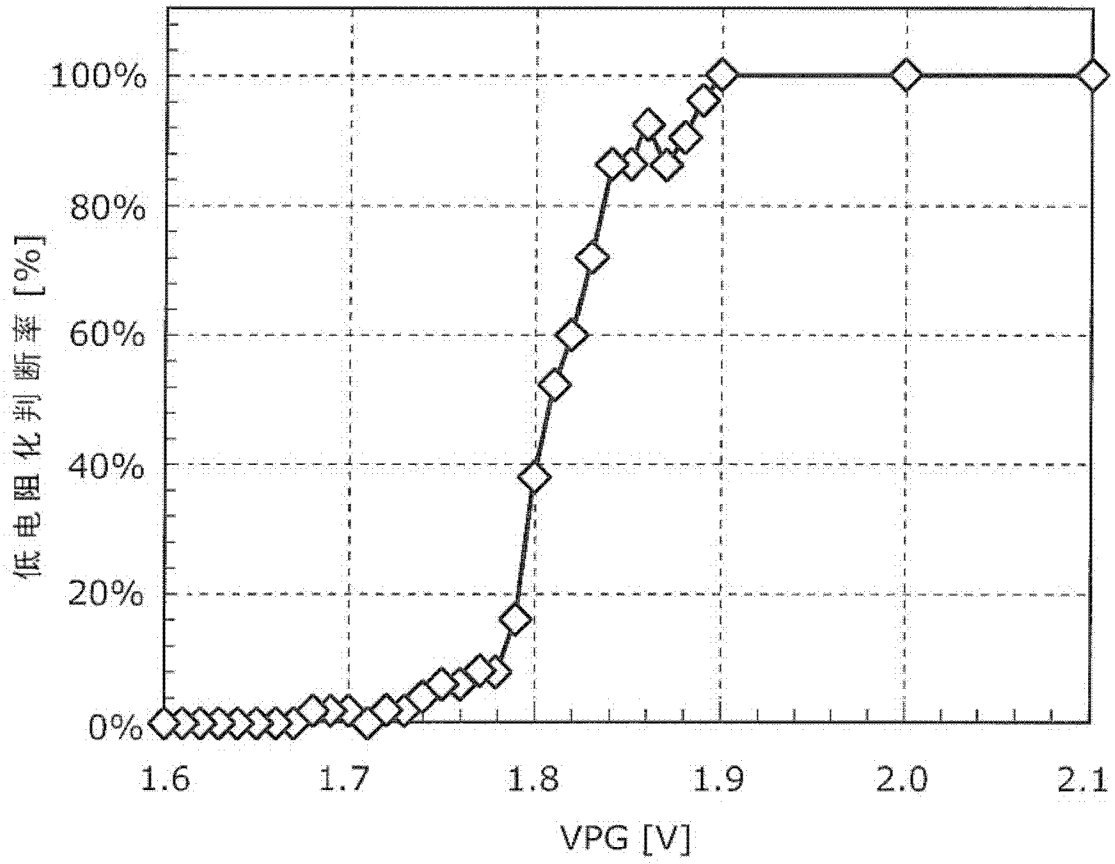


图 4

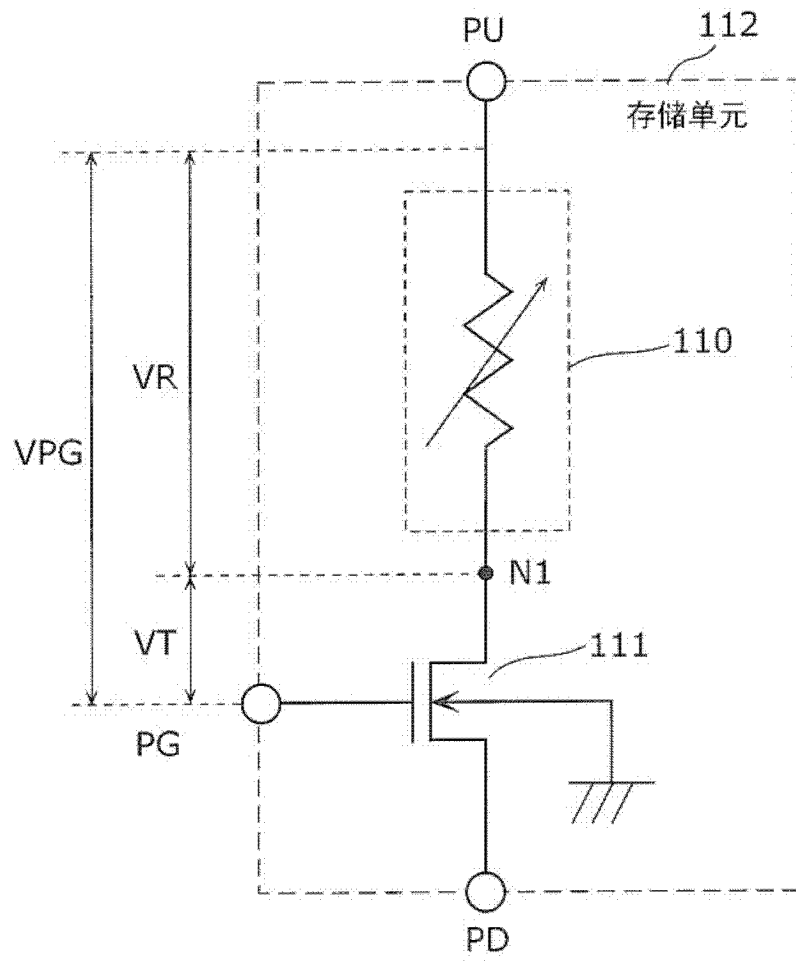


图 5

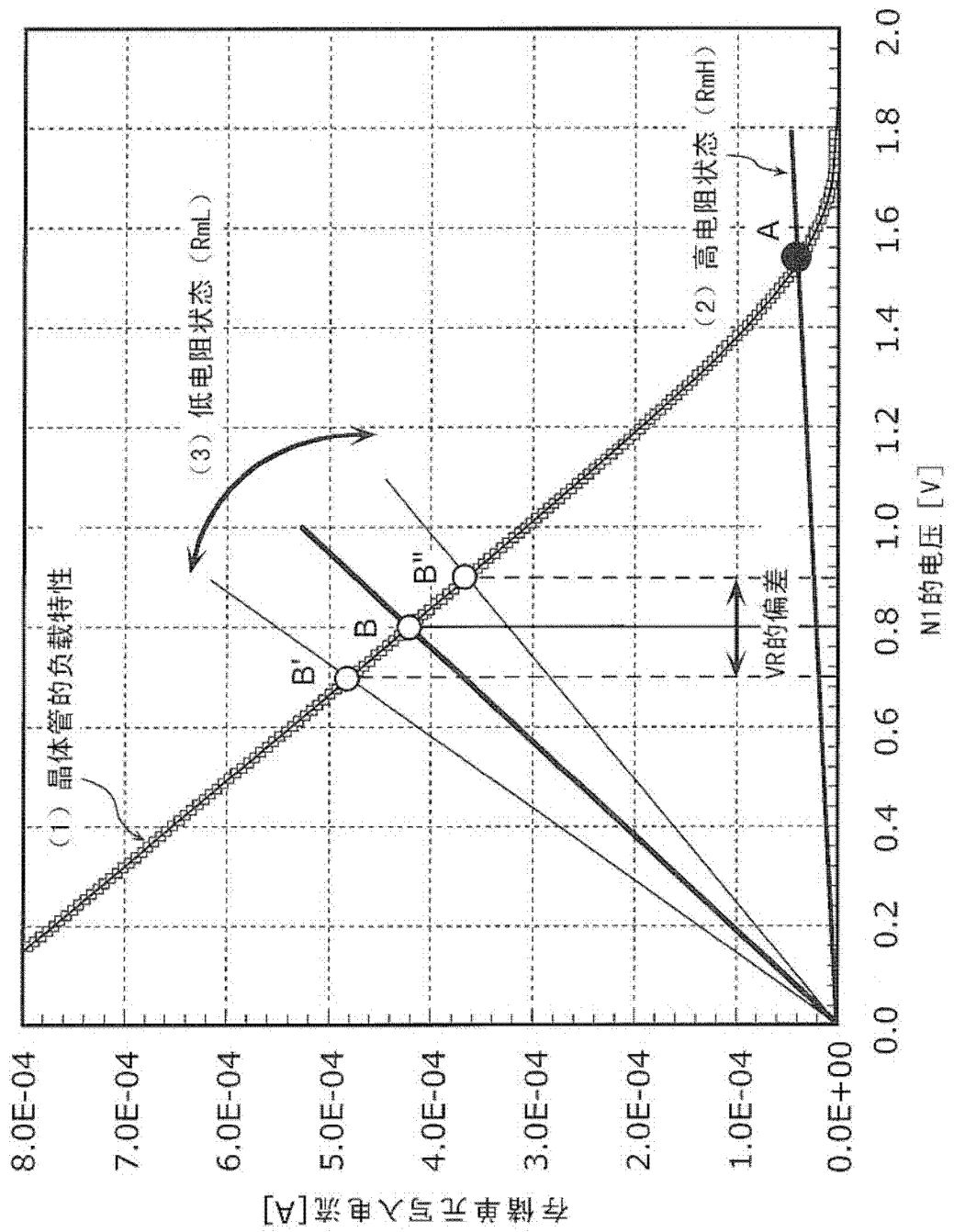


图 6

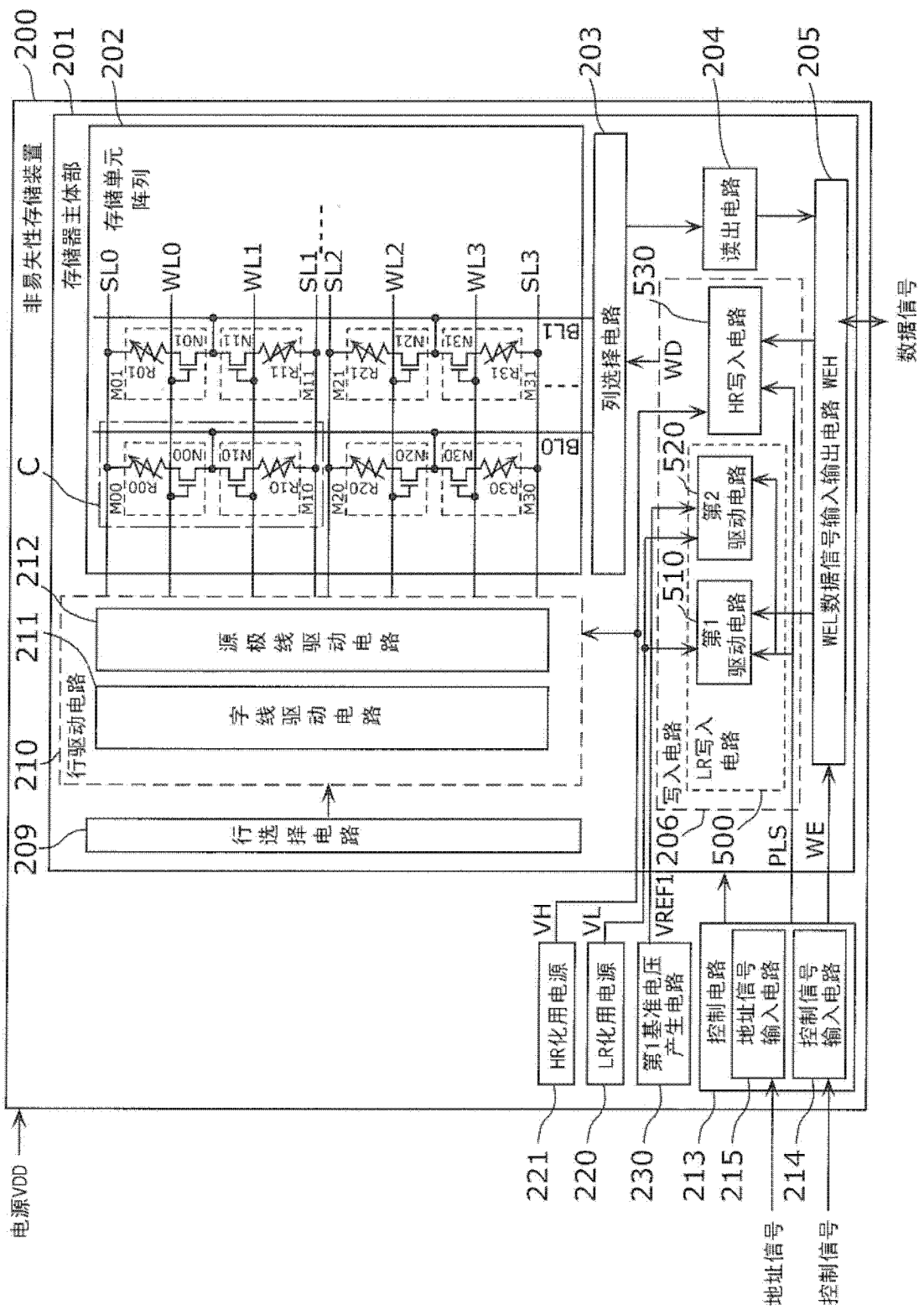


图 7

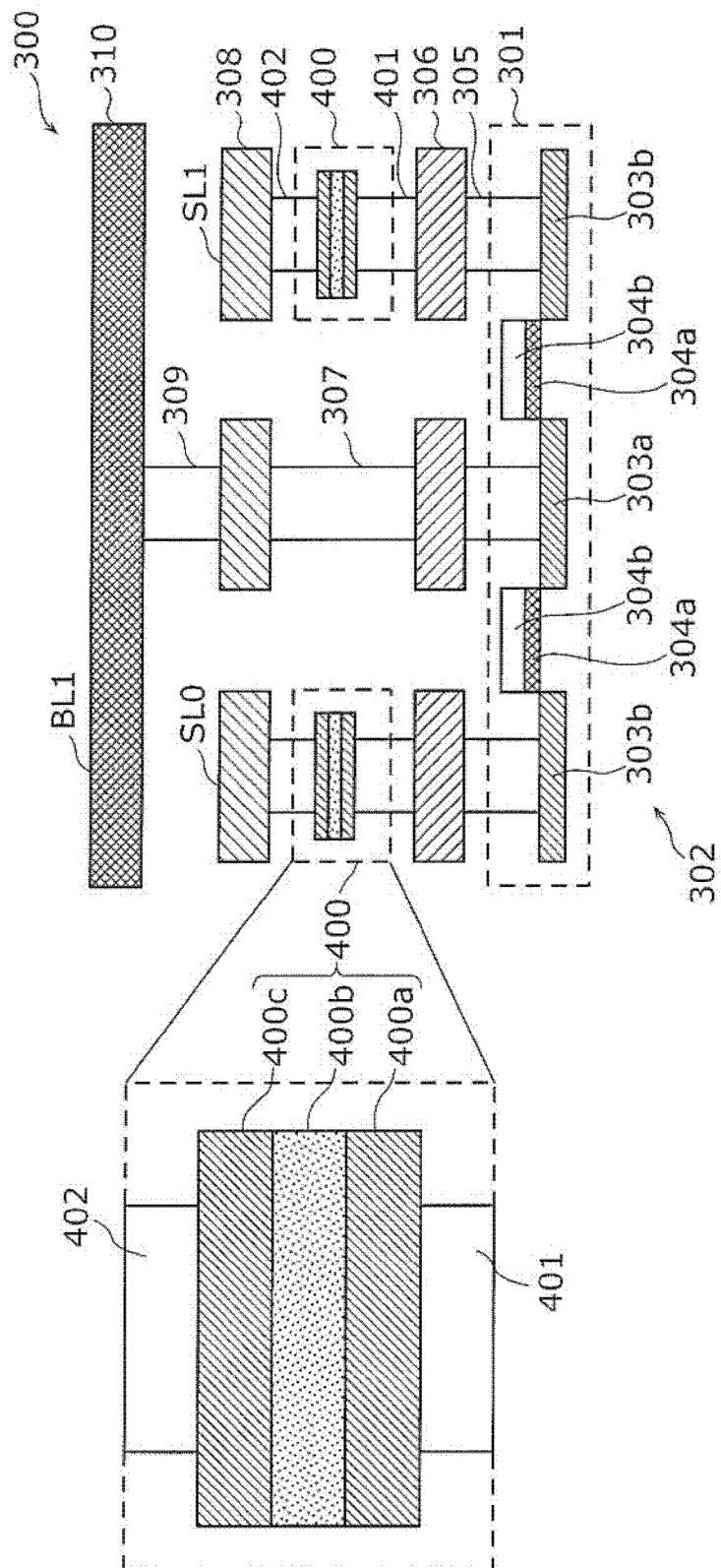


图 8

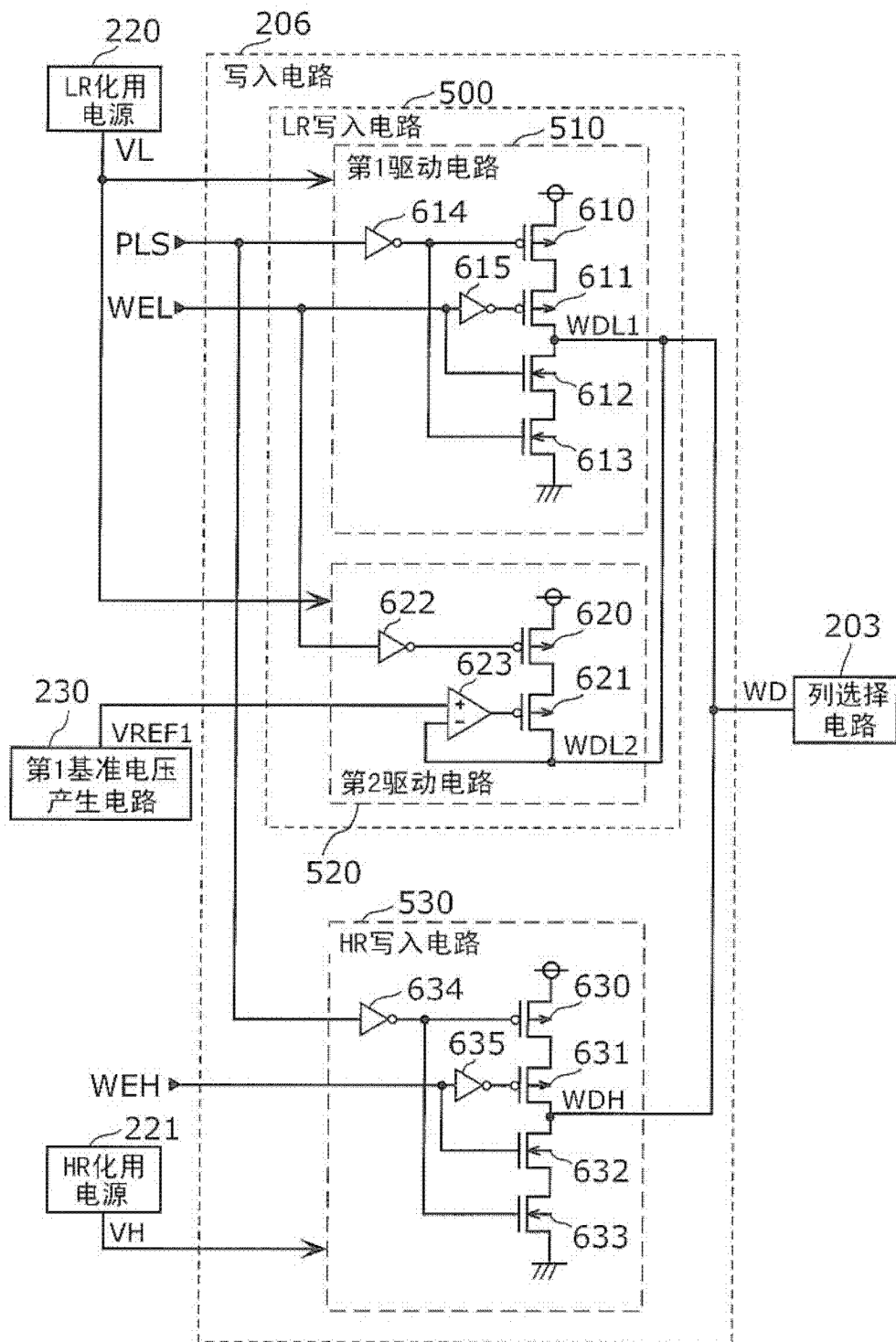


图 9

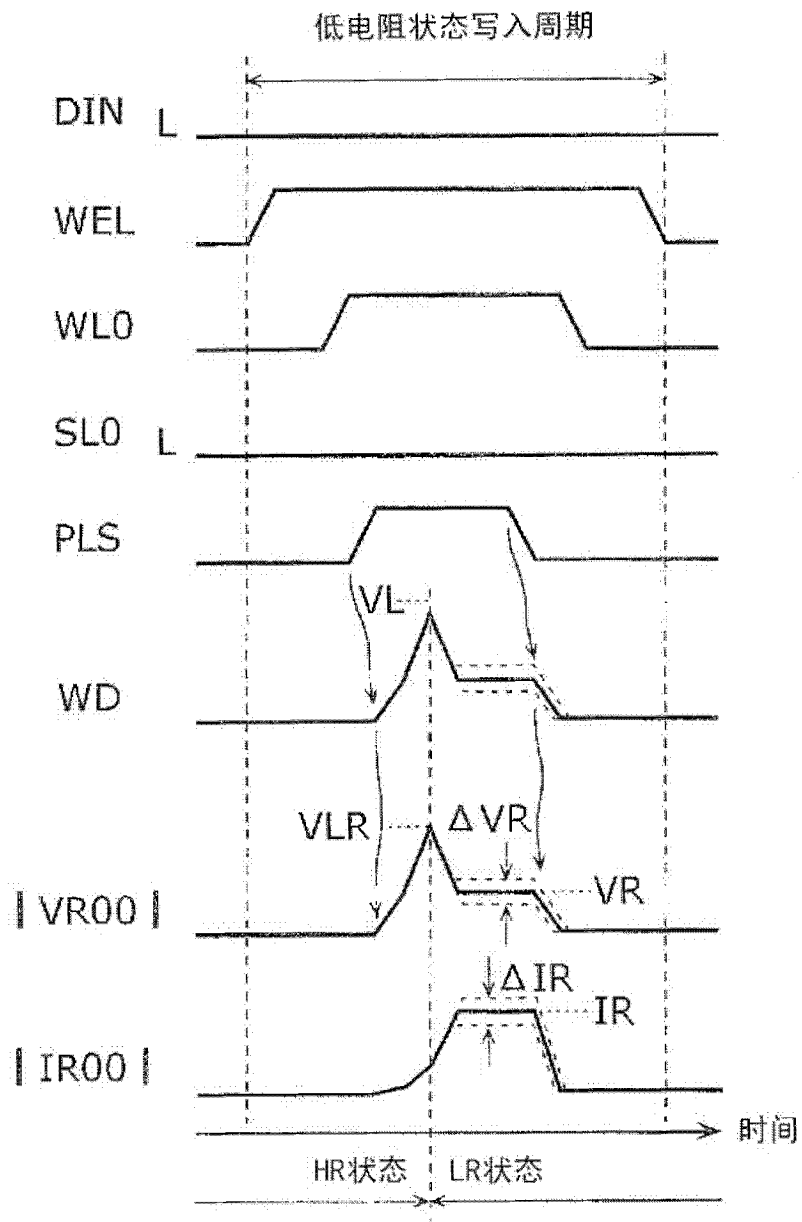


图 10

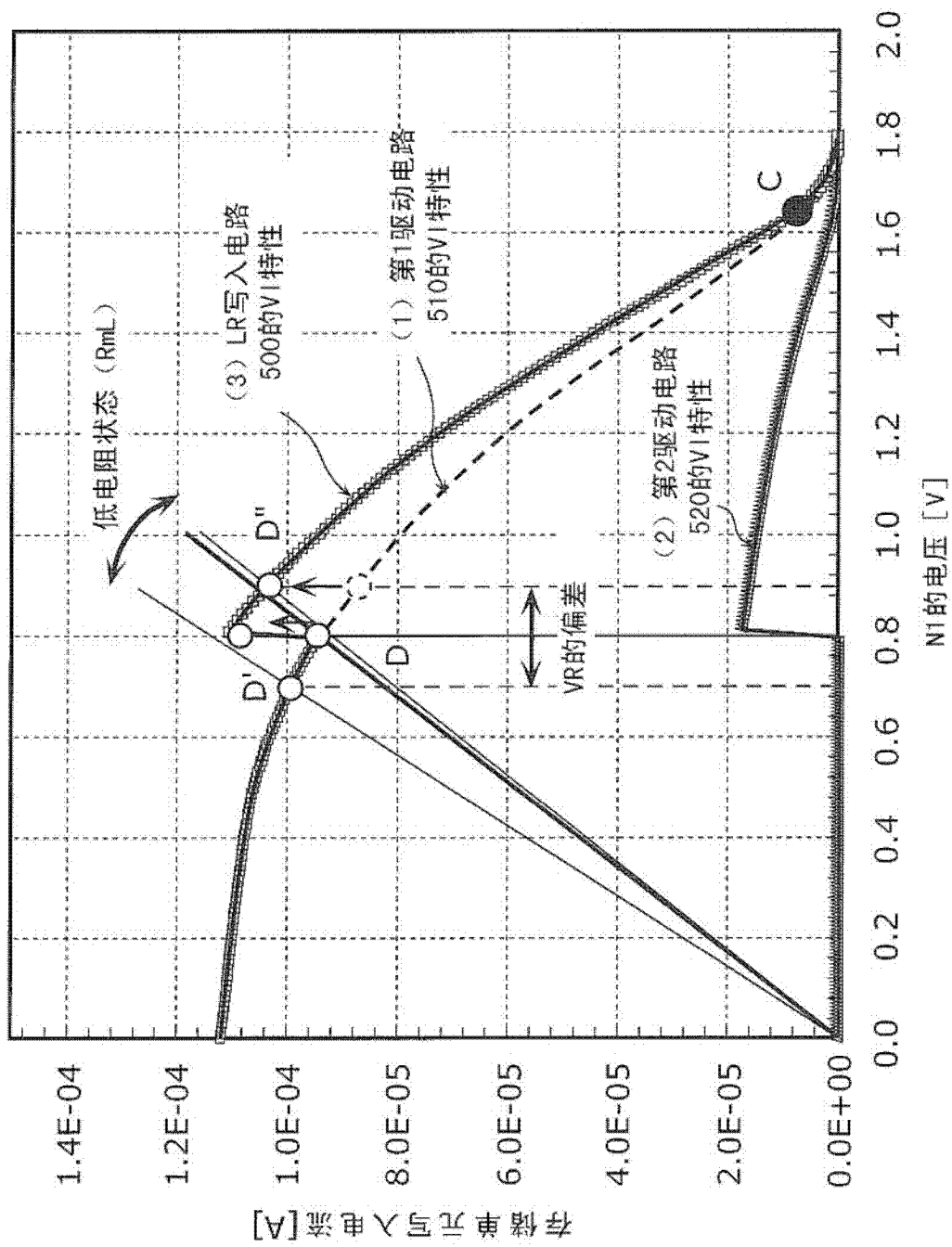


图 11

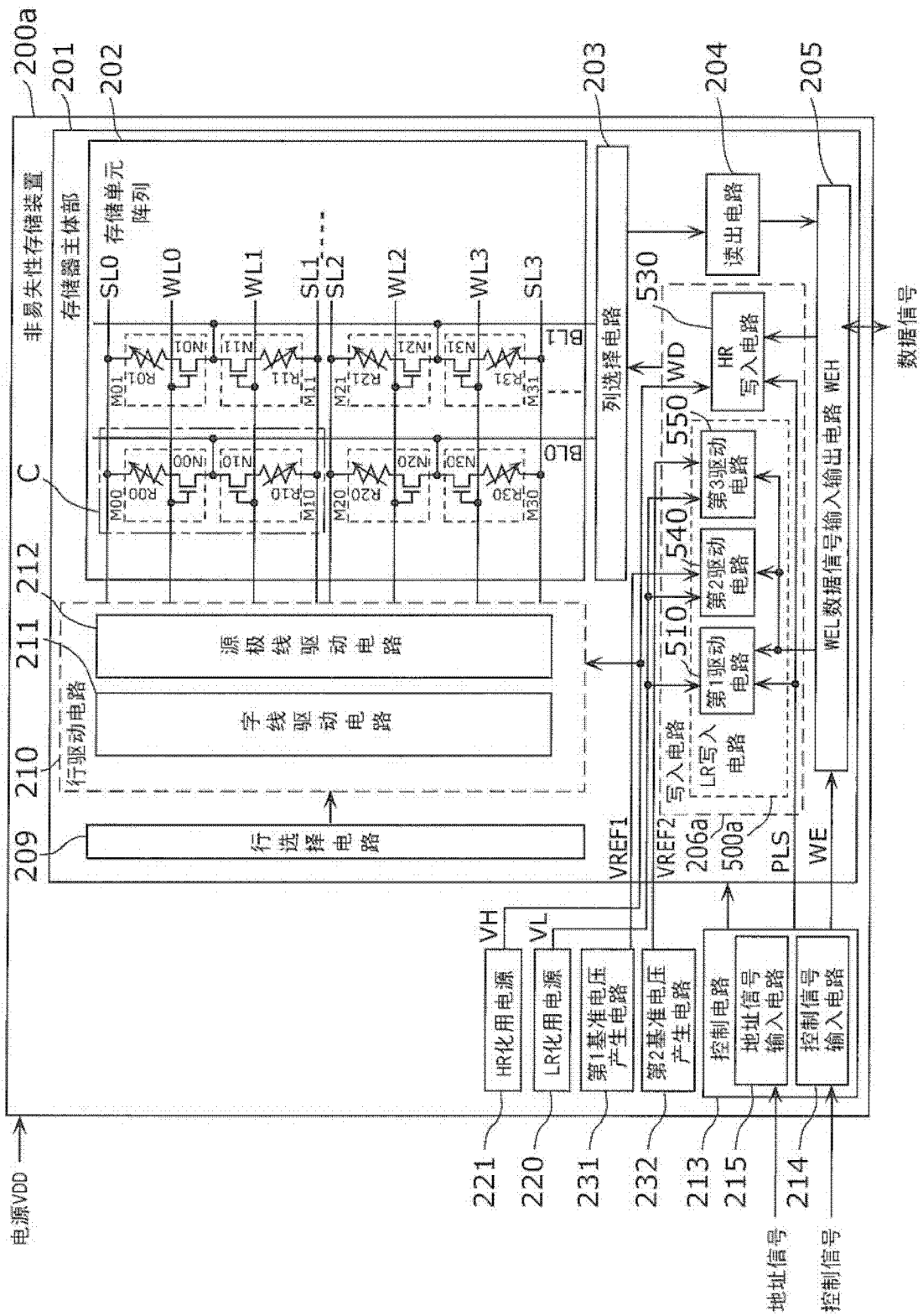


图 12

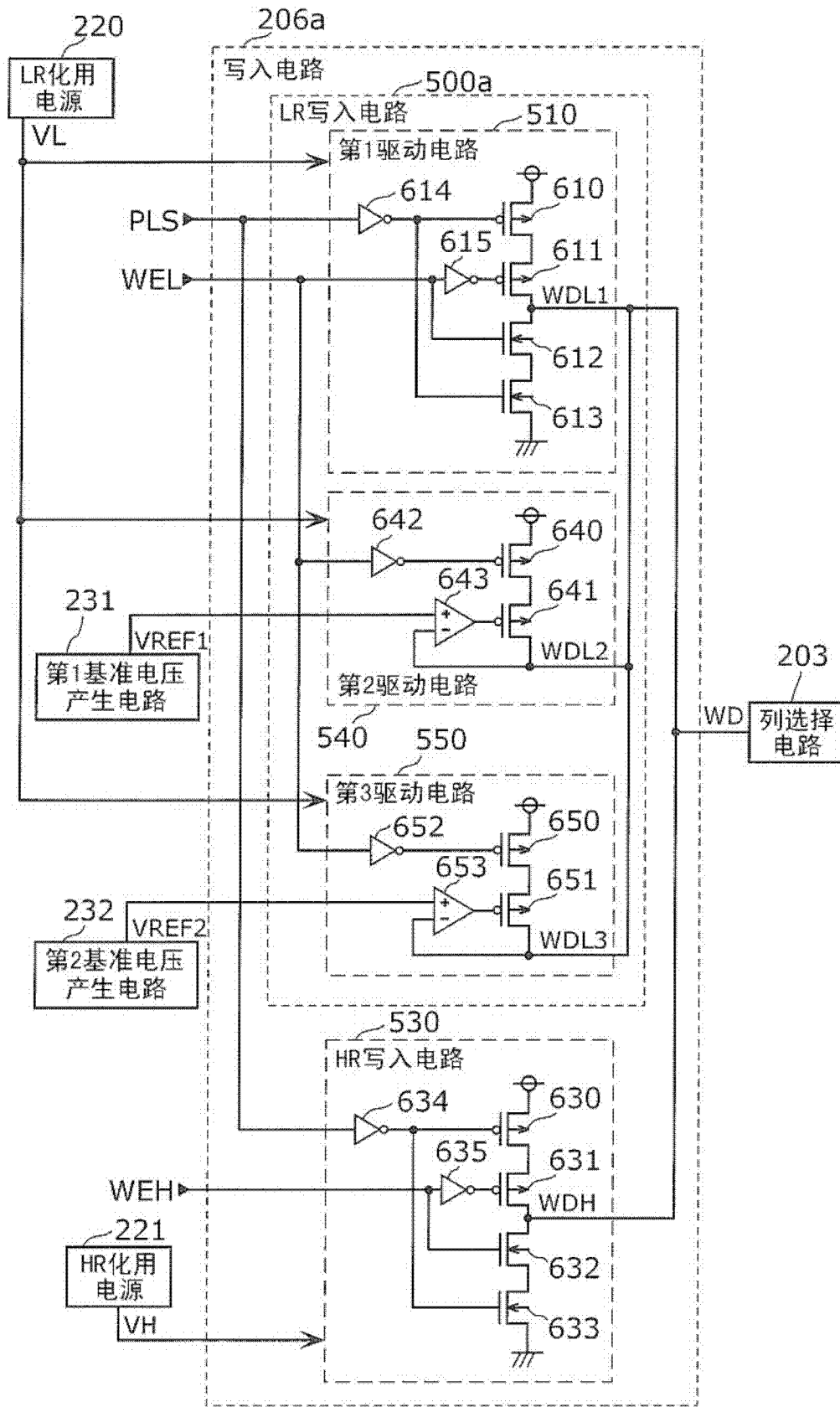


图 13

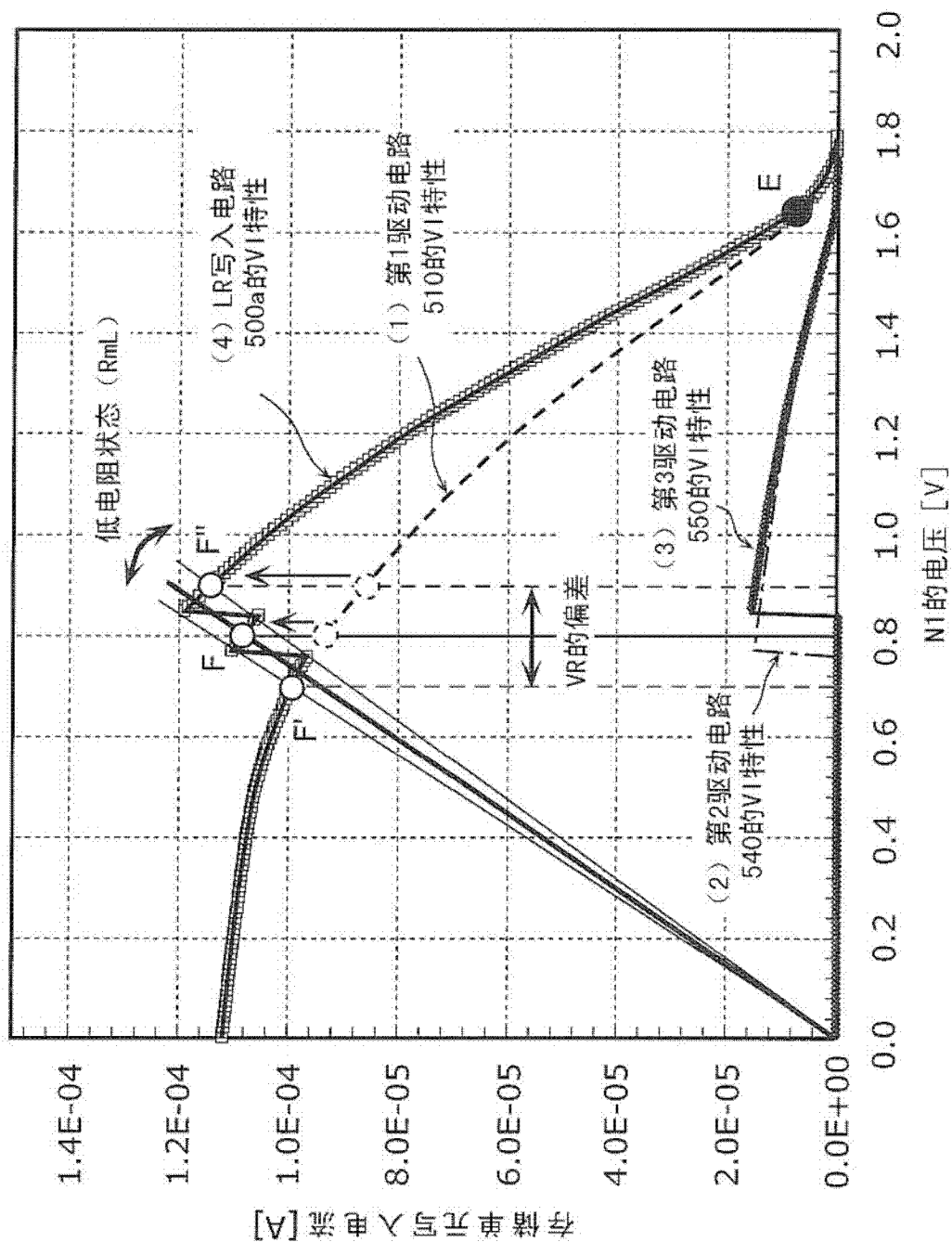


图 14

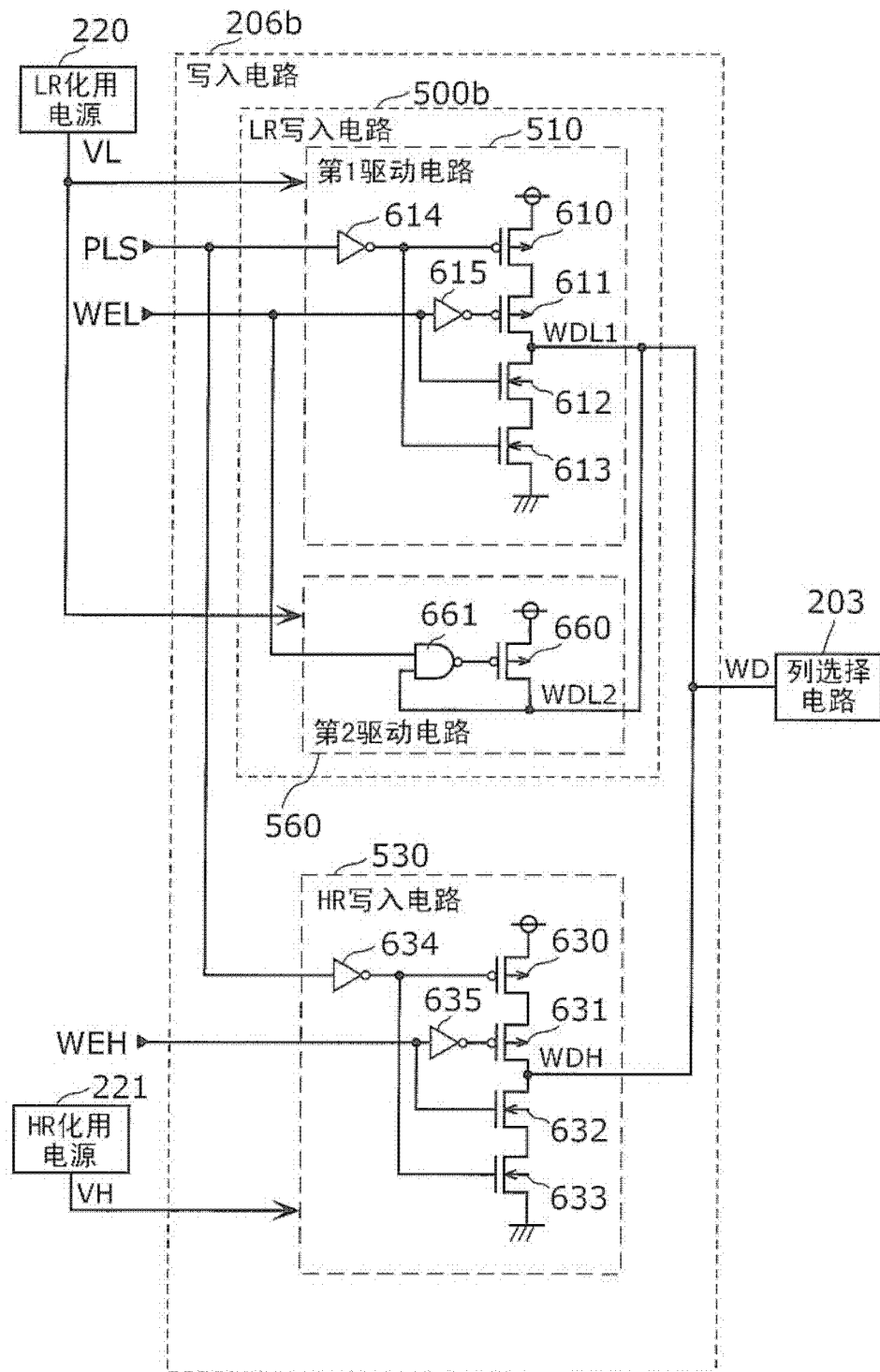


图 15

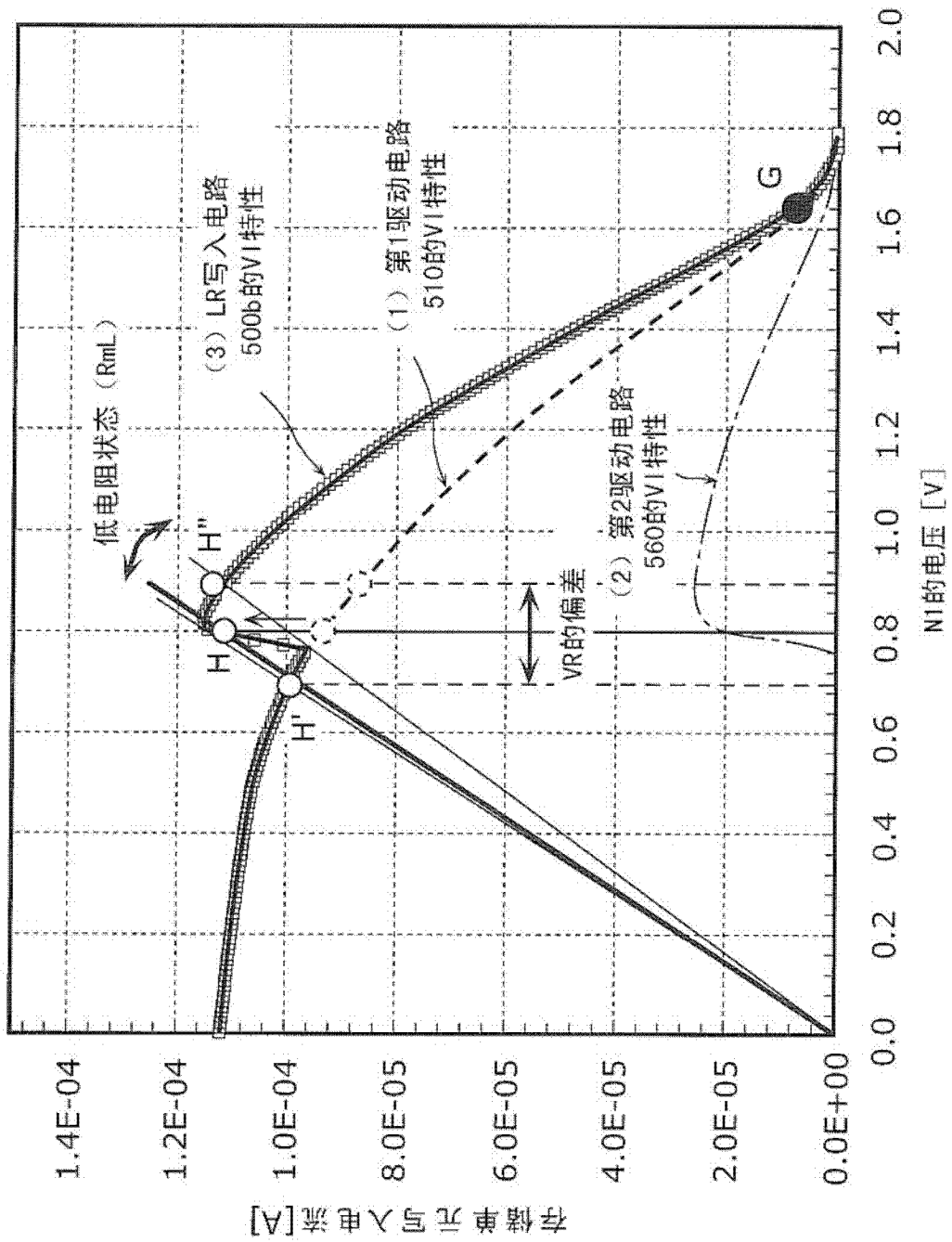


图 16

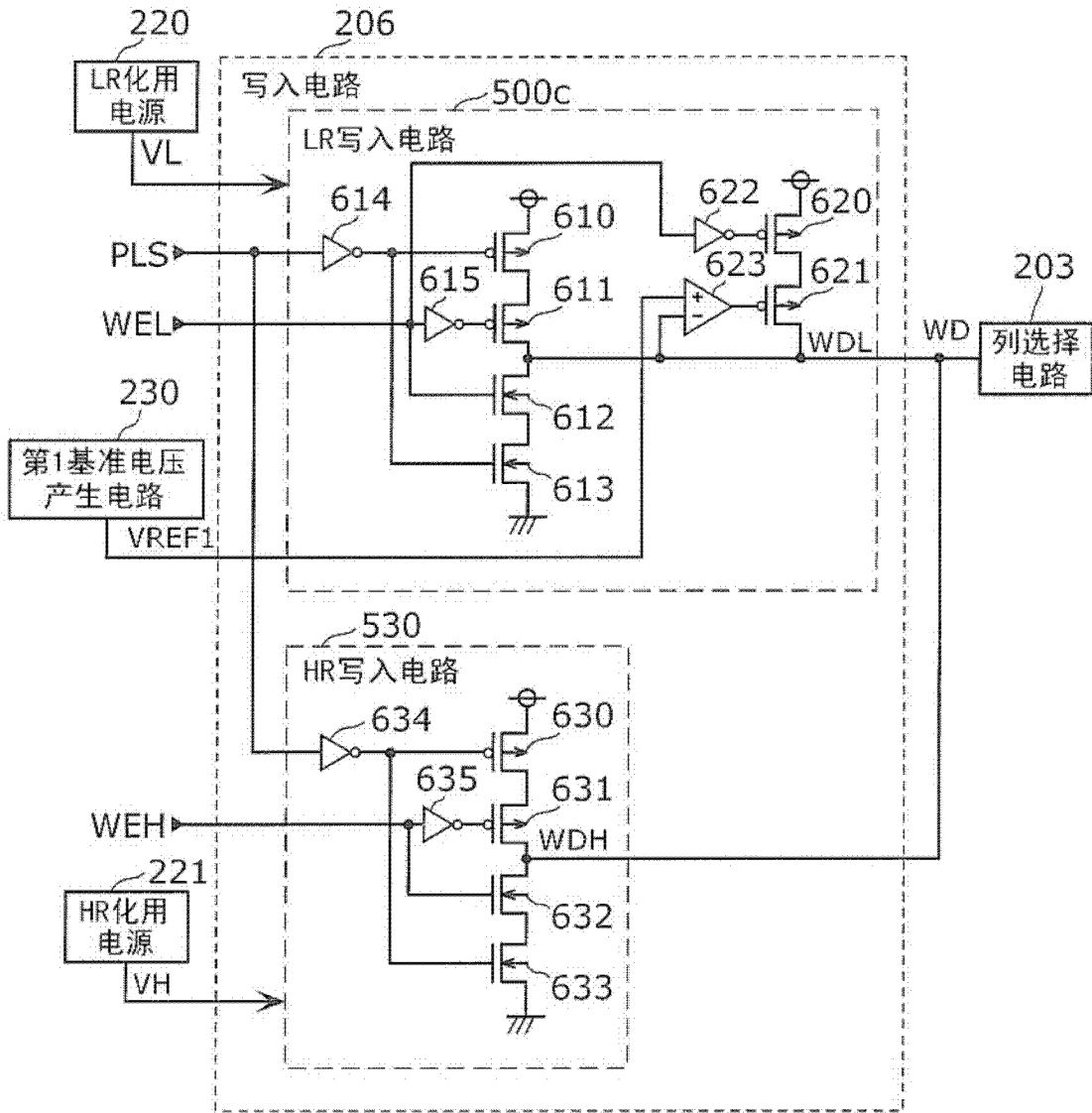


图 17

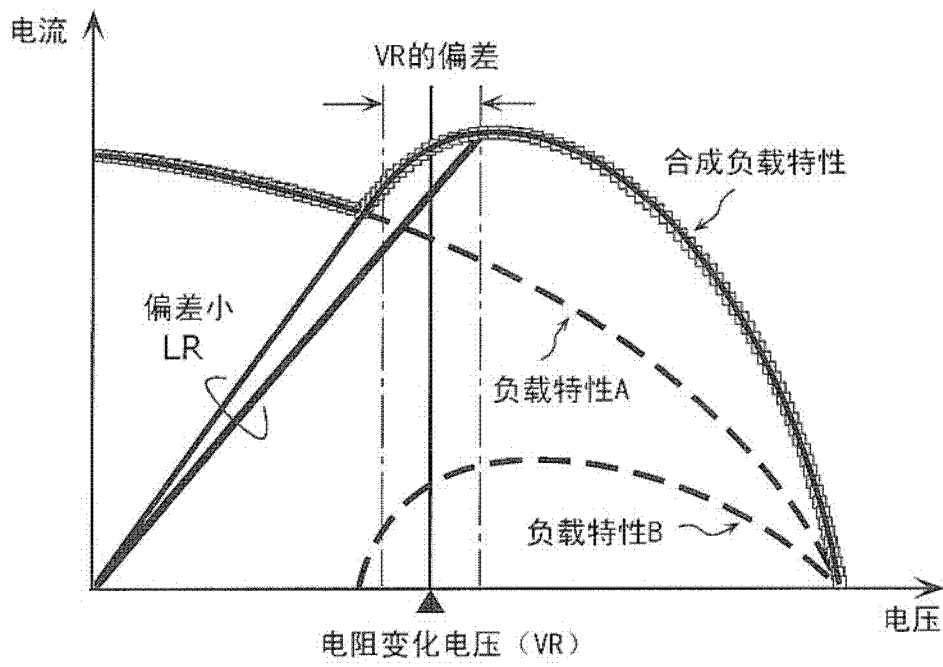


图 18

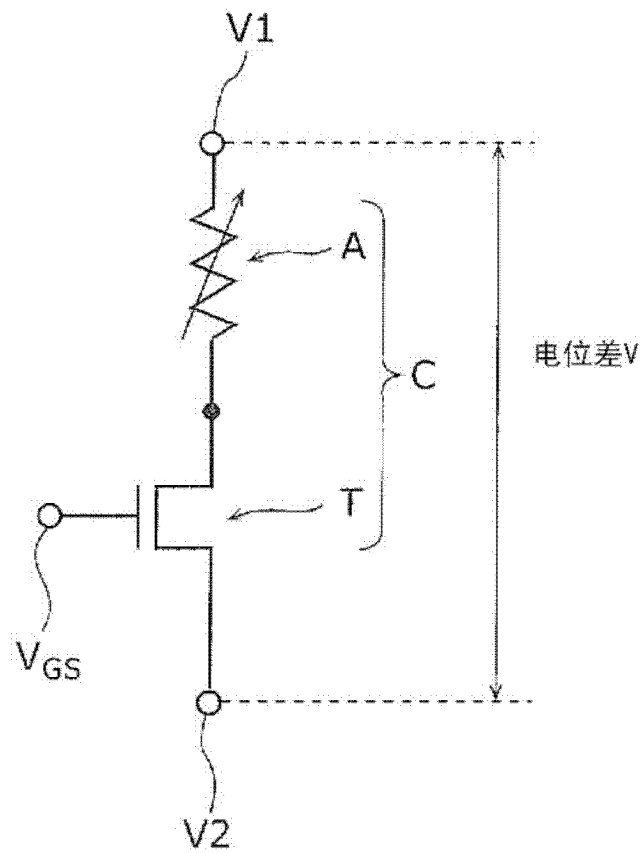


图 19

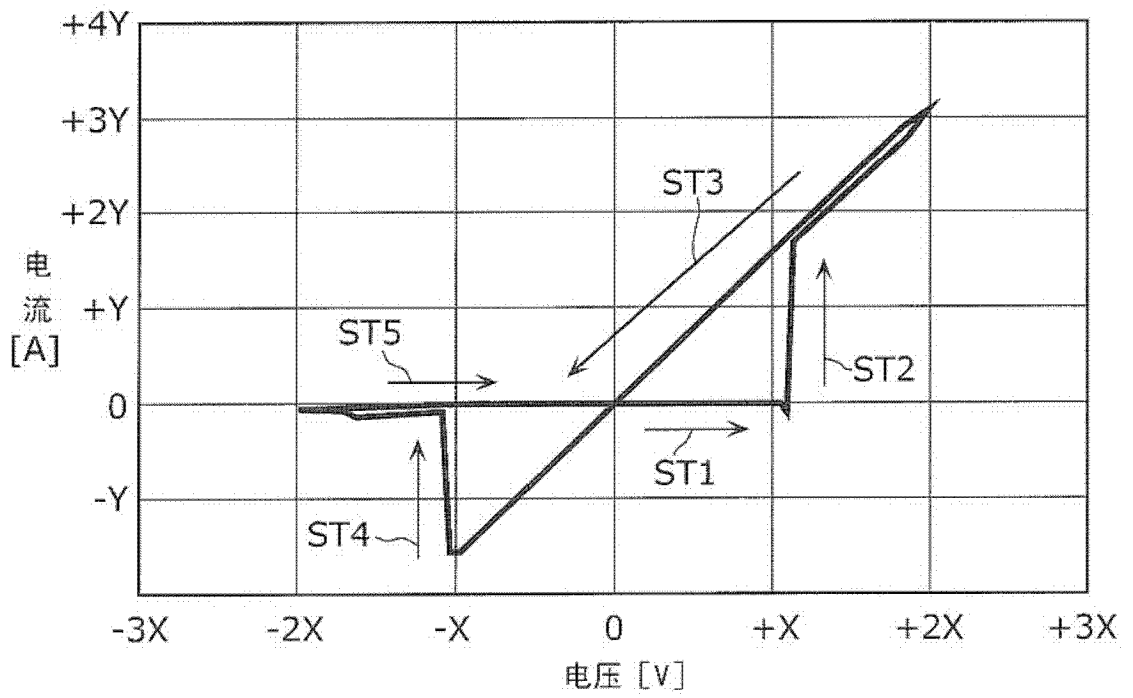


图 20

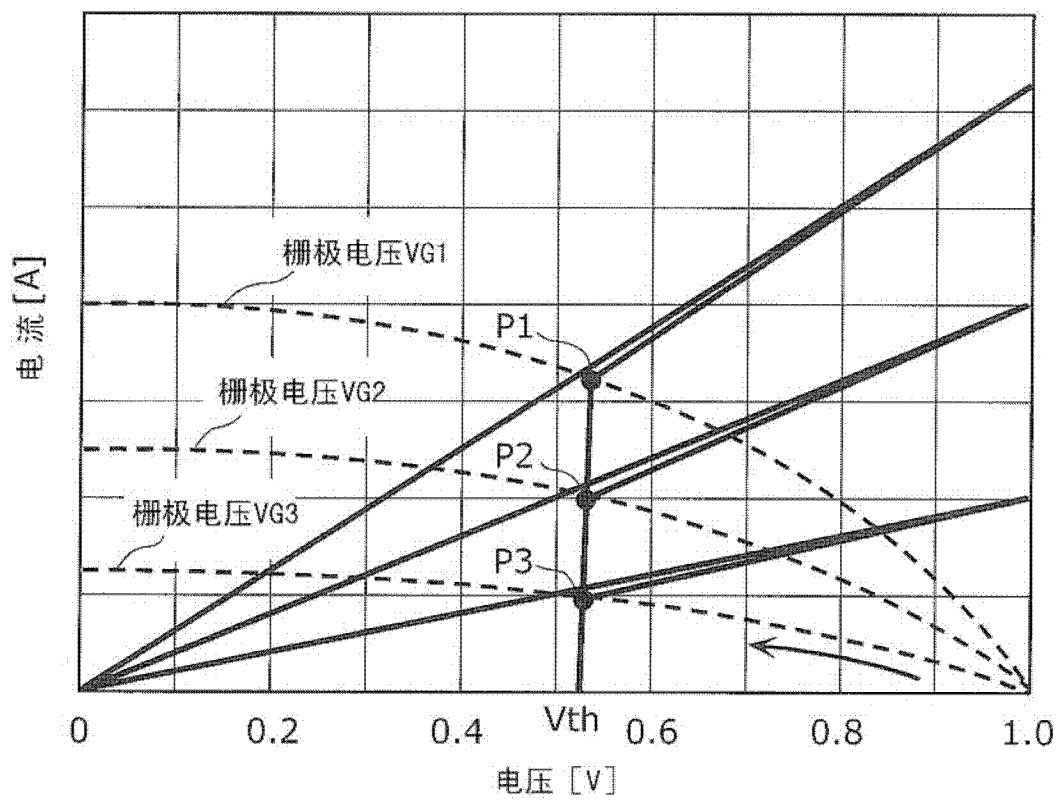


图 21

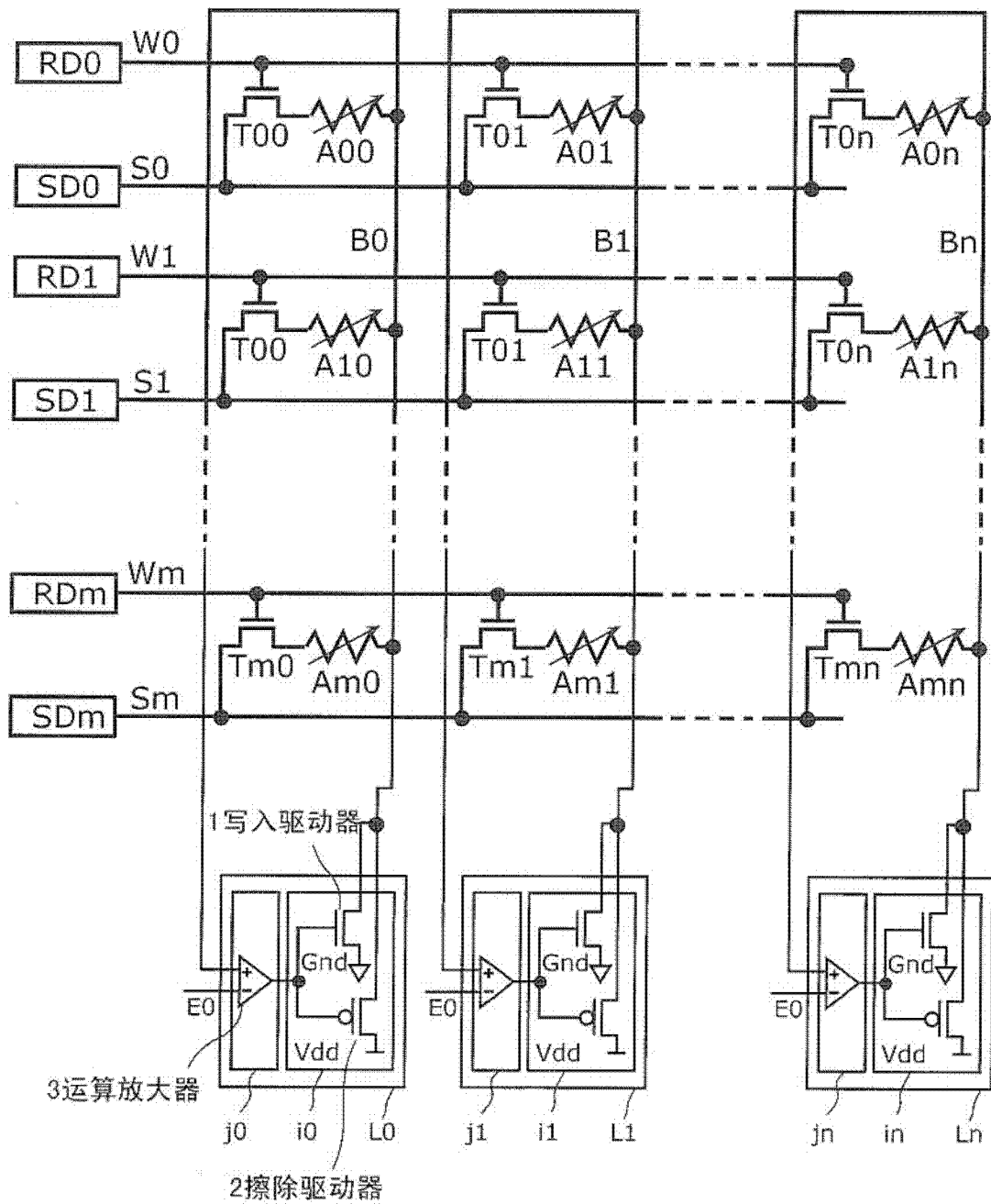


图 22