(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 1 月 26 日 (26.01.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/000481 A1

(51) 国际专利分类号:
H01L 23/535 (2006.01) *H01L 21/48* (2006.01)

(21) 国际申请号: PCT/CN2021/118803

(22) 国际申请日: 2021 年 9 月 16 日 (16.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110819890.9 2021年7月20日 (20.07.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 吴双双 (WU, Shuangshuang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME, AND MEMORY

(54) **发明名称**: 半导体结构、半导体结构的形成方法及存储器

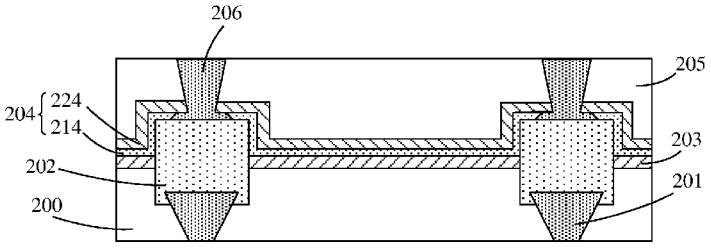

图 2

(57) **Abstract:** Embodiments of the present application relate to the field of semiconductors, and provide a semiconductor structure and a method for forming same, and a memory. The semiconductor structure comprises: a substrate; a first semiconductor layer, a part of the first conductive layer being located in the substrate, and the remaining part of the first conductive layer protruding out of the substrate; a barrier layer located on the substrate and at least located on a sidewall of the first conductive layer protruding out of the substrate; a dielectric layer located on the barrier layer; and a second conductive layer passing through the dielectric layer and the barrier layer, the second conductive layer being in contact with a sidewall of the barrier layer, and the second conductive layer being in contact with at least part of the upper surface of the first conductive layer. At least the performance of the semiconductor structure can be improved.

(57) **摘要**: 本申请实施例涉及半导体领域, 提供一种半导体结构、半导体结构的形成方法及存储器, 半导体结构包括: 基底; 第一导电层, 所述第一导电层的部分位于所述基底内, 所述第一导电层的其余部分凸出于所述基底上方; 阻挡层, 所述阻挡层位于所述基底上, 以及至少位于凸出于所述基底的所述第一导电层的侧壁; 介质层, 所述介质层位于所述阻挡层上; 第二导电层, 所述第二导电层贯穿所述介质层和所述阻挡层, 所述第二导电层与所述阻挡层侧壁相接触, 且所述第二导电层与所述第一导电层的至少部分上表面相接触, 至少可以提高半导体结构的性能。

WO 2023/000481 A1

[见续页]

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构、半导体结构的形成方法及存储器

相关申请的交叉引用

本申请要求在 2021 年 07 月 20 日提交中国专利局、申请号为 202110819890.9、申请名称为“半导体结构、半导体结构的形成方法及存储器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请实施例涉及但不限于一种半导体结构、半导体结构的形成方法及存储器。

背景技术

随着集成电路技术的快速发展，集成电路中器件的密集度越来越高，半导体器件的特征尺寸不断减小，半导体结构的电极面积也不断减小，在制作过程中，为了引线或测试需要，会在电极上制作金属互联结构。金属互联结构的引入不仅可以增加器件集成度以及提升器件工作速度，同时，还可以降低芯片成本和简化器件制备工艺。

而阻挡层在金属互联结构中起到关键作用，直接影响器件性能的好坏，在金属互联结构加工的过程中，经过多步加工工艺之后，不同的导电层接触表面变得高低不平，现有技术中阻挡层与不同导电层的接触面积较小，阻挡层与导电层的粘附效果不佳，在后续的制程工艺中可能导致不同导电层之间脱离，影响半导体结构的性能。

如何改进金属互联结构中不同导电层之间的接触效果，成为本领域技术人员亟须解决的问题。

发明内容

根据本申请一些实施例，本申请实施例一方面提供一种半导体结构，包括：基底；第一导电层，所述第一导电层的部分位于所述基底内，所述第一导电层的其余部分凸出于所述基底上方；阻挡层，所述阻挡层位于所述基底上，以及至少位于凸出于所述基底的所述第一导电层的侧壁；介质层，所述介质层位于所述阻挡层上；第二导电层，所述第二导电层贯穿所述介质层和所述阻挡层，所述第二导电层与所述阻挡层侧壁相接触，且所述第二导电层与所述第一导电层的至少部分上表面相接触。

根据本申请一些实施例，本申请实施例另一方面还提供一种半导体结构的形成方法，包括：提供基底；形成第一导电层，所述第一导电层的部分位于所述基底内，所述第一导电层的其余部分凸出于所述基底上方；形成阻挡层，所述阻挡层位于所述基底上，以及至少位于凸出于所述基底的所述第一导电层的侧壁；形成介质层，所述介质层覆盖所述阻挡层的表面；形成第二导电层，所述第二导电层贯穿所述介质层和所述阻挡层，所述第二导电层与所述阻挡层侧壁相接触，且所述第二导电层与所述第一导电层的至少部分上表面相接触。

根据本申请一些实施例，本申请实施例再一方面还提供一种存储器，包括上述任一项所述的半导体结构。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一种半导体结构的结构示意图；

图 2 为本申请一实施例提供的半导体结构的结构示意图；

图 3 为本申请一实施例提供的另一半导体结构的结构示意图；

图 4~图 11 为本申请另一实施例提供的半导体结构的形成方法各步骤对应的结构示意图。

附图标记说明：

100、200、300-基底；101、201、301-电极；102、202、302-第一导电层；203、303-停止层；104、204、304-阻挡层；105、205、305-介质层；106、206、306-第二导电层；214、314-第一阻挡层；224、324-第二阻挡层；307-牺牲层；308-第一沟槽；315-初始介质层；344-初始第一阻挡层；354-初始第二阻挡层；309-第二沟槽；310-孔洞。

具体实施方式

由背景技术可知，半导体结构不同导电层之间的接触效果不佳。

图 1 为一种半导体结构的结构示意图。

现结合一种半导体结构进行具体说明，参考图 1，一种半导体结构，包括：基底 100，

基底 100 内具有电极 101；第一导电层 102，第一导电层 102 位于基底 100 内，且第一导电层 102 与电极 101 相接触；阻挡层 104，阻挡层 104 位于基底 100 上，以及位于基底 100 暴露出的第一导电层 102 的顶面；介质层 105，介质层 105 位于阻挡层 104 上；第二导电层 106，第二导电层 106 贯穿介质层 105 和阻挡层 104，第二导电层 106 与阻挡层 104 侧壁相接触，且第二导电层 106 与第一导电层 102 的部分上表面相接触。

可以得到，阻挡层 104 只位于第一导电层 102 的部分上表面，阻挡层 104 和第一导电层 102 的接触面积较小，导致第一导电层 102 和阻挡层 104 的黏附固定效果不佳；同时由于阻挡层 104 和第二导电层 106 的底面在同一水平面上，在后续的制程工艺中，制程应力使得第二导电层 106 位置变化时，阻挡层 104 在该制程应力下的位置变化方向与第二导电层 106 的位置变化方向相同，不能起到固定第二导电层 106 的作用。

本申请实施提供一种半导体结构，阻挡层不仅与位于凸出于基底的第一导电层的侧壁相接触，还与第二导电层的侧壁相接触，这样同一阻挡层和不同的导电层之间都有接触，有利于利用阻挡层将不同的导电层之间的位置固定，在后续的工艺中，不容易受应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙；同时阻挡层和导电层的侧壁相接触，有利于增加接触面积，接触面积越大，阻挡层对导电层的粘附固定效果越好。

下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

图 2 为本申请一实施例提供的半导体结构的结构示意图。

参考图 2，半导体结构包括：基底 200；第一导电层 202，第一导电层 202 的部分位于基底 200 内，第一导电层 202 的其余部分凸出于基底 200 上方；阻挡层 204，阻挡层 204 位于基底 200 上，以及至少位于凸出于基底 200 的第一导电层 202 的侧壁；介质层 205，介质层 205 位于阻挡层 204 上；第二导电层 206，第二导电层 206 贯穿介质层 205 和阻挡层 204，第二导电层 206 与阻挡层 204 侧壁相接触，且第二导电层 206 与第一导电层 202 的至少部分上表面相接触。

其中，阻挡层 204 不仅与位于凸出于基底 200 的第一导电层 202 的侧壁相接触，还与第二导电层 206 的侧壁相接触，这样同一阻挡层 204 和不同的导电层之间都有接触，有利于利用阻挡层 204 将不同的导电层之间的位置固定，在后续的工艺中，不容易受制程应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙，影响半导体结

构的性能；同时阻挡层 204 和导电层的侧壁相接触，有利于增加接触面积，接触面积越大，阻挡层 204 对导电层的粘附固定效果越好。

以下将结合附图对本申请实施例进行更为详细的说明。

基底 200 的材料为隔离材料，用于将导电层与其他导电结构隔离，一些实施例中，基底 200 的材料为二氧化硅。在另一些实施例中，基底 200 也可以氮化硅或碳化硅。

一些实施例为在已经形成源电极、漏电极和栅电极的待加工半导体基片上形成金属互联结构，所以基底 200 内还可以具有电极 201，电极 201 为半导体基片上引出的电连接结构，具体材料可以为金属钨、金属银等金属材料。

电极 201 的上表面的宽度大于下表面的宽度。电极 201 与第一导电层 202 接触的表面为上表面，上表面的宽度越大，接触面积就越大，接触面积越大，接触电阻越低，可以有效提高半导体结构的导电效率。

电极 201 表面可以具有保护层（图中未示出），保护层的材料可以为氮化钛，可以有效防止电极 201 内的离子向外扩散，造成不良影响。

一些实施例中，第一导电层 202 的材料为金属铜，金属铜的电阻率较低，在提高半导体结构导电效果的同时，有利于降低半导体结构的生产成本。在另一些实施例中，第一导电层的材料也可以为金属铝或者金属钴。

一些实施例中，可以采用铜溅射工艺直接形成第一导电层 202。在另一些实施例中，也可以采用化学气相沉积工艺形成第一导电层。

一些实施例中，第一导电层 202 的部分位于基底 200 内，第一导电层 202 的其余部分凸出于基底 200 上方，这是由于后续形成的阻挡层 204 要与第一导电层 202 的部分侧壁相接触，所以基底 200 需要暴露出部分第一导电层 202。

具体地，在垂直于基底 200 上表面的方向上，凸出基底 200 的第一导电层 202 与位于基底 200 内的第一导电层 202 的厚度比为 1：1~1：2。

由于部分第一导电层 202 位于基底 200 内，所以基底 200 对第一导电层 202 也具有固定效果，凸出基底 200 的第一导电层 202 与位于基底 200 内的第一导电层 202 的厚度比保持在上述范围内，在保证了基底 200 对第一导电层 202 的固定效果的同时，给阻挡层 204 预留了足够的接触面积。

第一导电层 202 不仅与电极 201 的上表面接触，还与电极 201 的部分侧壁接触，接触面积较大，所以第一导电层 202 与电极 201 的接触电阻较低，进一步提高半导体结构的导电效果。

第一导电层202的表面也可以具有保护层(图中未示出),可以防止第一导电层202内的离子向外扩散,第一导电层202表面的保护层的材料可以为钽金属或氮化钽。

一些实施例中,还包括:停止层203,停止层203位于基底200上表面,且停止层203位于基底200和阻挡层204之间。

停止层203的材料可以为氮化硅或碳氮化硅,由于在形成第一导电层202的时候,为了使得部分第一导电层202位于基底200上方,需要在形成第一导电层202之后,去除部分基底200,停止层203可以作为去除部分基底200工艺的刻蚀停止层,有效防止过刻蚀。

一些实施例中,阻挡层204不仅位于凸出于基底200上方的第一导电层202的侧壁,还与第一导电层202的部分上表面接触。阻挡层204与第一导电层202的接触面积较大,有利于提高阻挡层204对于第一导电层202的黏附固定效果;同时由于阻挡层204与第一导电层202的接触面不止一个,所以当第一导电层202受到某一方向的制程应力时,即使与第一导电层202其中一面接触的阻挡层204不能发挥黏附效果,与第一导电层202其他面接触的阻挡层204也会发挥黏附效果,保证了阻挡层204和第一导电层202在多数情况下具有较好的黏附效果。

一些实施例中,阻挡层204可以为双层结构,包括依次堆叠的第一阻挡层214和第二阻挡层224,且第一阻挡层214的材料和第二阻挡层224的材料不同;第二阻挡层224、第一阻挡层214和第一导电层202围成孔洞;第二导电层206还填充满孔洞。在另一些实施例中,阻挡层也可以为单层结构。

由于第二阻挡层224、第一阻挡层214和第一导电层202围成孔洞,所以第一导电层202上表面暴露出可供与第二导电层206接触的面积较大,有利于提高第一导电层202和第二导电层206的接触面积,减小接触电阻,进一步提高整个半导体结构的导电效果;因为具有孔洞,第一阻挡层214和第二阻挡层224会组成一个类似于卡扣状的结构,将填充孔洞的第二导电层206卡在其中,在后续的制程过程中,无论第二导电层206受到任何方向的制程应力,第一阻挡层214和第二阻挡层224都会将第二导电层206固定,保证第二导电层206不会脱离第一导电层202的表面。

一些实施例中,在垂直于第一导电层202上表面的方向上,第一阻挡层214的厚度小于第二阻挡层224的厚度。

在刻蚀第一阻挡层214形成孔洞时,容易出现过刻蚀的现象,导致位于第一导电层202上表面的阻挡层204较少,所以第二阻挡层224的厚度较大,有利于保证即使第一阻挡层214过刻蚀,第一导电层202上表面仍具有较大面积的阻挡层204;第一阻挡层

214 的厚度较小，在形成孔洞时，有利于控制刻蚀效果。

一些实施例中，在垂直于第一导电层 202 上表面的方向上，第一阻挡层 214 和第二阻挡层 224 的厚度比为 1：3~1：4。

具体地，在垂直于第一导电层 202 上表面的方向上，第一阻挡层 214 的厚度为 5 纳米~10 纳米，具体可以为 6 纳米、7 纳米或 8 纳米；第二阻挡层 224 的厚度为 15 纳米~40 纳米，具体可以为 20 纳米、25 纳米或 30 纳米。

在此范围内，第一阻挡层 214 在保证了黏附效果的同时不会由于过厚造成形成孔洞时难以控制刻蚀效果；第二阻挡层 224 不会由于过薄造成第一阻挡层 214 过刻蚀时整个阻挡层 204 的黏附效果不佳。

一些实施例中，第一阻挡层 214 的材料包括氮氧化硅或氮氟化硅；第二阻挡层 224 的材料包括氮化硅或碳氮化硅。在同样的湿法刻蚀工艺下，第一阻挡层 214 的刻蚀选择比大于第二阻挡层 224 的刻蚀选择比，这样有利于在刻蚀第一阻挡层 214 形成孔洞时不会对第二阻挡层 224 造成过大的影响。

一些实施例中，介质层 205 的材料与基底 200 的材料可以相同，防止不同的第二导电层 206 电接触，介质层 205 的材料具体可以为二氧化硅、氮化硅或碳化硅。

一些实施例中，位于第二阻挡层 224 附近区域的第二导电层 206 的宽度小于第二导电层 206 顶面的宽度；如此设置，在保证位于第一导电层 202 上表面具有面积较大的阻挡层 204 的同时，提高后续用于检测或者引线的第二导电层 206 暴露出的顶面的面积。

一些实施例中，第二导电层 206 的材料可以为金属钨。在另一些实施例中，第二导电层的材料还可以为金属银或金属钴等导电率较高的金属材料。

第二导电层 206 表面可以具有保护层（图中未示出），保护层的材料可以为氮化钛，可以有效防止第二导电层 206 内的离子向外扩散，造成不良影响。

图 3 为本申请一实施例提供的另一半导体结构的结构示意图。

参考图 3，在另一些实施例中，第二导电层 206 与第一导电层 202 的整个上表面相接触。

在去除第一导电层 202 顶面的第一阻挡层 214 时，去除位于第一导电层 202 上表面的所有第一阻挡层 214，暴露出第一导电层 202 的整个上表面，有利于第一导电层 202 和第二导电层 206 具有最大的接触面积，减少接触电阻。

一些实施例中，阻挡层 204 不仅与位于凸出于基底 200 的第一导电层 202 的侧壁相

接触，还与第二导电层 206 的侧壁相接触，这样同一阻挡层 204 和不同的导电层之间都有接触，有利于利用阻挡层 204 将不同的导电层之间的位置固定，在后续的工艺中，不容易受制程应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙，影响半导体结构的性能；同时阻挡层 204 和导电层的侧壁相接触，有利于提高接触面积，接触面积越大，阻挡层 204 对导电层的粘附固定效果越好。

相应的，本申请另一实施例还提供一种半导体结构的形成方法，本申请另一实施例提供的半导体结构的形成方法形成的半导体结构与前述实施例提供的半导体结构相同。以下将结合附图对本申请另一实施例提供的半导体结构的形成方法进行详细说明。

图 4~图 11 为本申请另一实施例提供的半导体结构的形成方法各步骤对应的结构示意图。

参考图 4，提供基底 300。

基底 300 的材料为隔离材料，用于将导电层与其他导电结构隔离，一些实施例中，基底 300 的材料为二氧化硅。在另一些实施例中，基底 300 也可以氮化硅或碳化硅。

一些实施例为在已经形成源电极、漏电极和栅电极的待加工半导体基片上形成金属互联结构，所以基底 300 内还可以具有电极 301，电极 301 为半导体基片上引出的电连接结构，具体材料可以为金属钨、金属银等金属材料。

电极 301 的上表面的宽度大于下表面的宽度。电极 301 与后续形成的第一导电层接触的表面为上表面，上表面的宽度越大，接触面积就越大，接触面积越大接触电阻越低，可以有效提高半导体结构的导电效率。

参考图 5~图 7，形成第一导电层 302，第一导电层 302 的部分位于基底 300 内，第一导电层 302 的其余部分凸出于基底 300 上方。

具体地，参考图 5，在基底 300 上表面形成停止层 303。

一些实施例中，采用原子层沉积工艺形成停止层 303，停止层 303 的材料可以为氮化硅或碳氮化硅，由于在后续形成第一导电层的时候，为了使得部分第一导电层位于基底 300 上方，需要在形成第一导电层之后，去除牺牲层，停止层 303 可以作为去除牺牲层工艺的刻蚀停止层，有效防止过刻蚀。

在基底 300 上形成牺牲层 307，具体的牺牲层 307 位于停止层 303 上表面。

一些实施例中，采用化学气相沉积工艺形成牺牲层 307，牺牲层 307 的材料与基底 300 的材料相同，基底 300 和牺牲层 307 的材料相同，在刻蚀牺牲层 307 和基底 300 时的速率可以保持一致，更利于工艺的实施。

参考图 6，图形化牺牲层 307 以及基底 300，在牺牲层 307 以及基底 300 内形成第一沟槽 308。

一些实施例中，采用湿法刻蚀工艺去除部分牺牲层 307、部分停止层 303 以及部分基底 300，形成的第一沟槽 308 用于后续形成第一导电层。

参考图 7，形成填充第一沟槽 308（参考图 6）的第一导电层 302；去除牺牲层 307（参考图 6）直至暴露出停止层 303。

一些实施例中，采用化学气相沉积工艺形成第一导电层 302；采用湿法刻蚀工艺去除牺牲层 307，停止层 303 作为刻蚀停止层。

一些实施例中，第一导电层 302 的材料为金属铜，金属铜的电阻率较低，在提高半导体结构导电效果的同时，有利于降低半导体结构的生产成本。在另一些实施例中，第一导电层的材料也可以为金属铝或者金属钴。

一些实施例中，第一导电层 302 的部分位于基底 300 内，第一导电层 302 的其余部分凸出于基底 300 上方，这是由于后续形成的阻挡层 304 要与第一导电层 302 的部分侧壁相接触，所以基底 300 需要暴露出部分第一导电层 302。

第一导电层 302 不仅与电极 301 的上表面接触，还与电极 301 的部分侧壁接触，接触面积较大，所以第一导电层 302 与电极 301 的接触电阻较低，进一步提高半导体结构的导电效果。

参考图 8~图 11，形成阻挡层 304，阻挡层 304 位于基底 300 上，以及至少位于凸出于基底 300 的第一导电层 302 的侧壁；形成介质层 305，介质层 305 覆盖阻挡层 304 的表面；形成第二导电层 306，第二导电层 306 贯穿介质层 305 和阻挡层 304，第二导电层 306 与阻挡层 304 侧壁相接触，且第二导电层 306 与第一导电层 303 的至少部分上表面相接触。

由于阻挡层 304 不仅与位于凸出于基底 300 的第一导电层 302 的侧壁相接触，还与第二导电层 306 的侧壁相接触，这样同一阻挡层 304 和不同的导电层之间都有接触，有利于利用阻挡层 304 将不同的导电层之间的位置固定，在后续的工艺中，不容易受制程应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙，影响半导体结构的性能；同时阻挡层 304 和导电层的侧壁相接触，有利于提高接触面积，接触面积越大，阻挡层 304 对导电层的粘附固定效果越好。

具体地，参考图 8，形成初始阻挡层 334，初始阻挡层 334 覆盖第一导电层 302 暴露出的表面，且初始阻挡层 334 位于基底 300 上；形成初始介质层 315，初始介质层 315

覆盖初始阻挡层 334 的上表面。

一些实施例中，初始阻挡层 304 包括初始第一阻挡层 344 和初始第二阻挡层 354，采用原子沉积工艺先在基底 300 上以及凸出于基底 300 的第一导电层 302 的表面形成初始第一阻挡层 344，然后采用原子沉积工艺在初始第一阻挡层 344 表面形成初始第二阻挡层 354；再采用化学气相沉积工艺形成初始介质层 315。

一些实施例中，初始第一阻挡层 344 的材料和初始第二阻挡层 354 的材料不同，初始第一阻挡层 344 的材料包括氮氧化硅或氮氟化硅；初始第二阻挡层 354 的材料包括氮化硅或碳氮化硅。在同样的湿法刻蚀工艺下，初始第一阻挡层 344 的刻蚀选择比大于初始第二阻挡层 354 的刻蚀选择比，这样有利于在后续刻蚀第一阻挡层形成孔洞时不会对第二阻挡层造成过大的影响。

一些实施例中，初始介质层 315 的材料与基底 300 的材料可以相同，可以防止后续形成的不同的第二导电层电接触，初始介质层 315 的材料具体可以为二氧化硅、氮化硅或碳化硅。

参考图 9，图形化初始介质层 315 以及初始阻挡层 334，直至露出第一导电层 302 的至少部分表面，形成第二沟槽 309，且剩余的初始介质层 315 作为介质层 305，剩余的初始阻挡层 334 作为阻挡层 304。

阻挡层 304 包括依次堆叠的第一阻挡层 314 和第二阻挡层 324，且第一阻挡层 314 和第二阻挡层 324 的材料不同。

一些实施例中，在垂直于第一导电层 302 上表面的方向上，第一阻挡层 314 的厚度小于第二阻挡层 324 的厚度。

在后续刻蚀第一阻挡层 314 形成孔洞时，容易出现过刻蚀的现象，导致位于第一导电层 302 上表面的阻挡层 304 较少，所以第二阻挡层 324 的厚度较大，有利于保证即使第一阻挡层 314 过刻蚀，第一导电层 302 上表面仍具有较大面积的阻挡层 304；第一阻挡层 314 的厚度较小，在形成孔洞时，有利于控制刻蚀效果。

一些实施例中，在垂直于第一导电层 302 上表面的方向上，第一阻挡层 314 和第二阻挡层 324 的厚度比为 1：3~1：4。

具体地，在垂直于第一导电层 302 上表面的方向上，第一阻挡层 314 的厚度为 5 纳米~10 纳米，具体可以为 6 纳米、7 纳米或 8 纳米；第二阻挡层 324 的厚度为 15 纳米~40 纳米，具体可以为 20 纳米、25 纳米或 30 纳米。

在此范围内，第一阻挡层 314 在保证了黏附效果的同时不会由于过厚造成形成孔洞

时难以控制刻蚀效果；第二阻挡层 324 不会由于过薄造成第一阻挡层 314 过刻蚀时整个阻挡层 304 的黏附效果不佳。

参考图 10，在形成第二沟槽 309 之后，还包括：对第二沟槽 309 露出的第一阻挡层 314 进行湿法刻蚀，以使第二阻挡层 324、第一导电层 302 以及剩余第一阻挡层 314 围成孔洞 310。

由于第二阻挡层 324、第一阻挡层 314 和第一导电层 302 围成孔洞 310，所以第一导电层 302 上表面暴露出可供与第二导电层 306 接触的面积较大，有利于增大第一导电层 302 和第二导电层 306 的接触面积，减小接触电阻，进一步提高整个半导体结构的导电效果；因为具有孔洞 310，第一阻挡层 314 和第二阻挡层 324 会组成一个类似于卡扣状的结构，将填充孔洞 310 的第二导电层 306 卡在其中，在后续的制程过程中，无论第二导电层 306 受到任何方向的制程应力，第一阻挡层 314 和第二阻挡层 324 都会将第二导电层 306 固定，保证第二导电层 306 不会脱离第一导电层 302 的表面。

一些实施例中，湿法刻蚀工艺对第一阻挡层 314 的刻蚀选择比大于对第二阻挡层 324 的刻蚀选择比。所以在进行该湿法刻蚀工艺时，不会对第二阻挡层 324 产生影响。

一些实施例中，湿法刻蚀工艺选用的刻蚀溶液包括氢氟酸水溶液。其中，氢氟酸与水的质量比为 1：50~1：100，具体可以为 1：60、1：70 或 1：80。

参考图 11，形成填充第二沟槽 309（参考图 10）的第二导电层 306，第二导电层 306 还填充满孔洞 310（参考图 10）。

一些实施例中，位于第二阻挡层 324 附近区域的第二导电层 306 的宽度小于第二导电层 306 顶面的宽度；如此设置，在保证位于第一导电层 302 上表面具有面积较大的阻挡层 304 的同时，提高后续用于检测或者引线的第二导电层 306 暴露出的顶面的面积。

一些实施例中，采用化学气相沉积工艺形成第二导电层 306，第二导电层 306 的材料可以为金属钨。在另一些实施例中，第二导电层的材料还可以为金属银或金属钴等导电率较高的金属材料。

一些实施例中，由于形成的阻挡层 304 不仅与位于凸出于基底 300 的第一导电层 302 的侧壁相接触，还与第二导电层 306 的侧壁相接触，这样同一阻挡层 304 和不同的导电层之间都有接触，有利于利用阻挡层 304 将不同的导电层之间的位置固定，在后续的工艺中，不容易受制程应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙，影响半导体结构的性能；同时阻挡层 304 和导电层的侧壁相接触，有利于提高接触面积，接触面积越大，阻挡层 304 对导电层的粘附固定效果越好。

本申请另一实施例还提供一种存储器，包括：如上述实施例提供的半导体结构。

一些实施例提供的存储器包括的半导体结构中的阻挡层不仅与位于凸出于基底的第一导电层的侧壁相接触，还与第二导电层的侧壁相接触，这样同一阻挡层和不同的导电层之间都有接触，有利于利用阻挡层将不同的导电层之间的位置固定，在后续的工艺中，不容易受制程应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙，影响半导体结构的性能；同时阻挡层和导电层的侧壁相接触，有利于提高接触面积，接触面积越大，阻挡层对导电层的粘附固定效果越好。

本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

工业实用性

本申请实施例中的半导体结构，阻挡层不仅与位于凸出于基底的第一导电层的侧壁相接触，还与第二导电层的侧壁相接触，这样同一阻挡层和不同的导电层之间都有接触，有利于利用阻挡层将不同的导电层之间的位置固定，在后续的工艺中，不容易受应力的影响使得不同导电层之间的位置关系产生变化，进而产生间隙；同时阻挡层和导电层的侧壁相接触，有利于增加接触面积，接触面积越大，阻挡层对导电层的粘附固定效果越好。

权利要求书

1. 一种半导体结构，包括:

基底;

第一导电层，所述第一导电层的部分位于所述基底内，所述第一导电层的其余部分凸出于所述基底上方;

阻挡层，所述阻挡层位于所述基底上，以及至少位于凸出于所述基底的所述第一导电层的侧壁;

介质层，所述介质层位于所述阻挡层上;

第二导电层，所述第二导电层贯穿所述介质层和所述阻挡层，所述第二导电层与所述阻挡层侧壁相接触，且所述第二导电层与所述第一导电层的至少部分上表面相接触。

2. 根据权利要求 1 所述的半导体结构，其中，所述阻挡层包括依次堆叠的第一阻挡层和第二阻挡层，且所述第一阻挡层的材料和所述第二阻挡层的材料不同;

所述第二阻挡层、所述第一阻挡层和所述第一导电层围成孔洞;

所述第二导电层还填充满所述孔洞。

3. 根据权利要求 2 所述的半导体结构，其中，在垂直于所述第一导电层上表面的方向上，所述第一阻挡层的厚度小于所述第二阻挡层的厚度。

4. 根据权利要求 3 所述的半导体结构，其中，在垂直于所述第一导电层上表面的方向上，所述第一阻挡层和所述第二阻挡层的厚度比为 1: 3~1: 4。

5. 根据权利要求 3 所述的半导体结构，其中，在垂直于所述第一导电层上表面的方向上，所述第一阻挡层的厚度为 5 纳米~10 纳米，所述第二阻挡层的厚度为 15 纳米~40 纳米。

6. 根据权利要求 2 所述的半导体结构，其中，所述第一阻挡层的材料包括氮氧化硅或氮氟化硅; 所述第二阻挡层的材料包括氮化硅或碳氮化硅。

7. 根据权利要求 2 所述的半导体结构，其中，所述第二导电层与所述第一导电层的整个上表面相接触。

8. 根据权利要求 1 所述的半导体结构，其中，在垂直于所述基底上表面的方向上，凸出所述基底的所述第一导电层与位于所述基底内的所述第一导电层的厚度比为 1:

1~1：2。

9. 根据权利要求 1 所述的半导体结构，还包括：停止层，所述停止层位于所述基底上表面，且所述停止层位于所述基底和所述阻挡层之间。

10. 一种半导体结构的形成方法，包括：

提供基底；

形成第一导电层，所述第一导电层的部分位于所述基底内，所述第一导电层的其余部分凸出于所述基底上方；

形成阻挡层，所述阻挡层位于所述基底上，以及至少位于凸出于所述基底的所述第一导电层的侧壁；

形成介质层，所述介质层覆盖所述阻挡层的表面；

形成第二导电层，所述第二导电层贯穿所述介质层和所述阻挡层，所述第二导电层与所述阻挡层侧壁相接触，且所述第二导电层与所述第一导电层的至少部分上表面相接触。

11. 根据权利要求 10 所述的半导体结构的形成方法，其中，形成所述第一导电层的步骤包括：在所述基底上形成牺牲层；

图形化所述牺牲层以及所述基底，在所述牺牲层以及所述基底内形成第一沟槽；

形成填充所述第一沟槽的所述第一导电层；

去除所述牺牲层。

12. 根据权利要求 11 所述的半导体结构的形成方法，其中，在形成所述牺牲层之前，还包括：在所述基底上表面形成停止层；

在去除所述牺牲层的工艺步骤中，去除所述牺牲层直至暴露出所述停止层。

13. 根据权利要求 10 所述的半导体结构的形成方法，其中，形成所述阻挡层、所述介质层和所述第二导电层的步骤包括：形成初始阻挡层，所述初始阻挡层覆盖所述第一导电层暴露出的表面，且所述初始阻挡层位于所述基底上；

形成初始介质层，所述初始介质层覆盖所述初始阻挡层的上表面；

图形化所述初始介质层以及所述初始阻挡层，直至露出所述第一导电层的至少部分表面，形成第二沟槽，且剩余的所述初始介质层作为所述介质层，剩余的所述初始阻挡层作为所述阻挡层；

形成填充所述第二沟槽的所述第二导电层。

14. 根据权利要求 13 所述的半导体结构的形成方法，其中，所述阻挡层包括依次堆叠的第一阻挡层和第二阻挡层，且所述第一阻挡层的材料和所述第二阻挡层的材料不同；在形成所述第二沟槽之后，还包括：

对所述第二沟槽露出的所述第一阻挡层进行湿法刻蚀，以使所述第二阻挡层、所述第一导电层以及剩余所述第一阻挡层围成孔洞；

在形成所述第二导电层的工艺步骤中，所述第二导电层还填充满所述孔洞。

15. 根据权利要求 14 所述的半导体结构的形成方法，其中，所述湿法刻蚀工艺对所述第一阻挡层的刻蚀选择比大于对所述第二阻挡层的刻蚀选择比。

16. 根据权利要求 15 所述的半导体结构的形成方法，其中，所述湿法刻蚀工艺选用的刻蚀溶液包括氢氟酸水溶液。

17. 一种存储器，包括：如权利要求 1-9 任一项所述的半导体结构。

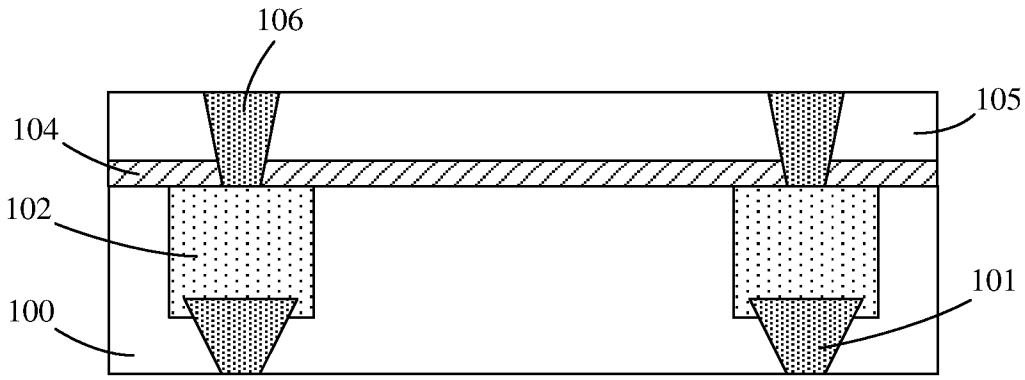
106
105
104
102
101
100

图 1

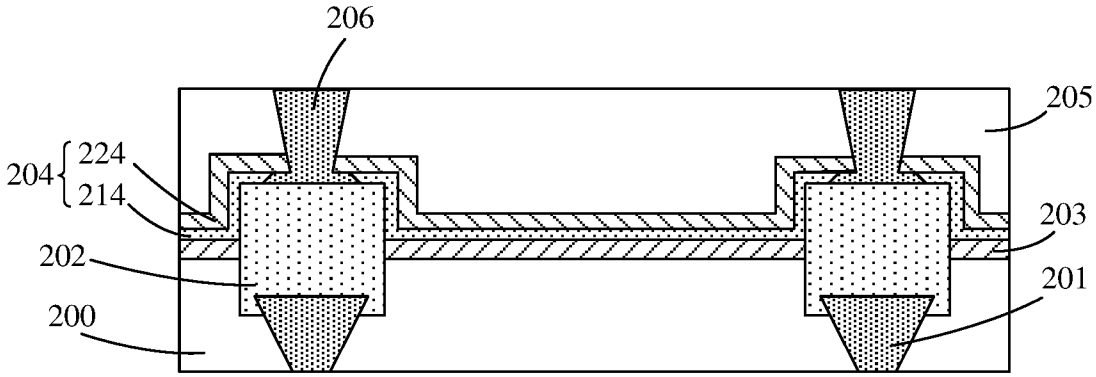
206
205
204
224
214
203
202
201
200

图 2

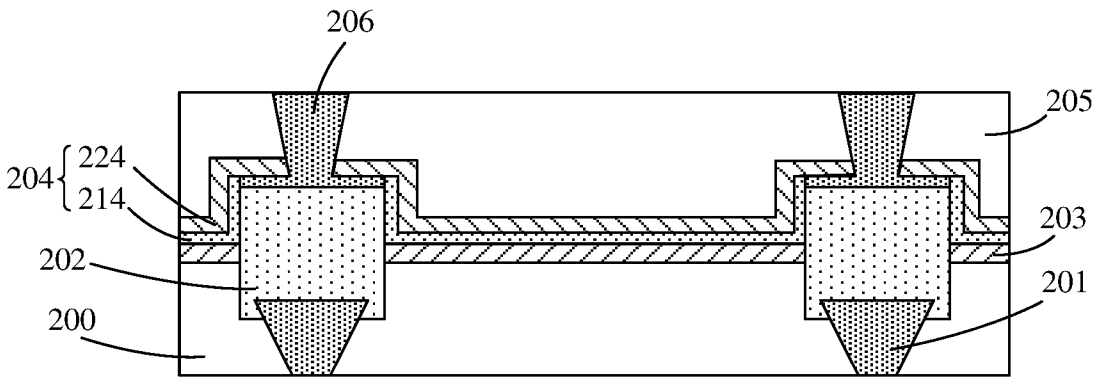
206
205
204
224
214
203
202
201
200

图 3

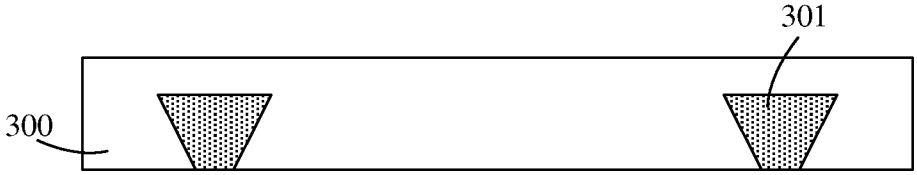
301
300

图 4

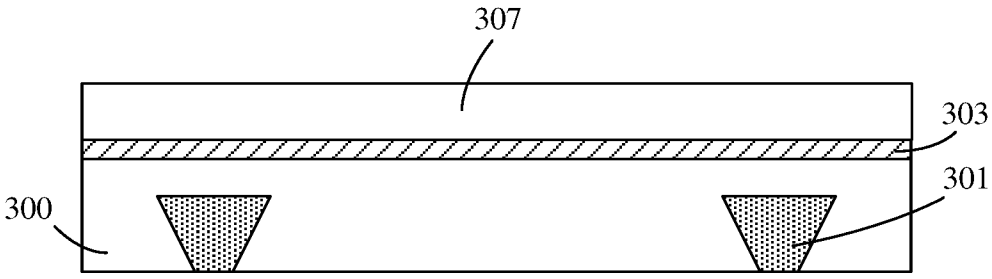
307
303
301
300

图 5

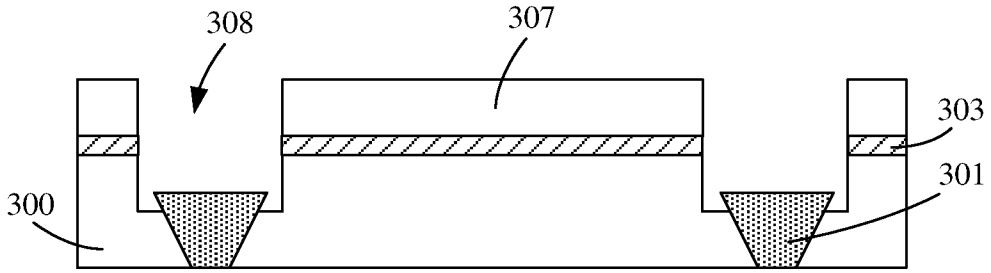
308
307
303
301
300

图 6

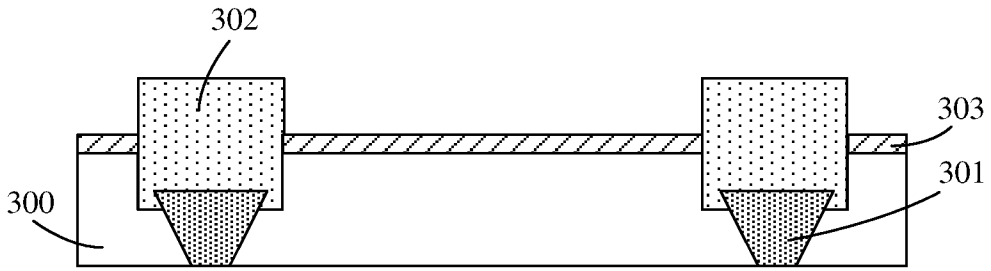
302
303
301
300

图 7

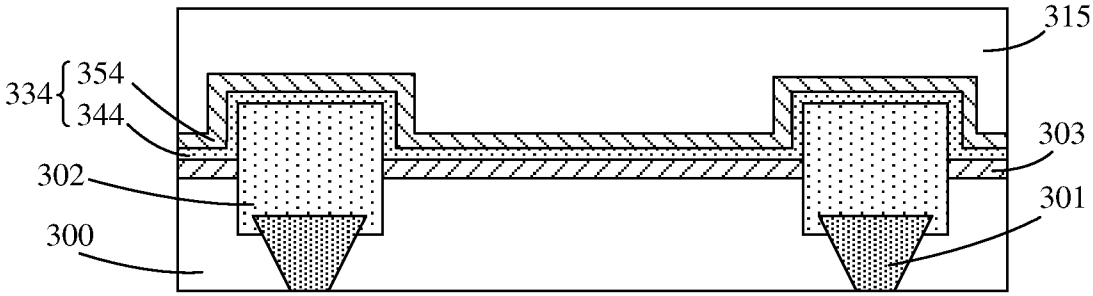
315
334
354
344
303
302
301
300

图 8

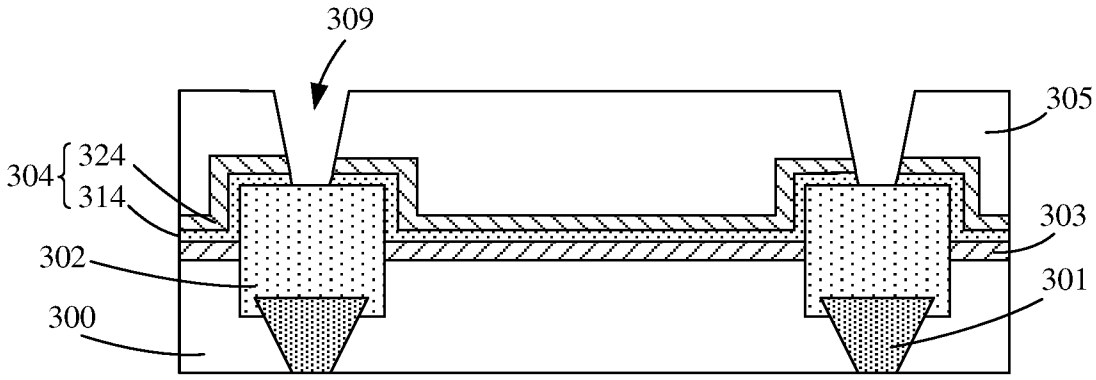
309
305
304
324
314
303
302
301
300

图 9

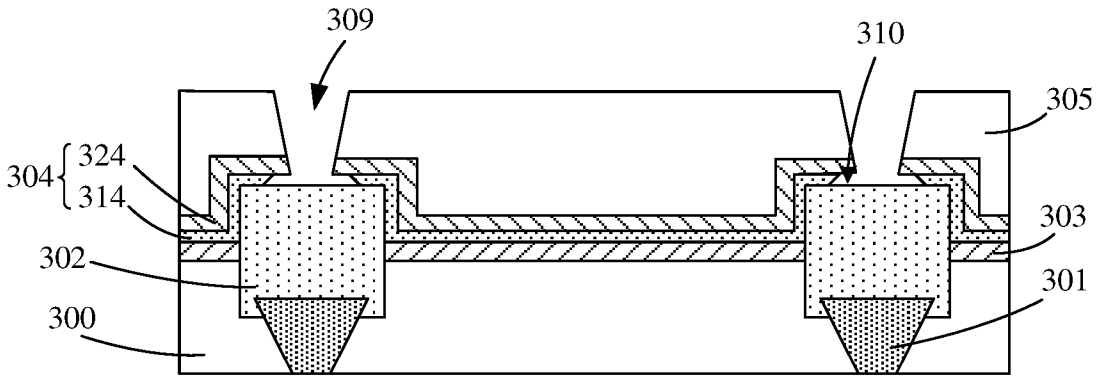
309
310
305
304
324
314
303
302
301
300

图 10

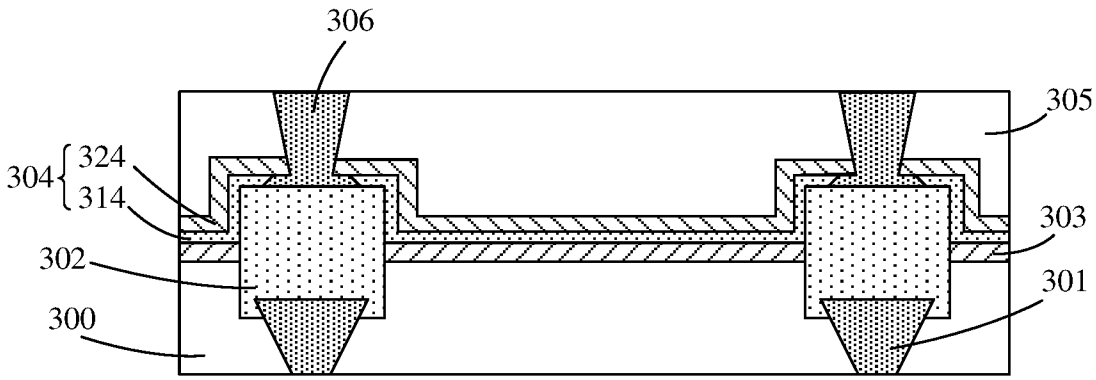
306
305
304
324
314
303
302
301
300

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/118803

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/535(2006.01)i; H01L 21/48(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 导电, 金属, 凸, 突, 阻挡, 阻隔, 堆叠, 层叠, 粘附, 剥离, conductive, metal+, protrud+, barrier, stack+, adhe+, peeling

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2005051900 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 10 March 2005 (2005-03-10) description, paragraphs [0051]-[0062], and figures 10-17	1, 8-13, 17
Y	CN 110277347 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 24 September 2019 (2019-09-24) description, paragraphs [0036]-[0052], and figures 7-12	1, 8-13, 17
A	US 2009072286 A1 (SEIKO EPSON CORP.) 19 March 2009 (2009-03-19) entire document	1-17
A	US 2004048468 A1 (CHARTERED SEMICONDUCTOR MANUFACTURING LTD.) 11 March 2004 (2004-03-11) entire document	1-17
A	US 2011012239 A1 (QUALCOMM INC.) 20 January 2011 (2011-01-20) entire document	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 April 2022	**20 April 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/118803

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2005051900 A1	10 March 2005	TW 200511493 A	16 March 2005
		US 2005051900 A1	10 March 2005
		US 6972253 B2	06 December 2005
		TW I248163 B	21 January 2006
CN 110277347 A	24 September 2019	US 2019287851 A1	19 September 2019
		TW 201939666 A	01 October 2019
		US 2020051858 A1	13 February 2020
		US 2021193517 A1	24 June 2021
		US 10475702 B2	12 November 2019
		TW 682497 B1	11 January 2020
US 2009072286 A1	19 March 2009	JP 2009071241 A	02 April 2009
		US 7812385 B2	12 October 2010
US 2004048468 A1	11 March 2004	US 2005191851 A1	01 September 2005
		SG 134993 A1	28 September 2007
US 2011012239 A1	20 January 2011	TW 201115691 A	01 May 2011
		WO 2011009063 A1	20 January 2011

国际检索报告

国际申请号
PCT/CN2021/118803

A. 主题的分类

H01L 23/535(2006.01)i; H01L 21/48(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC, IEEE：导电，金属，凸，突，阻挡，阻隔，堆叠，层叠，粘附，剥离，conductive, metal+, protrud+, barrier, stack+, adhe+, peeling

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	US 2005051900 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LTD.) 2005年3月10日 (2005-03-10) 说明书第[0051]-[0062]段，附图10-17	1，8-13，17
Y	CN 110277347 A (台湾积体电路制造股份有限公司) 2019年9月24日 (2019-09-24) 说明书第[0036]-[0052]段，附图7-12	1，8-13，17
A	US 2009072286 A1 (SEIKO EPSON CORPORATION) 2009年3月19日 (2009-03-19) 全文	1-17
A	US 2004048468 A1 (CHARTERED SEMICONDUCTOR MANUFACTURING LTD.) 2004年3月11日 (2004-03-11) 全文	1-17
A	US 2011012239 A1 (QUALCOMM INCORPORATED) 2011年1月20日 (2011-01-20) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年4月7日	2022年4月20日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘雪莲 电话号码 (86-10)53961471

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/118803

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2005051900	A1	2005年3月10日	TW	200511493	A	2005年3月16日
				US	2005051900	A1	2005年3月10日
				US	6972253	B2	2005年12月6日
				TW	I248163	B	2006年1月21日
CN	110277347	A	2019年9月24日	US	2019287851	A1	2019年9月19日
				TW	201939666	A	2019年10月1日
				US	2020051858	A1	2020年2月13日
				US	2021193517	A1	2021年6月24日
				US	10475702	B2	2019年11月12日
				TW	682497	B1	2020年1月11日
US	2009072286	A1	2009年3月19日	JP	2009071241	A	2009年4月2日
				US	7812385	B2	2010年10月12日
US	2004048468	A1	2004年3月11日	US	2005191851	A1	2005年9月1日
				SG	134993	A1	2007年9月28日
US	2011012239	A1	2011年1月20日	TW	201115691	A	2011年5月1日
				WO	2011009063	A1	2011年1月20日