

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-182172

(P2012-182172A)

(43) 公開日 平成24年9月20日(2012.9.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	
HO 1 L 21/8247 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 45/00 (2006.01)	HO 1 L 49/00 Z	
HO 1 L 49/00 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 19 頁)

(21) 出願番号 特願2011-42174 (P2011-42174)
(22) 出願日 平成23年2月28日 (2011. 2. 28)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100098785
弁理士 藤島 洋一郎
(74) 代理人 100109656
弁理士 三反崎 泰司
(74) 代理人 100130915
弁理士 長谷部 政男
(74) 代理人 100155376
弁理士 田名網 孝昭
(72) 発明者 保田 周一郎
東京都港区港南1丁目7番1号 ソニー株式会社社内

最終頁に続く

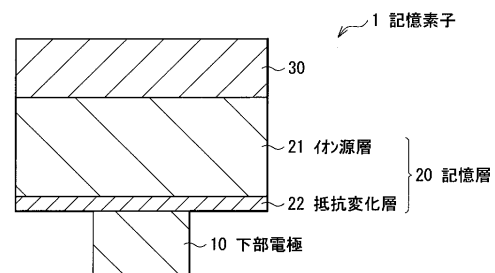
(54) 【発明の名称】 記憶素子および記憶装置

(57) 【要約】

【課題】低電圧および低電流動作時における繰り返し特性が向上した記憶素子および記憶装置を提供する。

【解決手段】下部電極10、記憶層20および上部電極30をこの順に積層した記憶素子1において、記憶層20は、2.8 m cm以上1 cm未満の抵抗率を有するイオン源層21と、抵抗変化層22とを有する。これにより、低電圧または低電流パルスを印加した際の記録状態から消去状態への抵抗変化層の抵抗値の回復が改善され、繰り返し特性が向上する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 電極、記憶層および第 2 電極をこの順に有し、
前記記憶層は、
前記第 1 電極側に設けられた抵抗変化層と、
前記第 2 電極側に設けられると共に、 $2.8\text{ m}\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 未満の抵抗率を有するイオン源層と
を備えた記憶素子。

【請求項 2】

前記記憶層は前記抵抗変化層とイオン源層との間に中間層を有する、請求項 1 に記載の記憶素子。

10

【請求項 3】

前記イオン源層は、銅 (Cu)、アルミニウム (Al)、ゲルマニウム (Ge) および亜鉛 (Zn) のうち少なくとも 1 種の金属元素を含むと共に、酸素 (O)、テルル (Te)、硫黄 (S) およびセレン (Se) のうちの少なくとも 1 種類を含む、請求項 1 に記載の記憶素子。

【請求項 4】

前記イオン源層は、少なくとも 2 種類の遷移金属を含む、請求項 1 乃至 3 のうちのいずれか 1 項に記載の記憶素子。

【請求項 5】

前記遷移金属は、ジルコニウム (Zr)、ハフニウム (Hf)、モリブデン (Mo)、ニオブ (Nb)、タンタル (Ta)、チタン (Ti)、白金 (Pt)、クロム (Cr)、マンガン (Mn)、鉄 (Fe) である、請求項 4 に記載の記憶素子。

20

【請求項 6】

前記中間層は前記抵抗変化層よりも抵抗率が低い、請求項 2 に記載の記憶素子。

【請求項 7】

前記中間層は少なくともテルル (Te) を含む、請求項 2 に記載の記憶素子。

【請求項 8】

前記第 1 電極および前記第 2 電極への電圧印加によって前記抵抗変化層内に前記金属元素を含む低抵抗部が形成されることにより抵抗値が変化する、請求項 1 または 2 に記載の記憶素子。

30

【請求項 9】

第 1 電極、記憶層および第 2 電極をこの順に有する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを備え、

前記記憶層は、

前記第 1 電極側に設けられた抵抗変化層と、

前記第 2 電極側に設けられると共に、 $2.8\text{ m}\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 未満の抵抗率を有するイオン源層と

を有する記憶装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、イオン源層および抵抗変化層を含む記憶層の電気的特性の変化により情報を記憶する記憶素子および記憶装置に関する。

【背景技術】

【0002】

データストレージ用の半導体不揮発性メモリとして NOR 型あるいは NAND 型のフラッシュメモリが一般的に用いられている。しかし、これら半導体不揮発性メモリでは、書き込みおよび消去に大電圧が必要なこと、フローティングゲートに注入する電子の数が限られることから微細化の限界が指摘されている。

50

【 0 0 0 3 】

現在、R e R A M (Resistance Random Access Memory)やP R A M (Phase-Change Random Access Memory)などの抵抗変化型メモリが、微細化の限界を超えることが可能な次世代不揮発性メモリとして提案されている(例えば、特許文献1, 非特許文献1参照)。これらのメモリは、2つの電極間に抵抗変化層を備えた単純な構造を有している。また、特許文献1のメモリでは抵抗変化層の代わりに、第1電極と第2電極との間にイオン源層および酸化膜(記憶用薄膜)を備えている。これら抵抗変化型メモリでは、原子またはイオンが熱や電界によって移動し伝導パスが形成されることにより抵抗値が変化すると考えられている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 6 - 1 9 6 5 3 7 号 公 報

【 特許文献 2 】 特開 2 0 0 9 - 4 3 7 5 7 号 公 報

【 非特許文献 】

【 0 0 0 5 】

【 非特許文献 1 】 W a s e r 他 , Advanced Material , 21 , p 2 9 3 2 (2 0 0 9)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

この抵抗変化型の不揮発性メモリを先端の半導体プロセスによって大容量化するためには、低電圧化および低電流化が望まれる。駆動トランジスタを微細化するほどに、その駆動電流および電圧が低下していくためである。即ち、微細化された抵抗変化型の不揮発性メモリを実現するためには、メモリは微細化されたトランジスタで駆動できるような性能を有しなければならない。また、低電流動作のためには、低電流且つ高速(ナノ秒オーダーの短パルス)で書き換えた抵抗状態(データ)の保持および低電圧または低電流パルスによる抵抗値の回復が必要である。

【 0 0 0 7 】

しかしながら、従来用いられている抵抗変化型メモリの素子を微細化した場合には、低電圧または低電流パルスの印加による抵抗変化層の抵抗値の回復は不十分となり、繰り返し特性が低下するという問題があった。

【 0 0 0 8 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、低電圧および低電流動作時における繰り返し特性の向上した記憶素子および記憶装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の記憶素子は、第1電極、記憶層および第2電極をこの順に有し、記憶層は、第1電極側に設けられた抵抗変化層と、第2電極側に設けられると共に、 $2.8\text{ nm} < d \leq 10\text{ nm}$ の抵抗率を有するイオン源層とを備えたものである。

【 0 0 1 0 】

本発明の記憶装置は、第1電極、記憶層および第2電極をこの順に有する複数の記憶素子と、複数の記憶素子に対して選択的に電圧または電流のパルスを印加するパルス印加手段とを備え、記憶素子として本発明の記憶素子を用いたものである。

【 0 0 1 1 】

本発明の記憶素子(記憶装置)では、初期状態(高抵抗状態)の素子に対して「正方向」(例えば第1電極側を負電位、第2電極側を正電位)の電圧または電流パルスが印加されると、イオン源層に含まれる金属元素がイオン化して抵抗変化層中に拡散し、第1電極で電子と結合して析出し、あるいは抵抗変化層中に留まり不純物準位を形成する。これにより記憶層内に金属元素を含む低抵抗部(伝導パス)が形成され、抵抗変化層の抵抗が低くなる(記録状態)。この低抵抗な状態の素子に対して「負方向」(例えば第1電極側を

10

20

30

40

50

正電位、第２電極側を負電位）へ電流パルスが印加されると、第１電極に析出していた金属元素がイオン化してイオン源層中へ溶解する。これにより金属元素を含む伝導パスが消滅し、抵抗変化層の抵抗が高い状態となる（初期状態または消去状態）。

【００１２】

ここでは、イオン源層の抵抗率を $2.8 \text{ m}\Omega/\text{cm}$ 以上 1 cm 未満とすることにより、低電圧または低電流パルスの印加による伝導パスを構成する金属元素のイオン化が改善され、抵抗変化層の抵抗値が回復する。

【発明の効果】

【００１３】

本発明の記憶素子または記憶装置によれば、イオン源層の抵抗率を $2.8 \text{ m}\Omega/\text{cm}$ 以上 1 cm 未満とするようにしたので、低電圧または低電流パルスを印加した際の記録状態から消去状態への抵抗変化層の抵抗値の回復が改善される。即ち、繰り返し特性が向上する。

10

【図面の簡単な説明】

【００１４】

【図１】本発明の第１の実施の形態に係る記憶素子の構成を表す断面図である。

【図２】図１に示した記憶素子の抵抗変化を説明する模式図である。

【図３】図１の記憶素子を用いたメモリセルアレイの構成を表す断面図である。

【図４】同じくメモリセルアレイの平面図である。

【図５】本発明の第２の実施の形態に係る記憶素子の構成を表す断面図である。

20

【図６】実施例１に係る繰り返し特性を表す図である。

【図７】同じく実施例１に係る繰り返し特性を表す図である。

【図８】実施例２に係るデータ保持特性を表す図である。

【図９】同じく実施例２に係る繰り返し特性を表す図である。

【図１０】実施例３に係る繰り返し特性およびデータ保持特性を表す図である。

【発明を実施するための形態】

【００１５】

以下、本発明の実施の形態について、以下の順に図面を参照しつつ説明する。

[第１の実施の形態]

(１) 記憶素子（イオン源層と抵抗変化層とからなる記憶層を有する記憶素子）

30

(２) 記憶装置

[第２の実施の形態]

(イオン源層、中間層および抵抗変化層の３層からなる記憶層を有する記憶素子)

[実施例]

【００１６】

[第１の実施の形態]

(記憶素子)

図１は、本発明の第１の実施の形態に係る記憶素子１の断面構成図である。この記憶素子１は、下部電極１０（第１電極）、記憶層２０および上部電極３０（第２電極）をこの順に有するものである。

40

【００１７】

下部電極１０は、例えば、後述（図２）のようにＣＭＯＳ（Complementary Metal Oxide Semiconductor）回路が形成されたシリコン基板４１上に設けられ、ＣＭＯＳ回路部分との接続部となっている。この下部電極１０は、半導体プロセスに用いられる配線材料、例えば、タングステン（Ｗ）、窒化タングステン（ＷＮ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）およびシリサイド等により構成されている。下部電極１０がＣｕ等の電界でイオン伝導が生じる可能性のある材料により構成されている場合にはＣｕ等よりなる下部電極１０の表面を、Ｗ、ＷＮ、窒化チタン（ＴｉＮ）、窒化タンタル（ＴａＮ）等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。また、後述のイオン源層２１にＡｌが含まれている場合には、Ａｌよりもイオン化

50

しにくい材料、例えばクロム (Cr), W, コバルト (Co), Si, 金 (Au), パラジウム (Pd), Mo, イリジウム (Ir), チタン (Ti) 等の少なくとも 1 種を含んだ金属膜や、これらの酸化膜または窒化膜を用いることが好ましい。

【0018】

記憶層 20 はイオン源層 21 および抵抗変化層 22 により構成されている。イオン源層 21 は、抵抗変化層 22 に拡散する可動イオン (陽イオンおよび陰イオン) となる元素を含む。陽イオン化可能な元素としては、例えば Cu, Al, ゲルマニウム (Ge) および亜鉛 (Zn) などの金属元素を 1 種あるいは 2 種以上を含む。また、陰イオン化するイオン導電材料としては、酸素 (O) またはテルル (Te), 硫黄 (S) およびセレン (Se) 等のカルコゲン元素を少なくとも 1 種以上含む。イオン源層 21 は上部電極 30 側にあり、ここでは上部電極 30 に接して設けられている。金属元素とカルコゲン元素とは結合し、金属カルコゲナイド層を形成している。この金属カルコゲナイド層は、主に非晶質構造を有し、イオン供給源としての役割を果たすものである。

10

【0019】

陽イオン化可能な金属元素は、書き込み動作時にカソード電極上で還元されて金属状態の伝導パス (フィラメント) を形成するため、上記カルコゲン元素が含まれるイオン源層 21 中において金属状態で存在することが可能な化学的に安定な元素が好ましい。このような金属元素としては、上記金属元素のほかに、例えば周期律表上の第 3 族 ~ 第 11 族の遷移金属が挙げられる。これら元素のうちの 1 種あるいは 2 種以上を用いることができる。この他に、銀 (Ag) および Si などをイオン源層 21 の添加元素として用いるようにしてもよい。また、上述した伝導パス (フィラメント) の安定化およびイオン源層 21 の抵抗率の調整のために上記遷移金属の中でも特に、ジルコニウム (Zr), ハフニウム (Hf), Mo, W, ニオブ (Nb), Ta, 白金 (Pt), Cr, マンガン (Mn) および鉄 (Fe) を 2 種以上用いることが好ましい。

20

【0020】

本実施の形態におけるイオン源層 21 の抵抗率は、 $2.8 \text{ m}\Omega/\text{cm}$ 以上 $1 \text{ }\Omega/\text{cm}$ 未満であることが望ましい。上述したように、記憶素子 1 では、書き込み時に形成されたフィラメントを溶解することによって、低抵抗化した抵抗変化層 22 の抵抗値を回復してデータの消去を行う。このとき、イオン源層 21 の抵抗率が小さいと消去電圧の印加時に適切な電圧印加が行われず、フィラメントの溶解が行われない虞がある。即ち、データの消去が行われなくなる。一方、イオン源層 21 の抵抗値が高すぎると、書き込みができなくなる。以上のことからイオン源層 21 の抵抗率は適切な範囲内、即ち、上記範囲内であることが望ましい。より低電流、例えば $75 \mu\text{A}$ 程度での安定した書き込みおよび消去を行うためには、好ましくは $2.8 \text{ m}\Omega/\text{cm}$ 以上 $127 \text{ m}\Omega/\text{cm}$ 以下、より好ましくは $2.8 \text{ m}\Omega/\text{cm}$ 以上 $44 \text{ m}\Omega/\text{cm}$ 以下とする。これにより、データの消去を確実に行うことができる。

30

【0021】

なお、イオン源層 21 に後述する抵抗変化層 22 に含まれる Te と反応しやすい金属元素 (M) を用いて Te / イオン源層 (金属元素 M を含む) という積層構造にしておくと、成膜後の加熱処理により、MTe / イオン源層 21 という構造に安定化する。Te と反応しやすい元素としては、例えば Al やマグネシウム (Mg) 等が挙げられる。

40

【0022】

このようなイオン源層 21 の具体的な材料としては、例えば、ZrTeAl, TiTeAl, CrTeAl, WTeAl および TaTeAl が挙げられる。また、例えば、ZrTeAl に対して、Cu を添加した CuZrTeAl, さらに Ge を添加した CuZrTeAlGe, 更に、添加元素を加えた CuZrTeAlSiGe としてもよい。あるいは、Al の他に Mg を用いた ZrTeMg としてもよい。イオン化する金属元素としては、Zr の代わりに、Mo, Mn, Hf などの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えば CuMoTeAl, CuMnTeAl などとすることも可能である。更に、イオン導電材料としては、Te 以外に硫黄 (S) やセレン (

50

S e)、あるいはヨウ素 (I) を用いてもよく、具体的には Z r S A l , Z r S e A l , Z e I A l , C u G e T e A l 等を用いてもよい。更に、T a あるいは W 等を添加してもよい。

【 0 0 2 3 】

なお、イオン源層 2 1 には、記憶層 2 0 における高温熱処理時の膜剥がれを抑止するなどの目的で、その他の元素が添加されていてもよい。例えば、シリコン (S i) は、保持特性の向上も同時に期待できる添加元素であり、イオン源層 2 1 に Z r と共に添加することが好ましい。但し、S i 添加量が少な過ぎると膜剥がれ防止効果を期待できなくなるのに対し、多過ぎると良好なメモリ動作特性が得られない。このため、イオン源層 2 1 中の S i の含有量は 1 0 ~ 4 5 原子 % 程度の範囲内であることが好ましい。

10

【 0 0 2 4 】

抵抗変化層 2 2 は下部電極 1 0 側にあり、ここでは下部電極 1 0 に接して設けられている。この抵抗変化層 2 2 は電気伝導上のバリアとしての機能を有し、下部電極 1 0 と上部電極 3 0 との間に所定の電圧を印加した場合にその抵抗値は変化する。本実施の形態では、この抵抗変化層 2 2 は、イオン源層 2 1 と接していても安定である絶縁体あるいは半導体であればいずれの物質でも用いることができる。具体的には、G d (ガドリニウム) などの希土類元素、A l , M g , G e および S i などの典型元素、T a , H f , Z r , N b , C r , T i および C u などの遷移元素のうちの少なくとも 1 種を含む酸化物もしくは窒化物が挙げられる。また、抵抗変化層 2 2 の初期抵抗値は 1 M 以上であることが好ましく、低抵抗状態における抵抗値は数 1 0 0 k 以下であることが好ましい。微細化した抵抗変化型メモリの抵抗状態を高速に読み出すためには、できる限り低抵抗状態の抵抗値を低くすることが好ましい。しかし 2 0 ~ 5 0 μ A , 2 V の条件で書き込んだ場合の抵抗値は 4 0 ~ 1 0 0 k であるので、メモリの初期抵抗値はこの値より高いことが前提となる。更に 1 桁の抵抗分離幅を考慮すると、上記抵抗値が適当と考えられる。但し、さらなる低電流記録を行う場合には、低抵抗状態の好ましい値は上昇する。

20

【 0 0 2 5 】

上部電極 3 0 は、下部電極 1 0 と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経てもイオン源層 2 1 と反応しない安定な材料が好ましい。

【 0 0 2 6 】

本実施の形態の記憶素子 1 では、図示しない電源回路 (パルス印加手段) から下部電極 1 0 および上部電極 3 0 を介して電圧パルスあるいは電流パルスを印加すると、記憶層 2 0 の電気的特性 (抵抗値) が変化するものであり、これにより情報の書き込み、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

30

【 0 0 2 7 】

まず、上部電極 3 0 が例えば正電位、下部電極 1 0 側が負電位となるようにして記憶素子 1 に対して正電圧を印加する。これによりイオン源層 2 1 に含まれる金属元素がイオン化して抵抗変化層 2 2 に拡散し、下部電極 1 0 側で電子と結合して析出する。その結果、下部電極 1 0 と記憶層 2 0 の界面に金属状態に還元された低抵抗の金属元素のフィラメントが形成される。若しくは、イオン化した金属元素は、抵抗変化層 2 2 中に留まり不純物準位を形成する。これにより抵抗変化層 2 2 中に伝導パスが形成されて記憶層 2 0 の抵抗値が低くなり、初期状態の抵抗値 (高抵抗状態) よりも低い抵抗値 (低抵抗状態) へ変化する。

40

【 0 0 2 8 】

その後、正電圧を除去して記憶素子 1 にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が書き込まれたことになる。一度だけ書き込みが可能な記憶装置、いわゆる、P R O M (Programmable Read Only Memory) に用いる場合には、前記の記録過程のみで記録は完結する。一方、消去が可能な記憶装置、すなわち、R A M (Random Access Memory) あるいは E E P R O M (Electronically Erasable and Programmable Read Only Memory) 等への応用には消去過程が必要であるが、消去過程においては、上部電極 3 0 が例えば負電位、下部電極 1 0 側が正電位になるように記憶素子 1 に対して負電圧

50

を印加する。これにより、記憶層 20 内に形成されていたフィラメントの金属元素がイオン化し、イオン源層 21 に溶解、若しくは Te 等と結合して Cu_2Te 、 $CuTe$ 等の化合物を形成する。これにより、金属元素によるフィラメントが消滅、または減少して抵抗値が高くなる。

【0029】

その後、負電圧を除去して記憶素子 1 にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより書き込まれた情報を消去することが可能になる。このような過程を繰り返すことにより、記憶素子 1 に情報の書き込みと書き込まれた情報の消去を繰り返し行うことができる。

【0030】

例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。なお、ここでは記憶素子を低抵抗化する動作および高抵抗化する動作をそれぞれ書き込み動作および消去動作に対応させたが、その対応関係は逆に定義してもよい。

【0031】

記録データを復調するためには、初期の抵抗値と記録後の抵抗値との比は大きいほど好ましい。但し、抵抗変化層 22 の抵抗値が大き過ぎる場合には、書き込み、つまり低抵抗化することが困難となり、書き込み閾値電圧が大きくなり過ぎることから、初期抵抗値は 1 G 以下に調整される。抵抗変化層 22 の抵抗値は、例えば、抵抗変化層 22 の厚みや含まれる陰イオンの量などにより制御することが可能である。

【0032】

本実施の形態では、抵抗変化層 22 が Te を主成分とする化合物により形成されているため、その低抵抗化時にイオン源層 21 から拡散した金属元素が抵抗変化層 22 中で安定化して低抵抗状態を保持しやすくなる。また、Te は、電気陰性度の高い酸化物や共有結合であるシリコン化合物に比べて金属元素との結合力が弱く、抵抗変化層 22 中に拡散した金属元素が消去電圧の印加によってイオン源層 21 へ移動しやすいために消去特性が向上する。なお、電気陰性度はカルコゲナイド化合物では、テルル < セレン < 硫黄 < 酸素の順で絶対値が高くなるため、抵抗変化層 22 中に酸素が少ないほど、かつ、電気陰性度の低いカルコゲナイドを用いるほど改善効果が高いと言える。

【0033】

また、本実施の形態では、上述したように、イオン源層 21 が Zr, Al, Ge などを含むことが好ましい。以下、その理由について説明する。

【0034】

イオン源層 21 中に Zr が含まれている場合には、上述した銅 (Cu) などの金属元素と共に、Zr がイオン化元素として働き、Zr と Cu などの上述した金属元素との混在した伝導パスが形成される。Zr は、書き込み動作時にカソード電極上で還元されると共に、書き込み後の低抵抗状態では金属状態のフィラメントを形成すると考えられる。Zr が還元された金属フィラメントは、S, Se および Te のカルコゲン元素を含むイオン源層 21 中において比較的溶解しづらいため、一度書き込み状態、すなわち低抵抗状態になった場合には、Cu などの上述した金属元素単独の伝導パスの場合よりも低抵抗状態を保持しやすい。例えば Cu は書き込み動作によって金属フィラメントとして形成される。但し、金属状態の Cu はカルコゲン元素を含むイオン源層 21 中において溶解しやすく、書き込み電圧パルスが印加されていない状態 (データ保持状態) では、再びイオン化し高抵抗状態へと遷移してしまう。そのため十分なデータ保持性能が得られない。一方、Zr と適量の Cu を組み合わせることは、非晶質化を促進すると共に、イオン源層 21 の微細構造を均一に保つため、抵抗値の保持性能の向上に寄与する。

【0035】

また、消去時の高抵抗状態の保持に関しても、Zr を含んでいる場合、例えば Zr の伝導パスが形成され、再びイオン源層 21 中にイオンとして溶解している場合には、Zr は

10

20

30

40

50

少なくともCuよりもイオン移動度が低いので温度が上昇しても、あるいは長期間の放置でも動きづらい。そのためカソード極上で金属状態での析出が起こりにくく、室温よりも高温状態で保持した場合や長時間にわたり保持した場合でも高抵抗状態を維持する。

【0036】

更に、イオン源層21にAlが含まれている場合には、消去動作により上部電極が負の電位にバイアスされた場合、固体電解質的に振舞うイオン源層21とアノード極の界面において安定な酸化膜を形成することにより高抵抗状態（消去状態）を安定化する。加えて、抵抗変化層の自己再生の観点から繰り返し回数の増加にも寄与する。なお、Alの他に同様の働きを示すGeなどを含んでもよい。

【0037】

このように、イオン源層21にZr, Al, Geなどが含まれている場合には、従来の記憶素子に比して広範囲の抵抗値保持性能、書き込み・消去の高速動作性能が向上すると共に繰り返し回数が増加する。更に、例えば低抵抗から高抵抗へと変化させる際の消去電圧を調整して高抵抗状態と低抵抗状態との間の中間的な状態を作り出せば、その状態を安定して保持することができる。よって、2値だけでなく多値のメモリを実現することが可能となる。なお、高抵抗から低抵抗へと変化させる際の書き込み電流を変更して析出する原子の量を調整することによっても中間的な状態を作り出すことが可能である。

【0038】

ところで、このような電圧を印加する書き込み・消去動作特性と、抵抗値の保持特性と、繰り返し動作回数といったメモリ動作上の重要な諸特性は、Zr, CuおよびAl、更にはGeの添加量によって異なる。

【0039】

例えば、Zrはその含有量が多過ぎると、イオン源層21の抵抗値が下がり過ぎてイオン源層21に有効な電圧が印加できない、若しくはカルコゲナイド層中にZrを溶解することが困難となる。そのため、特に消去がしづらくなり、Zr添加量に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も困難となる。一方、Zr添加量が少な過ぎると、前述のような広範囲の抵抗値の保持特性を向上させる効果が少なくなる。従って、イオン源層21中のZrの含有量は7.5以上であることが好ましく、更に好ましくは26原子%以下である。

【0040】

また、Cuは適量をイオン源層21に添加した場合、非晶質化を促進するものの、多過ぎると金属状態のCuはカルコゲン元素を含むイオン源層21中での安定性が十分でないことから書き込み保持特性が悪化したり、書き込み動作の高速性に悪影響が見られる。その一方で、ZrとCuの組み合わせは、非晶質を形成しやすく、イオン源層21の微細構造を均一に保つという効果を有する。これにより、繰り返し動作によるイオン源層21中の材料成分の不均一化を防ぐため、繰り返し回数が増加すると共に保持特性も向上する。上述した範囲内で十分にZr量含有している場合は、Cuの伝導パスがイオン源層21中に再溶解したとしても、金属ジルコニウム（Zr）による伝導パスが残存していると考えられるため書き込み保持特性への影響はみられない。また、おそらくは乖離してイオン化した状態の陽イオンと陰イオンの電荷量の当量関係が守られていればよいと、Cuの好ましい添加量は、イオンの電荷の当量比が、

$$\{ (Zr \text{ 最大イオン価数} \times \text{モル数または原子\%}) + (Cu \text{ イオン価数} \times \text{モル数または原子\%}) \} / (\text{カルコゲン元素のイオン価数} \times \text{モル数または原子\%}) = 0.5 \sim 1.5$$

の範囲内であればよいと考えられる。

【0041】

但し、記憶素子1の特性は実質的にはZrとTeの組成比に依存している。そのため、ZrとTeの組成比は、

$$Zr \text{ 組成比 (原子\%)} / Te \text{ 組成比 (原子\%)} = 0.2 \sim 0.74$$

の範囲にあることが望ましい。これについては必ずしも明らかではないが、Zrに比べてCuの乖離度が低いこと、イオン源層21の抵抗値がZrとTeの組成比によって決まる

10

20

30

40

50

ことから、上記の範囲にある場合に限り好適な抵抗値が得られるため、記憶素子 1 に印加したバイアス電圧が抵抗変化層 2 2 の部分に有効に印加されることによると考えられる。

【0042】

上記の範囲からずれる場合、例えば、当量比が大き過ぎる場合は、陽イオンと陰イオンの釣り合いが取れずに、存在する金属元素のうち、イオン化しない元素の量が増大する。そのために消去動作の際に書き込み動作で生じた伝導パスが効率的に除去されにくいと考えられる。同様に、当量比が小さ過ぎて陰イオン元素が過剰に存在する場合には、書き込み動作で生じた金属状態の伝導パスが金属状態で存在しづらくなるために、書き込み状態の保持性能が低下すると考えられる。

【0043】

10

また、Al の含有量が多過ぎると、Al イオンの移動が生じやすくなり、Al イオンの還元によって書き込み状態が作られてしまう。Al はカルコゲナイドの固体電解質中で金属状態の安定性が低いので、低抵抗な書き込み状態の保持性能が低下する。一方、Al 量が少な過ぎると、消去動作そのものや高抵抗領域の保持特性を向上させる効果が低くなり、繰り返し回数が減少する。従って、イオン源層 2 1 中の Al の含有量は 30 原子% 以上であることが好ましく、更に好ましくは 50 原子% 以下である。

【0044】

Ge は必ずしも含まれていなくともよいが、Ge 含有量が多過ぎる場合には書き込み保持特性が劣化することから、Ge を添加する場合の含有量は 15 原子% 以下であることが好ましい。

20

【0045】

また、Zr の他に上述した遷移金属元素、特に Hf, Mo, W, Nb, Ta, Pt, Cr, Mn および Fe を用いることにより、イオン源層 2 1 の微細構造を安定化し、フィラメントの保持、即ち抵抗変化層 2 2 の低抵抗化を保持特性が改善する。

【0046】

以下、本実施の形態の記憶素子 10 の製造方法について説明する。

【0047】

まず、選択トランジスタ等の CMOS 回路が形成された基板上に、例えば TiN よりなる下部電極 10 を形成する。その後、必要であれば逆スパッタ等で、下部電極 10 の表面の酸化物等を除去する。続いて、抵抗変化層 2 2、イオン源層 2 1 および上電極 30 までを各層の材料に適応した組成からなるターゲットを用いてスパッタリング装置内で、各ターゲットを交換することにより、各層を連続して成膜する。電極径は 50 - 300 nm である。合金膜は構成元素のターゲットを用いて同時成膜する。

30

【0048】

上部電極 30 まで成膜したのち、上部電極 30 に接続する配線層（図示せず）を形成し、全ての記憶素子 1 と共通電位を得るためのコンタクト部を接続する。そののち、積層膜にポストアニール処理を施す。以上により図 1 に示した記憶素子 1 が完成する。

【0049】

この記憶素子 1 では、上述のように上部電極 30 および下部電極 10 にそれぞれ正電位または負電位になるように電圧を印加することによって、下部電極 10 と抵抗変化層 2 2 の界面に伝導パスが形成される。これにより抵抗変化層 2 2 の抵抗値が低くなり、書き込みが行われる。次に、上部電極 30 および下部電極 10 の各々に書き込み時とは逆極性の電圧を印加する。これにより抵抗変化層 2 2 内に形成された伝導パスの金属元素が再びイオン化してイオン源層 2 1 に溶解することによって抵抗変化層 2 2 の抵抗値が上昇し、消去が行われる。

40

【0050】

抵抗変化メモリの大容量化、即ち、記憶素子 1 を微細化するためには、動作電流値を抑えることが重要である。具体的には、駆動用トランジスタやダイオードの耐性から少なくとも 100 μ A 以下とする必要がある。

【0051】

50

抵抗変化メモリを低抵抗状態（書き込み状態）にスイッチさせる際の電流値は、トランジスタの駆動電流値を変更することによって制御することができる。即ち、トランジスタの駆動電流値を小さくすることによって抵抗変化メモリを低抵抗状態にする電流値が抑えられる。但し、書き込み時に形成される伝導パス（フィラメント）は、動作電流値を小さくするにつれて細くなる。細い金属フィラメントは大電流で書き込んだ際に形成される金属フィラメントと比較して不安定になる。

【0052】

また、抵抗変化メモリを高抵抗状態（消去状態）にスイッチさせる際の電流値を抑える場合には、書き込み時と同様にトランジスタの駆動電流値を小さくすればよい。但し、トランジスタの駆動電圧が小さいと、抵抗変化メモリでは発熱が小さくなると共に、電圧がトランジスタや抵抗変化メモリの無駄な個所へ分圧される影響が顕在化し、動作マージンが急激に劣化する。

10

【0053】

図2は、書き込み時における記憶素子1の記憶層20内を模式的に表したものである。記憶層20内には上述したようにフィラメントFが形成されている。より詳細には、図9に示したようにフィラメントFは、イオン源層21と抵抗変化層22との界面から抵抗変化層22と下部電極10との界面にかけて形成されていると考えられる。ナノ秒単位で印加された電圧パルスでは、イオン源層からの金属イオンの拡散によって抵抗変化層22内に形成されるフィラメントFは抵抗変化層22を貫きはしても、フィラメント径および密度が安定化するまでには至らない。このため、ナノ秒単位の電圧で形成されたフィラメントFの状態には電流値の大きさによる差はほとんどないと考えられる。フィラメントFは合金が主成分であるため、イオン源層の抵抗率よりもその抵抗率は小さくなる。そのため、フィラメントFの形成が進行すると、フィラメントFそのものには電圧がかかりづらくなるため、主にフィラメントFとイオン源層との界面付近で形成反応が進行すると考えられる。

20

【0054】

一方、消去時にはフィラメントFの形成反応が進行している場であるフィラメントFとイオン源層21との界面付近の反応領域Sに電圧を印加することにより、効率的にフィラメントが溶解される。これにより、抵抗変化層22の抵抗値を回復することができると考えられる。しかし、フィラメントFとイオン源層21との抵抗率の差が小さい場合には、反応領域S以外の安定なフィラメントFに電圧が印加、即ち分圧されてしまう。このため、消去特性が低下し、抵抗変化メモリの繰り返し特性が低下する。また、フィラメントFの抵抗が高すぎる場合にも、イオン源層21の抵抗値とフィラメントFの抵抗値の比が重要となる。なお、これは2層以上の構造をもった抵抗変化型メモリについても同様である。

30

【0055】

本実施の形態の記憶素子1では、イオン源層21の抵抗率を、形成されるフィラメントの抵抗率よりも高く、具体的には $2 \sim 8 \text{ m}\Omega/\text{cm}$ 以上とした。また、上限としてイオン源層21への分圧がかかりすぎない程度、具体的には $1 \text{ }\Omega/\text{cm}$ 未満とした。これによりイオン源層21と抵抗変化層22との界面、即ち、フィラメントの形成反応が進行している領域（反応領域S）に効率よく電圧を印加し、フィラメントを溶解することが可能となる。

40

【0056】

以上のように本実施の形態の記憶素子1では、イオン源層の抵抗率を $2 \sim 8 \text{ m}\Omega/\text{cm}$ 以上 $1 \text{ }\Omega/\text{cm}$ 以下としたので、イオン源層21と下部電極との間、即ち抵抗変化層21中に形成されたフィラメントのうち、形成反応が進行しているイオン源層21と抵抗変化層22との界面に効率よく電圧を印加することが可能となる。これにより、低電圧においてもフィラメントを効率よく溶解し、抵抗変化層22の抵抗値を回復することが可能となる。即ち、繰り返し特性が向上する。

【0057】

また、イオン源層21に遷移金属、特にジルコニウム（Zr）、ハフニウム（Hf）、

50

Mo, W, ニオブ (Nb), Ta, 白金 (Pt), Cr, マンガン (Mn) および鉄 (Fe) を 2 種以上用いることによりイオン源層 21 が安定化する。これにより、書き込み時に形成される金属フィラメントのイオン源層 21 への拡散が抑制され、データの保持特性が向上する。また、上記遷移金属を組み合わせることにより、イオン源層 21 の抵抗率を容易に調整することが可能となる。

【0058】

[記憶装置]

上記記憶素子 1 を多数、例えば列状やマトリクス状に配列することにより、記憶装置 (メモリ) を構成することができる。このとき、各記憶素子 1 に、必要に応じて、素子選択用の MOS トランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスデコーダ、書き込み・消去・読み出し回路等に接続すればよい。

10

【0059】

図 3 および図 4 は多数の記憶素子 1 をマトリクス状に配置した記憶装置 (メモリセルアレイ) の一例を表したものであり、図 2 は断面構成、図 3 は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子 1 に対して、その下部電極 10 側に接続される配線と、その上部電極 30 側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子 1 が配置されている。

【0060】

各記憶素子 1 は、抵抗変化層 22、イオン源層 21 および上部電極 30 の各層を共有している。すなわち、抵抗変化層 22、イオン源層 21 および上部電極 30 それぞれは各記憶素子 1 に共通の層 (同一層) により構成されている。上部電極 30 は、隣接セルに対して共通のプレート電極 PL となっている。

20

【0061】

一方、下部電極 10 は、メモリセル毎に個別に設けられることにより、隣接セル間で電氣的に分離されており、各下部電極 10 に対応した位置に各メモリセルの記憶素子 1 が規定される。下部電極 10 は各々対応するセル選択用の MOS トランジスタ Tr に接続されており、各記憶素子 1 はこの MOS トランジスタ Tr の上方に設けられている。

【0062】

MOS トランジスタ Tr は、基板 41 内の素子分離層 42 により分離された領域に形成されたソース/ドレイン領域 43 とゲート電極 44 とにより構成されている。ゲート電極 44 の壁面にはサイドウォール絶縁層が形成されている。ゲート電極 44 は、記憶素子 1 の一方のアドレス配線であるワード線 WL を兼ねている。MOS トランジスタ Tr のソース/ドレイン領域 43 の一方と、記憶素子 1 の下部電極 10 とが、プラグ層 45、金属配線層 46 およびプラグ層 47 を介して電氣的に接続されている。MOS トランジスタ Tr のソース/ドレイン領域 43 の他方は、プラグ層 45 を介して金属配線層 46 に接続されている。金属配線層 46 は、記憶素子 1 の他方のアドレス配線であるビット線 BL (図 3 参照) に接続されている。なお、図 3 においては、MOS トランジスタ Tr のアクティブ領域 48 を鎖線で示しており、コンタクト部 51 は記憶素子 1 の下部電極 10、コンタクト部 52 はビット線 BL にそれぞれ接続されている。

30

40

【0063】

このメモリセルアレイでは、ワード線 WL により MOS トランジスタ Tr のゲートをオン状態として、ビット線 BL に電圧を印加すると、MOS トランジスタ Tr のソース/ドレインを介して、選択されたメモリセルの下部電極 10 に電圧が印加される。ここで、下部電極 10 に印加された電圧の極性が、上部電極 30 (プレート電極 PL) の電位に比して負電位である場合には、上述のように記憶素子 1 の抵抗値が低抵抗状態へと遷移する。これにより選択されたメモリセルに情報が書き込まれる。次に、下部電極 10 に、上部電極 30 (プレート電極 PL) の電位に比して正電位の電圧を印加すると、記憶素子 1 の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに書き込まれた情報が消去される。書き込まれた情報の読み出しを行うには、例えば、MOS トランジスタ

50

Trによりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子1の抵抗状態により異なる電流または電圧を、ビット線BLあるいはプレート電極PLの先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子1の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

【0064】

本実施の形態の記憶装置では、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能なPROM、電氣的に消去が可能なEEPROM、或いは、高速に書き込み・消去・再生が可能な、いわゆるRAM等、いずれのメモリ形態でも適用することが可能である。

【0065】

[第2の実施の形態]

図5は本発明の第2の実施の形態に係る記憶素子2の断面構成図である。上記第1の実施の形態と同一構成部分については同一符号を付してその説明は省略する。記憶素子2は、下部電極10(第1電極)、記憶層60および上部電極30(第2電極)をこの順に有し、記憶層60が上部電極30側からイオン源層61, 中間層63, 抵抗変化層62の順に積層された3層構造を有する点が第1の実施の形態と異なる。

【0066】

イオン源層61は、上述したイオン源層21と同様の構成、即ち、アルミニウム(Al)イオンおよびカルコゲン元素と共に、チタン(Ti), ジルコニウム(Zr), ハフニウム(Hf), バナジウム(V), ニオブ(Nb), タンタル(Ta), クロム(Cr), モリブデン(Mo)およびタングステン(W)からなる遷移金属の群のうちの少なくとも1種を含んでいる。また、抵抗変化層62も同様に、上述した抵抗変化層22と同様の構成、即ち、Gd(ガドリニウム)などの希土類元素、Al, Mg(マグネシウム), Ta, Si(シリコン)およびCuのうちの少なくとも1種を含む酸化物もしくは窒化物が挙げられる。

【0067】

中間層63は、上記第1の実施の形態の抵抗変化層22と同様に、イオン源層61と接していても安定である絶縁体あるいは半導体により構成され、抵抗率は抵抗変化層62よりも低い。中間層63の材料としては、例えば、アルミニウム(Al)と共に、陰イオン成分として挙動するTeを主成分とする化合物から構成されている。このような化合物としては、例えばAlTe, MgTeまたはZnTeなどが挙げられる。このTeを含有する化合物の組成は、例えばAlTeではAlの含有量は20原子%以上60原子%以下であることが好ましい。また、陰イオン成分としては、Teの他に硫黄(S)あるいはセレン(Se)等のカルコゲン元素を含んでいてもよい。なお、AlTeによって構成した際の中間層63のバンドギャップは2.5eVであり、例えばAlOxからなる抵抗変化層62のバンドギャップは8eV~9eVである。また、本実施の形態の中間層63は絶縁膜として機能するものであって、抵抗変化層62と合わせて1つの抵抗変化層として考えることも可能である。

【0068】

中間層63におけるカルコゲン元素含有量に対するアルミニウム含有量の比(アルミニウム濃度)は、イオン供給層21Bにおけるカルコゲン元素含有量に対するアルミニウム含有量の比(アルミニウム濃度)よりも小さいことが好ましい。中間層63中のアルミニウム(Al)はイオン源層61との濃度勾配による拡散によりもたらされると考えられるので、例えばAl₂Te₃の化学量論的組成よりも少なくなると考えられる。そのため、中間層63中のアルミニウム(Al)のほとんどはイオン状態で存在していると考えられ、印加した電位が効果的にイオン駆動に用いられることにより、上述した保持特性の向上や低電流での不揮発メモリ動作に結びつくことが可能となる。

【0069】

本実施の形態の記憶素子2における作用および効果は、第1の実施の形態の記憶素子1

10

20

30

40

50

の作用および効果と同様であるが、中間層 63 を設けることにより良好な繰り返し耐久性を保持したまま保持特性が向上する等の効果を奏する。また、低電流での安定した動作が可能となると考えられる。

【0070】

[実施例]

以下、本発明の具体的な実施例について説明する。

【0071】

(実施例 1)

上記実施の形態と同様にして図 1 および図 5 に示した記憶素子 1, 2 を作製した。まず、下地にトランジスタを組み込んだ TiN よりなる下部電極 10 をアルゴンプラズマによるクリーニングおよびプラズマ酸化をしたのち、下部電極 10 上にスパッタリング装置を用いて記録層 20, 40 および上部電極 30 を形成した。電極径は 150 nm とした。また、合金からなる層は、構成元素のターゲットを用いて同時に成膜した。続いて、上部電極 30 の表面に対してエッチングを行い、中間電位 ($V_{dd}/2$) を与えるための外部回路接続用のコンタクト部分に接続されるように厚さ 200 nm の配線層 (A1 層) を形成した。そののち、ポストアニール処理として真空熱処理炉において、2 時間、320 の加熱処理を施した。このようにして、図 3 および図 4 に示したメモリセルアレイを作製して組成および膜厚の異なる実験例 1-1 ~ 1-9 とした。これら実験例 1-1 ~ 1-9 において、上部電極 4 に接続された上部配線を $V_{dd}/2$ の中間電位に接地し、選択するメモリセルのゲート電極即ちワード線 WL に電圧を印加してオン状態にし、トランジスタ Tr のソース/ドレイン 13 のうち、記憶素子 10 に接続されていない方に接続されている電極、即ちビット線 BL に、パルス幅、書き込み 10 ns / 消去 10 ns、書き込み時印加電圧を 3.0 V を印加する「書き込み動作」をメモリセルアレイ中の 10 素子 \times 2 列で合計 20 素子に対して行い、その後抵抗値を読み出した。次いで、ゲート電極 (書き込み時 3 ~ 3.5 V、消去時 1.6 ~ 2 V) を印加してオン状態にして上部電極と下部電極に電圧を「書き込み」とは逆の電圧を印加し、「消去動作」を行い、消去状態の抵抗値を読み出した。この書き込みおよび消去動作をメモリセルアレイに対して繰り返して行い、繰り返し動作特性を評価した。これらの結果を図 6, 7 に示す。なお、本実施例で用いたメモリセルアレイは 1 トランジスタ 1 素子 (1T1R) 構造であり、トランジスタサイズは $W/L = 0.36/2.0 \mu m$ である。また、3.5 V のゲート電圧を印加した際に素子がショートしても最大で 75 μm 程度しか流れない。但し、実験例 1-1 に用いたトランジスタのみ大電流駆動が可能となっている。また、TiN のプラズマ酸化では電極材料の Ti と Te が反応を起こさないように行ったが TiN が必須の要件ではなく、前述の電極材料であれば今回の特性には寄与しない。

【0072】

実験例 1-1 ~ 1-9 における「下部電極 / 抵抗変化層 / 中間層 / イオン源層 / 上部電極」の組成、各膜厚およびイオン源層 21 (42) の抵抗値は以下のとおりである。なお、中間層に記載の数値は比である。また、イオン源層 21 (41) の抵抗率はシート抵抗から測定したものである。なお、実験例 1-3 は中間層を設けていない。また、実験例 1-3 のみ下部電極上に A1 を設け、これをプラズマ酸化しているが、その他の実験例 1-1, 1-2, 1-4 ~ 1-9 との差は特にない。

(実験例 1-1) TiN / プラズマ酸化 / Al1Te9 (3.5 nm) / Te28Al37Zr15Cu15Ge5 原子% (45 nm) / W; 1.32 m cm

(実験例 1-2) TiN 電極 / プラズマ酸化 / Al1Te9 (3.5 nm) / Te34Al127Zr16.5Cu16.5Ge6 原子% (45 nm) / W; 2.04 m cm

(実験例 1-3) TiN 電極 / プラズマ酸化 / Al1Te9 (3.5 nm) / Te31Al137Zr13Cu13Ge6 原子% (45 nm) / W (50 nm); 2.88 m cm

(実験例 1-4) TiN 電極 / Al (1 nm) プラズマ酸化 / Te31Al137Zr13Cu13Ge6 原子% (45 nm) / W (50 nm); 2.88 m cm

(実験例 1-5) TiN 電極 / プラズマ酸化 / Al1Te9 (3.5 nm) / Te35A

1 3 7 Z r 1 1 C u 1 1 G e 6 原子% (4 5 n m) / W ; 6 . 4 3 m c m
 (実験例 1 - 6) T i N 電極 / プラズマ酸化 / A l 1 T e 9 (3 . 5 n m) / T e 4 0 .
 5 A l 2 7 Z r 1 2 . 5 C u 1 2 . 5 G e 7 . 5 原子% (4 5 n m) / W ; 1 5 . 7 2 m
 c m
 (実験例 1 - 7) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 M o 1 3 T e 3
 3 A l 4 1 原子% (4 5 n m) / Z r (5 0 n m) ; 1 5 . 5 m c m
 (実験例 1 - 8) T i N 電極 / プラズマ酸化 / A l 1 T e 9 (3 . 5 n m) / T e 4 5 .
 6 A l 3 2 . 6 Z r 1 0 . 9 C u 1 0 . 9 原子% (4 5 n m) / W ; 4 4 . 6 m c m
 (実験例 1 - 9) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 M n 1 3 T e 3
 3 A l 4 1 原子% (4 5 n m) / Z r (5 0 n m) ; 1 2 7 m c m

10

【 0 0 7 3 】

実験例 1 - 1 ではまず、書き込み電流を $50 \mu A$ 、消去電流を $250 \mu A$ (高電流) として繰り返し動作を測定した。その結果が図 6 (A - 1) である。この図からわかるように 10^6 回まで十分な繰り返し特性が保持されていることがわかる。これに対し、消去電流を $75 \mu m A$ (低電流) として繰り返し動作を測定した場合には、実験例 1 - 1 (図 6 (A - 2)) および実験例 1 - 2 (図 6 (B)) とともに 10^3 回程度で繰り返しが困難または不可能となった。

【 0 0 7 4 】

これに対し、実験例 1 - 3 ~ 1 - 8 では消去電流 $75 \mu m A$ でも十分繰り返し特性が得られている。但し、実験例 1 - 6 ~ 1 - 8 は実験例 1 - 3 ~ 1 - 5 と比較して抵抗率を高めに設定しているため、イオン源層 6 1 に分圧がかかり最適値からずれている可能性があるが問題なく動作している。これは、イオン源層 6 1 中から金属フィラメントとイオン源層 6 1 の界面付近に可動イオンが集合することによって適した抵抗率に自動的に変化するためと考えられる。また、イオン源層の抵抗率を $127 m c m$ とした実験例 1 - 9 では約 10^4 回で、 $3.5 V$ での書き込みが難しくなったが、イオン源層 2 1 は抵抗変化層 2 2 よりも厚いことが望ましいため、抵抗変化層を薄くすることによって解決することができる。但し、イオン源層は、書き込み時における Cu イオンの供給不足とならない膜厚の限界が $5 n m$ 程度である。このため、イオン源層 2 1 の抵抗値の上限としては $1 c m$ 未満であることが望ましいと考えられる。以上のことから、低電流において抵抗変化型メモリを正常に動作させるためには、イオン源層 2 1 (6 1) の抵抗率の下限が重要であるといえる。なお、実施例 1 - 3 (図 6 (C)) と実施例 1 - 4 (図 7 (A)) とを比較すると、実施例 1 - 4 は実施例 1 - 3 よりも繰り返し特性が優れていることから、中間層 6 3 を設けることにより、繰り返し特性がより向上することがわかる。

20

30

【 0 0 7 5 】

(実施例 2)

上記実施例 1 と同様の方法を用いて実験例 2 - 1 ~ 2 - 4 を作製し、書き込み保持特性を評価した。また、上記実験例 1 - 3 および実験例 1 - 4 についても同様の評価を行った。その結果を図 8 に示す。また、実験例 2 - 3 および実験例 2 - 4 については繰り返し特性も評価した。その結果を図 9 に示す。なお、図 8 に示した特性図の縦軸は、トランジスタ電流を $1 \sim 200 \mu A$ 、電圧パルス時間幅を $1 n s \sim 10 m s$ で書き込みを行った直後の抵抗変化層 2 2 の抵抗値であり、横軸は、書き込み後 130 のオープン中に 1 時間保持し、高温加速保持試験を行ったのちの抵抗値である。

40

【 0 0 7 6 】

実験例 2 - 1 ~ 2 - 4 における「下部電極 / 抵抗変化層 / 中間層 / イオン源層 / 上部電極」の組成、各膜厚およびイオン源層 2 1 (6 1) の抵抗値は以下のとおりである。なお、抵抗変化層に記載の数値は比である。また、イオン源層 2 1 (6 1) の抵抗率はシート抵抗から測定したものである。

(実験例 2 - 1) T i N 電極 / プラズマ酸化 / A l 1 T e 9 (3 . 5 n m) / T e 3 1 A
 1 3 7 Z r 1 3 C u 1 3 G e 6 原子% + W 5 % (4 5 n m) / W (5 0 n m)

(実験例 2 - 2) T i N 電極 / プラズマ酸化 / A l 1 T e 9 (3 . 5 n m) / T e 3 1 A

50

1 3 7 Z r 1 3 C u 1 3 G e 6 原子% + T a 5 % (4 5 n m) / W (5 0 n m)
 (実験例 2 - 3) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 Z r 7 M o 6 T e 3 3 A l 4 1 原子% (4 5 n m) / Z r (5 0 n m) ; 6 m c m
 (実験例 2 - 4) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 Z r 7 M o 6 T e 3 3 A l 4 1 原子% (2 3 n m) / Z r (5 0 n m) ; 6 m c m
 【 0 0 7 7 】

イオン源層 2 1 (6 1) に 2 種類以上の高融点の遷移金属を添加した実施例 2 - 1 ~ 2 - 4 では、実験例 1 - 3 および実験例 1 - 4 と比較して、書き込み保持特性が向上している。これは、複数の遷移金属元素を添加したことによって互いにイオン源層 2 1 (6 1) の構造を補い、さらに強固な構造へと変化したためと考えられる。更に、抵抗率は遷移金属元素ごとに異なるため、複数の遷移金属元素を組み合わせることにより、イオン源層 2 1 (6 1) の抵抗率を調整することが容易となる。また、実験例 2 - 4 のようにイオン源層 2 1 の膜厚を薄くしてもデータ保持特性および繰り返し特性共に特性は維持されている。

10

【 0 0 7 8 】

(実施例 3)

実施例 3 では、イオン源層 2 1 に含まれる金属元素のうち、実施例 1 , 2 で用いた Z r の代わりに H f を用いて繰り返し特性および書き込み保持特性を評価した。その結果を図 1 0 に示す。なお、上記特性試験は実施例 1 および実施例 2 と同様に条件を用いて行った。

20

【 0 0 7 9 】

実験例 3 - 1 ~ 3 - 4 における「下部電極 / 抵抗変化層 / 中間層 / イオン源層 / 上部電極」の組成、各膜厚およびイオン源層 2 1 (6 2) の抵抗値は以下のとおりである。なお、中間層に記載の数値は比である。また、イオン源層 2 1 (4 1) の抵抗率はシート抵抗から測定したものである。

(実験例 3 - 1) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 H f 1 3 T e 3 3 A l 4 1 原子% (4 5 n m) / H f (5 0 n m) ; 0 . 7 3 m c m

(実験例 3 - 2) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 H f 7 W 6 T e 3 3 A l 4 1 原子% (4 5 n m) / H f (5 0 n m)

(実験例 3 - 3) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 4 H f 7 . 5 M o 2 . 5 T e 3 5 A l 4 1 原子% (4 5 n m) / H f (5 0 n m) ; 8 . 5 m c m

30

(実験例 3 - 4) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 4 H f 7 . 5 M o 2 . 5 T e 3 5 A l 4 1 原子% (2 0 n m) / H f (5 0 n m) ; 8 . 5 m c m

【 0 0 8 0 】

図 1 0 からイオン源層 2 1 の金属元素を Z r から H f に置き換えても十分な繰り返し特性およびデータ保持特性が得られた。また、実験例 3 - 2 , 3 - 3 のようにイオン源層 2 1 に複数の遷移金属元素を添加することにより実験例 3 - 1 よりも良好なデータ保持特性および繰り返し特性が得られた。また、実験例 3 - 4 のようにイオン源層 2 1 の膜厚を薄くしても十分な特性が得られた。以上のことから、上記第 1 の実施の形態に記載した議論は、イオン源層 2 1 が Z r を含まない組成であっても適用可能であるといえる。

40

【 0 0 8 1 】

以上、第 1 , 第 2 の実施の形態および実施例を挙げて本発明を説明したが、本発明は、上記実施の形態および実施例に限定されるものではなく、種々変形することが可能である。

【 0 0 8 2 】

例えば、上記実施の形態および実施例では、記憶素子 1 , 2 およびメモリセルアレイの構成を具体的に挙げて説明したが、全ての層を備える必要はなく、また、他の層を更に備えていてもよい。

【 0 0 8 3 】

更に、例えば、上記実施の形態および実施例において説明した各層の材料、または成膜

50

方法および成膜条件などは限定されるものではなく、他の材料としてもよく、または他の成膜方法としてもよい。例えば、イオン源層 21, 61 には、上記組成比率を崩さない範囲で、他の遷移金属元素、例えば Ti, Hf, V, Nb, Ta, Cr, Mo, W を添加してもよい。また、Cu, Ag または亜鉛 Zn 以外にも、ニッケル (Ni) などを添加してもよい。

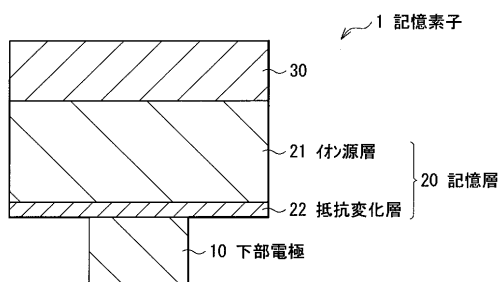
【符号の説明】

【0084】

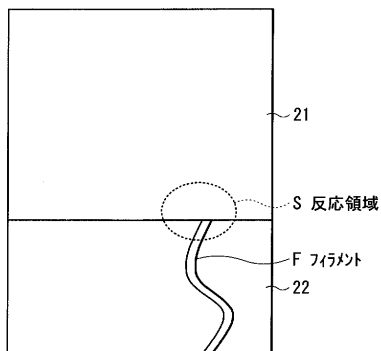
1, 2 ... 記憶素子、10 ... 下部電極、20, 60 ... 記憶層、21, 61 ... イオン源層、22, 62 ... 抵抗変化層、63 ... 中間層、30 ... 上部電極、41 ... 半導体基板、43 ... ソース/ドレイン領域、44 ... ゲート電極、45, 47 ... プラグ層、46 ... 金属配線層、48 ... アクティブ領域、51, 52 ... コンタクト部

10

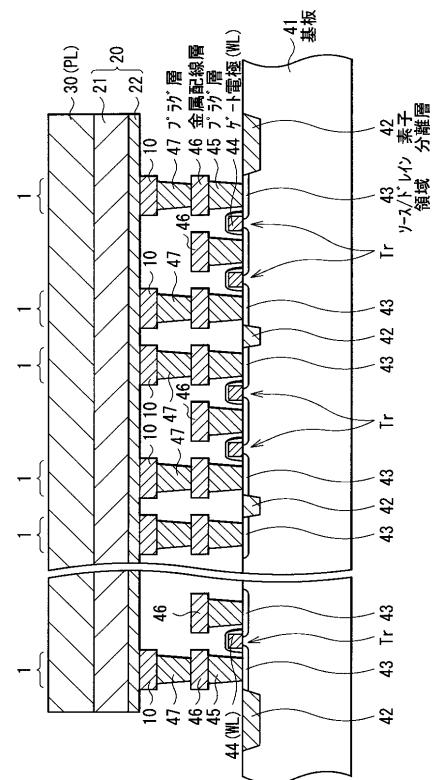
【図1】



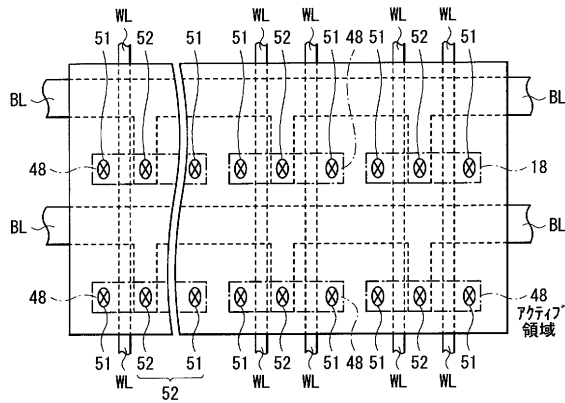
【図2】



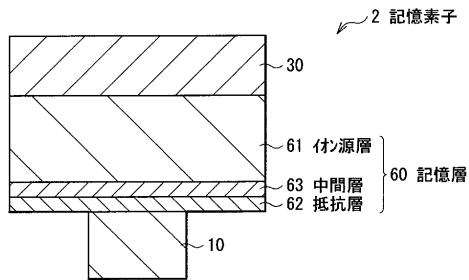
【図3】



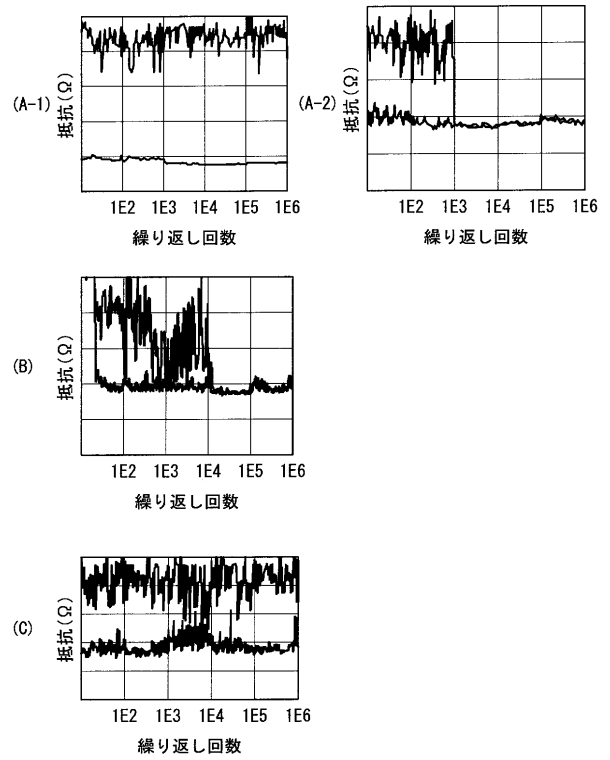
【図4】



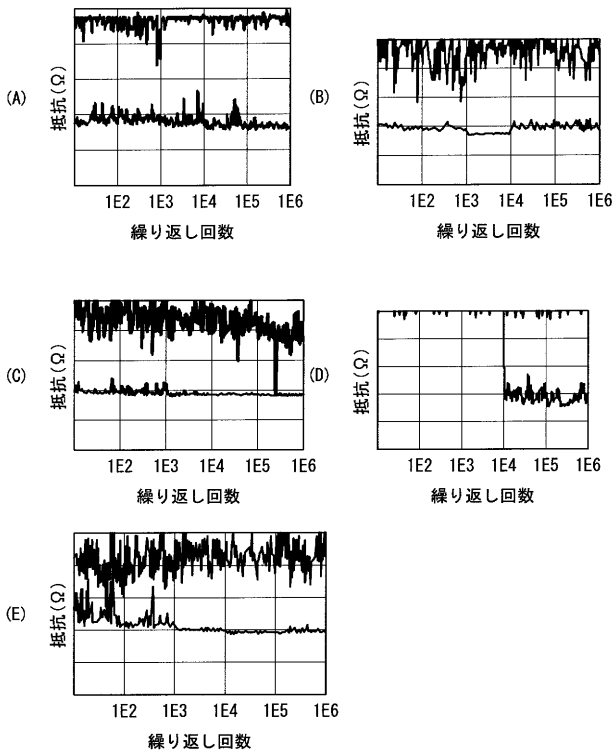
【図5】



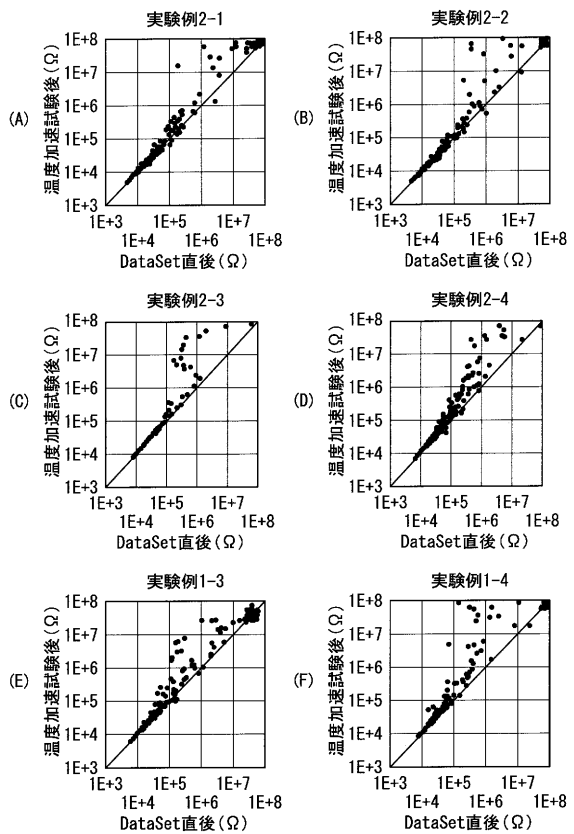
【図6】



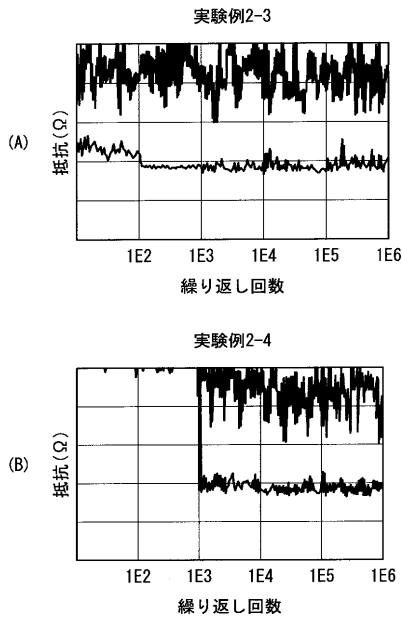
【図7】



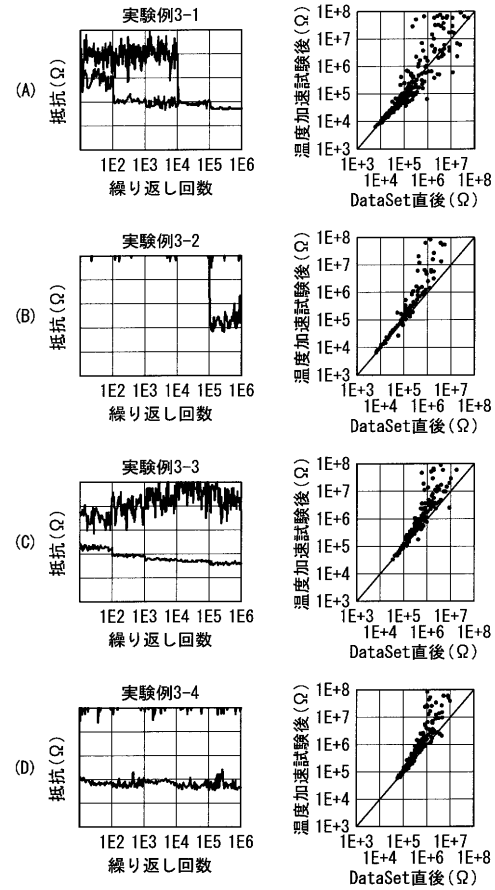
【図8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 水口 徹也
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 紫牟田 雅之
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 荒谷 勝久
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

(72)発明者 大場 和博
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 5F083 EP00 ER21 FZ10 GA05 GA09 GA11 JA35 JA36 JA37 JA38
JA39 JA40 JA60 KA01 KA05 KA19 LA01 LA12 LA16 MA06
MA16 MA19 NA01 PR33