

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 19 年 6 月 28 日 (2007.6.28)

【公開番号】特開 2005-4186 (P2005-4186A)

【公開日】平成 17 年 1 月 6 日 (2005.1.6)

【年通号数】公開・登録公報 2005-001

【出願番号】特願 2004-144390 (P2004-144390)

【国際特許分類】

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/20 (2006.01)

H 0 1 L 51/50 (2006.01)

G 0 9 G 5/00 (2006.01)

G 0 9 G 5/397 (2006.01)

G 0 9 G 5/399 (2006.01)

【F I】

G 0 9 G 3/30 Z

G 0 9 G 3/20 6 1 2 L

G 0 9 G 3/20 6 2 1 F

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 2 2 S

G 0 9 G 3/20 6 2 3 J

G 0 9 G 3/20 6 2 3 P

G 0 9 G 3/20 6 3 1 B

G 0 9 G 3/20 6 3 1 D

G 0 9 G 3/20 6 4 1 E

G 0 9 G 3/20 6 8 0 G

H 0 5 B 33/14 A

G 0 9 G 5/00 5 5 5 S

G 0 9 G 5/00 5 5 5 W

G 0 9 G 5/00 5 2 0 H

【手続補正書】

【提出日】平成 19 年 5 月 11 日 (2007.5.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】表示装置および表示装置の駆動方法、並びにそれを用いた電子機器

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み込みを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い

出力を行う論理回路と、垂直方向同期信号の開始点を判定する回路と、から構成される制御回路を有することを特徴とする表示装置。

【請求項 2】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み込みを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う論理回路と、垂直方向同期信号の開始点を判定する回路と、から構成される制御回路を有し、

前記制御回路は供給された信号を時間階調で表示するための信号に変換する手段を有することを特徴とする表示装置。

【請求項 3】

データを記憶する第 1 および第 2 のメモリと、前記第 1 および第 2 のメモリの書き込みまたは読み込みを選択する第 1 および第 2 のメモリセクタと、前記第 1 および第 2 のメモリへの書き込みを行う論理回路と、前記第 1 および第 2 のメモリからの読み取りを行い出力を行う論理回路と、垂直方向同期信号の開始点を判定する回路と、から構成される制御回路と、

垂直方向同期信号を表す第 1 の信号と、

水平方向同期信号を表す第 2 の信号と、

前記第 1 の信号がもたらすタイミングにしたがって、前記第 1 および第 2 のメモリへの書き込みと読み込みの役割を決定し、前記第 1 の信号の開始毎に前記第 1 および第 2 のメモリの役割を入れ替える第 3 の信号と、

前記第 1 の信号と前記第 2 の信号の状態によって前記第 1 および第 2 のメモリからの読み取りを行い出力を行う論理回路の状態を決定する第 4 の信号と、を有していることを特徴とする表示装置。

【請求項 4】

発光素子を有し、点灯時間の長さで階調を表現する表示装置において、

第 1 乃至第 4 の信号と、第 1 および第 2 のメモリと、読み取り装置および書き込み装置からなる制御回路を有し、

前記第 1 の信号は垂直方向同期信号を表し、

前記第 2 の信号は水平方向同期信号を表し、

前記第 3 の信号は前記第 1 の信号がもたらすタイミングにしたがって、前記第 1 のメモリ及び前記第 2 のメモリへの書き込みと読み込みの役割を決定し、前記第 1 の信号の開始毎に前記第 1 のメモリ及び前記第 2 のメモリの役割を入れ替え、

前記第 4 の信号は前記第 1 の信号と前記第 2 の信号の状態によって決定され、

前記第 1 の信号が開始かつ前記第 2 の信号が開始の場合、前記第 4 の信号は読み込み開始の状態になり、

前記第 1 の信号が開始かつ前記第 2 の信号が待機の場合、前記第 4 の信号は読み込み待機の状態になり、

前記第 1 のメモリが読み込みで前記第 2 のメモリが書き込み、または前記第 1 のメモリが書き込みで前記第 2 のメモリが読み込みの状態によって、読み取り装置及び書き込み装置の同期を取ることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 および第 2 のメモリと前記第 1 および第 2 のメモリへの書き込みを行う論理回路と前記第 1 および第 2 のメモリからの読み取りを行い出力を行う論理回路が表示部と基板上に一体形成されていることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至請求項 3 のいずれか一項において、

前記データを記憶する第 1 および第 2 のメモリと、映像信号をシリアルからパラレルに変換する変換回路と、第 1 のスイッチと第 2 のスイッチを有し、

前記映像信号は前記変換回路によってパラレルに変換されたのち前記第1のスイッチを介して前記第1のメモリまたは前記第2のメモリに入力され、前記第1のメモリまたは前記第2のメモリの出力信号は前記第2のスイッチを介してディスプレイに入力される事を特徴とする表示装置。

【請求項7】

請求項1乃至請求項6のいずれか一項において、
前記メモリをFPC上に実装することを特徴とする表示装置。

【請求項8】

請求項1乃至請求項6のいずれか一項において、
前記メモリを基板上に実装することを特徴とする表示装置。

【請求項9】

請求項1乃至請求項8のいずれか一を用いた電子機器。

【請求項10】

データを記憶する第1および第2のメモリと、前記第1および第2のメモリの書き込みまたは読み込みを選択する第1および第2のメモリセクタと、前記第1および第2のメモリへの書き込みを行う論理回路と、前記第1および第2のメモリからの読み取りを行い出力を行う論理回路と、垂直方向同期信号の開始点を判定する回路と、から構成される制御回路と、

垂直方向同期信号を表す第1の信号と、

水平方向同期信号を表す第2の信号と、

前記第1の信号がもたらすタイミングにしたがって、前記第1および第2のメモリへの書き込みと読み込みの役割を決定し、第1の信号の開始毎に前記第1および第2のメモリの役割を入れ替える第3の信号と、

前記第1の信号と前記第2の信号の状態によって前記第1および第2のメモリからの読み取りを行い出力を行う論理回路の状態を決定する第4の信号と、を備えており、

前記第1乃至第4の信号によって、前記第1および第2のメモリへの書き込みを行う論理回路と前記第1および第2のメモリからの読み取りを行い出力を行う論理回路と、の同期を取ることを特徴とする表示装置の駆動方法。

【請求項11】

請求項10において、

前記第1の信号が開始かつ前記第2の信号が開始の場合に前記第4の信号が読み込み開始の状態になり、

前記第1の信号が開始かつ前記第2の信号が待機の場合に前記第4の信号が読み込み待機の状態になることによって、前記第1および第2のメモリへの書き込みを行う論理回路と前記第1および第2のメモリからの読み取りを行い出力を行う論理回路と、の同期を取ることを特徴とする表示装置の駆動方法。