

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3825565号
(P3825565)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月7日(2006.7.7)

(51) Int. Cl.

H03M 1/52 (2006.01)

F I

H03M 1/52

請求項の数 5 (全 9 頁)

(21) 出願番号	特願平10-219206	(73) 特許権者	000191238
(22) 出願日	平成10年8月3日(1998.8.3)		新日本無線株式会社
(65) 公開番号	特開2000-49611(P2000-49611A)		東京都中央区日本橋横山町3番10号
(43) 公開日	平成12年2月18日(2000.2.18)	(74) 代理人	100083194
審査請求日	平成16年7月7日(2004.7.7)		弁理士 長尾 常明
		(72) 発明者	伊理 哲郎
			東京都豊島区西池袋1丁目17番10号
			株式会社 エヌ・ジェイ・アール セミコ
			ンダクタ 内
		(72) 発明者	河野 智行
			東京都豊島区西池袋1丁目17番10号
			株式会社 エヌ・ジェイ・アール セミコ
			ンダクタ 内
		審査官	柳下 勝幸
			最終頁に続く

(54) 【発明の名称】 積分型A/D変換校正方法及び積分型A/D変換器

(57) 【特許請求の範囲】

【請求項1】

第2の積分定数のみを使用して、又は第1及び第2の積分定数を使用して被測定電圧をA/D変換し、この後に前記第1及び第2の積分定数を使用して前記A/D変換の標本化誤差を縮小させるためのA/D変換を行う積分型A/D変換方法において、
前記第1の積分定数を使用し予め決めた第1の期間だけ基準電圧を入力して積分電圧を得、次に前記第2の積分定数及び前記基準電圧を使用して前記積分電圧が元の電圧になるまでの第2の期間だけ逆方向に積分し、
前記第2の期間の設計値と実際値の比率を求め、該比率に基づいて、前記第1及び第2の積分定数により行うA/D変換における前記第2の積分定数による積分期間を校正するようにしたことを特徴とする積分型A/D変換校正方法。

10

【請求項2】

前記第2の期間をクロックのカウント数により求め、該カウント数の設計値と実際値の比率に基づいて、以後の前記第2の積分定数により行う積分期間を求めるクロックの周期を調整することを特徴とする請求項1に記載の積分型A/D変換校正方法。

【請求項3】

前記クロックを発生させる発振器の出力側に分周器を設け、該分周器の出力クロックのカウント数により前記第1及び第2の期間を求め、それ以後の前記第2の積分定数により行う積分期間のカウントを行うとき、前記分周器の分周比として前記第2の期間のカウント値を使用することを特徴とする請求項2に記載の積分型A/D変換校正方法。

20

【請求項 4】

第 2 の積分定数のみを使用して、又は第 1 及び第 2 の積分定数を使用して被測定電圧を A / D 変換し、この後に前記第 1 及び第 2 の積分定数を使用して前記 A / D 変換の標準化誤差を縮小させるための A / D 変換を行う積分型 A / D 変換器において、
積分期間をカウントするためのクロックの周期を設定する分周器を具備し、前記第 1 の積分定数を使用するときの前記分周器の分周比を固定値とし、前記第 1 及び第 2 の積分定数により行う A / D 変換における前記第 2 の積分定数を使用するときの前記分周器の分周比を、前記第 1 の積分定数と前記第 2 の積分定数の比率の設計値と実際値との比率に応じて変化させることを特徴とする積分型 A / D 変換器。

【請求項 5】

前記第 2 の積分定数を使用するときの前記分周器の分周比を、
前記第 1 の積分定数により基準電圧を積分して得た積分電圧を前記第 2 の積分定数と前記基準電圧を使用して元の電圧になるまで逆方向に積分するまでの期間の前記固定の分周比でのクロック数により設定することを特徴とする請求項 4 に記載の積分型 A / D 変換器。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、積分定数のバラツキを校正できるようにした積分型 A / D 変換校正方法及び積分型 A / D 変換器に関するものである。

【0002】**【従来の技術】**

積分型 A / D 変換器は、最初に被変換電圧を入力し予め決めた一定期間だけ積分して積分電圧を得、次に基準電圧を入力して同一時定数でその積分電圧が元の積分前の電圧になるまで逆方向に積分（逆積分）し、その逆積分の積分時間のカウント数に基づいて A / D 変換を行うものであり、その内で特に変換時間が短く精度の高い A / D 変換器として、図 4 に示すものがある。

【0003】

図 4 において、1 は被変換電圧 $V_{in} (> 0)$ が入力する入力端子、2 は基準電圧 $V_r (> 0)$ が入力する入力端子、3 はオペアンプにより構成した電圧ホロワとしてのバッファ、4 は積分器、5 は積分器 4 の積分電圧 V_c を基準値 V_a と比較する比較器、6 はアナログスイッチ $S_1 \sim S_{11}$ のオン/オフの切り替えその他を行う制御回路、7 は制御回路 6 から出力するクロックをカウントするカウンタ、8 はカウンタ 7 のカウント値から A / D 変換値（デジタル値）を演算する演算部である。積分器 4 は積分定数を決める 2 個の抵抗 R_1 、 R_2 、コンデンサ C_1 、及びオペアンプ 41 を有する。

【0004】

この A / D 変換器では、図 5 に示すようにスイッチ $S_1 \sim S_{11}$ をオン/オフ制御することによりその変換が行われる。まずスイッチ S_3 、 $S_6 \sim S_8$ 、 S_{10} をオンし、他のスイッチをオフにする。これにより、回路が図 6 の (a) に示すように切り替えられ、コンデンサ C_1 の電圧 V_c が $V_c = V_a$ になり、初期化される。

【0005】

次に、スイッチ S_1 、 S_4 、 S_7 、 S_{10} をオンし、他のスイッチをオフにする。これにより、回路は図 6 の (b) に示すように切り替えられ、被測定電圧 V_{in} がコンデンサ C_1 に予め決めた一定時間 T_1 だけ積分される（取込積分）。このとき、コンデンサ C_1 の電圧 V_c は、被測定電圧 V_{in} と積分定数 $C_1 \cdot R$ により決まる傾斜で低下してゆく。ただし、 $R = R_1 + R_2$ である。

【0006】

次に、スイッチ S_2 、 S_5 、 S_6 、 S_{10} をオンし、他のスイッチをオフにする。これにより、回路は図 6 の (c) に示すように切り替えられる。そして、基準電圧 V_r により積分電圧 V_c が初期化時の電圧（ $V_c = V_a$ ）になるまで逆積分を行う（測定積分）。この時間は T_2 である。

10

20

30

40

50

【 0 0 0 7 】

以上において、被測定電圧 V_{in} は、時間 T_2 の期間中に発生するクロックをカウンタ 7 によりカウントすれば、そのカウント値をディジタル値 N_1 で表すことができるので、原理的にはこれにより A / D 変換が可能である。

【 0 0 0 8 】

しかし、カウントすべきクロックは 1 周期あたり有限の時間をもつので、前記ディジタル値 N_1 は、時間 T_2 の開始から比較器 5 の出力電圧 V_o が反転した直後までのクロック数を表し、出力電圧 V_o の反転からそのクロックがカウンタ 7 を次にトリガするエッジまでの間の時間が A / D 変換の誤差となる。

【 0 0 0 9 】

すなわち、時間 T_2 の開始時点をクリックのカウンタトリガエッジに意図的に合わせることはできるが、終了時点はこれが不可能で、標準化誤差 E が生じることになる。

【 0 0 1 0 】

そこで、この誤差 E (最大 1 クロック未満の誤差) を少なくするために、次に抵抗を ($R_1 + R_2 = R$) から R_1 ($= R / n$) に切り替えて、その誤差 E を積分する。ただし、 $1 / n = R_1 / (R_1 + R_2)$ である。

【 0 0 1 1 】

すなわち、スイッチ S_2 、 S_5 、 S_6 、 S_9 、 S_{11} をオンし、他のスイッチをオフして、回路を図 6 の (d) に示すように切り替え、基準電圧 V_r により一定時間 T_3 だけ続けて積分を行う (取込積分)。このときは、積分定数が $C_1 \cdot R / n$ となり、急峻な傾斜で基準電圧 V_r による積分が行われる。このときの時間 T_3 中での積分電圧の変化幅は、前記した誤差 E に相当する電圧を V_e とすると、 n 倍した内容 $n \cdot V_e$ を表すものとなる。

【 0 0 1 2 】

次に、スイッチ S_2 、 S_4 、 S_7 、 S_{10} をオンし、他のスイッチをオフにすることにより、回路を図 6 の (e) に示すように切り替え、コンデンサ C_1 に積分された前記電圧を逆積分する (測定積分)。この逆積分の積分開始からコンデンサ C_1 の電圧 V_c が低下して比較器 5 の出力 V_o が反転する ($V_c = V_o$) までの時間を T_4 とし、その間のカウンタ 7 のカウント値を N_2 とすると、 $N_2 = n \cdot V_e$ である。

【 0 0 1 3 】

従って、入力電圧 V_{in} のディジタル値 N は、

$$N = n \cdot N_1 - N_2 \quad \dots (1)$$

で表され、前記した標準化誤差 E が補正されて少なくなる。なお、カウント値 N_2 も前記したカウント値 N_1 を得たときと同様な標準化誤差が含まれるが、この誤差は既に $1 / n$ になっているので、必要があれば同様な処理を繰り返せばよい (以上についての詳細は、特願平 8 - 0 3 4 4 0 6 号、特願平 9 - 3 3 4 8 0 9 号参照)。

【 0 0 1 4 】

【発明が解決しようとする課題】

ところで、上記した積分型 A / D 回路は、2 個の抵抗 R_1 、 R_2 の値にバラツキがあると、式 (1) の n にバラツキが現れ、A / D 変換したディジタル値に大きな影響を及ぼすことになる。これらの抵抗の値は、それを外付けとしたときはその値を調整することができるが、温度や湿度等の使用条件、経時変化等によってその値が事後的に変動することは避けられず、またこれらの抵抗を 1 チップの IC 内に組み込んだときはその調整が全く不可能であり、いずれの場合も、A / D 変換に誤差を生じさせる大きな要因となっていた。

【 0 0 1 5 】

本発明は以上のような点に鑑みてなされたものであり、その目的は、2 個の積分定数の比率を調べ、この結果によって A / D 変換時の積分時間を調整するようにして、積分定数のバラツキを校正できるようにした積分型 A / D 校正方法及び積分型 A / D 回路を提供することである。

【 0 0 1 6 】

【課題を解決するための手段】

10

20

30

40

50

上記目的を達成するための第 1 の発明は、第 2 の積分定数のみを使用して、又は第 1 及び第 2 の積分定数を使用して被測定電圧を A / D 変換し、この後に前記第 1 及び第 2 の積分定数を使用して前記 A / D 変換の標本化誤差を縮小させるための A / D 変換を行う積分型 A / D 変換方法において、前記第 1 の積分定数を使用し予め決めた第 1 の期間だけ基準電圧を入力して積分電圧を得、次に前記第 2 の積分定数及び前記基準電圧を使用して前記積分電圧が元の電圧になるまでの第 2 の期間だけ逆方向に積分し、前記第 2 の期間の設計値と実際値の比率を求め、該比率に基づいて、前記第 1 及び第 2 の積分定数により行う A / D 変換における前記第 2 の積分定数による積分期間を校正するように構成した。

【 0 0 1 7 】

第 2 の発明は、第 1 の発明において、前記第 2 の期間をクロックのカウント数により求め、該カウント数の設計値と実際値の比率に基づいて、以後の前記第 2 の積分定数により行う積分期間を求めるクロックの周期を調整するように構成した。

10

【 0 0 1 8 】

第 3 の発明は、第 2 の発明において、前記クロックを発生させる発振器の出力側に分周器を設け、該分周器の出力クロックのカウント数により前記第 1 及び第 2 の期間を求め、それ以後の前記第 2 の積分定数により行う積分期間のカウントを行うとき、前記分周器の分周比として前記第 2 の期間のカウント値を使用するように構成した。

【 0 0 1 9 】

第 4 の発明は、第 2 の積分定数のみを使用して、又は第 1 及び第 2 の積分定数を使用して被測定電圧を A / D 変換し、この後に前記第 1 及び第 2 の積分定数を使用して前記 A / D 変換の標本化誤差を縮小させるための A / D 変換を行う積分型 A / D 変換器において、積分期間をカウントするためのクロックの周期を設定する分周器を具備し、前記第 1 の積分定数を使用するときの前記分周器の分周比を固定値とし、前記第 1 及び第 2 の積分定数により行う A / D 変換における前記第 2 の積分定数を使用するときの前記分周器の分周比を、前記第 1 の積分定数と前記第 2 の積分定数の比率の設計値と実際値との比率に応じて変化させるように構成した。

20

【 0 0 2 0 】

第 5 の発明は、第 4 の発明において、前記第 2 の積分定数を使用するときの前記分周器の分周比を、前記第 1 の積分定数により基準電圧を積分して得た積分電圧を前記第 2 の積分定数と前記基準電圧を使用して元の電圧になるまで逆方向に積分するまでの期間の前記固定の分周比でのクロック数により設定するように構成した。

30

【 0 0 2 1 】

【発明の実施の形態】

[第 1 の実施の形態]

図 1 の (a) は本発明の第 1 の実施の形態で使用する A / D 変換器の回路図である。なお、これは図 4 に示したものと同一であるが、制御回路 6、カウンタ 7、演算部 8 等は省略している。図 1 の (b) はその制御動作説明図である。

【 0 0 2 2 】

本実施の形態では、図 1 の (b) 及び図 2 の (a) に示すように、抵抗を R 1 のみとして初期化した後、同様に抵抗を R 1 のみとして基準電圧 V r を予め決めた一定時間 T a だけ積分 (第 1 積分) し、次に抵抗を「R 1 + R 2」に切り替えて、積分電圧 V c が V a に戻るまで同じ基準電圧 V r で逆積分 (第 2 積分) する。この時間を T b とする。この結果、

40

$$R 1 / (R 1 + R 2) = T a / T b \quad \cdots (2)$$

の関係が得られる。もし、製造上のバラツキで、R 1 と R 2 の比が本来の値と異なっていた場合は、時間 T a は一定であるので、その誤差は T b に現れる。

【 0 0 2 3 】

そして、時間 T a と T b をカウンタでカウントすると、時間 T a に対応するカウント値 N a、時間 T b に対応するカウント値 N b が得られるので、

$$R 1 / (R 1 + R 2) = N a / N b \quad \cdots (3)$$

の関係が得られる。なお、N a と N b にはディジタル変換時に前記した標本化誤差が生じ

50

るがここでは無視する。

【 0 0 2 4 】

一方、時間 T_b はその本来の値（誤差の無い値）を時間 T_a に対応するものとして設計時等に予め設定しておくことができ、そのカウント値を N_b' とし、そのときの計数クロックの周期を T_{clk} とすると、

$$\begin{aligned} T_b &= N_b \cdot T_{clk} \\ &= N_b' \cdot \{ (N_b / N_b') T_{clk} \} \\ &= N_b' \cdot T_{clk}' \quad \dots (4) \end{aligned}$$

ただし、 $T_{clk}' = (N_b / N_b') T_{clk}$

となる。つまり、時間 T_b はクロック周期が T_{clk}' のクロックにより、理想のカウント値 N_b' だけカウントした時間に等しい。

10

【 0 0 2 5 】

以上から、抵抗 R_1 のみを使用して積分（第 1 積分）する積分期間のクロックの周期を T_{clk} とし、抵抗「 $R_1 + R_2$ 」を使用して逆積分（第 2 積分）する積分期間のクロックの周期を T_{clk}' とすると、後者でのクロックのカウント値は理想の値である N_b' となる。

【 0 0 2 6 】

従って、抵抗 R_1 、 R_2 の比にバラツキがあっても、抵抗 R_1 のみを使用する積分の期間を周期 T_{clk} のクロックでカウントし、抵抗「 $R_1 + R_2$ 」を使用する積分の期間を周期 T_{clk}' のクロックでカウントすると、その誤差がキャンセルされる。

20

【 0 0 2 7 】

よって、この後に行われる抵抗 R_1 を使用した積分と抵抗「 $R_1 + R_2$ 」を使用した逆積分を行う A / D 変換、つまり標本化誤差を補正するための A / D 変換では、抵抗「 $R_1 + R_2$ 」を使用する積分の期間については周期 T_{clk}' のクロックでカウントする。

【 0 0 2 8 】

なお、上記第 1 積分、第 2 積分の直後に行われる被測定電圧 V_{in} の A / D 変換（図 1 の (b) の T_1 、 T_2 ）では、積分も逆積分も抵抗「 $R_1 + R_2$ 」を使用しているので、抵抗 R_1 と R_2 の比のバラツキによる影響は現れないため、必ずしも周期 T_{clk}' のクロックを使用する必要はないが、あえて使用することもできる。

【 0 0 2 9 】

しかし、被測定電圧 V_{in} の A / D 変換において、抵抗 R_1 を使用した積分と抵抗「 $R_1 + R_2$ 」を使用した逆積分を行う（この手法では、逆積分期間が長くなるので分解能を上げることができる。）ときは、抵抗「 $R_1 + R_2$ 」を使用する積分の期間については周期 T_{clk}' のクロックでカウントする。

30

【 0 0 3 0 】

[第 2 の実施の形態]

上記のように、抵抗「 $R_1 + R_2$ 」を使用する積分のときは、使用するクロックの周期を T_{clk} から T_{clk}' に切り替えてカウンタ 7 を動作させれば良いことがわかった。そこで、この第 2 の実施の形態では、積分定数の比率の理想値の一例として、 $R_1 / (R_1 + R_2) = 1 / 10$ とし、カウントすべきクロックの周期を抵抗 R_1 による積分のカウント時と、抵抗「 $R_1 + R_2$ 」による積分のカウント時とで、分周器の分周比を調整して異ならせる。

40

【 0 0 3 1 】

図 3 はこの第 2 の実施の形態の構成を示す図であり、9 は固定周波数のクロックの発振器、10 はこの周波数を分周する分周器である。他は、図 4 に示したものと同一である。

【 0 0 3 2 】

まず、抵抗 R_1 を使用する第 1 積分時に、クロック周期を T_{clk} としてクロック数 $N_a = 10$ だけ積分し、次に抵抗を「 $R_1 + R_2$ 」に切り替えて、積分電圧 V_c が第 1 積分の開始電圧に戻るまで第 2 積分を行い、その間のクロック数 N_b を得る。このときのクロック数 N_b が、 $N_b = 100$ であるならば、抵抗 R_1 、 R_2 の比はバラツキがないことになる

50

が、 $Nb \neq 100$ のときはバラツキがあることになる。

【0033】

そこで、分周器10の分周比を、その理想値の「100」を中心値として、 $\pm 50\%$ のマー
ージンを考慮して、「50～150」の範囲で設定できるようにしておく。

【0034】

上記のように、抵抗 R_1 、 R_2 の比にバラツキのないときは、 $Nb = 100$ であるので、
分周器10の分周比として「100」を設定する。また、例えば、 $Nb = 94$ のときは、
理想値「100」よりも少なく「 $R_1 + R_2$ 」の値が理想の値よりも小さいことを示すの
で、クロックの周期を小さく、つまり分周比を「94」に設定すればよい。この分周比を
使用した分周器10の出力クロックにより前記第2積分を行えば、今度はカウント数 Nb
= 100となる。一方、 $Nb = 121$ のときは、理想値「100」よりも多く「 $R_1 + R_2$ 」の値が理想の値よりも大きいことを示すので、クロックの周期を大きく、つまり分周
比を「121」に設定すればよい。

10

【0035】

このように、分周器10の分周比の設定に、第2積分の積分期間 T_b のカウント値 Nb を
そのまま使用することにより、抵抗 R_1 、 R_2 のバラツキを即座にキャンセルすることが
できることになる。

【0036】

すなわち、本来のA/D変換に先だって第1積分、第2積分を行って、その第2積分によ
りカウント値 Nb を得ておけば、以後の抵抗 R_1 を使用する積分時は分周比を「100」
とし、抵抗「 $R_1 + R$ 」を使用する積分時（異なった積分定数を使用する被測定電圧のA
/D変換時や標準化誤差補正の為のA/D変換時）は分周比をカウント値 Nb とすること
により、抵抗 R_1 、 R_2 のバラツキの影響を受けることなく、A/D変換を行うことがで
きる。

20

【0037】

【発明の効果】

以上から本発明によれば、積分定数に、製造時のバラツキばかりか、温度変化や経時変化
等により事後的にバラツキが生じた場合であっても、そのバラツキの影響をキャンセルす
ることができ、量産時の細かい調整が不要となり、またIC化をより促進することができ
る。

30

【図面の簡単な説明】

【図1】 (a)は第1の実施の形態で使用した積分型A/D変換器の要部の回路図、(b)は
スイッチ切り替えの説明図である。

【図2】 (a)～(c)は図1の(b)に示すスイッチ切替えにより切り替えられた積分型A/
D変換器の要部の回路である。

【図3】 第2の実施の形態の説明図である。

【図4】 従来の積分型A/D変換器の回路図である。

【図5】 図4のA/D変換器の動作説明図である。

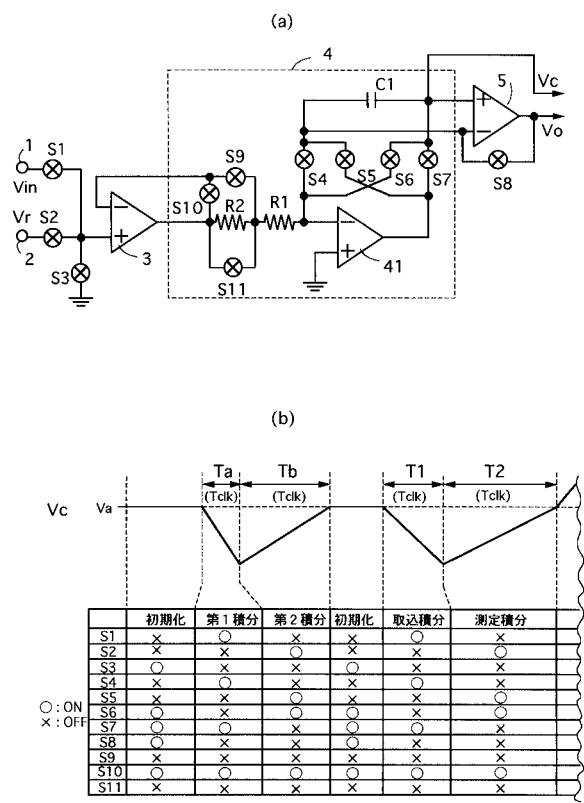
【図6】 図4に示すスイッチ切替えにより切り替えられた積分型A/D変換器の要部の
回路である。

40

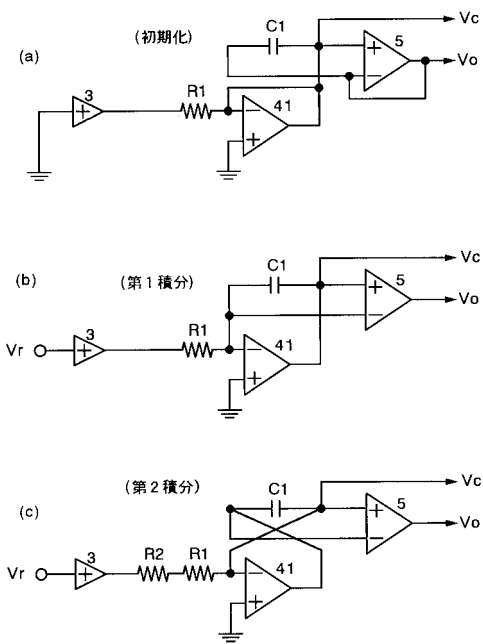
【符号の説明】

1, 2: 入力端子、3: バッファ、4: 積分器、41: オペアンプ、5: 比較器、6: 制
御回路、7: カウンタ、8: 演算部、9: 発振器、10: 分周器。

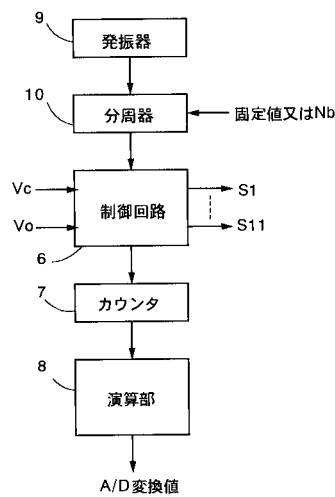
【図1】



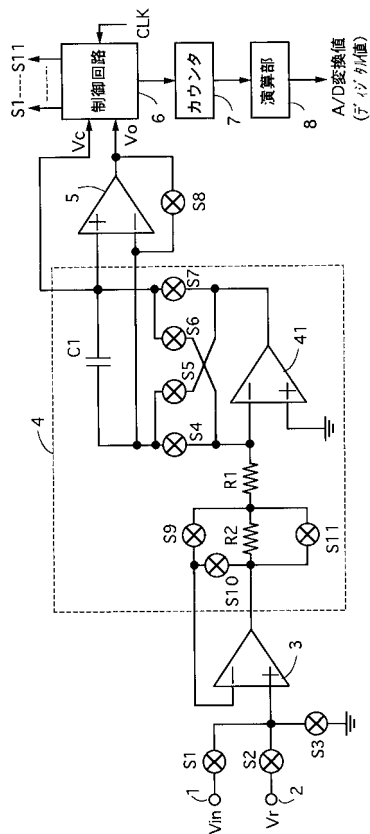
【図2】



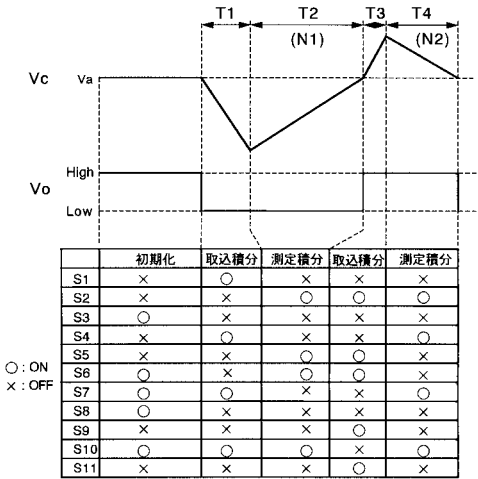
【図3】



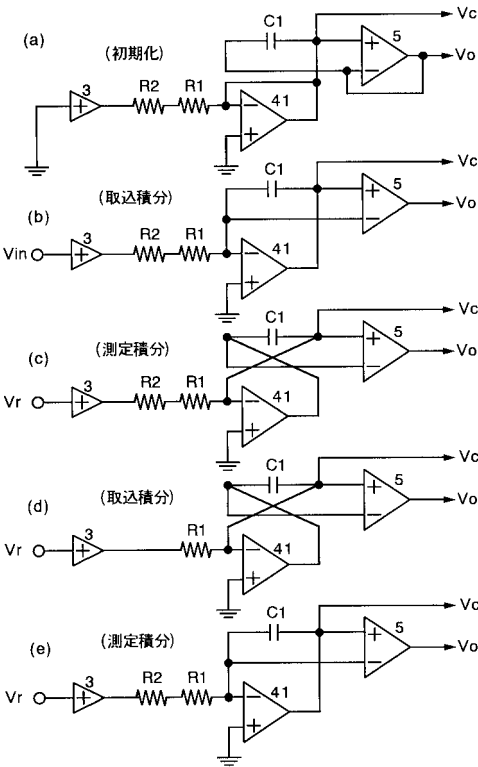
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

- (56)参考文献 特開平9 - 205367 (JP, A)
特開平11 - 154869 (JP, A)
特開平6 - 61860 (JP, A)
特開昭56 - 32827 (JP, A)
特開平6 - 197017 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88