[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04B 1/16 (2006.01)
G06F 1/32 (2006.01)

[12] 发明专利说明书

专利号 ZL 02816968.9

[45] 授权公告日 2009 年 3 月 18 日

[11] 授权公告号 CN 100471079C

[22] 申请日 2002.8.29 [21] 申请号 02816968.9

[30] 优先权

[32] 2001. 8.29 [33] US [31] 60/315,655

[86] 国际申请 PCT/US2002/027462 2002.8.29

[87] 国际公布 WO2003/021800 英 2003.3.13

[85] 进入国家阶段日期 2004.2.27

[73] 专利权人 联发科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 约恩·瑟伦森 迈克尔·艾伦 海特什·阿南德

[56] 参考文献

US5592173A 1997.1.7

CN1184573A 1998.6.10

EP0939495A 1999.9.1

审查员 陈 媛

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 任默闻

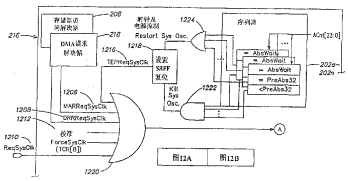
权利要求书 6 页 说明书 28 页 附图 23 页

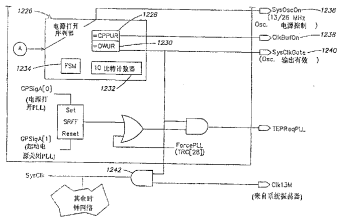
[54] 发明名称

用于无线系统中的时钟及电源控制的方法和设备

[57] 摘要

提供了一种数字基带处理器，其接收由系统振荡器产生的系统时钟，并且从系统时钟产生多个时钟信号。 所述数字基带处理器包括：用于执行数字信号处理器指令的数字信号处理器，用于执行微控制器指令的微控制器，以及可能需要多个时钟信号中的一个来操作的其它模块。 所述数字基带处理器还包括：电源管理电路，当比如数字信号处理器和微控制器的模块不需要得自系统振荡器的时钟信号时，其可能关闭系统振荡器的电源。 当那些模块不需要时钟信号时，电源管理电路可能门控关闭到模块的时钟信号，而不关闭系统振荡器的电源。





1. 一种用于无线应用的基带处理器，包括

第一模块，其需要得自系统振荡器的第一时钟信号，该第一模块提供第一指示信号，该指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；

第二模块，其需要得自系统振荡器的第二时钟信号，该第二模块提供第二指示信号，该指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；以及

电源管理电路，包括门控电路，该电源管理电路响应于第一和第二指示信号，以当第一指示信号处于第二状态以及第二指示信号处于第二状态时通过该门控电路来门控停用系统振荡器，以及响应于起动信号，以起动系统振荡器。

2. 如权利要求 1 所述的处理器，其中该门控电路，用于当第一指示信号处于第二状态时阻塞第一时钟信号到第一模块的通过，以及用于当第二指示信号处于第二状态时阻塞第二时钟信号到第二模块的通过。

3. 如权利要求 1 所述的处理器，其中第二模块包括定时及事件处理器，以及电源管理电路进一步包括：用于当第二指示信号进入它的第一状态时起动系统振荡器的电路。

4. 如权利要求 1 所述的处理器，其中电源管理电路响应于接收到的中断来起动系统振荡器。

5. 如权利要求 4 所述的处理器，其中中断是由用户动作来产生的。

6. 如权利要求 1 所述的处理器，其中电源管理电路通过发送中断到第一模块来使得第一模块退出空闲状态。

7. 如权利要求 6 所述的处理器，其中当第一模块退出空闲状态时，第一模块使得第一指示信号进入第一状态。

8. 如权利要求 1 所述的处理器，其中电源管理电路通过发送中断信号到第一模块来使得第二模块退出空闲状态。

9. 如权利要求 8 所述的处理器，其中第二模块退出空闲状态时，第二模块使得第二指示信号进入第一状态。

10. 如权利要求 1 所述的处理器，其中电源管理电路包括：用于在起动振荡器之后的一个时间周期内阻塞系统振荡器输出的电路。

11. 如权利要求 10 所述的处理器，其中用于阻塞系统振荡器的输出的电路包括：用于存储时间周期作为振荡器预热时间的寄存器和用于确定何时振荡器预热时间截止的计数器。

12. 如权利要求 11 所述的处理器，其中用于阻塞系统振荡器的输出的电路包括：用于当系统振荡器预热时间截止时允许系统振荡器的输出通过的装置。

13. 如权利要求 1 所述的处理器，进一步包括：定时及事件处理器，其用于产生用于关于第一和第二模块的定时操作的定时及事件信号，该定时及事件处理器使用得自系统振荡器的第三时钟信号，以及提供第三指示信号，该指示信号具有指示不需要第三时钟信号的第一状态和指示需要第三时钟信号的第二状态，其中该定时及事件处理器接收得自慢时钟振荡器的第四时钟信号，并且其中当第三指示信号处于第二状态时该定时及事件处理器继续操作。

14. 如权利要求 13 所述的处理器，其中当包括第一模块和第二模

块的组中的至少一个需要使用系统振荡器时，定时及事件处理器通过把第三指示信号的状态改变到第一状态来在预先确定的时间起动系统振荡器。

15. 如权利要求 13 所述的处理器，其中定时及事件处理器通过发送中断信号到第一模块来使得第一模块退出空闲状态。

16. 如权利要求 15 所述的处理器，其中第一模块退出空闲状态时，第一模块使得第一指示信号进入第一状态。

17. 如权利要求 13 所述的处理器，其中定时及事件处理器通过发送中断信号到第二模块来使得第二模块退出空闲状态。

18. 如权利要求 17 所述的处理器，其中第二模块退出空闲状态时，第二模块使得第二指示信号进入第一状态。

19. 如权利要求 1 所述的处理器，进一步包括：

锁相环电路，其用于由系统振荡器产生的第三时钟信号的频率，以产生第一时钟信号，以及；

锁相环旁路，其用于使得第三时钟信号旁路锁相环电路，当第一指示信号处于第二状态时用作第一时钟信号。

20. 如权利要求 1 所述的处理器，其中第一时钟信号和第二时钟信号具有相同频率。

21. 如权利要求 1 所述的处理器，其中第一时钟信号和第二时钟信号具有不同频率。

22. 如权利要求 1 所述的处理器，其中第一模块包括第一处理单元，以及第二模块包括第二处理单元。

23. 如权利要求 1 所述的处理器，其中第一模块包括第一处理单元，以及第二模块包括第一处理单元的外围器件。

24. 如权利要求 1 所述的处理器，其中第一模块包括第一处理单元，以及第二模块包括直接存储器访问控制器。

25. 如权利要求 1 所述的处理器，其中第一模块包括第一处理单元，以及第二模块包括定时及事件处理器。

26. 在用于无线应用的基带处理器中，一种方法包括：

接收来自第一模块的第一指示信号，该第一模块需要得自系统振荡器的第一时钟信号，第一指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；

接收来自第二模块的第二指示信号，该第二模块需要得自系统振荡器的第二时钟信号，第二指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；

当第一指示信号处于第二状态以及第二指示信号处于第二状态时停用系统振荡器；以及

当这些指示信号中的任一个处于第一状态时启动系统振荡器。

27. 如权利要求 26 所述的方法，进一步包括

当第一指示信号处于第二状态时阻塞第一时钟信号到第一模块的通过，以及当第二指示信号处于第二状态时阻塞第二时钟信号到第二模块的通过的电路。

28. 如权利要求 26 所述的方法，其中起动系统振荡器的动作进一步包括当第二指示信号进入它的第一状态时起动系统振荡器。

29. 如权利要求 26 所述的方法，其中起动系统振荡器的动作进一

步包括响应于接收中断信号来起动系统振荡器。

30. 如权利要求 26 所述的方法，其中起动系统振荡器的动作进一步包括通过使得将中断信号提供到第一模块来使得第一模块退出空闲状态。

31. 如权利要求 30 所述的方法，进一步包括在退出空闲状态时，改变第一指示信号的状态，以进入第一状态。

32. 如权利要求 50 所述的方法，其中起动系统振荡器的动作进一步包括通过使得将中断信号提供到第一模块来使得第二模块退出空闲状态。

33. 如权利要求 32 的方法，进一步包括在退出空闲状态时，改变第二指示信号的状态，以进入第一状态。

34. 如权利要求 26 所述的方法，其中停用系统振荡器的动作进一步包括在起动振荡器之后的一个时间周期内阻塞系统振荡器的输出。

35. 如权利要求 34 所述的方法，其中阻塞系统振荡器的输出的动作进一步包括存储时间周期作为振荡器的预热时间，以及使用计数器来确定振荡器预热时间何时截止。

36. 如权利要求 35 所述的方法，其中阻塞系统振荡器的输出的动作进一步包括当振荡器预热时间截止时允许系统振荡器的输出通过。

37. 如权利要求 36 所述的方法，进一步包括：提供定时及事件处理器，其用于产生用于关于第一和第二模块的定时操作的定时及事件信号，该定时及事件处理器使用得自系统振荡器的第三时钟信号，以及提供第三指示信号，该指示信号具有指示不需要第三时钟信号的第

一状态和指示需要第三时钟信号的第二状态，以及其中该定时及事件处理器接收得自慢时钟振荡器的第四时钟信号，以及所述方法进一步包括：当第三指示信号处于第二状态时使用第四时钟信号来操作定时及事件处理器。

38. 如权利要求 37 所述的方法，进一步包括：当包括第一模块和第二模块的组中的至少一个需要使用系统振荡器时，通过把第三指示信号的状态改变到第一状态来使得定时及事件处理器在精确的预先确定的时间起动系统振荡器。

39. 如权利要求 37 所述的方法，进一步包括：通过发送中断信号到第一模块，使用定时及事件处理器来使得第一模块退出空闲状态。

40. 如权利要求 39 所述的方法，进一步包括在第一模块退出空闲状态时，使得第一指示信号进入第一状态。

41. 如权利要求 37 所述的方法，进一步包括：通过发送将要提供的中断信号到第二模块，使用定时及事件处理器来使得第二模块退出空闲状态。

42. 如权利要求 41 所述的方法，进一步包括在第二模块退出空闲状态时，使得第二指示信号进入第一状态。

43. 如权利要求 26 所述的方法，进一步包括：

提供锁相环电路，用于增加由系统振荡器产生的第三时钟信号的频率，来产生第一时钟信号；以及

使得第三时钟信号旁路锁相环电路，并且当第一指示信号处于第二状态时用作第一时钟信号。

用于无线系统中的时钟及电源控制的方法和设备

相关申请的交叉引用

本发明要求于 2001 年 8 月 29 日申请的序列号为 60/315,655 的临时申请的权益，并将其合并在此作为参考。

技术领域

本发明涉及无线通信，并且更为特别的，涉及无线系统中的时钟及电源控制。

背景技术

随着无线通信网络的快速发展，经常创建新的无线通信标准来替代旧有的过时的标准。但是，在很广泛的物理区域内基于新的标准实现新的无线网络通常是很费时间的。这样，经常需要能够和现存无线网络通信并且还能够和新的无线网络通信的无线终端。另外，随着无线计算机数据网络的快速增长，经常需要具有能够和这些网络通信的无线终端，以允许用户浏览互联网或者收发电子邮件。另外，和不同的无线系统同时通信也可能是有用的，例如，这样可以使用户可以在无线数据网络上查看电子邮件，同时在 2G 无线网络上进行语音电话呼叫。

这种无线系统通常使用不同的时间基准。例如，2G GSM 网络使用其中帧具有 4.615ms 的持续时间、并且将每帧划分为 8 个时隙的时间基准。但是，3G WCDMA 网络使用其中帧具有 10ms 的持续时间并且将每帧划分为 15 个时隙的时间基准。无论移动终端是以一个无线系统操作、还是同时以两个或多个无线系统操作，在移动终端中的事件都必须是精确定时的，而且应该关于每一无线系统是同步的。

而且，为保持便携性，无线终端通常由电池供电，其中在重新充电之间的时间是最大电流（current draw）的反函数。因为需要允许用户在重新充电之间对无线终端操作尽可能长的时间，所以电源管理成为一个很重要的考虑因素。

发明内容

根据本发明的第一方面，提供了一种数字基带处理器。此数字基带处理器包括：第一模块，其需要得自系统振荡器的第一时钟信号，所述第一模块提供第一指示信号，该指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；第二模块，其需要得自系统振荡器的第二时钟信号，所述第二模块提供第二指示信号，该指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；电源管理电路，包括门控电路，该电源管理电路响应于第一和第二指示信号，以在当第一指示信号处于第二状态以及第二指示信号处于第二状态时通过该门控电路来门控停用（disable）系统振荡器，以及其响应于起动（enable）信号，以起动系统振荡器。

根据本发明的另一方面，提供了一种涉及数字基带处理器的操作的方法。所述方法包括：接收来自第一模块的第一指示信号，其中该第一模块需要得自系统振荡器的第一时钟信号，第一指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；接收来自第二模块的第二指示信号，其中该第二模块需要得自系统振荡器的第二时钟信号，第二指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；当第一指示信号处于第二状态并且第二指示信号处于第二状态时，停用系统振荡器；以及当包括第一模块和第二模块的组中的至少一个需要系统振荡器输出时，起动系统振荡器。

根据本发明的再一方面，提供了一种用于无线应用的基带处理器。

所述基带处理器包括：第一模块，其需要得自系统振荡器的第一时钟信号，所述第一模块提供第一指示信号，该指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；第二模块，其需要得自系统振荡器的第二时钟信号，所述第二模块提供第二指示信号，该指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；以及电源管理电路，其用于在当第一指示信号处于第二状态时阻塞第一时钟信号到第一模块的通过，以及在当第二指示信号处于第二状态时阻塞第二时钟信号到第二模块的通过；以及当第一指示处于第一状态时允许第一时钟信号的通过，以及当第二指示信号处于第一状态时允许第二时钟信号通过。

根据本发明的另一方面，提供了一种涉及用于无线应用的基带处理器的操作的方法。所述方法包括：接收来自第一模块的第一指示信号，其中该第一模块需要得自系统振荡器的第一时钟信号，第一指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；接收来自第二模块的第二指示信号，其中该第二模块需要得自系统振荡器的第二时钟信号，第二指示信号具有指示需要第二时钟信号的第一状态和指示不需要第二时钟信号的第二状态；以及当第一指示信号处于第二状态时阻塞第一时钟信号到第一模块的通过，以及当第二指示信号处于第二状态时阻塞第二时钟信号到第二模块的通过；以及在当第一指示信号处于第一状态时允许第一时钟信号到第一模块的通过，以及当第一指示信号处于第一状态时允许第二时钟信号到第二模块的通过。

根据本发明的再一方面，提供了用于无线应用的基带处理器。所述基带处理器包括：第一模块，其需要得自系统振荡器的第一时钟信号，所述第一模块提供第一指示信号，该指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；电源管理电路，其响应于第一指示信号，以在当第一指示信号处于第二状态时停用系统振荡器，以及其响应于起动信号，以起动系统振荡器。

根据本发明的再一方面，提供了一种涉及用于无线应用的基带处理器的操作的方法。所述方法包括：接收来自第一模块的第一指示信号，其中该第一模块需要得自系统振荡器的第一时钟信号，第一指示信号具有指示需要第一时钟信号的第一状态和指示不需要第一时钟信号的第二状态；当第一指示信号处于第二状态时停用系统振荡器，以及当第一模块需要系统振荡器时起动系统振荡器。

附图说明

在附图中：

图 1 是根据本发明一个实施例的通信处理器的方框图；

图 2 是方框图，示出了根据本发明一个实施例的图 1 的通信处理器中的定时及事件处理器；

图 3 是方框图，示出了根据本发明一个实施例的图 2 的定时及事件处理器中的序列器；

图 4 是根据本发明一个实施例的适于用在序列器中的指令格式的实例；

图 5 是方框图，示出了根据本发明一个实施例的定时及事件处理器的功能；

图 6 是方框图，示出了根据本发明一个实施例的在直接存储器访问控制器和定时及事件处理器之间的接口；

图 7 是方框图，示出了根据本发明一个实施例的用于使用定时及事件处理器的直接存储器访问传输的方法的实例；

图 8 是方框图，示出了根据本发明一个实施例的与定时及事件处理器的外部总线接口；

图 9A 是根据本发明一个实施例的分数 N 时钟分频器（fractional-N clock divider）的实例的方框图；

图 9B 是示意图，示出了根据本发明一个实施例的由分数 N 时钟分频器产生的经过校准的时钟和相位补偿；

图 10 是根据本发明一个实施例的绝对计数器和可设置的周期性触发产生器的方框图；

图 11A 是根据本发明一个实施例的抽点打印（snapshot）有限状态机的方框图；

图 11B 是根据本发明的一个实施例的图 11A 的抽点打印有限状态机的操作的流程图；

图 12 是方框图，示出了根据本发明一个实施例的图 2 的定时及事件处理器中的时钟及电源控制模块；

图 13A 是根据本发明一个实施例的时钟产生模块的示意图；

图 13B 是根据本发明一个实施例的时钟分配模块的示意图；

图 14 是根据本发明一个实施例的时钟门模块的示意图；

图 15 是根据本发明一个实施例的示出了振荡器电源关闭需求的方框图。

具体实施方式

无线终端可能包括：无线单元，数字基带处理器，用户接口和电池。基带处理器可能包括：用于执行信号处理算法和其它复杂计算的数字信号处理器，以及用于执行控制功能和相对简单计算的微控制器。由无线终端中的基带处理器执行的很多任务需要精确定时。例如，在无线通信网络中，在无线信道上的行动被以指定的精确度安排在给定时间发生。专用的定时及事件处理器（TEP）可能用来达成这种定时精确性。例如，TEP 可能负责用来产生定时信号、安排事件、产生到处理器的中断、启动在其它模块中的操作、以及产生用于芯片外电路（比如无线单元）的控制信号。TEP 可能和数字信号处理器、微控制器、和基带处理器的其它组件协同操作，以控制在无线终端中的所有定时和事件。

有时需要同时和几个不同的无线系统通信。例如，通信处理器可能和诸如蓝牙网络的无线数据网络通信，来监控用户用于新电子邮件的电子邮件帐号，并且同时监控用于新的语音电话呼叫的无线 CDMA 网络的寻呼信道。通常，通信处理器与其通信的不同的无线系统使用不同的时间基准。TEP 可能通过使用共同的参考时钟作为时间基准来

安排用于无线系统的事件，以便安排用于通信处理器与其通信的任何无线系统的事件。

在图 1 中示出了根据本发明的一个实施例的基带通信处理器 100 的方框图。在图 1 中示出的处理器包括两个处理核心（core）。数字信号处理器（DSP）核心 102 可能用来执行通信处理器 100 的数字信号处理功能，比如，和单元搜索、信号的相关、信道编码和解码相关联的处理。很多其它信号处理功能也可能由 DSP 核心 102 执行。在于 2000 年 11 月 16 日公开的公开号为 WO 00/687783 的 PCT 公开文件中公开了适于用在本发明实施例中的 DSP 核心的一个实例。但是，应该了解可能使用很多其它类型的数字信号处理器，而且本发明不限于任何特定的数字信号处理器。微控制器单元（MCU）104 处理核心可能用来执行用于通信处理器 100 的控制代码，比如协议堆栈指令的执行。适于用在本发明中的可从商业渠道获得的 MCU 的一个实例是 A 由 Advanced RISC Machine, Ltd.出售的 RM7TDMI 核心。但是，应该了解可以使用很多其它类型的微控制器，并且本发明并不限于任何特定的微控制器。

通信处理器 100 还包括系统存储器 106。系统存储器 106 可能是静态随机访问存储器（SRAM），或者任何其它类型的易失型或非易失型存储器，比如动态随机访问存储器（DRAM）、同步动态随机访问存储器（SDRAM）、或铁电随机访问存储器（FRAM）。DSP 核心 102 和 MCU104 使用共同的存储器映射（memory map）。因此，这些处理器可能共享到系统存储器 106 的访问，并且可能通过系统存储器 106 来彼此通信。

在图 1 中示出的每一组件可能实现为单一的集成电路或多个集成电路。在一些实施例中，在单一芯片上制造整个通信处理器 100。应该认可本发明并不限于这个方面。

直接存储器访问（DMA）控制器 134 和 136 被提供来来促进在通信处理器 100 中的数据传输。DMA 控制器 134 和 136 允许在器件和存储器（例如，系统存储器 106）之间进行无处理器干预的存储器的直接传输。可能将 DMA 通道分配给器件，以允许那些器件请求 DMA 传输。通道设置可能由 DSP 核心 102 和 MCU104 确定。虽然两个处理器都可能访问每一 DMA 通道，但是用于一组通道的通道设置可能由 DSP 核心 102 来控制，并且用于另一组通道的通道设置可能由 MCU 核心 104 来控制。同样，DMA 控制器 134 可能控制用于由 DSP 核心 102 设置的通道的 DMA 传输，而 DMA 控制器 136 可能控制用于由 MCU104 设置的通道的 DMA 传输。

DSP 核心 102 可能包括：等级 1（L1）指令高速缓冲存储器 144 和 L1 数据高速缓冲存储器 146，以当访问高速缓冲存储器的数据时提供的低等待时间（latency）。DSP 核心 102 可能具有：两个和 L1 数据高速缓冲存储器 146 连接的数据总线、和 L1 指令高速缓冲存储器 144 连接的指令总线、以及和高速缓冲存储器 144 和 146 连接的 DMA 总线。等级 2(L2)存储器 148 可能是用于由 DSP 核心 102 使用的专用 SRAM。存储器 148 可能可以由 DMA 控制器 134 访问。存储器 148 可能还可以由 MCU104、DMA 控制器 136、以及外部应用处理器接口（EAPI）142 访问。

系统总线接口单元（SBIU）132 执行总线桥接（bridging）功能。例如，SBIU132 可能作为非对称纵横开关（asymmetric crossbar switch）的功能，其把来自 DSP 核心 102、DMA 控制器 134、MCU104、DMA 控制器 136、和外部应用处理器接口 142 的请求路由到合适的系统资资源（比如 L1 高速缓冲存储器 144、L1 高速缓冲存储器 146、L2 存储器 148 和其它系统资源）。SBIU132 允许在各个总线之间的并行和同时的数据传输。

人机界面（MMI）模块 150 提供到通信处理器 100 的硬件用户接

口，并且可以通过 PBUS 总线 128 访问。MMI150 模块可能包括到通信处理器 100 的通用 I/O(GPIO)管脚的接口。该管脚可能用于包括接口到无线单元和其它外围设备的多种目。其它的 MMI 模块可能包括：显示屏幕接口、串行端口接口、通用异步收发信机接口（UART）、USB 接口、以及可能包括在其中嵌入了通信处理器 100 的无线终端的唯一序列号的用户识别模块（SIM）。在 MMI150 中还可能包括许多其它接口模块。

内务处理模块执行多种用于通信处理器 152 的内务处理功能，并且可以通过 PBUS 总线 128 访问。这种功能包括：监视定时器（WDT），其在没有服务的情况下在通信处理器中的软件死锁事件中暂停时间（time out）并且产生复位；通用定时器，其可能用来产生用于通用定时功能的触发器；以及 IRQ 控制器，其用于管理到 DSP 核心 102 和 MCU104 的中断。

无线系统模块 154 提供到在通信处理器 100 外部的无线系统组件的接口，并且可通过 PBUS 总线 128 访问。例如，无线系统模块 154 可能包括：CS 端口，其是到模拟基带芯片的控制串行端口接口，以及到频率合成器的接口。

DSP 外围设备和 DSP 核心 102 一起执行多种数字信号处理功能，并且可通过 DPBUS 总线 110 访问。DSP 外围设备可能包括，例如，协处理器接口 162，BS 端口 164，标记 I/O166，高速记录器 168，密码引擎 170 和 DSP IRQ 控制器 172。

数据可能在通信处理器的多种组件之间、以及在通信处理器和芯片外设备之间使用一个或多个总线传输。每一总线可能是并行或串行总线。另外，每一总线可能是单向的或双向的。另外，每一总线可能包括地址总线、数据总线和控制总线中的任何一个。在图 1 中示出的通信处理器 100 的总线设置包括多个总线系统。在下面一般的描述每

一总线系统的功能。对本领域普通技术人员来说，在图 1 中示出的总线设置上可以做出多种更改，修正和改进，并且这些都包括在本发明的精神和范围之内。

SYSL2 总线 108 连结在 SBIU132 与 L2 存储器 148 的接口之间。在 MCU104、系统 DMA 控制器 136、DSP DMA 控制器 134、和 DSP102 之间共享存储器 144。DPBUS 总线 110 是 DSP 外围设备总线，并且与多种 DSP 外围设备（比如可能是基带串行端口的 BS 端口 164，协处理器接口 162，标记 I/O166，高速记录器 158，密码引擎 170 和 DSP IRQ 控制器 172）接口。在 MCU104、系统 DMA 控制器 136、和 DSP DMA 控制器 134 之间共享到 DPBUS 总线 110 的访问。DSP 核心 102 可能还通过 SBIU132 访问 DPBUS 总线 110。DSPBUS 总线 112 是用于 DSP 核心 102 到 PBUS 总线 128、系统存储器 106、和 EBUS 总线 100 的接口。DABUS 总线 114 用作到 SBIU132 的 DSP DMA 控制器接口。DMABUS 总线 116 是系统 DMA 控制器 136 与在 PBUS 总线 128、RBUS 总线 118、和 EBUS 总线 120 上的资源之间的接口。RBUS 总线 118 是到系统存储器 106 的接口。在 MCU104、系统 DMA 控制器 136、DSP DMA 控制器 134、和 DSP 核心 102 之间共享到 RBUS 总线 118 的访问。EBUS 总线 120 用作到位于通信处理器 100 外部的快速存储器和 SRAM 的接口。SBUS 总线 112 是用于 MCU104 的主系统总线。EAPI 总线 124 用作从通信处理器 100 外部的应用处理器到通信处理器 100 的资源的接口。EABUS 总线 140 是在 EAPI142 与在通信处理器 100 外部的应用处理器之间的接口。应该认可不是必需提供外部应用处理器。CBUS 总线 126 是到外部协处理器的接口。PBUS 总线 128 是外围设备总线，其作为无线系统外围设备 154、内务处理外围设备 152、以及 MMI 外围设备 150 到 MCU104、系统 DMA 控制器 136、DSP DMA 控制器 134、和 DSP 核心 102 的接口。

因为到诸如 PBUS 总线 128 和 RBUS 总线 118 的一些总线的访问由多个组件共享，因此提供了总线仲裁器 130a，130b 和 130c 来管理到

这些总线的访问。

通信处理器 100 包括：定时及事件处理器（TEP）138，其可能用来安排用于通信处理器 100 的事件。这种事件可能包括：例如，I/O 管脚的设置和清除，产生到 DSP 核心 102 和 MCU104 的中断，以及启动在 TEP138 和通信处理器 100 的其它模块之间的 DMA 存储器传输。TEP138 通过 DPBUS 总线 110 和通信处理器 100 的其它模块连接，并且还和 DSP DMA 控制器 134 以及 DSP IRQ 控制器 172 连接。

在 TEP138 中，不同无线系统时间基准被转换为统一的时间基准，并且不特定于任何无线系统。使用统一的事件基准，事件被安排为对时间上一个绝对点的触发器。通过使用高精确度的自由运行（free-running）快时钟作为校准参考，TEP138 产生校准慢时钟作为用于统一时间基准的参考，以获得校准慢时钟的长时间稳定性。通过从自由运行的慢时钟中移去时钟脉冲来产生用作统一时间基准的时钟的校准慢时钟。这会引入相位误差，其是为获得精确的定时信号而加以补偿的。对于自由运行慢时钟的每一时钟周期计算相位补偿。相位补偿由自由运行快时钟的时钟周期的数量来表达，并且和校准慢时钟一起用来提供精确的定时。其中一个特征是即使关闭自由运行的快时钟，仍然保持相位补偿值。这个特征将在下面详细描述。

图 5 是表现 TEP138 的功能的实例的示意图。TEP138 可以设置并且清除 GPIO 管脚，以控制和外部器件的接口。TEP138 可能还和系统 DMA 控制器 136 以及 DSP DMA 控制器 134 通信，以起动 DMA 通道。而且，使用专用 DMA 通道 516，TEP138 可能从任何存储器映射的位置中读出或写入，允许 TEP138 和诸如无线系统 154 的其它模块通信，例如，使用频率合成器接口 154a 来对频率合成器编程。TEP138 可能与和 DSP 及 MSU IRQ 控制器 506 的接口，以产生用于每一处理核心的中断，允许处理核心通过从 TEP138 接收的中断来在当它不被需要时进入空闲状态，以及当需要它时退出空闲状态。按照下述方式，所有的

TEP 功能都可以被精确定时和安排。

图 2 是根据本发明的一个实施例的 TEP 结构 138 的实例的方框图。TEP138 可能用作用于通信处理器 100 的定时及安排机制。在无线系统的操作中，所有无线控制事件在被安排的时间发生，并且需要精确的定时。在通信处理器 100 的操作过程中的某些特定时间中，特别在无线通信应用中，可能不需要 MCU104 和 DSP 核心 102 来执行任何处理功能，并且可能进入空闲模式或“睡眠”模式。在这个模式中，不再需要对处理核心计时，由此允许振荡器的电源关闭。通信处理器 100 可能嵌入无线终端中，并且可能由电池供电。当不需要时，通过使处理器空闲或关闭振荡器的电源来节约电源可以延长到需要电池重新充电的时间。但是，在使处理核心空闲之前，它们可能指示 TEP138 何时它们需要重新启动的时间。

TEP138 可能包括多个序列器 202a－202n，其通常的功能是执行由 TEP138 使用的指令，以执行特定于时间的行动。TEP138 还包括存储器 206，其可能是，例如，静态随机访问存储器（SRAM）。序列器 202a－202n 可能使用存储器 206 来存储代码和数据。存储器访问解决器（resolver）208 处理来自序列器 202a－202n 和 DPBUS 总线 110 的引入的存储器访问请求。DPBUS 总线接口模块 210 提供在 TEP138 中的系统时钟和 DPBUS 总线时钟域之间的桥接。DPBUS 总线接口模块 210 将在下面更详细的描述。TEP138 进一步包括时钟校准模块 212，其可能用于在 TEP 中的统一时间基准的时钟校准。时钟校准模块 212 将在下面更详细的讨论。TEP138 可能还包括由序列器 202a－202n 使用的绝对计数器 214，以达到定时的目的。绝对计数器 214 将在下面更详细的讨论。TEP138 可能包括 I/O 冲突解决器 204，用于解决从序列器 202a－202n 接收的冲突信号。I/O 冲突解决器 204 将在下面更详细的讨论。将在下面更详细讨论的时钟及电源控制模块 216，用于当可能时关闭系统时钟的电源。

序列器 202a－202n 可能是诸如 RISC 处理器的处理器，其具有专用的指令设置，并且可能同时提供用于多个无线系统的定时。就是说，序列器 202a－202n 可能产生信号来设置并清除 GPIO 管脚、以信号通知（signal）DMA 控制器，并且产生用于 DSP 核心 102 和 MCU104 的中断。可能提供序列器来执行用于被同时支持的每一无线系统的指令。通过提供用于每一无线系统的两个或多个序列器，可能获得改进的性能。例如，在本发明的一个实施例中，为被同时支持的每一无线系统提供两个序列器。在这个设置中，一个序列器可能执行指令，并且另一个序列器装载指令。应该认可单一的序列器也能够支持多个无线系统。可能将属于两个不同无线系统的指令装载到单一的序列器。但是，因为属于第一无线系统的指令的执行时间可能和属于第二无线系统的另一指令的执行时间重叠，因此使用单一的序列器无法达成真正的同时。因为这些指令是由单一序列器按照顺序来执行的，因此它们不能同时执行。但是，应该认可不是必需为每一无线系统使用两个序列器。每个无线系统可以使用一个序列器，或者对每一无线系统使用三个或多个序列器。和无线系统处理无关的附加序列器可能用于提供通用定时。例如，附加序列器可能用来安排与更新在无线终端的显示屏幕上的时钟有关的事件。在一些实施例中，TEP138 包括用于被同时支持的每一无线系统的两个序列器和一个附加序列器。

使用多个序列器允许通信处理器 100 同时和一些不同的无线系统通信，尽管这些无线系统使用不同的定时这个事实。例如，无线终端可能监控 GSM 网络的寻呼通道，而且同时从无线 LAN、蓝牙网络、或其它 802.11b 网络接收数据。类似的，具有包括多个序列器的通信处理器的无线终端，在启动时，可能同时执行用于 2G GSM 网络和 3G WCDMA 网络的小区搜索。

如上所述，TEP138 可以设置并且清除 GPIO 管脚，起动 DMA 通道，产生中断，并且执行时钟校准。但是，两个或多个序列器可能肯定（assert）冲突信号。例如，一个序列器可能肯定用于特定 I/O 管脚

的设置信号，而不同的序列器在同一时间肯定用于相同管脚的清除信号。如图 2 所示的 I/O 冲突解决器 204，处理这种冲突。I/O 冲突解决器 204 包括解决冲突的规则。例如，一个规则可能是：任何清除信号优先于设置信号。可能产生例外，以通报冲突的软件处理，并且可能将中断发送到处理核心。对于中断和 DMA 通道的起动（enable）来说，可能简单地把冲突信号组合在一起，例如，使用逻辑 OR 操作。

如图 2 所示的存储器 206，通过与 DPBUS 总线 110 接口的 DPBUS 总线接口 210 可能能够访问到处理器。根据本发明的一个实施例，存储器 206 是 26 比特宽并且是多端口的，从而允许由序列器 202a－202n 和 DPBUS 总线 110 同时访问。可能基于在 TEP138 中的序列器的数量来选择为存储器 206 提供的读取和写入端口的数量。例如，可能为每一序列器提供一个读取端口和一个写入端口。但是，大量的端口将消耗在芯片上的空间，并且可能需要更多数量的指令解码器。另一种选择，可能需要对每一序列器提供一个指令解码器。另外，似乎不可能在相同的时钟周期中所有序列器都将需要存储器访问。因此，可能基于被同时支持的无线系统的数量来选择用于存储器 206 的读取端口的数量。例如，为每一个被支持的无线系统提供一个读取端口。因为写入访问比读取访问发生的次数少，因此可以提供少于读取端口的写入端口。可能基于任何标准来选择用于存储器 206 的端口的数量，并且本发明不限于任何用于存储器 206 的端口的特定数量。

如上所述，存储器访问解决器 208 处理从序列器 202a－202n 和 DPBUS 总线 110 到存储器 206 的引入访问请求。存储器访问解决器 208 还处理冲突，例如，在访问请求比读取端口多的情况下。例如，存储器访问解决器 208 可能通过基于循环（round-robin）方案对请求区分优先权来处理这种情况。在这种循环方案中，可能使用移回（shift-back）寄存器来确定优先权。在一个实施例中，当发生用于存储器访问的冲突时，寄存器被移位。在另一实施例中，移回寄存器可能在由任何序列器进行的每一个存储器访问时被移位。但是，应该认可可能使用很

多其它处理请求冲突的方法。

DPBUS 总线接口模块 210 提供在 TEP138 之内的系统时钟和 DPBUS 总线时钟域之间的桥接。DPBUS 接口模块 210 还处理在 DPBUS 总线 110 和内部 TEP 总线之间的 16/32 比特接口。

在图 8 中示出了根据本发明的一个实施例的 DPBUS 总线接口模块 210 的方框图。如上所述，DPBUS 总线接口 210 执行在 DPBUS 总线时钟和系统时钟之间的时钟间同步。可能使用用于相互同步的同步交换（handshaking）信号来控制把每一时钟域分开。DPBUS 协议 FSM802 处理到 DPBUS 的同步交换信号。TEP 访问 FSM804 处理到内部 TEP 总线的同步交换信号。

图 3 是示出了根据本发明的实施例的序列器 202a 结构的实例的方框图。序列器 202a 可能是流水线处理器，其包括取出，解码和执行阶段。指令解码器 328 将从多路复用器 342 接收的指令解码。将指令从 TEP138 的存储器 206 中取出。可能在 DSP 核心 102 和 MCU104 的控制下，将序列器指令装载到 TEP138 的存储器 206 中。多路复用器 342 可能将和指令相关联的数据导向寄存器 326。存储在寄存器 326 中的数据可能是要在写入和修改操作中被写入的数据，或可能是要从读取操作中检索的数据。序列器 202a 可能进一步包括 DMA 控制模块 348，其用于与 DMA 控制器 134 和 DMA 控制器 136 接口。序列器 202a 可能包括多个用来设置 DMA 通道的 DMA 寄存器（例如，302，304，306，308，310）。序列器 202a 可能包括时钟预变换（pre-scale）模块 346，其用来产生时间记号（time tick）来增加 delta 定时器 336。序列器控制模块 334 处理序列器的整体操作，并且将在下面详细描述。

图 4 示出了可由序列器 202a－202n 执行的指令的格式的实例。指令 400 包括标识指令类型的六比特操作代码字段 402。四比特数据字段 404 可能包括需要处理指令的数据。例如，设置通用 I/O（GPIO）管脚

的指令可能包括标识要被设置的 GPIO 管脚的数据字段。可能选择性的将扩展字段 406 用作数据字段 404 的八比特扩展。如果和指令相关联的数据对于四比特数据字段来说过大，则可能使用扩展字段 406 来防止溢出。Delta 时间字段 408 可能用来指示在执行指令之前的时间延迟。Delta 时间字段 408 可能指示在执行先前指令之后和在执行当前指令（也就是，指令 400）之前的等待时间。

在指令由指令解码器 328 解码之后，如图 3 所示，delta 定时器 336 可能用来对指示在指令中 delta 时间字段的等待时间来定时。当时间延迟达到在 delta 定时器 336 中的时间时，指令可能由执行单元 330 来执行。基于 delta 定时的指令的执行可能允许序列器执行基于时间的功能，就是说，安排在特定时间发生的功能。例如，序列器可以产生定时的中断到处理核心 102 和 104（图 1），以允许处理器在没有被使用时进入空闲状态，并且可以产生定时的中断来在合适的时间退出这些空闲状态。序列器指令可能控制管脚的设置，以控制外部器件，并且可能打开或关闭无线单元的电源。序列器指令还可能在特定时间起动 DMA 通道。

如图 3 所示，时钟预变换模块 346 用来产生时间标记，以使 delta 定时器 336 递增。时钟预变换模块 346 执行系统时钟的时钟分频，以产生时间标记。为了节省能量，需要使用尽可能低的频率，而且仍然提供足够的定时精确度，以与无线系统进行操作。因为时钟频率取决于无线系统的定时，因此时钟预变换模块 346 可以通过在 2 和 64 之间的任何预变换值来分频系统时钟。预变换值可能存储在寄存器 314 中。

根据本发明的一个实施例设置的序列器指令的一个实例在表 1 中给出。

表 1

操作代码	指令(6 比特)	数据字段 (4 比特)	扩展字段 (8 比特)	Delta 时间 (8 比特)	描述
0×00	Clr GPIOA	选择管脚	没有使用	Delta 时间	清除所选的 GPIOA 管脚，与 GPSigA 同步

0×01	Set GPIOA	选择管脚	没有使用	Delta 时间	设置所选的 GPIOA 管脚，与 GPSigA 同步
0×02	Clr GPIOB	选择管脚	没有使用	Delta 时间	清除所选的 GPIOB 管脚
0×03	Set GPIOB	选择管脚	没有使用	Delta 时间	设置所选的 GPIOB 管脚
0×04	Clr GPIOC	选择管脚	没有使用	Delta 时间	清除所选的 GPIOC 管脚
0×05	Set GPIOC	选择管脚	没有使用	Delta 时间	设置所选的 GPIOC 管脚
0×06	Toggle GPSigA	选择信号	没有使用	Delta 时间	在所选的 GPSigA 线产生脉冲
0×07	Toggle GPSigB	选择信号	没有使用	Delta 时间	在所选的GPSigB线产生脉冲
0×08	Toggle ARMInt	选择信号	没有使用	Delta 时间	在所选的MCU中断线产生脉冲
0×09	Toggle DSPInt	选择信号	没有使用	Delta 时间	在所选的 DSP 中断线产生脉冲
0×0A	Toggle DMAInt	选择通道	没有使用	Delta 时间	在起动相关联 DMA 通道的所选 Sys.DMA 起动线产生脉冲
0×0B	Toggle DSPDMAInt	选择通道	没有使用	Delta 时间	在起动相关联 DMA 通道的所选 DSP.DMA 起动线产生脉冲
0×0C	ShortWait	没有使用	4 比特没有使用 4 比特等待	等待	对<等待>时间标记的等待
0×3×	Long Wait (2 比特)绝对时间(24 比特)				在开始下一个指令之前等待直到<Abs.Time>到达加上 3－4 SysClk 周期的附加延迟。该指令隐含地实现了校准相位补偿
0×10	If …Skip Next	地址(12 比特)		比特	在内部 TEP 存储器的<Address>测试<Bit>，并且，如果设置的话，则下一个指令将被具有相同执行延迟的 NOP 替代
0×11	Clr Bit	地址(12 比特)		比特	在<Address>清除<Bit >
0×12	SetBit	地址(12 比特)		比特	在< Address >设置<Bit >
0×15	Shift	地址(12 比特)		没有使用	在< Address >将内容向左移位 1 比特
0×0D	Wait	触发选择， 比特 6：DSP DMA ch0 比特 5－0：GPSigB[5:0] 6 比特没有使用		没有使用	等待直到发生所选的触发器 GPSigB[5:0]或 DSP DMA 通道 0 IRQOut 发生
0×14	NOP	没有使用			没有操作
0×0E	Jump	绝对地址		没有使用	标准分支，跳跃到<absolute Address >
0×0F	终止	没有使用			停止执行并且将序列器硬件设置为空闲

0×18	WriteRegF	Reg.File 地址	写入数据 (16 比特)	立即将给定数据写入到序列器的内部寄存器
0×13	DataMoveE	没有使用		启动 DMA 传输，吩唱存储在 RegFile 中的 DMA 设置

有时可能需要在同一时间设置或清除两个或多个 I/O 管脚。虽然序列器指令设置可能提供用于设置或清除 I/O 管脚的指令，但是这种指令是按顺序执行的而不是同时执行的。为了在同一时间设置或清除两个或多个管脚，可能将设置和清除指令与一个特定信号同步。例如，如果管脚 GPIOA 和管脚 GPIOB 需要被同时设置，则序列器可能将这些指令同步到 GPSigA。之后，序列器可能首先执行设置 GPIOA 的指令，之后执行设置 GPIOB 的指令。在执行使得两个管脚同时被设置的触发 GPSigA 指令前，这些管脚实际上没有被设置。

当由序列器执行长等待指令时，使用长等待比较模块 340。当在给定的时间量里没有接下来的指令要由序列器执行时，则执行长等待指令。长等待指令允许系统时钟关闭电源，并且允许序列器使用慢时钟来定时，以节省能量。

长等待比较模块 340 比较在长等待指令中指示的等待时间和绝对计数器 214 的值（图 2），其将在下文中详细描述。等待时间可能是 24 比特值，这样需要使用八比特 delta 时间字段、八比特扩展字段、四比特数据字段、和六比特操作代码字段的四比特。长等待比较模块 340 接收来自 24 比特绝对计数器 214 的输入并且将这个值与来自长等待指令的 24 比特等待时间比较。当这些值匹配时，序列器可执行下一个指令。长等待比较模块 340 还输出可被 TEP138 的时钟及电源控制模块 216 使用的空闲信息，以确定序列器是否执行长等待指令，从而系统时钟可能在所有序列器处于空闲状态时关闭电源。

如果振荡器已经被关闭，则 PreAbs32 寄存器 338 用来确定打开振荡器电源的时间。PreAbs32 寄存器指示打开振荡器的电源的绝对时间点，此时间点允许振荡器在完成执行当前长等待指令和开始执行下一

个指令之前，有足够的时间稳定下来。

序列器控制模块 334 控制程序流程，并且处理用于序列器 202a－202n 的中断。序列器控制模块 334 基于程序计数器寄存器 322 的内容向存储器请求指令。程序计数器寄存器 322 拥有下一个要被执行的指令的地址。序列器控制模块 334 可能通过线 344 从中断选择器 332 接收中断，其中该中断选择器可能从多个中断资源中选择最高优先权的中断请求。当接收了中断时，可能设置在寄存器 316 中的中断起动比特，并且将中断向量的地址装载到寄存器 318。序列器跳跃到寄存器 318 中的中断向量的地址，并且继续从那里开始执行。

当序列器接收硬件复位或执行终止（Die）指令时，序列器进入空闲状态。使用软复位来指示序列器取出第一指令，并且开始执行指令。当序列器接收软复位或中断时，它可能继续进行正常执行。如果序列器接收软复位，则将序列器将要跳跃到并开始执行的地址保存在寄存器 320 中。如果序列器接收到中断，将序列器将要跳跃到并开始执行的中断向量的地址保存在寄存器 318 中。

DMA 寄存器 302，304，306，308 和 310 由序列器使用，以存储 DMA 通道设置信息。例如，这些 DMA 寄存器可能存储源地址，目标地址和要被传输的比特的数量。DMA 控制模块 348 与 DSPDMA 控制器 134（图 1）和系统 DMA 控制器 136 接口，以启动 DMA 传输。

图 6 示出了在 TEP138 和 DMA 控制器 134 之间的接口的实例。一个 DMA 通道可能由 TEP138 专用，并且可能不被其它资源使用。例如，将通道 0 分配为 TEP 使用，尽管可以使用任何 DMA 通道。序列器 202a－202n 可能通过执行指令使用固定的通道（例如，如在表 1 的序列器指令设置中所示的 DataMoveE 指令）来启动 DMA 传输。DataMoveE 指令从 DMA 寄存器 302，304，306，308 和 310 中检索 DMA 通道设置信息，并且复制信息到 DMA 控制器 134 的内部 RAM604。一些序列

器可能同时请求到专用 DMA 通道的访问。请求解决器有限状态机（FSM）218 处理这些同时的请求。例如，请求解决器 FSM218 可能使用循环优先权方案来准予 DMA 通道访问序列器 202a－202n。当准予访问时，将 DMA 寄存器的值复制到 DMA 控制器的存储器 604，并且请求解决器 FSM218 设置通道起动标记，以起动专用的 DMA 通道。当完成 DMA 传输时，DMA 控制器 134 返回中断到请求解决器 FSM218。而且，在使用时，请求解决器 FSM218 可能肯定 DRReqSysClk 标记（没有示出）来，以证系统时钟在 DMA 传输过程中电源没有被关闭。

如上述参考图 6 所示的，图 7 示意性的示出了 TEP 启动的 DMA 传输的一个实例。首先，TEP138 使用专用通道发送通道设置信息到 DMA 控制器 134，并且发送通道起动信号到 DMA 控制器 134。DMA 控制器 134 完成数据传输，并且产生指示数据传输完成的中断到 TEP138。

在图 2 中示出的时钟校准单元 212 用来校准通信处理器 100 的慢时钟。通信处理器 100 可能以诸如 13MHz 的频率从系统时钟和以诸如 32KHz 的频率从自由运行慢时钟来接收时钟信号。而诸如系统时钟的高频时钟对于通信处理器 100 处理核心的计时来说可能是必需的，当处理核心处于空闲状态并且不需要由高频时钟计时时，慢时钟可能用于定时控制，以保存能量。TEP138 可能从慢时钟中得出系统定时。由 TEP138 处理的定时事件是基于慢时钟的时间和与慢时钟周期的时间相关的 delta 时间（在系统时钟周期中计数）。系统振荡器可能在不被通信处理器 100 的任何模块需要时关闭电源，并且当系统时钟需要用于下一个安排的操作时，可依靠慢时钟来启动系统时钟的电源。系统振荡器的电源关闭将在下面更详细的描述。

慢时钟并不是和高频时钟一样精确，并且对温度波动更为敏感。这样，可以校准慢时钟来保证所需的精确度。可以使用系统时钟或通过无线接收的无线系统的定时来校准慢时钟。如果系统时钟用于校准，

则可能在慢时钟周期的所选数量上对系统时钟周期的数量计数。如果来自无线系统的定时用于校准，则可能在慢时钟周期的所选数量上对无线系统时钟周期的数量（通过无线接收）计数。

为了保存能量，否则该能量会被使用频率合成器或 VCO 来校准慢时钟所消耗，可以通过从自由运行的慢时钟移去时钟周期来校准慢时钟，以提供经过校准的慢时钟。就是说，可能将低于自由运行的慢时钟的期望频率的频率选作经过校准的时钟频率（例如，在 32KHz 慢时钟情况中的 31kHz），并且可能通过从自由运行的慢时钟信号中移去时钟脉冲来产生经过校准的时钟信号。自由运行的慢时钟可能由分数 N 时钟分频器来调整，其周期性地从自由运行的慢时钟中移去时钟周期。在从自由运行的慢时钟中移去时钟周期的周期取决于特定分数和模数值，并且还取决于从慢时钟和系统时钟的比较中所获得的信息。例如，如果在移去时钟周期的周期是九个慢时钟周期，则为每九个没有校准的慢时钟周期产生八个经过校准的慢时钟周期。

但是，从自由运行的慢时钟中移去时钟周期会把相位误差引入到经过校准的慢时钟。这种相位误差由经过校准的慢时钟并非是真实周期性的事实引起。例如，假定从自由运行的 50kHz 时钟产生 40kHz 的经过校准的慢时钟。50kHz 时钟每 20μs 具有上升沿。就是说，50kHz 时钟在 20μs，40μs，60μs，80μs，100μs，120μs 等具有上升沿。可能通过周期性的移去周期来产生 40kHz 的经过校准的慢时钟。这样，经过校准的慢时钟将在 20μs，40μs，60μs，100μs，120μs 等具有上升沿。经过校准的慢时钟达到 40kHz 时钟的平均数，就是说，每秒 40,000 个时钟前沿，但是它与真实的 40kHz 时钟是不同相的。真实的 40kHz 时钟每 25μs 就具有时钟上升沿。例如，真实的 40kHz 时钟将在 25μs，50μs，75μs，100μs，125μs 等具有时钟上升沿。这样，在经过校准的40KHz时钟中的上升沿和在真实的40KHz时钟中的上升沿在不同时间发生，并且使用相位补偿，以解决在经过校准的慢时钟和相同频率的真实时钟之间的相位差，这将在下面描述。

图 9A 和 9B 分别示出了根据本发明实施例的具有相位补偿和显示相位补偿的定时图表的分数 N 时钟分频器的实现。分数递增寄存器 902 存储快时钟周期与自由运行 32kHz 时钟周期的比率，并且用作到加法器 904 的一个输入。相位补偿寄存器 906 是一个累加器，其累加器 904 的输出，并且用作到模数运算器 912 的一个输入。模数寄存器 908 存储由比较器 914 和在相位补偿寄存器 906 中的上 10 比特比较的值。比较器 914 用作到 AND 门 910 的输入，并且控制自由运行的 32kHz 时钟是否通过门 910。模数寄存器 908 是到模数运算器 912 的第二输入。模数运算器 912 计算用来当设置比较器时使相位补偿寄存器 906 递增的模数值。

在操作中，当在寄存器 906 中的值达到在模数寄存器 908 中的值时，设置比较器 914 的输出，这样禁止门 910 的输出。像可以看到的那样，累加相位补偿的量（也就是，寄存器 906 的值）并且线性增加每一自由运行的 32kHz 时钟周期。当累加器达到模数寄存器 908 时，门控关闭（gate off）自由运行的 32kHz 时钟输入直到下一个时钟周期。之后通过来自模数运算器 912 的计算的模数值，相位补偿累加器返转（wrap around）。

如上所述，移去时钟脉冲把相位误差引入到经过校准的时钟信号中。相位误差来自以下事实，即，如图 9B 所示的具有移去的脉冲的经过校准的慢时钟具有与相同频率的自由运行的时钟发生在不同时间的时钟沿。如在图 9B 中的波形 932 所示，相位误差随着每一慢时钟周期而增加，直到移去脉冲并且之后返回到零。在没有相位补偿的情况中，这些相位误差可能在无线系统中产生定时误差。通过使用经过校准的慢时钟和表示相位误差的相位补偿信号，可以以经过校准的慢时钟达成精确定时。

这样，当经过校准的时钟信号用于驱动绝对计数器 214 时，通过

使用在相位补偿寄存器 906 中计算的相位补偿来补偿在经过校准的时钟信号中的相位误差。参考在上面使用 50kHz 自由运行的慢时钟和 40kHz 经过校准的慢时钟讨论的实例，假定安排在 40kHz 时钟信号的第三个上升沿发生事件。如上面所述，在真实的 40kHz 时钟中，第三上升沿发生在 75μs。但是，在经过校准的 40kHz 时钟中，第三上升沿发生在 60μs。这样，经过校准的慢时钟和真实的 40KHz 时钟异相 15μs。当经过校准的慢时钟在 60μs 到达第三上升沿时，将在被安排事件的执行之前添加在系统时钟周期中计算的另外 15μs 延迟。以这种方式，序列器对校准的时钟信号补偿了调整的频率。

有时因为例如快速温度波动而不能达到慢时钟的足够的频率稳定性。但是，仍然需要产生经过校准的慢时钟信号，以驱动绝对计数器和定时长等待指令的执行。在这种形势中，可能使用系统时钟的频分。例如，时钟分频器 FSM916 可能将系统时钟分频为经过校准的慢时钟。

在图 2 中示出的绝对计数器 214 可能由经过校准的慢时钟来计时。在图 10 中更详细的示出了绝对计数器 214。在一个实施例中，在执行长等待指令来确定何时等待周期截止时，绝对计数器 214 可能是 24 比特计数器，并且可能由序列器 202a－202n 使用。例如，序列器 202a－202n 可能比较绝对计数器 214 的值和长等待指令的等待时间，以确定何时等待时间截止。

提供两个周期性触发产生器 1002 和 1004，并且它们可能由于多种目的，比如触发中断或触发抽点打印。抽点打印是慢时钟相对系统时钟的测量，或者慢时钟相对通过无线接收的无线系统的定时的测量，其可用于慢时钟的校准。抽点打印包括对在给定数量的慢时钟周期中的系统时钟周期的数量计数。

图 11A 和 11B 分别示出了用于获得抽点打印的方框图和状态转换图。抽点打印可能由一些不同的输入来启动。例如，基于在任何序列

器的寄存器文件中 SeqCtrl 寄存器 312（图 3）中的设置比特，抽点打印可能由绝对计数器的两个周期性触发器的任一个启动，或者由在两个处理核心中任一个上运行的软件来启动。

当启动抽点打印时，肯定校准信号来防止系统时钟的电源关闭。之后，抽点打印 FSM1108 进入设置状态 1103，在该状态中它等待接收指示系统时钟振荡器的电源没有关闭的 SysClkOk 信号 1110。当接收了 SysClkOk 信号 1110 时，抽点打印 FSM1108 进入抽点打印状态 1105，在该状态中在慢时钟周期数量期间对系统时钟周期的数量计数。慢时钟周期的数量在是可以进行软件设置的 TCLR 寄存器 1112 中指定。在 TCLR 寄存器 1112 中指定的时钟周期的数量由慢时钟周期计数器 1114 计数之后，产生中断，并且抽点打印 FSM1108 进入读回状态 1107。当抽点打印 1108 在读回状态 1107 中时，系统时钟周期计数器 1116 对于处理核心来说是通过 DPBUS 总线接口 210 可读的，以更新慢时钟校准需要的任何寄存器。在读取计数器 1116 之后，抽点打印 FSM1108 返回空闲状态 1101。

在图 2 中示出了时钟及电源控制模块 216。当没有使用 TEP138 的某些模块时，可能门控关闭到这些模块的时钟信号来节省能量。如果一个或多个序列器执行长等待指令并且没有其它模块需要使用系统时钟，则时钟及电源控制模块 216 可确定长等待指令的持续时间是否足够长，以允许系统时钟的电源关闭。

图 12 是时钟及电源控制模块 216 的方框图。诸如存储器访问解决器 208 和 DMA 请求解决器 218 的一些 TEP 模块，可能需要使用系统模块，并且可能分别通过信号 1206 和 1208 来指示时钟及电源控制模块 216 需要系统时钟。可能通过外部资源来提供外部信号，ReqSysClk1210，以指示一个或多个 TEP 外部的模块需要使用系统时钟。何时提供 ReqSysClk 信号的确定将在下面更详细的讨论。在执行慢时钟的校准时，由时钟校准模块来肯定校准信号 1212，并且请求系

统时钟保持有效。

每一序列器 202a－202n 可能通过 Set－Reset 触发器（SRFF）1218 来指示时钟及电源控制模块 216 需要系统时钟。SRFF1218 的 Q 输出是 TEPReqSysClk 信号 1216。每一不需要系统时钟的序列器通过 AND 门 1222 来肯定 KillSysClk 信号。当没有序列器需要系统时钟时，SRFF1218 进入复位状态，并且信号 1216 没有被肯定。如果任何序列器需要使用系统时钟，则它通过 OR 门 1224 来声明肯定 Restart System Oscillator 信号。作为回应，SRFF1218 进入设置状态，并且信号 1216 被肯定。考虑到下一个指令的安排执行时间和振荡器的必要预热时间，PreAbs32 寄存器 338 可能用来存储振荡器保持电源关闭的最新的时间。如果当前时间小于在它的 PreAbs32 寄存器 338 中的时间，则序列器可能肯定 KillSysOsc 信号。如果当前时间等于在它的 PreAbs32 寄存器 338 中的时间，则序列器可能肯定 RestartSysOsc 信号。在当前时间等于长等待指令的截止时间时，系统时钟应该是稳定的。

电源打开序列器 1226 接收来自 OR 门 1220 的、指示是否任何 TEP 内部或外部的模块需要使用系统时钟的输入信号。如果这个信号被肯定，则电源打开序列器 1226 可能通过肯定 SysOscOn 信号 1236 来打开系统时钟振荡器。时钟垫（clock pad）电源打开寄存器（CPPUR）1228 存储用于时钟垫缓冲器的调整时间（settling time），并且振荡器预热寄存器 OWUR1230 存储用于振荡器的预热时间。当从 OR 门 1220 到电源打开序列器 1226 的输入信号被肯定时，FSM1234 从零开始一个 10 比特计数器 1232，并且肯定 SysOscOn 信号 1236，使得系统振荡器的电源打开。当计数器 1232 到达在 OWUR1230 中指定的时间时，ClkBufOn 信号 1238 被肯定，起动时钟垫缓冲器。当计数器 1232 等于在 OWUR1230 中指定的时间加上在 CCPUR1228 中指定的时间时，SysClkGate 信号 1240 被肯定，其指示系统时钟振荡器输出有效，并且起动 AND 门 1242。AND 门 1242 禁止系统时钟振荡器输出直到振荡器具有足够时间稳定下来。在达到在 OWUR1230 中指定的振荡器预热时

间加上存储在 CPPUR1228 中的时钟垫电源打开延迟时间之后，振荡器是稳定的。当到达这个时间时，SysClkGate 信号 1240 起动 AND 门 1242，并且允许来自振荡器的时钟信号通过门。

如上所述，时钟及电源控制模块 216 接收来自 TEP138 外部的资源的 ReqSysClk 信号。这个信号指示是否有诸如 DSP 核心 102 和 MCU104 的任何 TEP138 外部的模块需要使用系统振荡器。图 13A 示出了时钟信号如何在通信处理器 100 中产生。电源 1300 对系统振荡器 1301 供电。如上面所述，电源可能由从 TEP 接收的 SysOscOn 信号来控制。这个信号可能用来控制振荡器 1301 的电源是打开还是关闭。将振荡器输出输入到垫缓冲放大器 1303。缓冲放大器 1303 可能通过来自 TEP 的控制信号打开电源或关闭电源。将缓从冲放大器 1303 输出的时钟信号输入到 AND 门 1305。到门 1305 的第二输入是从 TEP138 接收的 SysClkGate 信号，其在振荡器的预热时间里允许门控关闭振荡器输出。

将从门 1305 输出的时钟信号输入到锁相环（PLL）1307，其将时钟信号乘以适于对 DSP 核心 102 计时的频率。在 DSP 核心为空闲的情况中，可能不需要使用 PLL1307 来加倍时钟信号，并且不将从门 1305 输出的时钟信号提供到 PLL1307。多路复用器 1309 选择来自 PLL1307 的加倍的时钟信号或门 1305 的输出。如图 13B 所示，一些时钟信号可能从多路复用器 1309 的输出产生。首先，DCLK 时钟可被产生为 PLL1307 的输出。DCLK 时钟可能用来对 DSP 核心 102 计时。可将没有经过门的 DCLK（nDCLK）时钟 1319 输入到 AND 门 1311。当 DSP 核心不需要 DCLK 时钟时，可以使用 AND 门 1311 来门控关闭 DCLK 时钟。之后，可能通过使用频率分频器 1321 来分频 DCLK 时钟，以产生 DSCLK 时钟。频率分频器 1321 可能是软件可编程的，并且可能将 DCLK 时钟除以 1 或 2。DSCLK 时钟可能用来对 DSP 子系统计时，其中该子系统包括 DSP 外围设备和 DSP DMA 控制器 134。当不需要 DSCLK 时钟时，可由 AND 门 1313 来门控关闭 DSCLK 时钟。将没有

经过门的 DSCLk（nGDSCLK）时钟 1323 提供到可编程的时钟分频器 1325，其可能将它的输入信号除以 1 和 8 之间的数字，以产生 BCLK 时钟。BCLK 时钟可能用来驱动通信处理器 100 的总线。当不需要 BCLK 时钟时，可由 AND 门 1315 门控关闭 BCLK 时钟。MCLK 时钟可能和 BCLK 时钟的频率相同，并且可能用来对 MCU104 计时。可能当不需要时由门 1317 门控关闭 MCLK 时钟。

表 2

MCU睡眠时钟需求寄存器（MSCRR）
[0] -DCLK, 1=在MCU睡眠期间必须是有效的
[1] -DSCLK, 1=在MCU睡眠期间必须是有效的
[2] -BCLK, 1=在MCU睡眠期间必须是有效的
[3] -在睡眠期间允许PLL旁路

MCU有效时钟需求寄存器（MACRR）
[0] -DCLK 1=在MCU有效期间是有效的
[1] -DSCLK 1=在MCU有效期间必须是有效的
[2] -BCLK 这个比特是在这个寄存器中的强制的一个
[3] -允许PLL旁路。这个比特是在这个寄存器中的强制的零

DSP睡眠时钟需求寄存器（DSCRR）
[0] -DCLK, 1=在DSP睡眠期间必须是有效的
[1] -DSCLK, 1=在DSP睡眠期间必须是有效的
[2] -BCLK, 1=在DSP睡眠期间必须是有效的
[3] -在睡眠期间允许旁路

DSP有效时钟需求寄存器（DACRR）
[0] -DCLK 这个比特是在这个寄存器中的强制的一个
[1] -DSCLK, 这个比特是在这个寄存器中的强制的一个
[2] -BCLK, 这个比特是在这个寄存器中的强制的一个
[3] -允许PLL旁路。这个比特是在这个寄存器中的强制的零

图 14 和表 2 示出了当不需要图 13B 中的时钟信号时如何将其关闭。如图 14 所示，PLL1307 加倍振荡器输出，以产生时钟信号。时钟分频器 1419 可能执行和图 13B 中的时钟分频器 1321 和 1325 相同的操作。从时钟分频器 1419 输出的时钟信号可能是 ngDCLK 信号、nGDSCLK 信号、以及 nGDBCLK 信号。之后将这些信号中的每一个导向多路复用器 1309a－1309c 中的一个，并且之后导向合适的 AND 门

1311－1315。

寄存器 1405 是 MCU 睡眠（sleep）时钟需求寄存器（MSCRR）。MSCRR 寄存器 1405，如表 2 所示，指示当 MCU 睡眠或者处于空闲状态时需要哪个时钟。类似的，MCU 有效时钟需求寄存器（MACRR）寄存器 1407 存储关于当 MCU 有效时需要哪个时钟的信息。由 MCU104 产生的 MCU 有效信号 1427 由多路复用器 1423 使用，以确定是否输出 MSCRR 寄存器 1405 的内容或 MACRR 寄存器 1407 的内容。在 MSCRR 寄存器 1405 中的 PLL 旁路比特，当设置时，其在 MCU104 处于睡眠时允许旁路 PLL1307。因为 MCU104 在空闲模式中时可能不需要被计时，因此，可能不需要 PLL1307 把振荡器加倍到高频来驱动 MCU104。这样，可以通过旁路 PLL1307 达成能量节省。而且，在一些不需要高处理速度的情况中，DSP 核心 102 和 MCU104 可能在没有 PLL 加倍的情况下在输入到通信处理器的系统时钟上运行。

类似于 MCU104，提供了两个 DSP 寄存器：DSP 睡眠时钟需求寄存器（DSCRR）1401 和 DSP 有效时钟需求寄存器（DACRR）1403。寄存器 1401 和 1403 分别指示当 DSP 核心 102 处于睡眠时需要哪个时钟，以及在当 DSP 核心 102 有效时需要哪个时钟。由 DSP 核心 102 产生的 DSP 有效信号由多路复用器 1421 使用，以确定是否输出 DSCRR 寄存器 1401 或 DACRR 寄存器 1403 的内容。OR 门 1409，1411 和 1413 结合 MCU 需求寄存器 1405 和 1407、以及 DSP 需求寄存器 1401 和 1403 的输出。AND 门 1415，1311，1313，1315 和 1317 可能用来根据寄存器 1401，1403，1405 和 1407 的内容来起动或禁止对应的时钟信号。

除了当在不需要某些时钟信号时禁止它们来节省能量，系统时钟振荡器的电源可能关闭，使得当没有通信处理器 100 的模块需要时钟时不产生系统时钟信号。图 15 示出了如何关闭振荡器的电源。DSP 核心 102 和 MCU 核心 104 更新指示各个处理核心是否需要时钟信号以及是否有任何外围设备需要时钟信号的寄存器 1503。时钟控制模块 1501

监控寄存器 1503，以确定在通信处理器 100 中是否有任何模块需要时钟信号。如果都不需要这些时钟信号，则时钟控制模块 1501 可能提供 SysClkReq 信号到 TEP138。如上参考图 12 所述的，之后 TEP138 可能做出决定是否关闭系统振荡器的电源。以这种方式，可在需要时打开系统振荡器的电源，并且当不需要时关闭电源，以节省能量。

这样就描述了本发明的多种实施例，对于本领域普通技术人员来说，可以做出多种改进和修正。这样，本发明的范围并不意在限制到所示和所述的特定实施例。而是，本发明的范围仅仅由附加的权利要求及其等价物所限制。

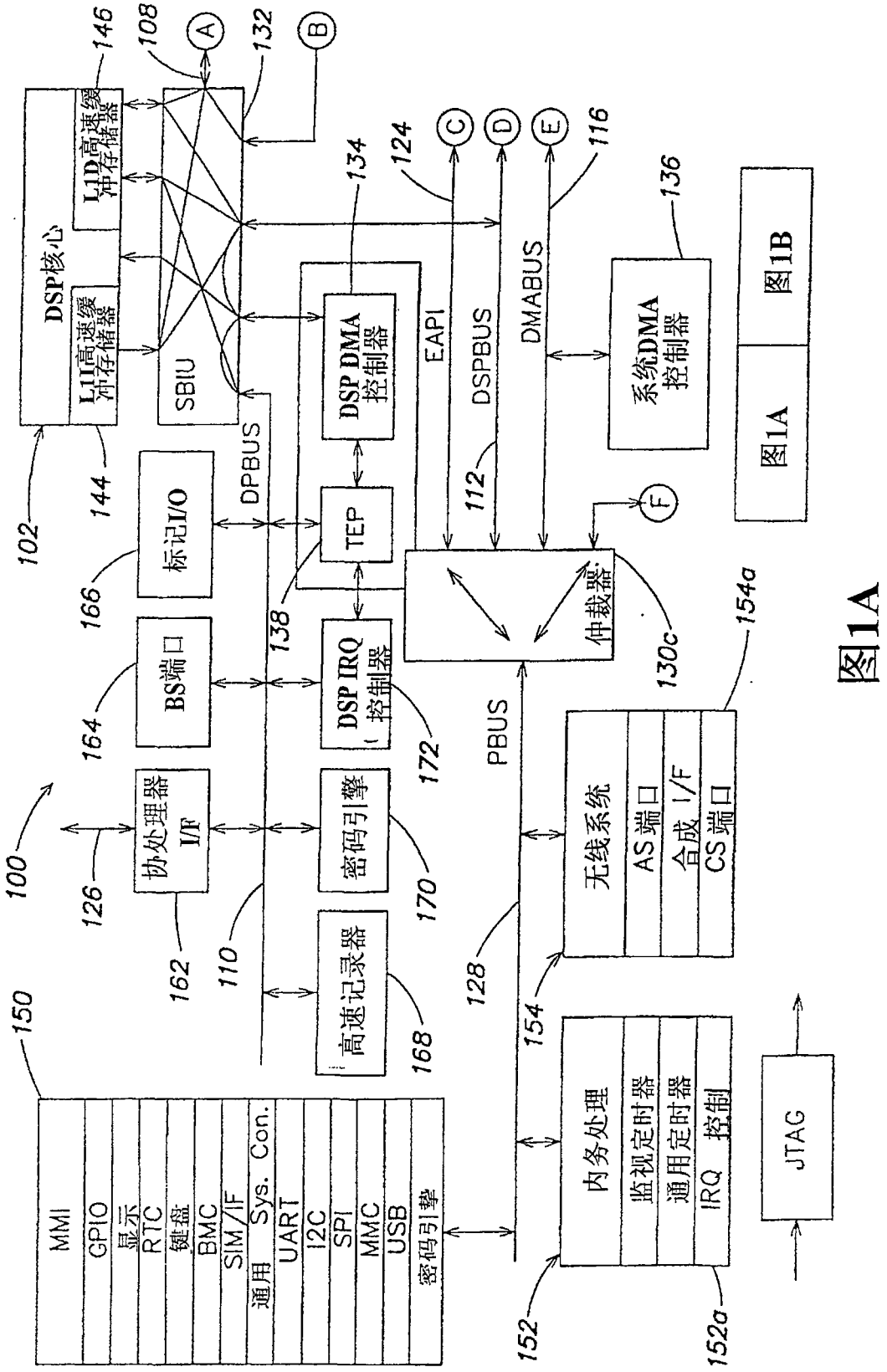

DSP核心
L1D高速缓冲存储器
L1D高速缓冲存储器
SBIU
DSP DMA控制器
EAPI
DSPBUS
DMABUS
系统DMA控制器
标记I/O
DPBUS
TEP
BS端口
DSP IRQ控制器
协处理器I/F
密码引擎
高速记录器
仲裁器
PBUS
无线系统
AS端口
合成 I/F
CS端口
MMI
GPIO
显示
RTC
键盘
BMC
SIM/IF
通用 Sys. Con.
UART
I2C
SPI
MMC
USB
密码引擎
内务处理
监视定时器
通用定时器
IRQ 控制
JTAG
图1A
图1B
100
102
108
110
112
116
124
126
128
130c
132
134
136
138
144
146
150
152
152a
154
154a
162
164
166
168
170
172

图1A

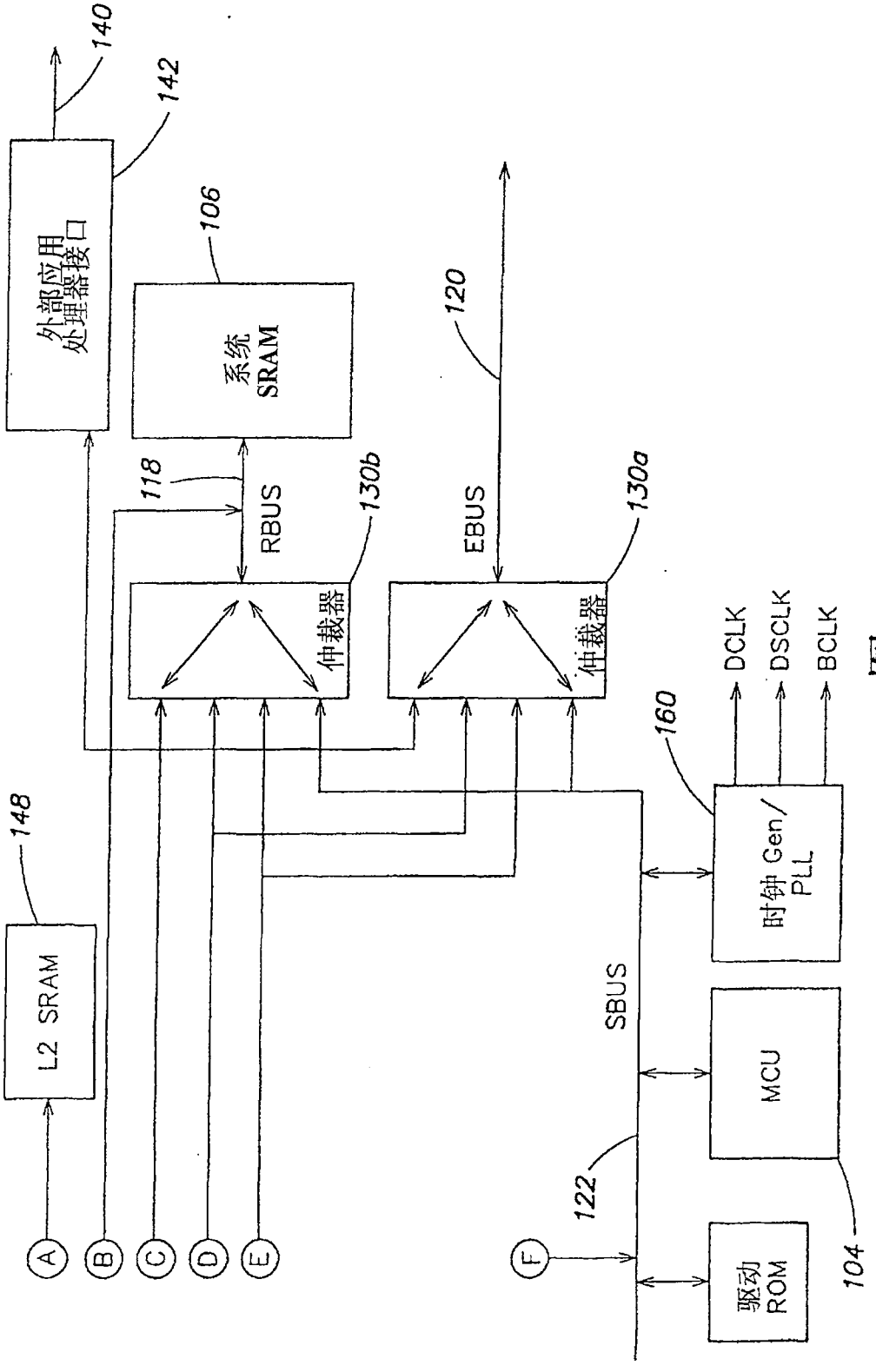

140
142
外部应用处理器接口
106
系统SRAM
120
118
RBUS
130b
EBUS
130a
仲裁器
仲裁器
148
L2 SRAM
160
时钟 Gen/PLL
DCLK
DSCLK
BCLK
SBUS
MCU
122
驱动ROM
104
A
B
C
D
E
F

图1B

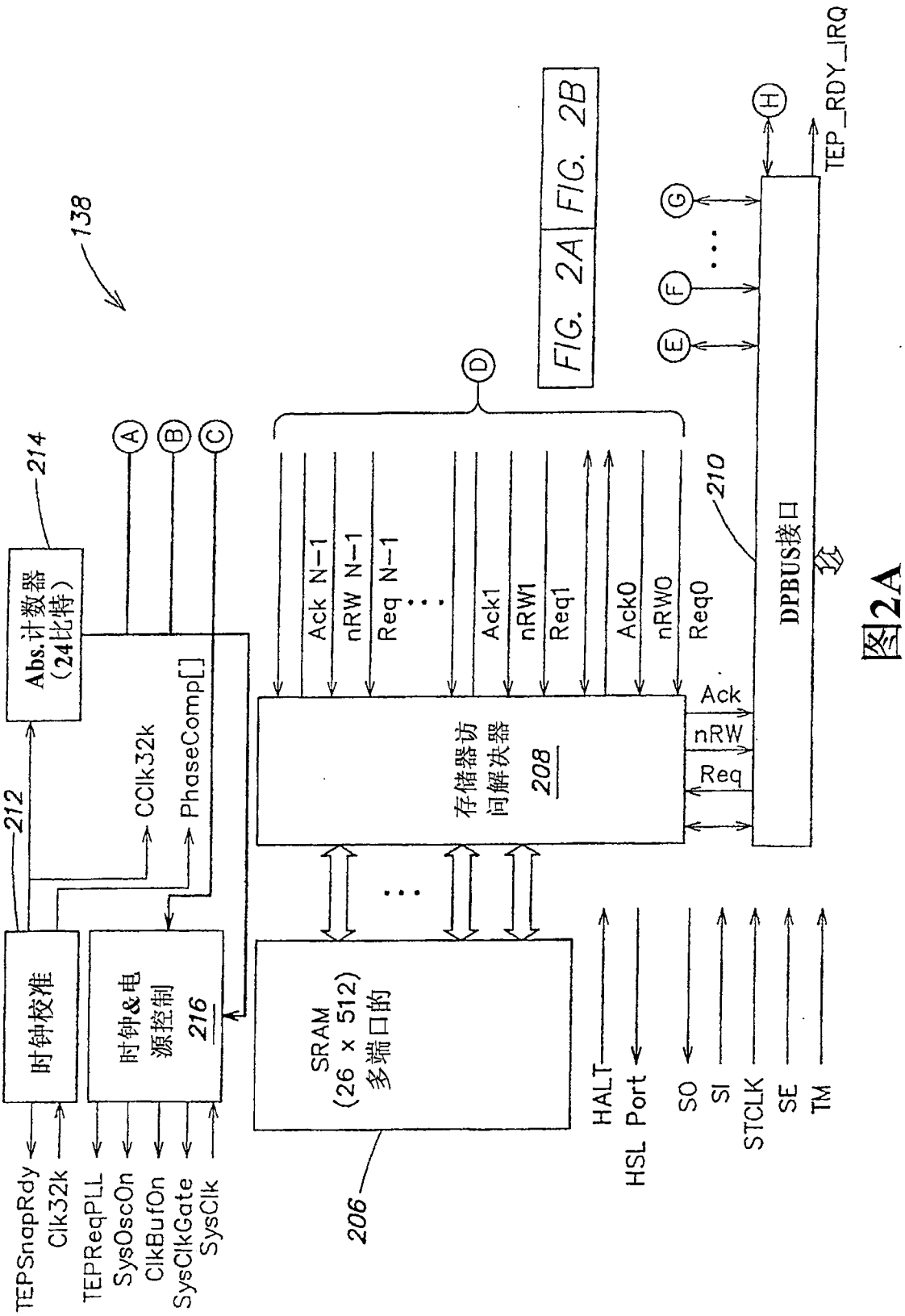

138
FIG. 2A
FIG. 2B
214
Abs.计数器
(24比特)
212
CClk32k
PhaseComp[]
A
B
C
D
E
F
G
H
Ack N-1
nRW N-1
Req N-1
Ack1
nRW1
Req1
Ack0
nRW0
Req0
210
DPBUS接口
TEP_RDY_IRQ
Ack
nRW
Req
存储器访
问解决器
208
时钟校准
时钟&电
源控制
216
SRAM
(26 x 512)
多端口的
206
TEPSnapRdy
Clk32k
TEPReqPLL
SysOscOn
ClkBufOn
SysClkGate
SysClk
HALT
HSL Port
SO
SI
STCLK
SE
TM

图2A

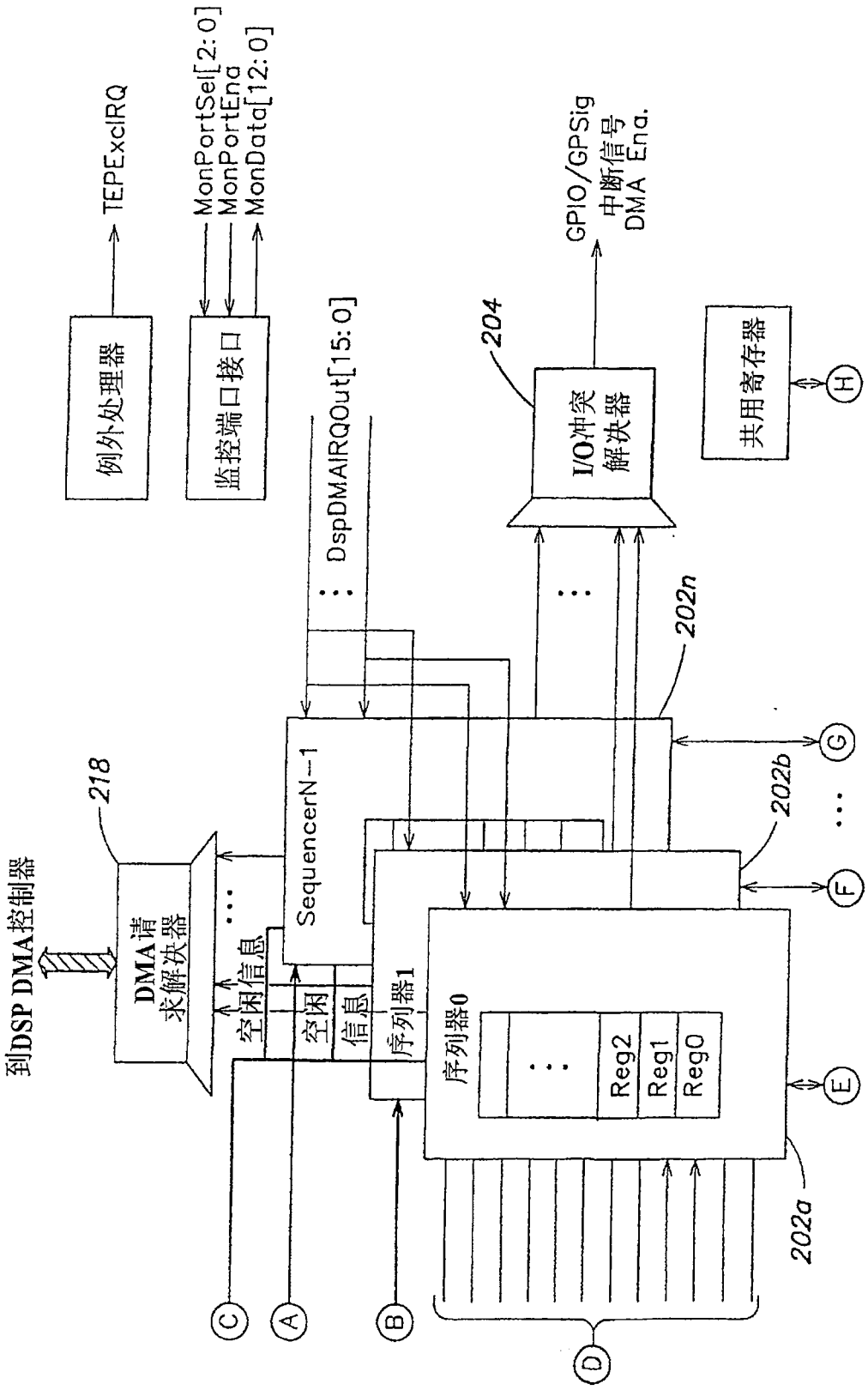

例外处理器
TEPExcIRQ
监控端口接口
MonPortSel[2:0]
MonPortEna
MonData[12:0]
DspDMAIRQOut[15:0]
204
I/O冲突解决器
GPIO/GPSig
中断信号
DMA Ena.
共用寄存器
H
218
DMA请求解决器
到DSP DMA控制器
空闲信息
SequencerN-1
202n
202b
G
F
空闲
信息
序列器1
序列器0
Reg2
Reg1
Reg0
E
C
A
B
D
202a

图2B

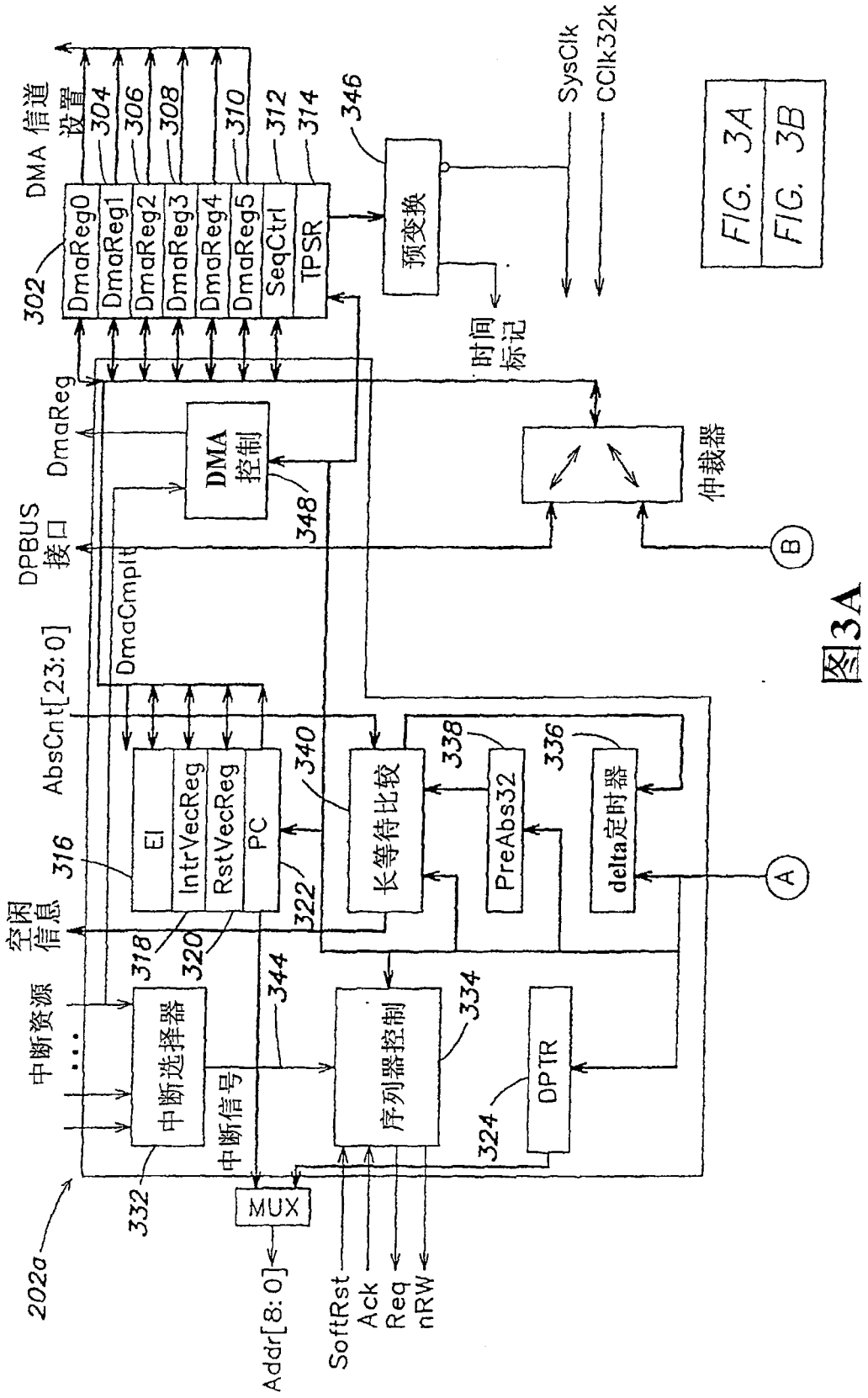

DMA 信道设置
304
306
308
310
312
314
346
302
DmaReg0
DmaReg1
DmaReg2
DmaReg3
DmaReg4
DmaReg5
SeqCtrl
TPSR
预变换
SysClk
CClk32k
FIG. 3A
FIG. 3B
时间标记
DmaReg
DMA 控制
348
DPBUS 接口
DmaCmplt
仲裁器
B
AbsCnt[23:0]
316
EI
IntrVecReg
RstVecReg
PC
340
长等待比较
338
PreAbs32
336
delta定时器
A
空闲信息
322
318
320
344
中断资源
中断选择器
中断信号
序列器控制
334
DPTR
324
332
MUX
202a
Addr[8:0]
SoftRst
Ack
Req
nRW

图3A

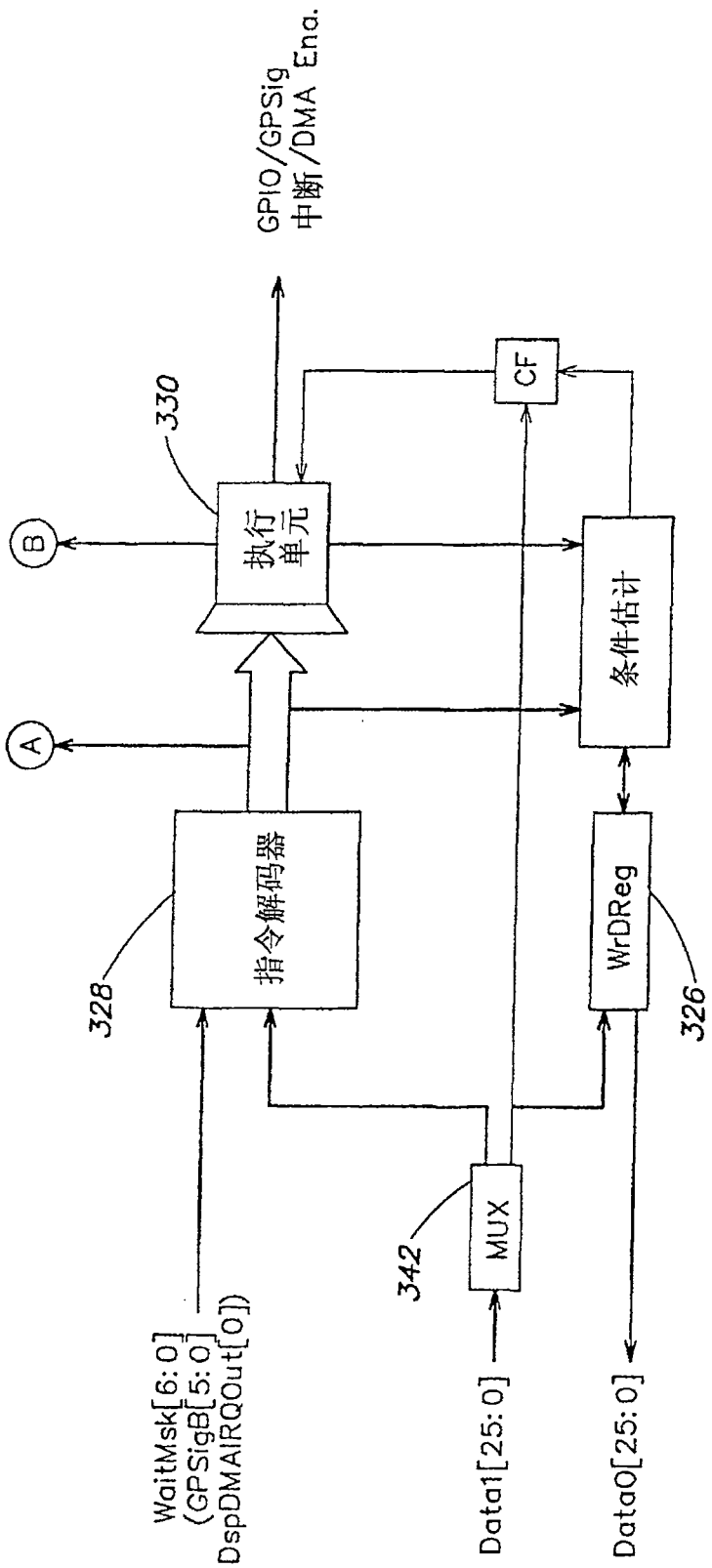

GPIO/GPSig
中断/DMA Ena.
330
CF
B
执行单元
条件估计
A
指令解码器
328
WrDReg
326
342
MUX
WaitMsk[6:0]
(GPSigB[5:0]
DspDMAIRQOut[0])
Data1[25:0]
Data0[25:0]

图3B

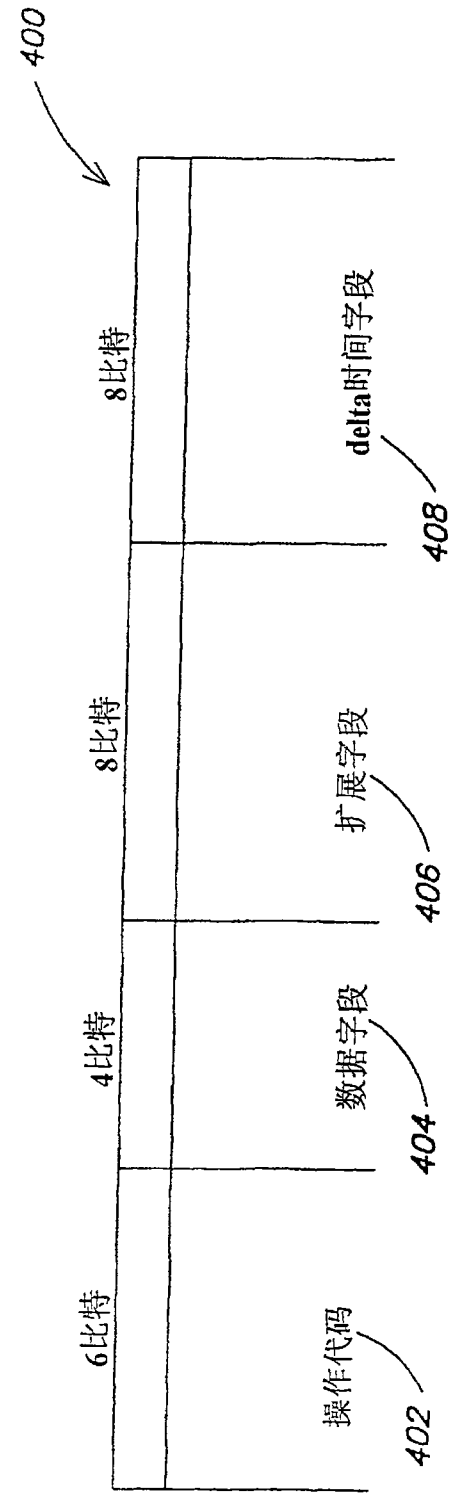


图4

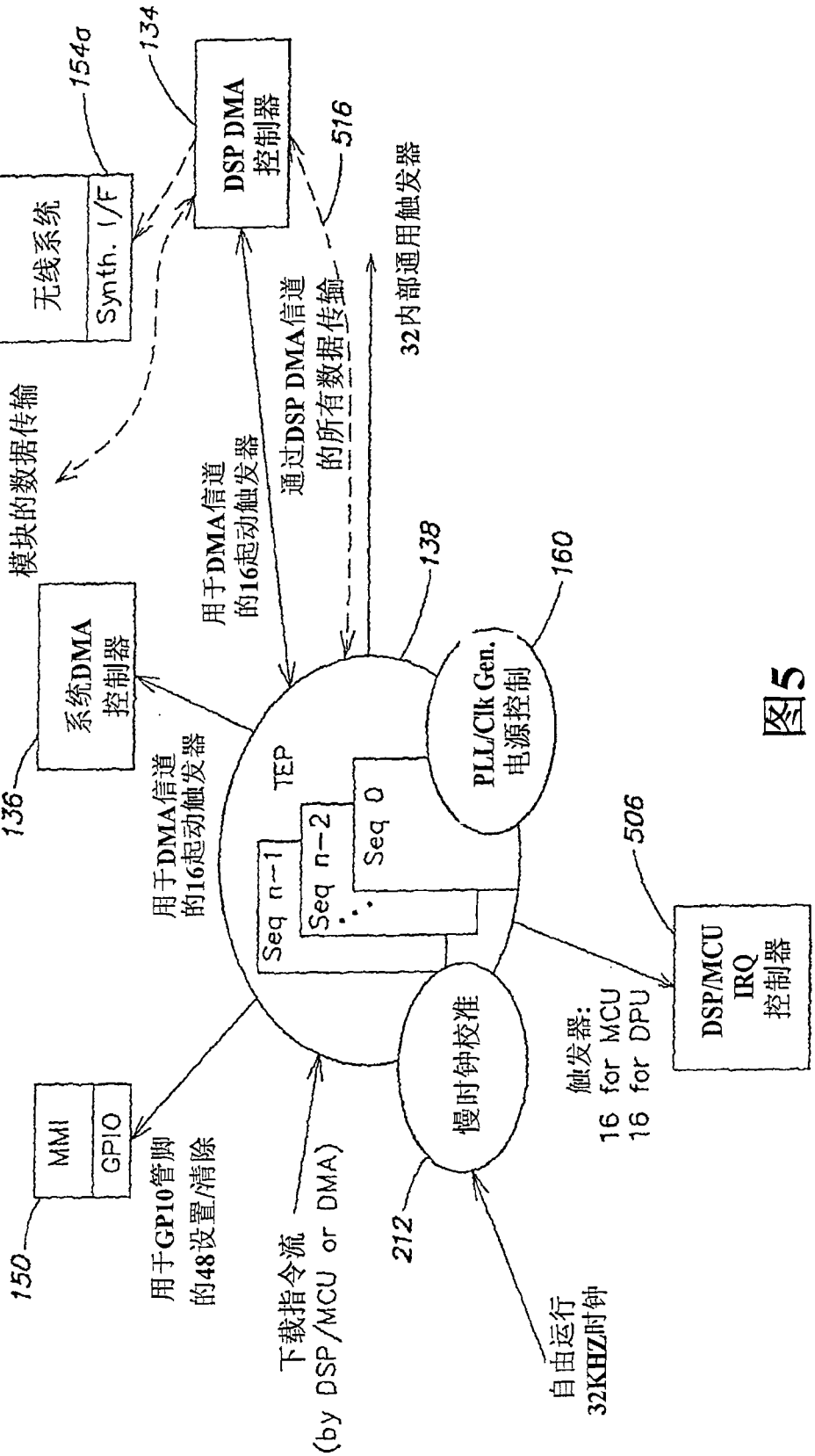

154
154a
134
无线系统
Synth. I/F
DSP DMA
控制器
516
到其他MONACO
模块的数据传输
用于DMA信道
的16起动触发器
通过DSP DMA信道
的所有数据传输
32内部通用触发器
系统DMA
控制器
136
138
160
用于DMA信道
的16起动触发器
TEP
Seq n-1
Seq n-2
Seq 0
PLL/Clk Gen.
电源控制
506
MMI
GPIO
150
用于GP10管脚
的48设置/清除
下载指令流
(by DSP/MCU or DMA)
212
慢时钟校准
触发器:
16 for MCU
16 for DPU
DSP/MCU
IRQ
控制器
自由运行
32KHZ时钟

图5

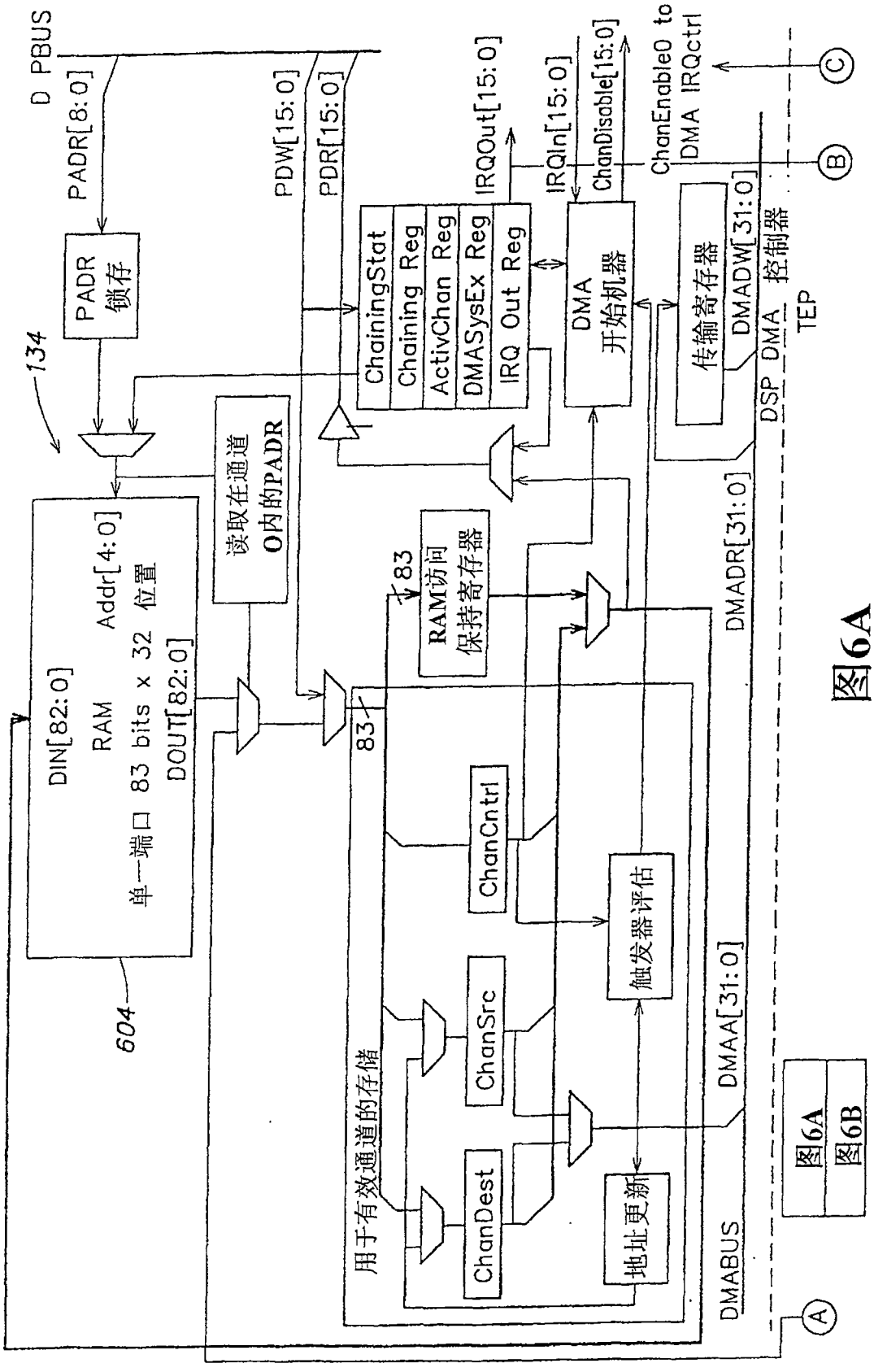

D PBUS
PADR[8:0]
PADR
锁存
134
PDW[15:0]
PDR[15:0]
IRQOut[15:0]
IRQIn[15:0]
ChanDisable[15:0]
ChanEnable0 to
DMA IRQctrl
ChainingStat
Chaining Reg
ActivChan Reg
DMASysEx Reg
IRQ Out Reg
DMA
开始机器
传输寄存器
DMADW[31:0]
DSP DMA 控制器
TEP
读取在通道
0内的PADR
DIN[82:0]
RAM
Addr[4:0]
单一端口 83 bits x 32 位置
DOUT[82:0]
604
83
RAM访问
保持寄存器
83
DMADR[31:0]
ChanCntrl
ChanSrc
ChanDest
触发器评估
地址更新
用于有效通道的存储
DMAA[31:0]
DMABUS
A
B
C
图6A
图6B

图6A

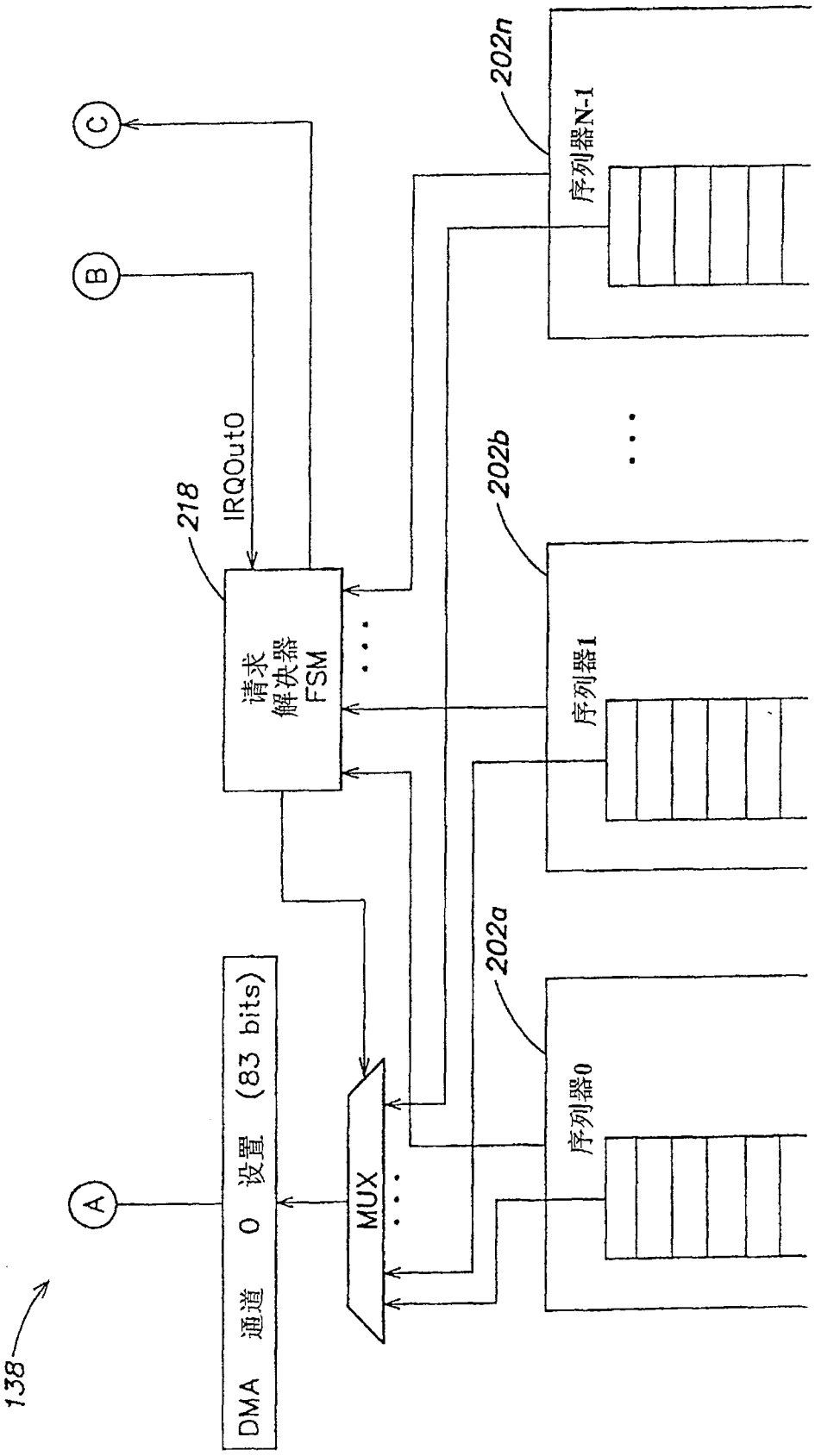

138
DMA 通道 0 设置 (83 bits)
A
B
C
MUX
请求解决器FSM
218
IRQOut0
序列器0
序列器1
序列器N-1
202a
202b
202n

图6B

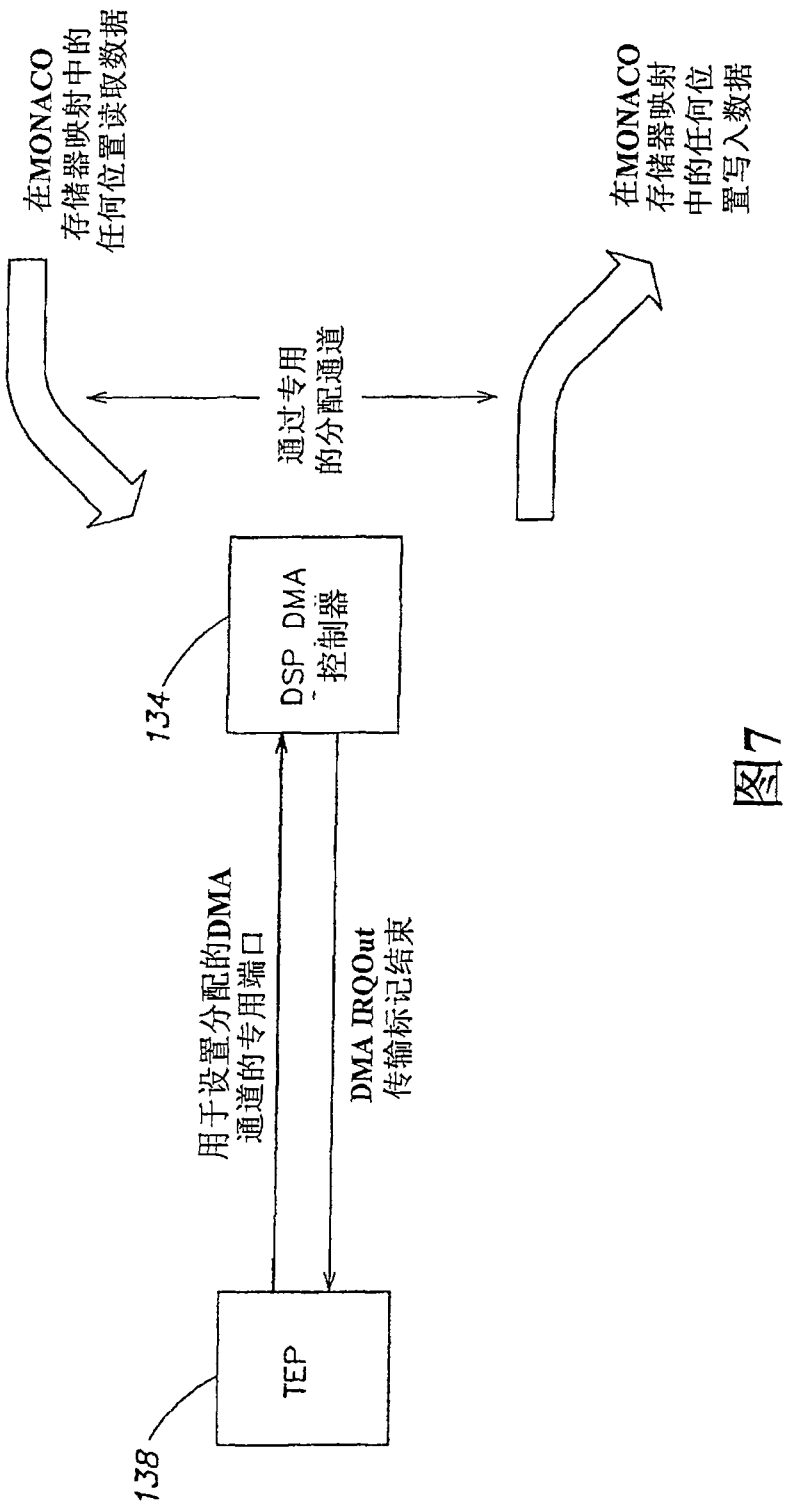

在MONACO
存储器映射中的
任何位置读取数据
通过专用
的分配通道
在MONACO
存储器映射
中的任何位
置写入数据
134
DSP DMA
控制器
用于设置分配的DMA
通道的专用端口
DMA IRQOut
传输标记结束
138
TEP

图7

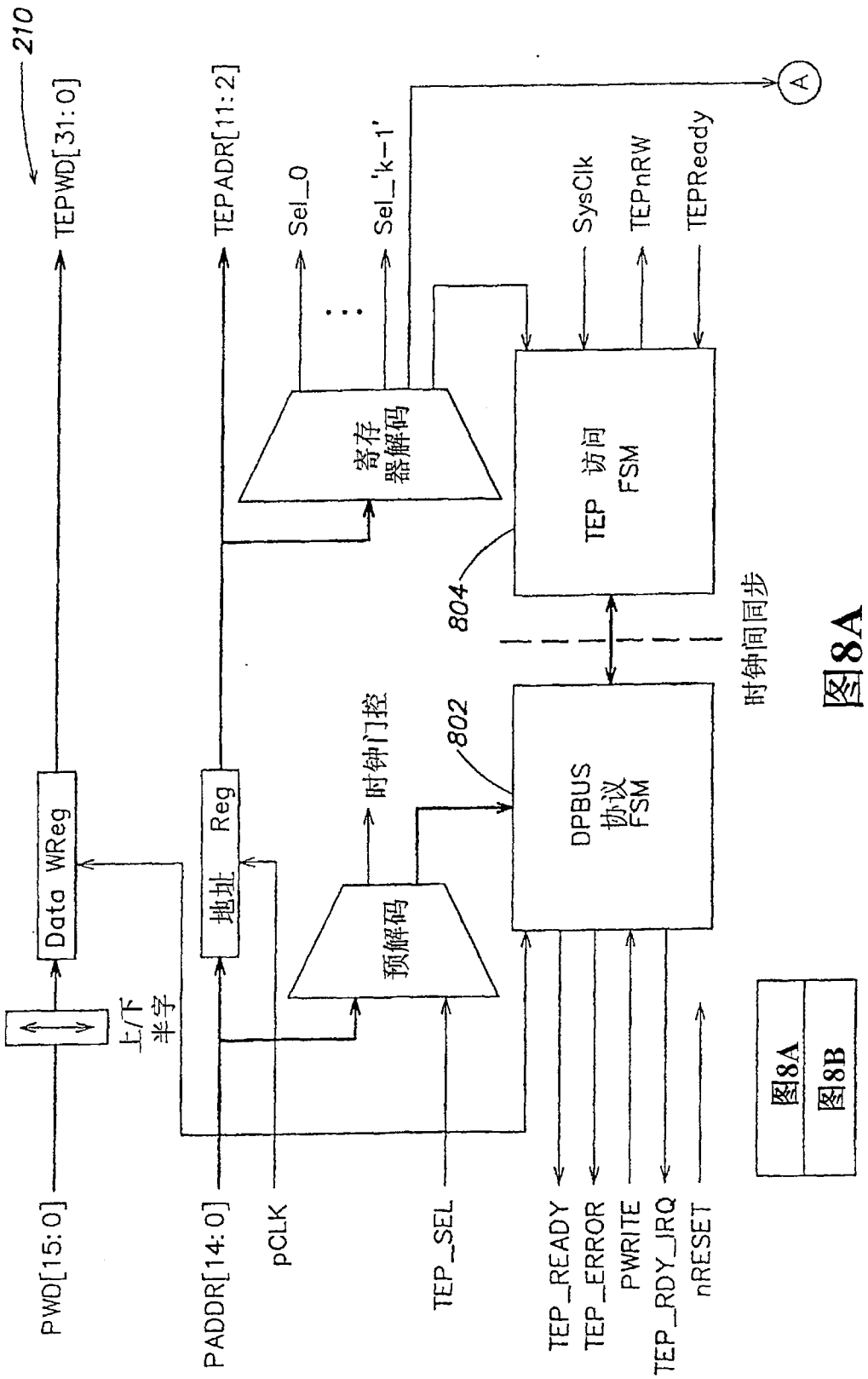

210
TEPWD[31:0]
TEPADR[11:2]
Sel_0
Sel_'k-1'
SysClk
TEPnRW
TEPReady
A
寄存器解码
TEP 访问 FSM
804
802
DPBUS 协议 FSM
时钟间同步
Data WReg
地址 Reg
时钟门控
预解码
上/下半字
PWD[15:0]
PADDR[14:0]
pCLK
TEP_SEL
TEP_READY
TEP_ERROR
PWRITE
TEP_RDY_IRQ
nRESET
图8A
图8B

图8A

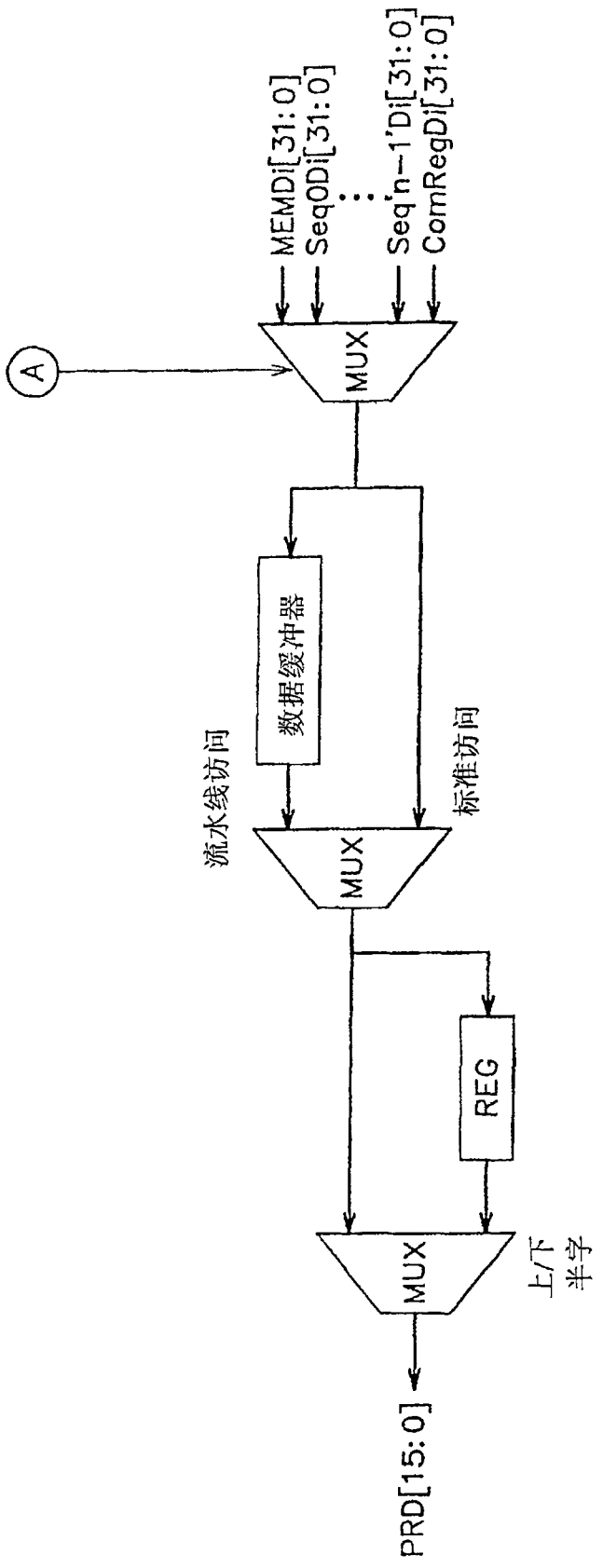

MEMDi[31:0]
SeqODi[31:0]
Seq'n-1'Di[31:0]
ComRegDi[31:0]
A
MUX
数据缓冲器
流水线访问
标准访问
MUX
REG
MUX
上/下
半字
PRD[15:0]

图8B

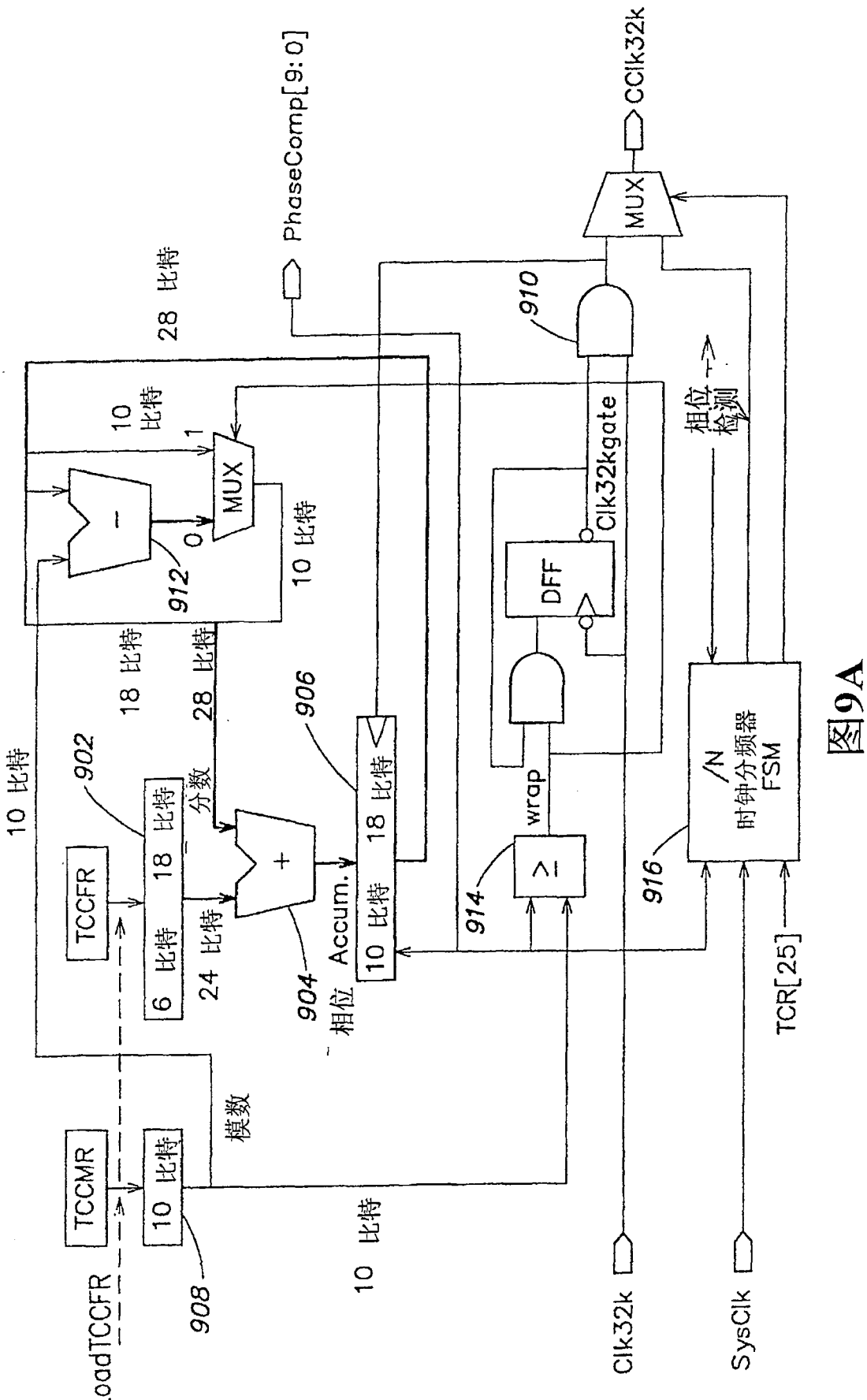

PhaseComp[9:0]
CClk32k
MUX
910
28 比特
10 比特
1
0
MUX
912
10 比特
18 比特
28 比特
906
902
TCCFR
18 比特
6 比特
分数
24 比特
904
相位 Accum.
10 比特
18 比特
10 比特
DFF
Clk32kgate
相位检测
wrap
914
≥
916
/N
时钟分频器
FSM
TCR[25]
10 比特
TCCMR
10 比特
908
模数
LoadTCCFR
Clk32k
SysClk

图9A

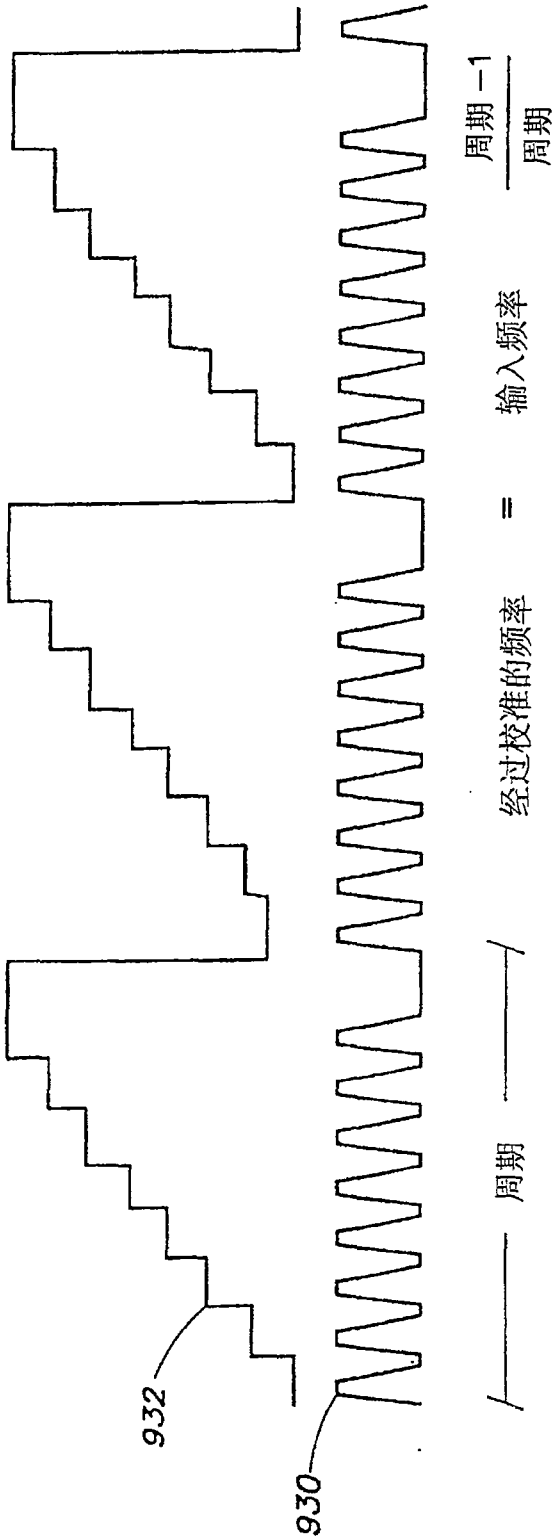


图9B

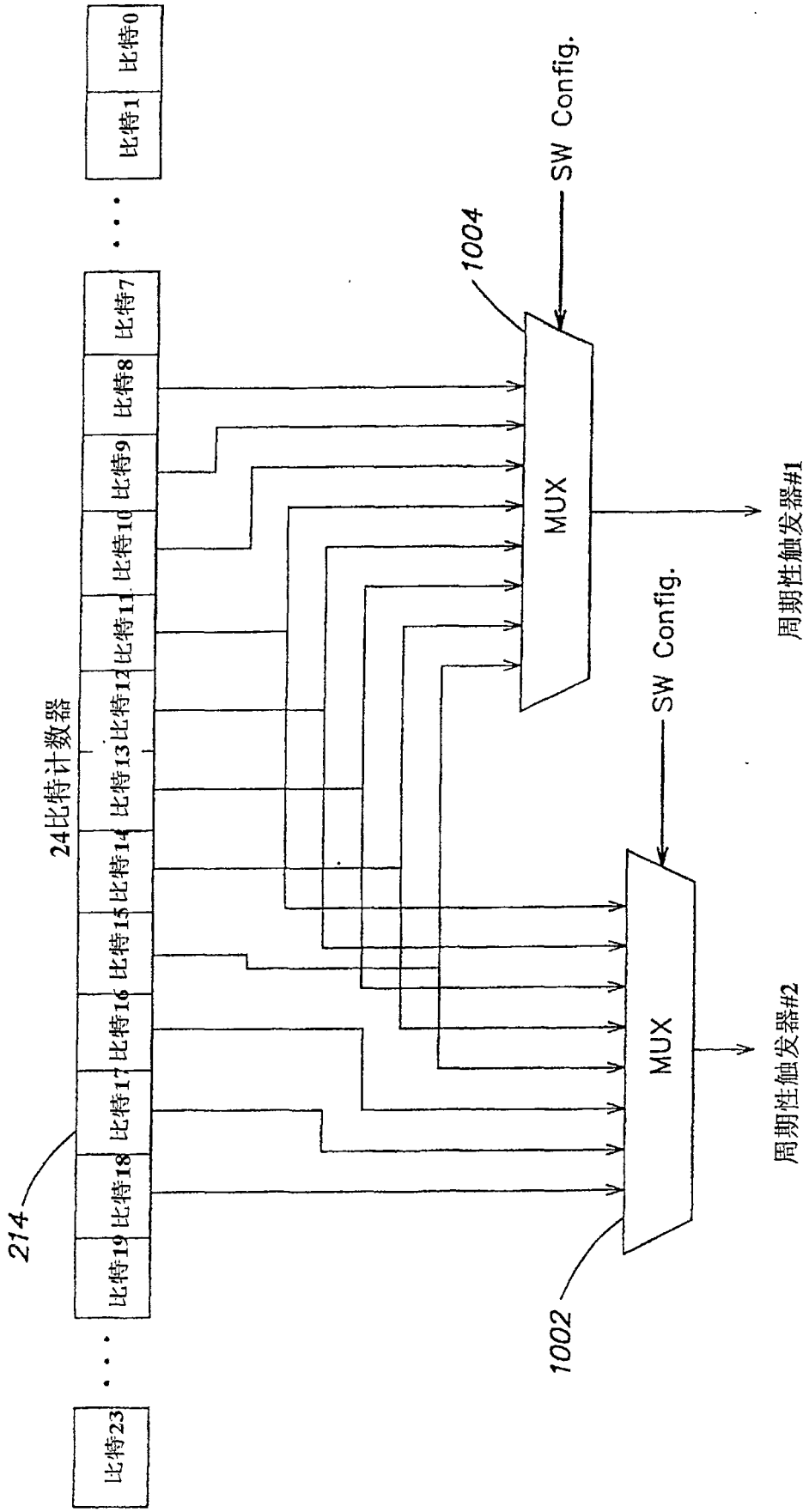

比特0
比特1
比特7
比特8
比特9
比特10
比特11
比特12
比特13
比特14
比特15
比特16
比特17
比特18
比特19
比特23
24比特计数器
214
1004
SW Config.
MUX
周期性触发器#1
1002
SW Config.
MUX
周期性触发器#2

图10

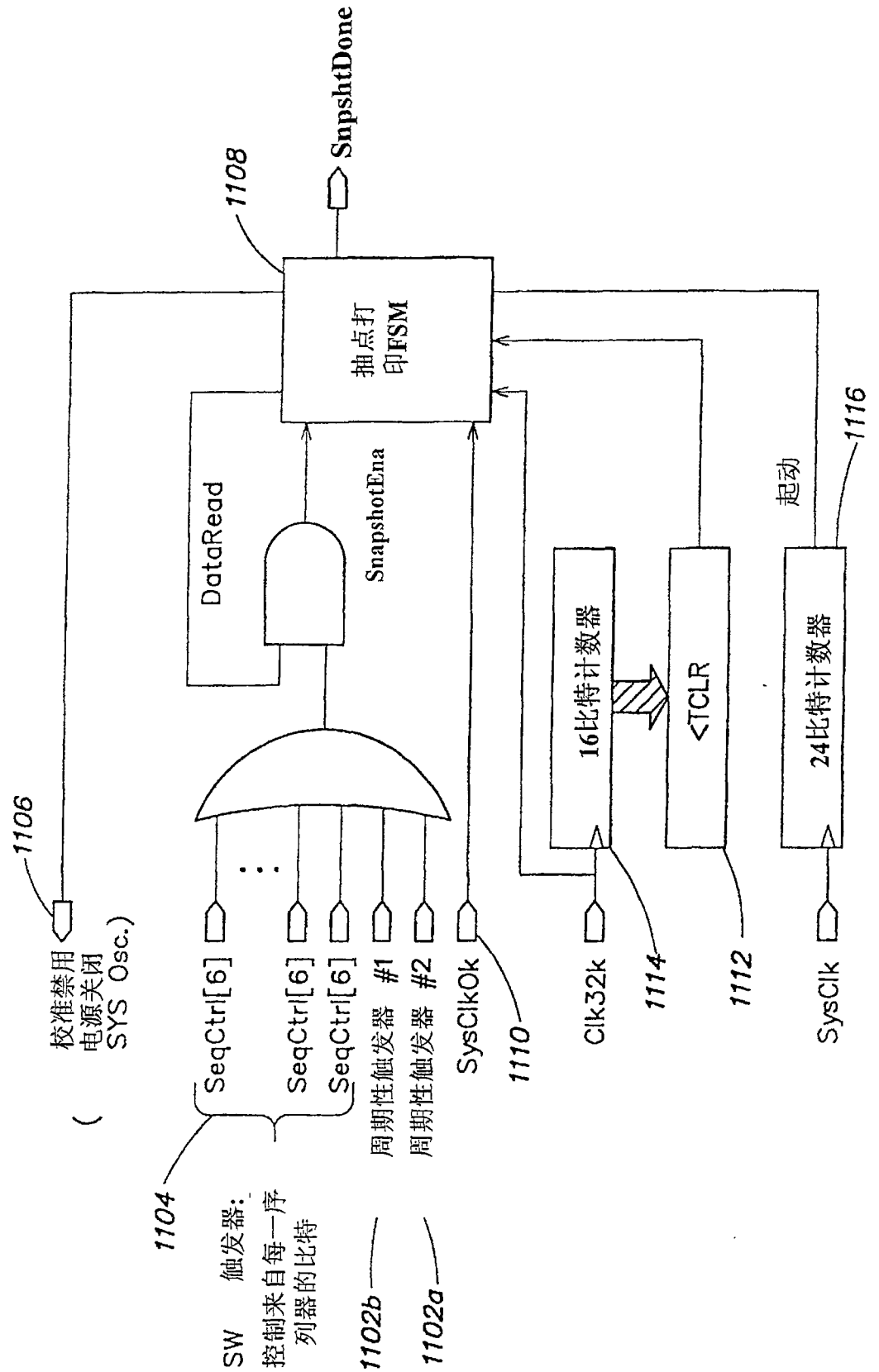

SnpshtDone
1108
抽点打印FSM
DataRead
SnapshotEna
1106
校准禁用
电源关闭
SYS Osc.)
SeqCtrl[6]
SeqCtrl[6]
SeqCtrl[6]
周期性触发器 #1
周期性触发器 #2
SysClkOk
1110
1104
SW 触发器:
控制来自每一序列器的比特
1102b
1102a
16比特计数器
Clk32k
1114
<TCLR
1112
起动
1116
24比特计数器
SysClk

图11A

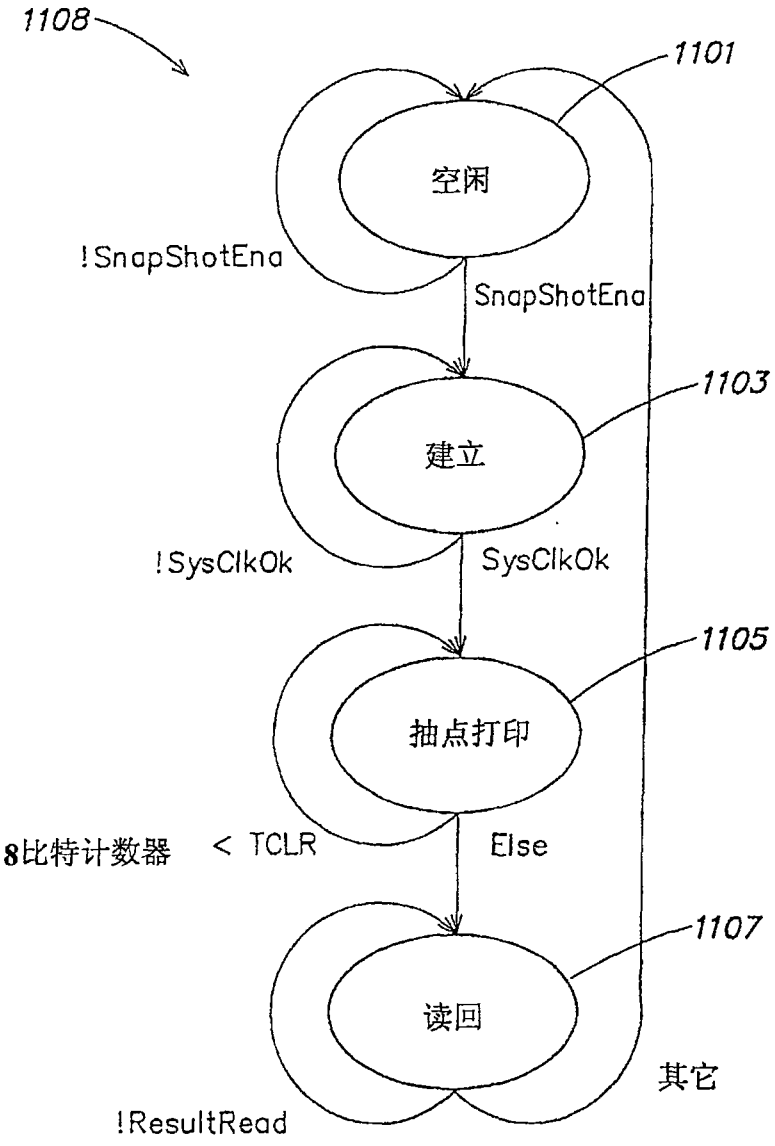

1108
1101
空闲
!SnapShotEna
SnapShotEna
1103
建立
!SysClkOk
SysClkOk
1105
抽点打印
8比特计数器 < TCLR
Else
1107
读回
其它
!ResultRead

图11B

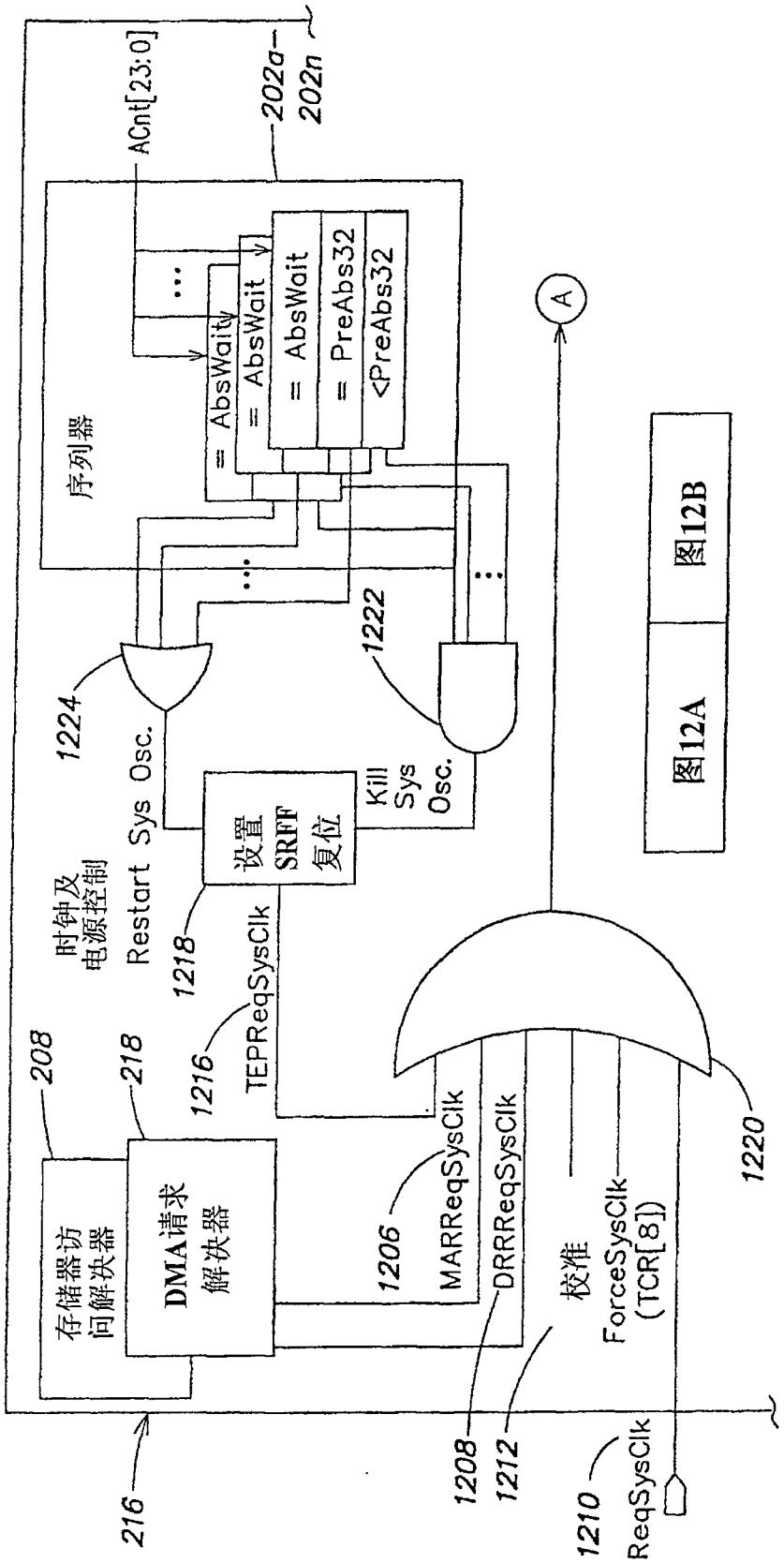

ACnt[23:0]
202a
202n
序列器
= AbsWait
= AbsWait
= AbsWait
= PreAbs32
<PreAbs32
1224
1222
Restart Sys Osc.
Kill Sys Osc.
设置 SRFF 复位
时钟及电源控制
1218
TEPReqSysClk
1216
208
218
存储器访问解决器
DMA请求解决器
1206
MARReqSysClk
DRRReqSysClk
校准
ForceSysClk (TCR[8])
1220
A
图12A
图12A
图12B
216
1208
1212
1210
ReqSysClk

图12A

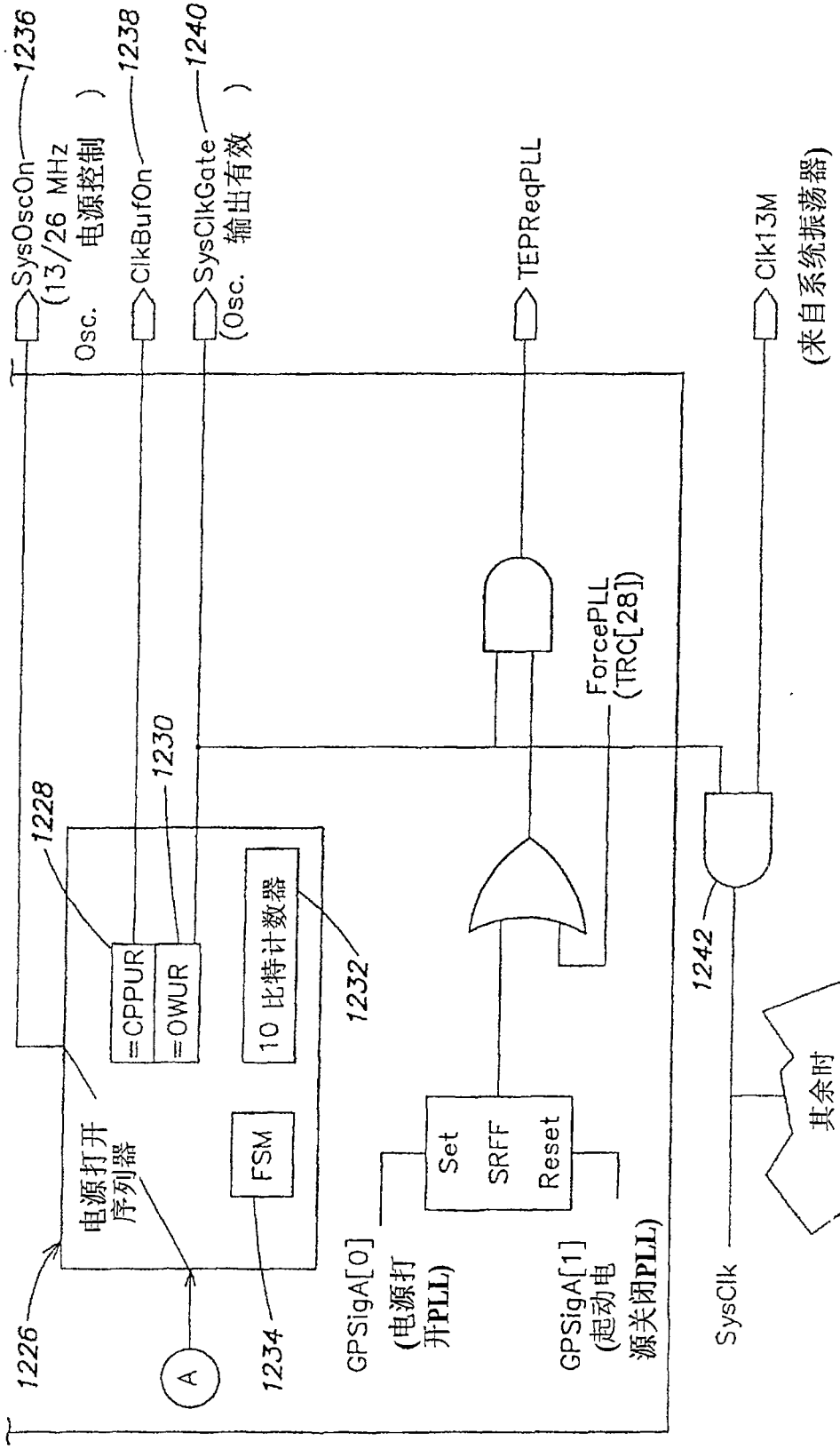

SysOscOn
(13/26 MHz Osc. 电源控制)
ClkBufOn
SysClkGate
(Osc. 输出有效)
TEPReqPLL
Clk13M
(来自系统振荡器)
1236
1238
1240
1228
1230
=CPPUR
=OWUR
10 比特计数器
1232
电源打开序列器
FSM
1234
1226
A
GPSigA[0]
(电源打开PLL)
Set
SRFF
Reset
GPSigA[1]
(起动电源关闭PLL)
ForcePLL
(TRC[28])
1242
SysClk
其余时钟网络

图12B

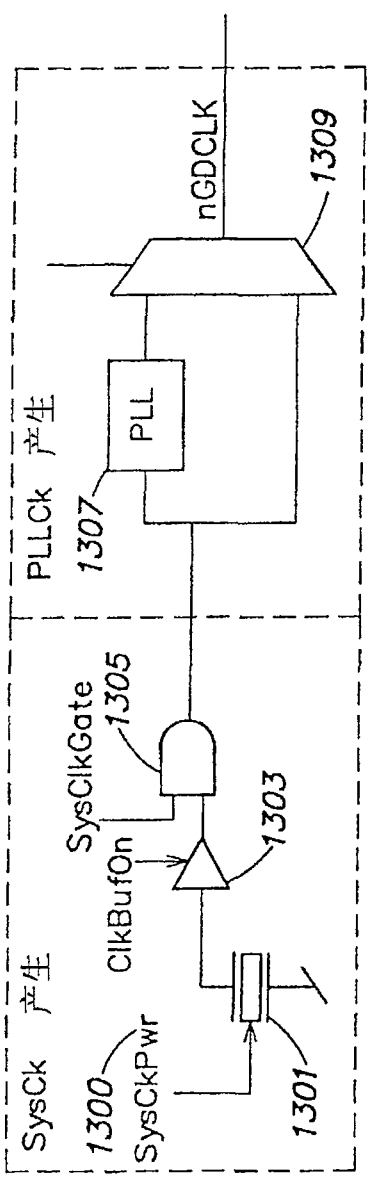

SysCk 产生
1300
SysCkPwr
ClkBufOn
SysClkGate
1305
1303
1301
PLLClk 产生
1307
PLL
nGDCLK
1309

图13A

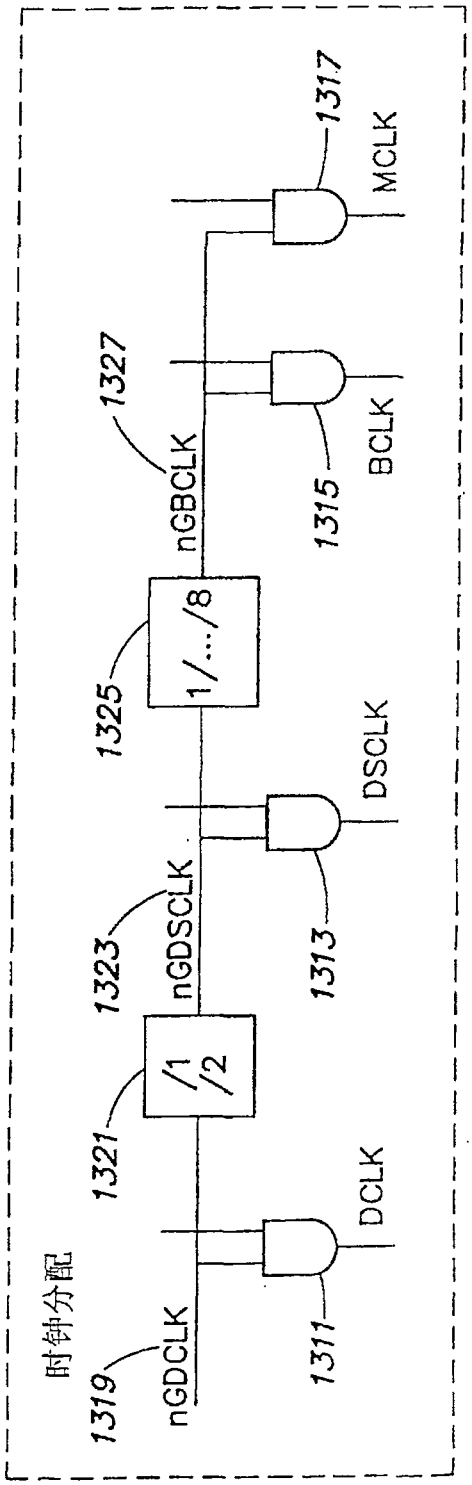

时钟分配
1319
nGDCLK
1321
/1
/2
1323
nGDSCLK
1325
1/.../8
1327
nGBCLK
1311
DCLK
1313
DSCLK
1315
BCLK
1317
MCLK

图13B

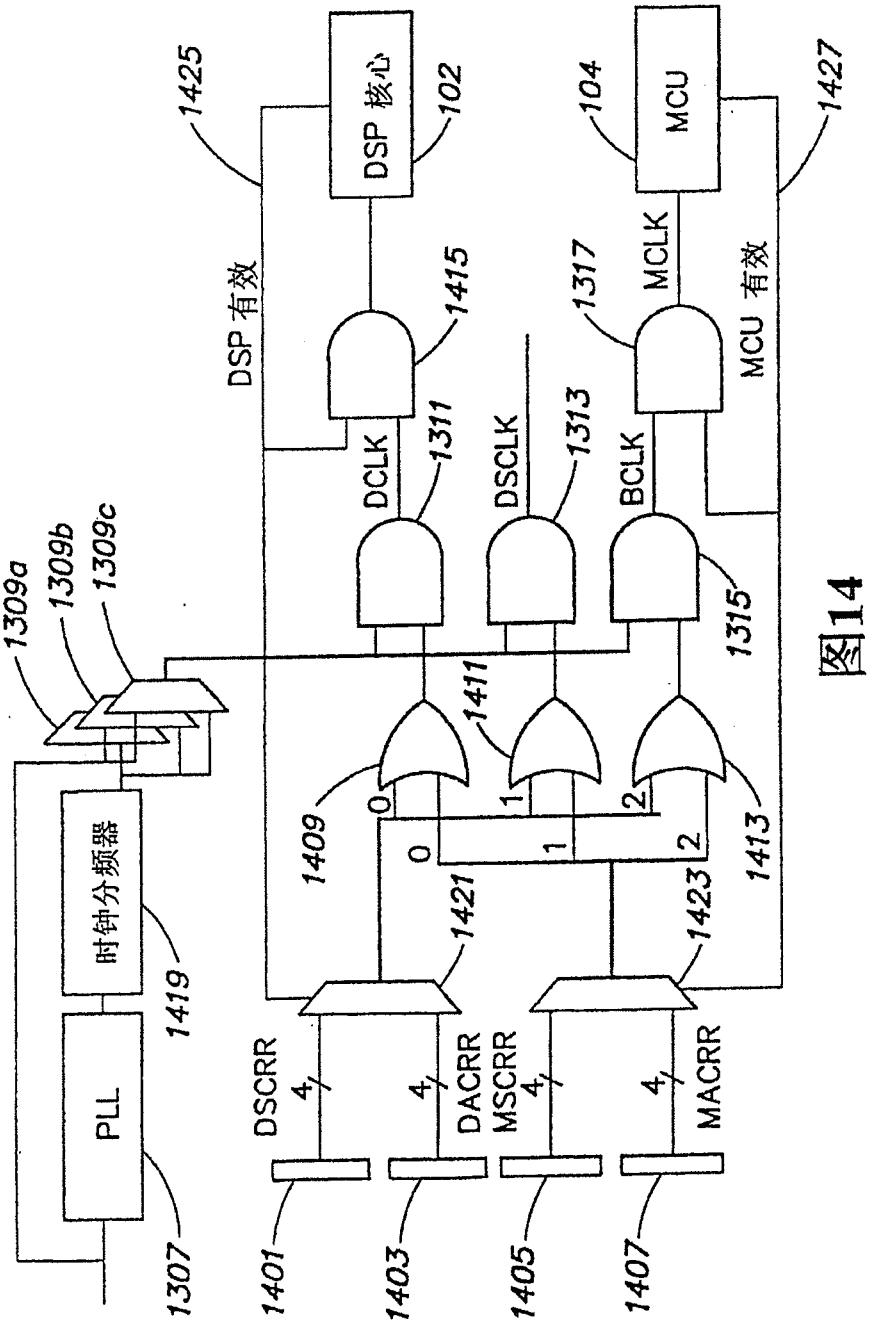

1309a
1309b
1309c
PLL
时钟分频器
1307
1419
1425
DSP 有效
DSP 核心
102
1415
DCLK
1311
DSCLK
1313
1317
MCLK
MCU
104
MCU 有效
1427
BCLK
1315
1411
1409
1413
1421
1423
DSCRR
DACRR
MSCRR
MACRR
4
1401
1403
1405
1407

图14

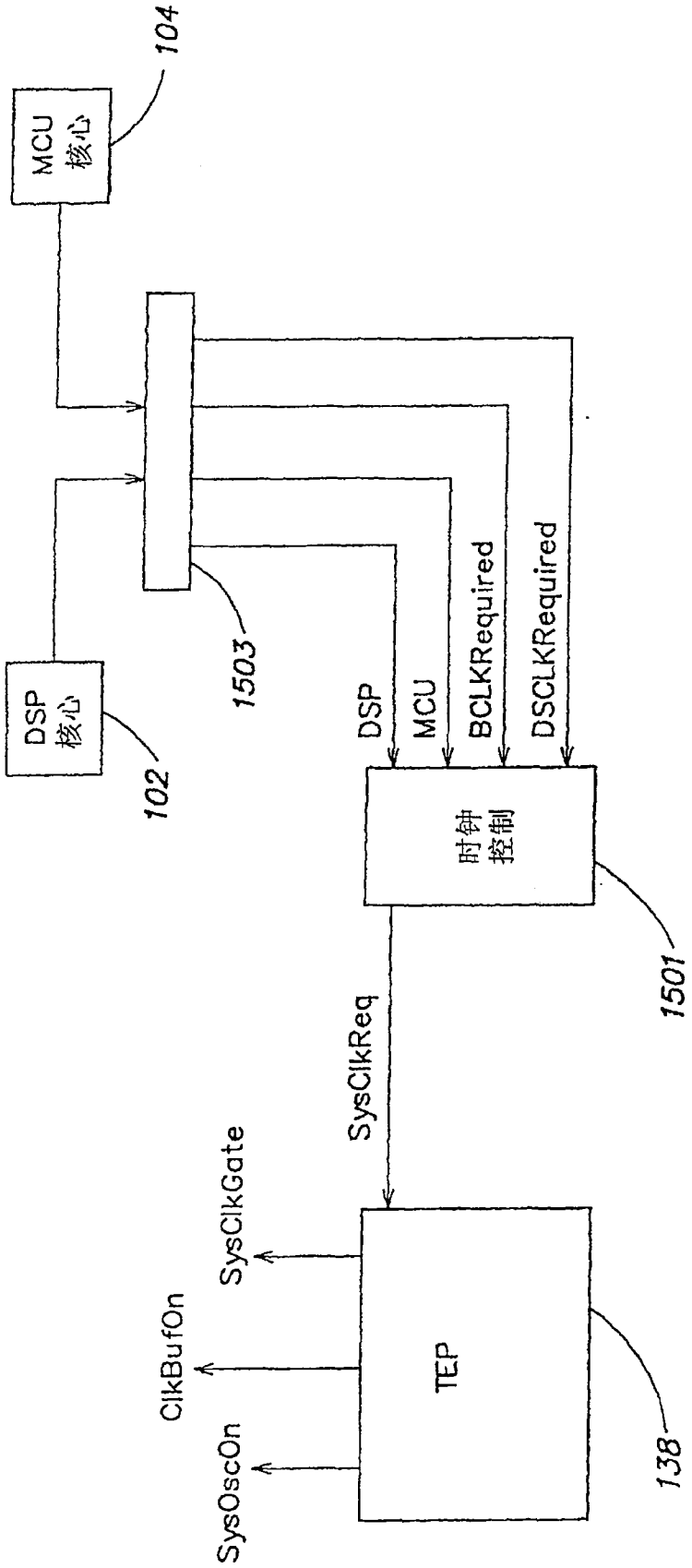

MCU
核心
104
DSP
核心
102
1503
DSP
MCU
BCLKRequired
DSCLKRequired
时钟
控制
1501
SysClkReq
SysClkGate
ClkBufOn
SysOscOn
TEP
138

图15