

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7617083号
(P7617083)

(45)発行日 令和7年1月17日(2025.1.17)

(24)登録日 令和7年1月8日(2025.1.8)

(51)国際特許分類

F I

H O 4 N 25/771 (2023.01)

H O 4 N 25/778 (2023.01)

H O 4 N 25/65 (2023.01)

H O 4 N 25/771

H O 4 N 25/778

H O 4 N 25/65

請求項の数 20 (全48頁)

(21)出願番号	特願2022-516859(P2022-516859)	(73)特許権者	316005926
(86)(22)出願日	令和3年2月17日(2021.2.17)		ソニーセミコンダクタソリューションズ株式会社
(86)国際出願番号	PCT/JP2021/005832		神奈川県厚木市旭町四丁目14番1号
(87)国際公開番号	WO2021/215093	(74)代理人	100112955
(87)国際公開日	令和3年10月28日(2021.10.28)		弁理士 丸島 敏一
審査請求日	令和5年12月21日(2023.12.21)	(72)発明者	朝倉 ルオンフォン
(31)優先権主張番号	特願2020-75185(P2020-75185)		神奈川県厚木市旭町四丁目14番1号
(32)優先日	令和2年4月21日(2020.4.21)		ソニーセミコンダクタソリューションズ株式会社内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	加藤 博武
			神奈川県厚木市旭町四丁目14番1号
			ソニーセミコンダクタソリューションズ株式会社内
		審査官	越河 勉

最終頁に続く

(54)【発明の名称】 固体撮像素子、および、撮像装置

(57)【特許請求の範囲】

【請求項1】

所定数の容量素子と、

所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる前記容量素子に保持させる前段回路ブロックと、

前記所定数の容量素子のうち前記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と前記所定数の容量素子を前記後段ノードから切り離す制御と前記所定数の容量素子のうち前記複数の信号レベルのいずれかが保持された容量素子を前記後段ノードに接続する制御とを順に行う選択部と、

前記所定数の容量素子が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベルと前記複数の信号レベルとのそれぞれを順に読み出す後段回路とを具備する固体撮像素子。

【請求項2】

前記所定数の容量素子は、第1および第2の容量素子と第3および第4の容量素子とを含み、

前記前段回路ブロックは、

第1のリセットレベルと第1の信号レベルとを順に生成して前記第1および第2の容量素子に保持させる第1の前段回路と、

第 2 のリセットレベルと第 2 の信号レベルとを順に生成して前記第 3 および第 4 の容量素子に保持させる第 2 の前段回路と

を備え、

前記選択部は、

前記第 1 および第 2 の容量素子のいずれかを前記後段ノードに接続する第 1 の選択回路と、

前記第 3 および第 4 の容量素子のいずれかを前記後段ノードに接続する第 2 の選択回路とを備える

請求項 1 記載の固体撮像素子。

【請求項 3】

前記第 1 の前段回路は、

第 1 の光電変換素子と、

前記第 1 の光電変換素子から第 1 の浮遊拡散層へ電荷を転送する第 1 の前段転送トランジスタと、

前記第 1 の浮遊拡散層を初期化する第 1 のリセットトランジスタと、

前記第 1 の浮遊拡散層の電圧を増幅する第 1 の前段増幅トランジスタと

を備え、

前記第 2 の前段回路は、

第 2 の光電変換素子と、

前記第 2 の光電変換素子から第 2 の浮遊拡散層へ電荷を転送する第 2 の前段転送トランジスタと、

前記第 2 の浮遊拡散層を初期化する第 2 のリセットトランジスタと、

前記第 2 の浮遊拡散層の電圧を増幅する第 2 の前段増幅トランジスタと

を備える

請求項 2 記載の固体撮像素子。

【請求項 4】

前記第 1 の前段回路は、第 1 の前段ノードに接続された第 1 の電流源トランジスタをさらに備え、

前記第 2 の前段回路は、第 2 の前段ノードに接続された第 2 の電流源トランジスタをさらに備え、

前記第 1 の前段増幅トランジスタは、前記第 1 の浮遊拡散層の電圧を増幅して前記第 1 の前段ノードへ出力し、

前記第 2 の前段増幅トランジスタは、前記第 2 の浮遊拡散層の電圧を増幅して前記第 2 の前段ノードへ出力し、

前記第 1 および第 2 の容量素子のそれぞれの一端は前記第 1 の前段ノードに共通に接続され、それぞれの他端は前記第 1 の選択回路に接続され、

前記第 3 および第 4 の容量素子のそれぞれの一端は前記第 2 の前段ノードに共通に接続され、それぞれの他端は前記第 2 の選択回路に接続される

請求項 3 記載の固体撮像素子。

【請求項 5】

所定の露光開始タイミングにおいて前記第 1 および第 2 の前段転送トランジスタが前記第 1 および第 2 の浮遊拡散層へ前記電荷を転送するとともに前記第 1 および第 2 のリセットトランジスタが前記第 1 および第 2 の浮遊拡散層とともに前記第 1 および第 2 の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第 1 および第 2 の前段転送トランジスタが前記第 1 および第 2 の浮遊拡散層へ前記電荷を転送する

請求項 3 記載の固体撮像素子。

【請求項 6】

前記選択部は、前記第 1 および第 2 の容量素子の一方を前記後段ノードに接続する制御と前記第 1 および第 2 の容量素子の他方を前記後段ノードに接続する制御と前記第 3 およ

10

20

30

40

50

び第 4 の容量素子の一方を前記後段ノードに接続する制御と前記第 3 および第 4 の容量素子の他方を前記後段ノードに接続する制御とを順に行う

請求項 3 記載の固体撮像素子。

【請求項 7】

前記選択部は、所定の加算モードにおいて前記第 1 および第 2 の容量素子の一方と前記第 3 および第 4 の容量素子の一方との両方を前記後段ノードに接続する制御と、前記第 1 および第 2 の容量素子の他方と前記第 3 および第 4 の容量素子の他方との両方を前記後段ノードに接続する制御とを順に行う

請求項 3 記載の固体撮像素子。

【請求項 8】

前記第 1 の前段回路は、所定の第 1 の選択信号に従って前記第 1 の前段増幅トランジスタにより増幅された電圧を所定の前段ノードに出力する第 1 の前段選択トランジスタをさらに備え、

前記第 2 の前段回路は、

所定の第 2 の選択信号に従って前記第 2 の前段増幅トランジスタにより増幅された電圧を前記前段ノードに出力する第 2 の前段選択トランジスタと、

前記前段ノードに接続された電流源トランジスタとをさらに備え、

前記第 1 および第 2 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記第 1 の選択回路に接続され、

前記第 3 および第 4 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記第 2 の選択回路に接続される

請求項 3 記載の固体撮像素子。

【請求項 9】

所定の露光終了のタイミングの直前と前記露光終了のタイミングの後とに前記第 1 および第 2 の前段選択トランジスタは、順に閉状態に移行し、

前記第 1 のリセットトランジスタは、前記第 1 の前段選択トランジスタが前記閉状態のときに前記第 1 の浮遊拡散層を初期化し、

前記第 2 のリセットトランジスタは、前記第 2 の前段選択トランジスタが前記閉状態のときに前記第 2 の浮遊拡散層を初期化し、

前記露光終了のタイミングの直後に前記第 1 および第 2 の前段選択トランジスタは、順に閉状態に移行し、

前記第 1 および第 2 の前段転送トランジスタは、所定の露光終了のタイミングで前記電荷を転送する

請求項 8 記載の固体撮像素子。

【請求項 10】

第 1 の後段ノードと第 2 の後段ノードとの間の経路を開閉する短絡トランジスタをさらに具備し、

前記所定数の容量素子は、第 1、第 2、第 3、第 4、第 5、第 6、第 7 および第 8 の容量素子を含み、

前記選択部は、

前記第 1 および第 2 の容量素子のいずれかを前記第 1 の後段ノードに接続する第 1 の選択回路と、

前記第 3 および第 4 の容量素子のいずれかを前記第 1 の後段ノードに接続する第 2 の選択回路と、

前記第 5 および第 6 の容量素子のいずれかを前記第 2 の後段ノードに接続する第 3 の選択回路と、

前記第 7 および第 8 の容量素子のいずれかを前記第 2 の後段ノードに接続する第 4 の選択回路と

を備える請求項 1 記載の固体撮像素子。

10

20

30

40

50

【請求項 1 1】

所定の非加算モードにおいて前記短絡トランジスタは、開状態であり、

前記非加算モードにおいて前記選択部は、前記第 1 および第 2 の容量素子のそれぞれを順に前記第 1 の後段ノードに接続する制御と前記第 3 および第 4 の容量素子のそれぞれを順に前記第 1 の後段ノードに接続する制御と前記第 5 および第 6 の容量素子のそれぞれを順に前記第 2 の後段ノードに接続する制御と前記第 7 および第 8 の容量素子のそれぞれを順に前記第 2 の後段ノードに接続する制御とを所定の順序で行う

請求項 1 0 記載の固体撮像素子。

【請求項 1 2】

所定の加算モードにおいて前記短絡トランジスタは、閉状態であり、

前記加算モードにおいて前記選択部は、前記第 1 および第 2 の容量素子の一方と前記第 3 および第 4 の容量素子の一方とを前記第 1 の後段ノードに接続しつつ前記第 5 および第 6 の容量素子の一方と前記第 7 および第 8 の容量素子の一方とを前記第 2 の後段ノードに接続する制御と、前記第 1 および第 2 の容量素子の他方と前記第 3 および第 4 の容量素子の他方とを前記第 1 の後段ノードに接続しつつ前記第 5 および第 6 の容量素子の他方と前記第 7 および第 8 の容量素子の他方とを前記第 2 の後段ノードに接続する制御とを順に行う

請求項 1 0 記載の固体撮像素子。

【請求項 1 3】

前記所定数の容量素子は、第 1 および第 2 の容量素子と第 3 の容量素子とを含み、

前記前段回路ブロックは、

第 1 の光電変換素子と、

前記第 1 の光電変換素子から所定の浮遊拡散層へ電荷を転送する第 1 の前段転送トランジスタと、

第 2 の光電変換素子と、

前記第 2 の光電変換素子から所定の浮遊拡散層へ電荷を転送する第 2 の前段転送トランジスタと、

前記浮遊拡散層を初期化するリセットトランジスタと、

前記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタとを備え、

前記第 1 および第 2 の容量素子と前記第 3 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれの他端は前記選択部に接続される

請求項 1 記載の固体撮像素子。

【請求項 1 4】

所定の露光開始タイミングにおいて前記第 1 および第 2 の前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送するとともに前記リセットトランジスタが前記浮遊拡散層とともに前記第 1 および第 2 の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第 1 および第 2 の前段転送トランジスタが前記浮遊拡散層へ順に前記電荷を転送する

請求項 1 3 記載の固体撮像素子。

【請求項 1 5】

前記選択部は、前記第 1 および第 2 の容量素子の一方を前記後段ノードに接続する制御と前記第 1 および第 2 の容量素子の他方を前記後段ノードに接続する制御と前記第 3 の容量素子を前記後段ノードに接続する制御とを順に行う

請求項 1 3 記載の固体撮像素子。

【請求項 1 6】

前記前段回路ブロックは、第 1 のチップに設けられ、

前記所定数の容量素子と前記選択部と前記後段リセットトランジスタと前記後段回路とは、第 2 のチップに設けられる

請求項 1 記載の固体撮像素子。

【請求項 1 7】

10

20

30

40

50

前記出力された前記リセットレベルと前記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記アナログデジタル変換器は、前記第2のチップに設けられる請求項16記載の固体撮像素子。

【請求項18】

前記出力された前記リセットレベルと前記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記アナログデジタル変換器は、第3のチップに設けられる請求項16記載の固体撮像素子。

【請求項19】

所定数の容量素子と、

所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる前記容量素子に保持させる前段回路ブロックと、

前記所定数の容量素子のうち前記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と前記所定数の容量素子を前記後段ノードから切り離す制御と前記所定数の容量素子のうち前記複数の信号レベルのいずれかが保持された容量素子を前記後段ノードに接続する制御とを順に行う選択部と、

前記所定数の容量素子が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

前記後段ノードを介して前記リセットレベルと前記複数の信号レベルとのそれぞれを順に読み出す後段回路と、

前記リセットレベルと前記複数の信号レベルとを順にデジタル信号に変換して処理する信号処理回路と

を具備する撮像装置。

【請求項20】

入射した光を電荷へと変換する第1の光電変換素子と、

入射した光を電荷へと変換する第2の光電変換素子と、

前記電荷を電圧に変換する前段増幅トランジスタと、

前記前段増幅トランジスタの出力先の前段ノードにそれぞれの一端が接続された所定数の容量素子と、

記所定数の容量素子のそれぞれの他端と所定の後段ノードとの間のそれぞれの経路に挿入された所定数の選択トランジスタと、

前記後段ノードにソースまたはドレインが接続されリセットトランジスタと、

前記後段ノードにゲートが接続され、画素信号を出力する後段増幅トランジスタとを具備する固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、固体撮像素子に関する。詳しくは、カラム毎にA/D（Analog to Digital）変換を行う固体撮像素子、および、撮像装置に関する。

【背景技術】

【0002】

従来より、固体撮像素子においては、画素を微細化する目的で、画素アレイ部の外部にカラムごとにADCを配置し、1行ずつ順に画素信号を読み出すカラムADC（Analog to Digital Converter）方式が用いられている。このカラムADC方式において、1行ずつ順に露光を開始するローリングシャッター方式により露光を行うと、ローリングシャッター歪みが生じるおそれがある。そこで、全画素で同時に露光を開始するグローバルシャッター方式を実現するために、画素毎に一对の容量を設け、それらの容量にリセットレベルおよび信号レベルを保持させる固体撮像素子が提案されている（例えば、非特許文献1参照。）。これらの一对の容量は、ノードを介してソースフォロワー回路に直列に接続さ

10

20

30

40

50

れ、そのソースフォロワー回路により、リセットレベルおよび信号レベルが順に読み出される。

【先行技術文献】

【非特許文献】

【0003】

【文献】 Jae-kyu Lee, et al., A 2.1e-Temporal Noise and -105dB Parasitic Light Sensitivity Backside-Illuminated 2.3 μm -Pixel Voltage-Domain Global Shutter CMOS Image Sensor Using High-Capacity DRAM Capacitor Technology, ISSCC 2020.

【発明の概要】

【発明が解決しようとする課題】

【0004】

上述の従来技術では、リセットレベルおよび信号レベルを画素ごとに一对の容量に保持させることにより、カラムADC方式において、グローバルシャッター方式の実現を図っている。しかしながら、ソースフォロワー回路内のトランジスタが、容量に接続されたノードを初期化する際に、その容量に応じたレベルのkTCノイズ（言い換えれば、リセットノイズ）が生じ、そのノイズにより画像データの画質が低下してしまうという問題がある。

【0005】

本技術はこのような状況に鑑みて生み出されたものであり、全画素で同時に露光を行う固体撮像素子において、画質を向上させることを目的とする。

【課題を解決するための手段】

【0006】

本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、所定数の容量素子と、所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる上記容量素子に保持させる前段回路ブロックと、上記所定数の容量素子のうち上記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と上記所定数の容量素子を上記後段ノードから切り離す制御と上記所定数の容量素子のうち上記複数の信号レベルのいずれかが保持された容量素子を上記後段ノードに接続する制御とを順に行う選択部と、上記所定数の容量素子が上記後段ノードから切り離されたときに上記後段ノードのレベルを初期化する後段リセットトランジスタと、上記後段ノードを介して上記リセットレベルと上記複数の信号レベルとのそれぞれを順に読み出す後段回路とを具備する固体撮像素子である。これにより、kTCノイズが低減するという作用をもたらす。

【0007】

また、この第1の側面において、上記所定数の容量素子は、第1および第2の容量素子と第3および第4の容量素子とを含み、上記前段回路ブロックは、第1のリセットレベルと第1の信号レベルとを順に生成して上記第1および第2の容量素子に保持させる第1の前段回路と、第2のリセットレベルと第2の信号レベルとを順に生成して上記第3および第4の容量素子に保持させる第2の前段回路とを備え、上記選択部は、上記第1および第2の容量素子のいずれかを上記後段ノードに接続する第1の選択回路と、上記第3および第4の容量素子のいずれかを上記後段ノードに接続する第2の選択回路とを備えてもよい。これにより、2画素のそれぞれのリセットレベルおよび信号レベルが保持されるという作用をもたらす。

【0008】

また、この第1の側面において、上記第1の前段回路は、第1の光電変換素子と、上記第1の光電変換素子から第1の浮遊拡散層へ電荷を転送する第1の前段転送トランジスタと、上記第1の浮遊拡散層を初期化する第1のリセットトランジスタと、上記第1の浮遊拡散層の電圧を増幅する第1の前段増幅トランジスタとを備え、上記第2の前段回路は、第2の光電変換素子と、上記第2の光電変換素子から第2の浮遊拡散層へ電荷を転送する

10

20

30

40

50

第2の前段転送トランジスタと、上記第2の浮遊拡散層を初期化する第2のリセットトランジスタと、上記第2の浮遊拡散層の電圧を増幅する第2の前段増幅トランジスタとを備えてもよい。これにより、浮遊拡散層の電圧に応じたレベルが保持されるという作用をもたらす。

【0009】

また、この第1の側面において、上記第1の前段回路は、第1の前段ノードに接続された第1の電流源トランジスタをさらに備え、上記第2の前段回路は、第2の前段ノードに接続された第2の電流源トランジスタをさらに備え、上記第1の前段増幅トランジスタは、上記第1の浮遊拡散層の電圧を増幅して上記第1の前段ノードへ出力し、上記第2の前段増幅トランジスタは、上記第2の浮遊拡散層の電圧を増幅して上記第2の前段ノードへ出力し、上記第1および第2の容量素子のそれぞれの一端は上記第1の前段ノードに共通に接続され、それぞれの他端は上記第1の選択回路に接続され、上記第3および第4の容量素子のそれぞれの一端は上記第2の前段ノードに共通に接続され、それぞれの他端は上記第2の選択回路に接続されてもよい。これにより、画素ごとに定電流が供給されるという作用をもたらす。

10

【0010】

また、この第1の側面において、所定の露光開始タイミングにおいて上記第1および第2の前段転送トランジスタが上記第1および第2の浮遊拡散層へ上記電荷を転送するとともに上記第1および第2のリセットトランジスタが上記第1および第2の浮遊拡散層とともに上記第1および第2の光電変換素子を初期化し、所定の露光終了タイミングにおいて上記第1および第2の前段転送トランジスタが上記第1および第2の浮遊拡散層へ上記電荷を転送してもよい。これにより、全画素が同時に露光されるという作用をもたらす。

20

【0011】

また、この第1の側面において、上記選択部は、上記第1および第2の容量素子の一方を上記後段ノードに接続する制御と上記第1および第2の容量素子の他方を上記後段ノードに接続する制御と上記第3および第4の容量素子の一方を上記後段ノードに接続する制御と上記第3および第4の容量素子の他方を上記後段ノードに接続する制御とを順に行ってもよい。これにより、2画素のそれぞれのリセットレベルおよび信号レベルが順に読み出されるという作用をもたらす。

【0012】

また、この第1の側面において、上記選択部は、所定の加算モードにおいて上記第1および第2の容量素子の一方と上記第3および第4の容量素子の一方との両方を上記後段ノードに接続する制御と、上記第1および第2の容量素子の他方と上記第3および第4の容量素子の他方との両方を上記後段ノードに接続する制御とを順に行ってもよい。これにより、画素加算された信号が読み出されるという作用をもたらす。

30

【0013】

また、この第1の側面において、上記第1の前段回路は、所定の第1の選択信号に従って上記第1の前段増幅トランジスタにより増幅された電圧を所定の第1の前段ノードに出力する第1の前段選択トランジスタをさらに備え、上記第2の前段回路は、所定の第2の選択信号に従って上記第2の前段増幅トランジスタにより増幅された電圧を上記前段ノードに出力する第2の前段選択トランジスタと、上記前段ノードに接続された電流源トランジスタとをさらに備え、上記第1および第2の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記第1の選択回路に接続され、上記第3および第4の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記第2の選択回路に接続されてもよい。これにより、電流源トランジスタが2画素で共有されるという作用をもたらす。

40

【0014】

また、この第1の側面において、所定の露光終了のタイミングの直前と上記露光終了のタイミングの後に上記第1および第2の前段選択トランジスタは、順に閉状態に移行し、上記第1のリセットトランジスタは、上記第1の前段選択トランジスタが上記閉状態の

50

ときに上記第1の浮遊拡散層を初期化し、上記第2のリセットトランジスタは、上記第2の前段選択トランジスタが上記閉状態のときに上記第2の浮遊拡散層を初期化し、上記露光終了のタイミングの直後に上記第1および第2の前段選択トランジスタは、順に閉状態に移行し、上記第1および第2の前段転送トランジスタは、所定の露光終了のタイミングで上記電荷を転送してもよい。これにより、電流源トランジスタが2画素で共有された構成において、全画素が同時に露光されるという作用をもたらす。

【0015】

また、この第1の側面において、第1の後段ノードと第2の後段ノードとの間の経路を開閉する短絡トランジスタをさらに具備し、上記所定数の容量は、第1、第2、第3、第4、第5、第6、第7および第8の容量素子を含み、上記選択部は、上記第1および第2の容量素子のいずれかを上記第1の後段ノードに接続する第1の選択回路と、上記第3および第4の容量素子のいずれかを上記第1の後段ノードに接続する第2の選択回路と、上記第5および第6の容量素子のいずれかを上記第2の後段ノードに接続する第3の選択回路と、上記第7および第8の容量素子のいずれかを上記第2の後段ノードに接続する第4の選択回路とを備えてもよい。これにより、第1の後段ノードと第2の後段ノードとが短絡されるという作用をもたらす。

10

【0016】

また、この第1の側面において、所定の非加算モードにおいて上記短絡トランジスタは、開状態であり、上記非加算モードにおいて上記選択部は、上記第1および第2の容量素子のそれぞれを順に上記第1の後段ノードに接続する制御と上記第3および第4の容量素子のそれぞれを順に上記第1の後段ノードに接続する制御と上記第5および第6の容量素子のそれぞれを順に上記第2の後段ノードに接続する制御と上記第7および第8の容量素子のそれぞれを順に上記第2の後段ノードに接続する制御とを所定の順序で行ってもよい。これにより、非加算モードにおいて、4画素のそれぞれのリセットレベルおよび信号レベルが順に読み出されるという作用をもたらす。

20

【0017】

また、この第1の側面において、所定の加算モードにおいて上記短絡トランジスタは、閉状態であり、上記加算モードにおいて上記選択部は、上記第1および第2の容量素子の一方と上記第3および第4の容量素子の一方とを上記第1の後段ノードに接続しつつ上記第5および第6の容量素子の一方と上記7および第8の容量素子の一方とを上記第2の後段ノードに接続する制御と、上記第1および第2の容量素子の他方と上記第3および第4の容量素子の他方とを上記第1の後段ノードに接続しつつ上記5および第6の容量素子の他方と上記第7および第8の容量素子の他方とを上記第2の後段ノードに接続する制御とを順に行ってもよい。これにより、画素加算モードにおいて、4画素が加算されるという作用をもたらす。

30

【0018】

また、この第1の側面において、上記所定数の容量素子は、第1および第2の容量素子と第3容量とを含み、上記前段回路ブロックは、第1の光電変換素子と、上記第1の光電変換素子から所定の浮遊拡散層へ電荷を転送する第1の前段転送トランジスタと、第2の光電変換素子と、上記第2の光電変換素子から所定の浮遊拡散層へ電荷を転送する第2の前段転送トランジスタと、上記浮遊拡散層を初期化するリセットトランジスタと、上記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタとを備え、上記第1および第2の容量素子と上記第3の容量素子のそれぞれの一端は上記前段ノードに共通に接続され、それぞれの他端は上記選択部に接続されてもよい。これにより、リセットレベルと複数の信号レベルとが保持されるという作用をもたらす。

40

【0019】

また、この第1の側面において、所定の露光開始タイミングにおいて上記第1および第2の前段転送トランジスタが上記浮遊拡散層へ上記電荷を転送するとともに上記リセットトランジスタが上記浮遊拡散層とともに上記第1および第2の光電変換素子を初期化し、所定の露光終了タイミングにおいて上記第1および第2の前段転送トランジスタが上記第

50

1 および第2の浮遊拡散層へ順に上記電荷を転送してもよい。これにより、全画素が露光されるという作用をもたらす。

【0020】

また、この第1の側面において、上記選択部は、上記第1および第2の容量素子の一方を上記後段ノードに接続する制御と上記第1および第2の容量素子の他方を上記後段ノードに接続する制御と上記第3の容量素子を上記後段ノードに接続する制御とを順に行ってもよい。これにより、リセットレベルと複数の信号レベルとが順に読み出されるという作用をもたらす。

【0021】

また、この第1の側面において、上記前段回路ブロックは、第1のチップに設けられ、
上記所定数の容量素子と上記選択部と上記後段リセットトランジスタと上記後段回路とは、第2のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

10

【0022】

また、この第1の側面において、上記出力された上記リセットレベルと上記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、上記アナログデジタル変換器は、上記第2のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

【0023】

また、この第1の側面において、上記出力された上記リセットレベルと上記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、上記アナログデジタル変換器は、第3のチップに設けられてもよい。これにより、画素の微細化が容易になるという作用をもたらす。

20

【0024】

また、本技術の第2の側面は、所定数の容量素子と、所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる上記容量素子に保持させる前段回路ブロックと、上記所定数の容量素子のうち上記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と上記所定数の容量素子を上記後段ノードから切り離す制御と上記所定数の容量素子のうち上記複数の信号レベルのいずれかが保持された容量素子を上記後段ノードに接続する制御とを順に行う選択部と、上記所定数の容量素子が上記後段ノードから切り離されたときに上記後段ノードのレベルを初期化する後段リセットトランジスタと、上記後段ノードを介して上記リセットレベルと上記複数の信号レベルとのそれぞれを順に読み出す後段回路と、上記リセットレベルと上記複数の信号レベルとを順にデジタル信号に変換して処理する信号処理回路とを具備する撮像装置である。これにより、kTCノイズが低減した画像データが生成されるという作用をもたらす。

30

【0025】

また、本技術の第3の側面は、入射した光を電荷へと変換する第1の光電変換素子と、入射した光を電荷へと変換する第2の光電変換素子と、上記電荷を電圧に変換する前段増幅トランジスタと、上記前段増幅トランジスタの出力先の前段ノードにそれぞれの一端が接続された所定数の容量素子と、上記所定数の容量素子のそれぞれの他端と所定の後段ノードとの間のそれぞれの経路に挿入された所定数の選択トランジスタと、上記後段ノードにソースまたはドレインが接続されリセットトランジスタと、上記後段ノードにゲートが接続され、画素信号を出力する後段増幅トランジスタとを具備する固体撮像素子である。これにより、kTCノイズが低減するという作用をもたらす。

40

【図面の簡単な説明】

【0026】

【図1】本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

【図3】本技術の第1の実施の形態における画素ブロックの一構成例を示す回路図である。

50

【図 4】本技術の第 1 の実施の形態における前段回路と選択回路との一構成例を示す回路図である。

【図 5】本技術の第 1 の実施の形態におけるカラム信号処理回路の一構成例を示すブロック図である。

【図 6】本技術の第 1 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

【図 7】本技術の第 1 の実施の形態における画素ブロック内の最初の画素の読出し動作の一例を示すタイミングチャートである。

【図 8】本技術の第 1 の実施の形態における画素ブロック内の 2 番目の画素の読出し動作の一例を示すタイミングチャートである。

10

【図 9】比較例における画素の一構成例を示す回路図である。

【図 10】本技術の第 1 の実施の形態におけるリセットレベルの読出しのときと、後段ノードの初期化のときとのそれぞれの画素ブロックの状態の一例を示す図である。

【図 11】本技術の第 1 の実施の形態における信号レベルの読出しのときの画素ブロックの状態の一例を示す図である。

【図 12】本技術の第 1 の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

【図 13】本技術の第 1 の実施の形態の第 1 の変形例におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。

【図 14】本技術の第 1 の実施の形態の第 2 の変形例における固体撮像素子の積層構造の一例を示す図である。

20

【図 15】本技術の第 1 の実施の形態の第 2 の変形例における画素ブロックの一構成例を示す回路図である。

【図 16】本技術の第 1 の実施の形態の第 3 の変形例における固体撮像素子の積層構造の一例を示す図である。

【図 17】本技術の第 2 の実施の形態における画素アレイ部の一構成例を示す平面図である。

【図 18】本技術の第 2 の実施の形態における画素ブロックの一構成例を示す回路図である。

【図 19】本技術の第 2 の実施の形態における前段回路と選択回路との一構成例を示す回路図である。

30

【図 20】本技術の第 2 の実施の形態における画素ブロック内の 1 番目および 2 番目の画素の読出し動作の一例を示すタイミングチャートである。

【図 21】本技術の第 2 の実施の形態における画素ブロック内の 3 番目および 4 番目の画素の読出し動作の一例を示すタイミングチャートである。

【図 22】本技術の第 2 の実施の形態における加算モードの読出し動作の一例を示すタイミングチャートである。

【図 23】本技術の第 3 の実施の形態における画素ブロックの一構成例を示す回路図である。

【図 24】本技術の第 3 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

40

【図 25】本技術の第 3 の実施の形態における露光終了直後の制御の一例を示すタイミングチャートである。

【図 26】本技術の第 4 の実施の形態における画素ブロックの一構成例を示す回路図である。

【図 27】本技術の第 4 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。

【図 28】本技術の第 4 の実施の形態におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。

【図 29】車両制御システムの概略的な構成例を示すブロック図である。

50

【図 30】 撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0027】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。
説明は以下の順序により行う。

1. 第1の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させる例）
2. 第2の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させ、後段ノード間を短絡する例）
3. 第3の実施の形態（複数の容量にリセットレベルおよび信号レベルを保持させ、電流源を共有する例）
4. 第4の実施の形態（1つの容量にリセットレベルを保持させ、複数の容量に信号レベルを保持させる例）
5. 移動体への応用例

【0028】

< 1. 第1の実施の形態 >

〔撮像装置の構成例〕

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像する装置であり、撮像レンズ110、固体撮像素子200、記録部120および撮像制御部130を備える。撮像装置100としては、デジタルカメラや、撮像機能を持つ電子装置（スマートフォンやパーソナルコンピュータなど）が想定される。

【0029】

固体撮像素子200は、撮像制御部130の制御に従って、画像データを撮像するものである。この固体撮像素子200は、画像データを信号線209を介して記録部120に供給する。

【0030】

撮像レンズ110は、光を集光して固体撮像素子200に導くものである。撮像制御部130は、固体撮像素子200を制御して画像データを撮像させるものである。この撮像制御部130は、例えば、垂直同期信号VSYNCを含む撮像制御信号を固体撮像素子200に信号線139を介して供給する。記録部120は、画像データを記録するものである。

【0031】

ここで、垂直同期信号VSYNCは、撮像のタイミングを示す信号であり、一定の周波数（60ヘルツなど）の周期信号が垂直同期信号VSYNCとして用いられる。

【0032】

なお、撮像装置100は、画像データを記録しているが、その画像データを撮像装置100の外部に送信してもよい。この場合には、画像データを送信するための外部インターフェースがさらに設けられる。もしくは、撮像装置100は、さらに画像データを表示してもよい。この場合には表示部がさらに設けられる。

【0033】

〔固体撮像素子の構成例〕

図2は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、垂直走査回路211、画素アレイ部220、タイミング制御回路212、DAC（Digital to Analog Converter）213、負荷MOS回路ブロック250、カラム信号処理回路260を備える。画素アレイ部220には、二次元格子状に複数の画素ブロック300が配列される。画素ブロック300のそれぞれには、複数の画素（例えば、2画素）が配列される。また、固体撮像素子200内の各回路は、例えば、単一の半導体チップに設けられる。

【0034】

以下、水平方向に配列された画素ブロック300または画素の集合を「行」と称し、行

10

20

30

40

50

に垂直な方向に配列された画素ブロック 300 または画素の集合を「列」と称する。

【0035】

タイミング制御回路 212 は、撮像制御部 130 からの垂直同期信号 VSYNC に同期して垂直走査回路 211、DAC213、カラム信号処理回路 260 のそれぞれの動作タイミングを制御するものである。

【0036】

DAC213 は、DA (Digital to Analog) 変換により、のこぎり波状のランプ信号を生成するものである。DAC213 は、生成したランプ信号をカラム信号処理回路 260 に供給する。

【0037】

垂直走査回路 211 は、行を順に選択して駆動し、アナログの画素信号を出力させるものである。画素は、入射光を光電変換してアナログの画素信号を生成する。この画素は、負荷 MOS 回路ブロック 250 を介して、カラム信号処理回路 260 に画素信号を供給する。

【0038】

負荷 MOS 回路ブロック 250 には、定電流を供給する MOS トランジスタが列ごとに設けられる。

【0039】

カラム信号処理回路 260 は、列ごとに、画素信号に対して AD 変換処理や CDS (Correlated Double Sampling) 処理などの信号処理を実行するものである。このカラム信号処理回路 260 は、処理後の信号からなる画像データを記録部 120 に供給する。なお、カラム信号処理回路 260 は、特許請求の範囲に記載の信号処理回路の一例である。

【0040】

〔画素ブロックの構成例〕

図 3 は、本技術の第 1 の実施の形態における画素ブロック 300 の一構成例を示す回路図である。この画素ブロック 300 には、前段回路ブロック 305 と、容量素子 331、332、336 および 337 と、選択部 340 と、後段リセットトランジスタ 361 と、後段回路 370 とが配置される。容量素子 331、332、336 および 337 として、例えば、MIM (Metal-Insulator-Metal) 構造の容量が用いられる。

【0041】

なお、容量素子 331 および 332 は、特許請求の範囲に記載の第 1 および第 2 の容量素子の一例であり、容量素子 336 および 337 は、特許請求の範囲に記載の第 3 および第 4 の容量素子の一例である。

【0042】

また、前段回路ブロック 305 には、前段回路 310 および 320 が配置される。選択部 340 には、選択回路 350 および 355 が配置される。後段回路 370 は、後段増幅トランジスタ 371 および後段選択トランジスタ 372 を備える。

【0043】

前段回路 310 は、リセットレベルおよび信号レベルを順に生成して容量素子 331 および 332 に保持させるものである。前段回路 320 は、リセットレベルおよび信号レベルを順に生成して容量素子 336 および 337 に保持させるものである。なお、前段回路 310 は、特許請求の範囲に記載の第 1 の前段回路の一例であり、前段回路 320 は、特許請求の範囲に記載の第 2 の前段回路の一例である。

【0044】

選択回路 350 は、容量素子 331 および 332 のいずれかを後段ノード 360 に接続するものである。選択回路 355 は、容量素子 336 および 337 のいずれかを後段ノード 360 に接続するものである。なお、選択回路 350 は、特許請求の範囲に記載の第 1 の選択回路の一例であり、選択回路 355 は、特許請求の範囲に記載の第 2 の選択回路の一例である。

【0045】

10

20

30

40

50

図４は、本技術の第１の実施の形態における前段回路３１０および３２０と選択回路３５０および３５５との一構成例を示す回路図である。

【００４６】

前段回路３１０は、光電変換素子３１１、転送トランジスタ３１２、ＦＤ（Floating Diffusion）リセットトランジスタ３１３、ＦＤ３１４、前段増幅トランジスタ３１５および電流源トランジスタ３１６を備える。

【００４７】

また、前段回路３２０は、光電変換素子３２１、転送トランジスタ３２２、ＦＤリセットトランジスタ３２３、ＦＤ３２４、前段増幅トランジスタ３２５および電流源トランジスタ３２６を備える。

【００４８】

光電変換素子３１１および３２１は、光電変換により電荷を生成するものである。転送トランジスタ３１２は、垂直走査回路２１１からの転送信号 t_{rg1} に従って、光電変換素子３１１からＦＤ３１４へ電荷を転送するものである。転送トランジスタ３２２は、垂直走査回路２１１からの転送信号 t_{rg2} に従って、光電変換素子３２１からＦＤ３２４へ電荷を転送するものである。

【００４９】

なお、光電変換素子３１１および３２１は、特許請求の範囲に記載の第１および第２の光電変換素子の一例である。転送トランジスタ３１２および３２２は、特許請求の範囲に記載の第１および第２の転送トランジスタの一例である。

【００５０】

ＦＤリセットトランジスタ３１３は、垂直走査回路２１１からのＦＤリセット信号 r_{st1} に従って、ＦＤ３１４から電荷を引き抜いて初期化するものである。ＦＤリセットトランジスタ３２３は、垂直走査回路２１１からのＦＤリセット信号 r_{st2} に従って、ＦＤ３２４から電荷を引き抜いて初期化するものである。ＦＤ３１４および３２４は、電荷を蓄積し、電荷量に応じた電圧を生成するものである。

【００５１】

なお、ＦＤリセットトランジスタ３１３および３２３は、特許請求の範囲に記載の第１および第２のリセットトランジスタの一例である。ＦＤ３１４および３２４は、特許請求の範囲に記載の第１および第２の浮遊拡散層の一例である。

【００５２】

前段増幅トランジスタ３１５は、ＦＤ３１４の電圧のレベルを増幅して前段ノード３３０に出力するものである。前段増幅トランジスタ３２５は、ＦＤ３２４の電圧のレベルを増幅して前段ノード３３５に出力するものである。なお、前段増幅トランジスタ３１５および３２５は、特許請求の範囲に記載の第１および第２の前段増幅トランジスタの一例である。

【００５３】

ＦＤリセットトランジスタ３１３および３２３と前段増幅トランジスタ３１５および３２５とのそれぞれのドレインは、電源電圧 V_{DD} に接続される。電流源トランジスタ３１６は、前段増幅トランジスタ３１５のソースに接続される。この電流源トランジスタ３１６は、垂直走査回路２１１の制御に従って、電流 i_{d11} を供給する。電流源トランジスタ３２６は、前段増幅トランジスタ３２５のソースに接続される。この電流源トランジスタ３２６は、垂直走査回路２１１の制御に従って、電流 i_{d12} を供給する。

【００５４】

なお、電流源トランジスタ３１６および３２６は、特許請求の範囲に記載の第１および第２の電流源トランジスタの一例である。

【００５５】

容量素子３３１および３３２のそれぞれの一端は、前段ノード３３０に共通に接続され、それぞれの他端は、選択回路３５０に接続される。容量素子３３６および３３７のそれぞれの一端は、前段ノード３３５に共通に接続され、それぞれの他端は、選択回路３５５

10

20

30

40

50

に接続される。

【0056】

選択回路350は、選択トランジスタ351および352を備える。選択トランジスタ351は、垂直走査回路211からの選択信号 $\phi r1$ に従って、容量素子331と後段ノード360との間の経路を開閉するものである。選択トランジスタ352は、垂直走査回路211からの選択信号 $\phi s1$ に従って、容量素子332と後段ノード360との間の経路を開閉するものである。

【0057】

選択回路355は、選択トランジスタ356および357を備える。選択トランジスタ356は、垂直走査回路211からの選択信号 $\phi r2$ に従って、容量素子336と後段ノード360との間の経路を開閉するものである。選択トランジスタ357は、垂直走査回路211からの選択信号 $\phi s2$ に従って、容量素子337と後段ノード360との間の経路を開閉するものである。

【0058】

後段リセットトランジスタ361は、垂直走査回路211からの後段リセット信号 $rstb$ に従って、後段ノード360のレベルを所定の電位 $Vreg$ に初期化するものである。電位 $Vreg$ には、電源電位 VDD と異なる電位（例えば、 VDD より低い電位）が設定される。

【0059】

後段回路370において後段増幅トランジスタ371は、後段ノード360のレベルを増幅するものである。後段選択トランジスタ372は、垂直走査回路211からの後段選択信号 $selb$ に従って、後段増幅トランジスタ371により増幅されたレベルの信号を画素信号として垂直信号線309に出力するものである。

【0060】

なお、画素ブロック300内の各種のトランジスタ（転送トランジスタ312など）として、例えば、 $nMOS$ （ n -channel Metal Oxide Semiconductor）トランジスタが用いられる。

【0061】

上述の前段回路310と、容量素子331および332と、選択回路350と、後段リセットトランジスタ361と、後段回路370とからなる回路は、1つの画素として機能する。また、前段回路320と、容量素子336および337と、選択回路355と、後段リセットトランジスタ361と、後段回路370とからなる回路も1つの画素として機能する。これらの2画素により、後段リセットトランジスタ361および後段回路370が共有される。

【0062】

また、画素ブロック300内の2画素は、例えば、列方向に配列される。言い換えれば、これらの2画素は、奇数行および偶数行に配置される。なお、画素ブロック300内の2画素の位置関係は、奇数行および偶数行に限定されない。例えば、2画素を奇数列および偶数列に配置することもできる。あるいは、2画素の一方を他方の斜め上に配置することもできる。

【0063】

垂直走査回路211は、露光開始時に全行へハイレベルのFDリセット信号（ $rst1$ や $rst2$ ）とハイレベルの転送信号（ $trg1$ や $trg2$ ）とを供給する。これにより、光電変換素子（311や321）が初期化される。以下、この制御を「PDリセット」と称する。

【0064】

そして、垂直走査回路211は、露光終了の直前に、全行について後段リセット信号 $rstb$ と選択信号 $\phi r1$ および $\phi r2$ とをハイレベルにしつつ、パルス期間に亘ってハイレベルのFDリセット信号 $rst1$ および $rst2$ を供給する。これにより、FD314および324が初期化され、そのときのFD314および324のレベルに応じたレベル

10

20

30

40

50

が容量素子 331 および 336 に保持される。この制御を以下、「FDリセット」と称する。

【0065】

FDリセットの際の FD314 および 324 のレベルと、そのレベルに対応するレベル（容量素子 331 および 336 の保持レベルや、垂直信号線 309 のレベル）とをまとめて、以下、「P相」または「リセットレベル」と称する。

【0066】

垂直走査回路 211 は、露光終了時に、全行について後段リセット信号 rstb と選択信号 φs1 および φs2 とをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号 trg1 および trg2 を供給する。これにより、露光量に応じた信号電荷が FD314 および 324 へ転送され、そのときの FD314 および 324 のレベルに応じたレベルが容量素子 332 および 337 に保持される。

【0067】

信号電荷の転送の際の FD314 および 324 のレベルと、そのレベルに対応するレベル（容量素子 332 および 337 の保持レベルや、垂直信号線 309 のレベル）とをまとめて、以下、「D相」または「信号レベル」と称する。

【0068】

このように全画素について同時に露光を開始し、終了する露光制御は、グローバルシャッター方式と呼ばれる。この露光制御により、全画素の前段回路 310 は、リセットレベルおよび信号レベルを順に生成する。リセットレベルは、容量素子 331 および 336 に保持され、信号レベルは、容量素子 332 および 337 に保持される。

【0069】

露光終了後に垂直走査回路 211 は、行を順に選択して、その行のリセットレベルおよび信号レベルを順に出力させる。リセットレベルを出力させる際に、垂直走査回路 211 は、選択した行の FDリセット信号 rst1 または rst2 と後段選択信号 selb とをハイレベルにしつつ、ハイレベルの選択信号 φr1 または φr2 を所定期間に亘って供給する。これにより、容量素子 331 または 336 が後段ノード 360 に接続され、リセットレベルが読み出される。

【0070】

リセットレベルの読出し後に垂直走査回路 211 は、選択した行の FDリセット信号 rst1 または rst2 と後段選択信号 selb とをハイレベルにしたままで、ハイレベルの後段リセット信号 rstb をパルス期間に亘って供給する。これにより、後段ノード 360 のレベルが初期化される。このとき、選択トランジスタ 351、352、356 および 357 は開状態であり、容量素子 331、332、336 および 337 は、後段ノード 360 から切り離される。

【0071】

後段ノード 360 の初期化後に、垂直走査回路 211 は、選択した行の FDリセット信号（rst1 または rst2）および後段選択信号 selb をハイレベルにしたままで、ハイレベルの選択信号 φs1 または φs2 を所定期間に亘って供給する。これにより、容量素子 332 または 337 が後段ノード 360 に接続され、信号レベルが読み出される。

【0072】

上述の読出し制御により、選択された行の選択回路 350 は、容量素子 331 を後段ノード 360 に接続する制御と、容量素子 331 および 332 を後段ノード 360 から切り離す制御と、容量素子 332 を後段ノード 360 に接続する制御とを順に行う。

【0073】

また、選択された行の選択回路 355 は、容量素子 336 を後段ノード 360 に接続する制御と、容量素子 336 および 337 を後段ノード 360 から切り離す制御と、容量素子 337 を後段ノード 360 に接続する制御とを順に行う。

【0074】

また、容量素子 331、332、336 および 337 が後段ノード 360 から切り離さ

10

20

30

40

50

れたときに、選択された行の後段リセットトランジスタ 361 は後段ノード 360 のレベルを初期化する。また、選択された行の後段回路 370 は、後段ノード 360 を介してリセットレベルおよび信号レベルを容量素子 331 および 332（または、容量素子 336 および 337）から順に読み出して垂直信号線 309 へ出力する。

【0075】

〔カラム信号処理回路の構成例〕

図 5 は、本技術の第 1 の実施の形態におけるカラム信号処理回路 260 の一構成例を示すブロック図である。

【0076】

負荷 MOS 回路ブロック 250 には、画素ブロック 300 の列ごとに垂直信号線 309 が配線される。列数を I （ I は、整数）とすると、 I 本の垂直信号線 309 が配線される。また、垂直信号線 309 のそれぞれには、一定の電流 i_{d2} を供給する負荷 MOS トランジスタ 251 が接続される。

【0077】

カラム信号処理回路 260 には、複数の ADC 261 とデジタル信号処理部 262 とが配置される。ADC 261 は、列ごとに配置される。列数を I とすると、 I 個の ADC 261 が配置される。

【0078】

ADC 261 は、DAC 213 からのランプ信号 R_{mp} を用いて、対応する列からのアナログの画素信号をデジタル信号に変換するものである。この ADC 261 は、デジタル信号をデジタル信号処理部 262 に供給する。例えば、ADC 261 として、コンパレータおよびカウンタを備えるシングルスロープ型の ADC が配置される。

【0079】

デジタル信号処理部 262 は、列ごとのデジタル信号のそれぞれに対して、CDS 処理などの所定の信号処理を行うものである。デジタル信号処理部 262 は、処理後のデジタル信号からなる画像データを記録部 120 に供給する。

【0080】

〔固体撮像素子の動作例〕

図 6 は、本技術の第 1 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。垂直走査回路 211 は、露光開始の直前のタイミング T_0 から、パルス期間経過後のタイミング T_1 に亘って、全ての行（言い換えれば、全画素）にハイレベルの FD リセット信号 r_{st1} および r_{st2} と転送信号 $trg1$ および $trg2$ とを供給する。これにより、全画素が PD リセットされ、全行で同時に露光が開始される。

【0081】

ここで、同図の $r_{st1_}[n]$ 、 $r_{st2_}[n]$ 、 $trg1_}[n]$ および $trg2_}[n]$ は、 N 行のうち n 行目の画素への信号を示す。 N は、画素ブロック 300 を配列した行の全行数を示す整数であり、 n は、1 乃至 N の整数である。画素ブロック 300 内の 2 画素が偶数行および奇数行の画素である場合、画素ブロック 300 の第 n 行は、奇数行および偶数行の 2 行を含む。

【0082】

露光期間の終了直前のタイミング T_2 において、垂直走査回路 211 は、全行において後段リセット信号 r_{stb} と選択信号 $\phi r1$ および $\phi r2$ とをハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 r_{st1} および r_{st2} を供給する。これにより、全画素が FD リセットされ、リセットレベルがサンプルホールドされる。ここで、同図の $r_{stb_}[n]$ 、 $\phi r1_}[n]$ および $\phi r2_}[n]$ は、 n 行目の画素への信号を示す。

【0083】

タイミング T_2 の後のタイミング T_3 において、垂直走査回路 211 は、選択信号 $\phi r1$ および $\phi r2$ をローレベルに戻す。

【0084】

10

20

30

40

50

露光終了のタイミングT4において、垂直走査回路211は、全行において後段リセット信号rstbと選択信号φs1およびφs2とをハイレベルにしつつ、パルス期間に亘ってハイレベルの転送信号trg1およびtrg2を供給する。これにより、信号レベルがサンプルホールドされる。また、同図のφs1[n]およびφs2[n]は、n行目の画素への信号を示す。

【0085】

タイミングT4の後のタイミングT5において、垂直走査回路211は、選択信号φs1およびφs2をローレベルに戻す。

【0086】

図7は、本技術の第1の実施の形態における画素ブロック300内の最初の画素の読出し動作の一例を示すタイミングチャートである。タイミングT10以降の第n行の読出し期間において、垂直走査回路211は、第n行のFDリセット信号rst1およびrst2と後段選択信号selbとをハイレベルにする。また、タイミングT10において、全行の後段リセット信号rstbは、ローレベルに制御される。ここで、同図のselb[n]は、n行目の画素への信号を示す。

【0087】

タイミングT10の直後のタイミングT11からタイミングT12までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φr1を供給する。後段ノード360の電位は、リセットレベルVrst1となる。ADC261により、このリセットレベルがAD変換される。

【0088】

タイミングT12の直後のタイミングT13からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。これにより、後段ノード360に寄生容量が存在する際に、その寄生容量に保持される前回の信号の履歴を消去することができる。

【0089】

後段ノード360の初期化直後のタイミングT14からタイミングT15までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φs1を供給する。後段ノード360の電位は、信号レベルVsig1となる。ADC261により、この信号レベルがAD変換される。リセットレベルVrst1と信号レベルVsig1との差分が、FDのリセットノイズやオフセットノイズを除去した正味の信号レベルに該当する。

【0090】

図8は、本技術の第1の実施の形態における画素ブロック300内の最初の画素の読出し動作の一例を示すタイミングチャートである。

【0091】

タイミングT15の直後のタイミングT16からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

【0092】

後段ノード360の初期化直後のタイミングT17からタイミングT18までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φr2を供給する。後段ノード360の電位は、リセットレベルVrst2となる。ADC261により、このリセットレベルがAD変換される。

【0093】

タイミングT18の直後のタイミングT19からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

【0094】

後段ノード360の初期化直後のタイミングT20からタイミングT21までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φs2を供給する。後段ノード360の電位は、信号レベルVsig2となる。ADC261により、この信号レベルがAD変換される。

10

20

30

40

50

【0095】

また、タイミングT21において、垂直走査回路211は、第n行のFDリセット信号rst1およびrst2と後段選択信号selbとをローレベルに戻す。

【0096】

図7および図8に例示したように、ハイレベルの選択信号φr1、φs1、φr2およびφs2が順に供給される。これらの選択信号に従って選択部340は、容量素子331、332、336および337を順に後段ノード360に接続する。そして、画素ブロック300内の最初の画素のリセットレベルVrst1および信号レベルVsig1と、2番目の画素のリセットレベルVrst2および信号レベルVsig2とが順に読み出される。

10

【0097】

なお、固体撮像素子200は、リセットレベルの後に、信号レベルを読み出しているが、この順番に限定されない。固体撮像素子200は、信号レベルの後に、リセットレベルを読み出すこともできる。この場合に垂直走査回路211は、ハイレベルの選択信号φsの後に、ハイレベルの選択信号φrを供給する。また、この場合、ランプ信号のスロープの傾きを逆にする必要がある。

【0098】

図9は、比較例における画素の一構成例を示す回路図である。この比較例では、選択回路350が設けられず、前段ノード330と前段回路との間に転送トランジスタが挿入される。また、容量素子331および332の代わりに、容量C1およびC2が挿入される。容量C1は、前段ノード330と接地端子との間に挿入され、容量C2は、前段ノード330と後段ノード360との間に挿入される。

20

【0099】

この比較例の画素の露光制御および読出し制御は、例えば、非特許文献1のFigure 5.5.2に記載されている。この比較例において、容量C1およびC2のそれぞれの容量値をCと仮定すると、露光および読出しの際のkTCノイズのレベルVnは、次の式により表される。

$$V_n = (3 * k T / C)^{1/2} \quad \dots \text{式1}$$

上式において、kは、ボルツマン定数であり、単位は、例えば、ジュール毎ケルビン(J/K)である。Tは絶対温度であり、単位は、例えば、ケルビン(K)である。また、Vnの単位は、例えば、ボルト(V)であり、Cの単位は、例えば、ファラッド(F)である。

30

【0100】

図10は、本技術の第1の実施の形態におけるリセットレベルの読出しのときと、後段ノードの初期化のときとのそれぞれの画素ブロックの状態の一例を示す図である。同図におけるaは、リセットレベルの読出しのときの画素ブロック300の状態を示し、同図におけるbは、後段ノード360の初期化のときの画素ブロック300の状態を示す。また、同図において、選択トランジスタ351、選択トランジスタ352および後段リセットトランジスタ361は、説明の便宜上、スイッチの図記号により表される。

【0101】

同図におけるaに例示するように、垂直走査回路211は、選択トランジスタ351を閉状態にし、選択トランジスタ352および後段リセットトランジスタ361を開状態にする。これにより、後段回路370を介して最初の画素のリセットレベルが読み出される。

40

【0102】

リセットレベルの読出し後に同図におけるbに例示するように、垂直走査回路211は、選択トランジスタ351および選択トランジスタ352を開状態にし、後段リセットトランジスタ361を閉状態にする。これにより、容量素子331および332が後段ノード360から切り離され、後段ノード360のレベルが初期化される。

【0103】

このように容量素子331および332から切り離した状態の後段ノード360の寄生

50

容量 C_p の容量値は、容量素子 331 および 332 と比べて非常に小さいものとする。例えば、寄生容量 C_p を数フェムトファラッド (fF) とすると、容量素子 331 および 332 は、数十フェムトファラッドのオーダーである。

【0104】

図 11 は、本技術の第 1 の実施の形態における信号レベルの読出しのときの画素ブロック 300 の状態の一例を示す図である。

【0105】

後段ノード 360 の初期化後において、垂直走査回路 211 は、選択トランジスタ 352 を閉状態にし、選択トランジスタ 351 および後段リセットトランジスタ 361 を開状態にする。これにより、後段回路 370 を介して最初の画素の信号レベルが読み出される。

【0106】

ここで、画素の露光時の kTC ノイズについて考える。露光時において、露光終了の直前のリセットレベルのサンプリングと信号レベルのサンプリングとのそれぞれにおいて kTC ノイズが発生する。容量素子 331 および 332 のそれぞれの容量値を C と仮定すると、露光時の kTC ノイズのレベル V_n は、次の式により表される。

$$V_n = (2 * kT / C)^{1/2} \quad \dots \text{式 2}$$

【0107】

また、図 10 および図 11 に例示したように、読出しの際に後段リセットトランジスタ 361 が駆動しているため、そのときに kTC ノイズが発生する。しかし、後段リセットトランジスタ 361 の駆動時に容量素子 331 および 332 が切り離されており、そのときの寄生容量 C_p が小さい。このため、読出しの際の kTC ノイズは、露光時の kTC ノイズと比べて無視することができる。したがって、露光および読出しの際の kTC ノイズは、式 2 により表される。

【0108】

式 1 および式 2 より、読出しの際に容量を切り離す画素ブロック 300 では、読出しの際に容量を切り離すことができない比較例よりも kTC ノイズが小さくなる。これにより、画像データの画質を向上させることができる。

【0109】

また、画素ブロック 300 内の 2 画素が後段リセットトランジスタ 361 および後段回路 370 を共有しているため、共有しない場合と比較して、画素アレイ部 220 の回路規模を削減することができる。なお、共有する画素数は 2 画素に限定されない。3 画素以上が後段リセットトランジスタ 361 および後段回路 370 を共有することもできる。

【0110】

図 12 は、本技術の第 1 の実施の形態における固体撮像素子 200 の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

【0111】

垂直走査回路 211 は、全画素の露光を行う (ステップ S901)。そして、垂直走査回路 211 は、読出し対象の画素ブロック 300 の行を選択する (ステップ S902)。カラム信号処理回路 260 は、その行の画素ブロック 300 内の最初の画素のリセットレベルの読出しを行い (ステップ S903)、次に、その画素の信号レベルの読出しを行う (ステップ S904)。続いてカラム信号処理回路 260 は、2 番目の画素のリセットレベルの読出しを行い (ステップ S905)、次に、その画素の信号レベルの読出しを行う (ステップ S906)。

【0112】

固体撮像素子 200 は、全行の読出しが完了したか否かを判断する (ステップ S907)。全行の読出しが完了していない場合に (ステップ S907: No)、固体撮像素子 200 は、ステップ S902 以降を繰り返す。一方、全行の読出しが完了した場合に (ステップ S907: Yes)、固体撮像素子 200 は、 CDS 処理などを実行し、撮像のための動作を終了する。複数枚の画像データを連続して撮像する場合には、垂直同期信号に同

10

20

30

40

50

期して、ステップ S 9 0 1 乃至 S 9 0 7 が繰り返し実行される。

【0113】

このように、本技術の第1の実施の形態では、選択回路350が容量素子331および332を後段ノード360から切り離したときに後段リセットトランジスタ361が後段ノード360を初期化する。容量素子331および332が切り離されているため、後段リセットトランジスタ361の駆動によるリセットノイズのレベルは、それらの容量より小さな寄生容量に応じたレベルとなる。このノイズの低減により、画像データの画質を向上させることができる。

【0114】

また、2画素が後段リセットトランジスタ361および後段回路370を共有するため、共有しない場合と比較して、画素アレイ部220の回路規模を削減することができる。

【0115】

〔第1の変形例〕

上述の第1の実施の形態では、固体撮像素子200は、画素ブロック300内の2画素のそれぞれの画素信号を順に読み出していたが、この構成では、読出し速度が不足するおそれがある。この第1の実施の形態の第1の変形例の固体撮像素子200は、画素加算を行う点において第1の実施の形態と異なる。

【0116】

図13は、本技術の第1の実施の形態の第1の変形例におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。この第1の実施の形態の固体撮像素子200には、画素加算を行わない非加算モードと、画素加算を行う加算モードとを含む複数のモードのいずれかが設定される。非加算モードのグローバルシャッター動作および読出し動作は、第1の実施の形態と同様である。加算モードのグローバルシャッター動作は、非加算モードと同様である。

【0117】

加算モードにおいて読出しを行う場合、同図に例示するように、第n行の読出し開始のタイミングT10において、垂直走査回路211は、ハイレベルのFDリセット信号rst1およびrst2をパルス期間に亘って供給する。また、タイミングT10からタイミングT15までの読出し期間に内に垂直走査回路211は、後段選択信号selbをハイレベルにする。

【0118】

タイミングT10の直後のタイミングT11からタイミングT12までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φr1およびφs2を供給する。これにより、後段ノード360の電位は、リセットレベルVrstとなる。このリセットレベルVrstは、画素ブロック300内の2画素のそれぞれのリセットレベルを加算した値である。

【0119】

タイミングT12の直後のタイミングT13からパルス期間に亘って、垂直走査回路211は、第n行にハイレベルの後段リセット信号rstbを供給する。

【0120】

後段ノード360の初期化直後のタイミングT14からタイミングT15までの期間に亘って垂直走査回路211は、第n行にハイレベルの選択信号φr2およびφs2を供給する。これにより、後段ノード360の電位は、信号レベルVsigとなる。この信号レベルVsigは、画素ブロック300内の2画素のそれぞれの信号レベルを加算した値である。

【0121】

同図に例示したように、ハイレベルの選択信号φr1およびφs1供給され、これらの選択信号に従って選択部340は、容量素子331および336を後段ノード360に接続する。言い換えれば、容量素子331と容量素子336とが短絡される。これにより、2画素のリセットレベルが加算される。また、ハイレベルの選択信号φr2およびφs2

10

20

30

40

50

が供給され、これらの選択信号に従って選択部 340 は、容量素子 332 および 337 を後段ノード 360 に接続する。言い換えれば、容量素子 332 と容量素子 337 とが短絡される。これにより、2 画素の信号レベルが加算される。これらの画素加算により、加算しない場合と比較して感度や読出し速度を向上させることができる。また、画素加算により読み出す行数が削減されるため、消費電力を低減することができる。

【0122】

なお、固体撮像素子 200 は、リセットレベルの後に信号レベルを読み出しているが、この順番に限定されず、信号レベルの後に、リセットレベルを読み出すこともできる。

【0123】

このように、本技術の第 1 の実施の形態の第 1 の変形例によれば、選択部 340 は、容量素子 331 および 336 を後段ノード 360 に接続し、容量素子 332 および 337 を後段ノード 360 に接続するため、2 画素のそれぞれの画素信号を加算することができる。これにより、加算しない場合と比較して感度や読出し速度を向上させ、消費電力を低減することができる。

【0124】

[第 2 の変形例]

上述の第 1 の実施の形態では、固体撮像素子 200 内の回路を単一の半導体チップに設けていたが、この構成では、画素を微細化した際に半導体チップ内に素子が収まらなくなるおそれがある。この第 1 の実施の形態の第 2 の変形例の固体撮像素子 200 は、固体撮像素子 200 内の回路を 2 つの半導体チップに分散して配置した点において第 1 の実施の形態と異なる。

【0125】

図 14 は、本技術の第 1 の実施の形態の第 2 の変形例における固体撮像素子 200 の積層構造の一例を示す図である。第 1 の実施の形態の第 2 の変形例の固体撮像素子 200 は、下側画素チップ 202 と、その下側画素チップ 202 に積層された上側画素チップ 201 とを備える。これらのチップは、例えば、Cu-Cu 接合により電氣的に接続される。なお、Cu-Cu 接合の他、ビアやバンプにより接続することもできる。

【0126】

上側画素チップ 201 には、上側画素アレイ部 221 が配置される。下側画素チップ 202 には、下側画素アレイ部 222 とカラム信号処理回路 260 とが配置される。画素アレイ部 220 内の画素ごとに、その一部が、上側画素アレイ部 221 に配置され、残りが下側画素アレイ部 222 に配置される。

【0127】

また、下側画素チップ 202 には、垂直走査回路 211、タイミング制御回路 212、DAC 213 および負荷 MOS 回路ブロック 250 も配置される。これらの回路は、同図において省略されている。

【0128】

また、上側画素チップ 201 は、例えば、画素専用のプロセスで製造され、下側画素チップ 202 は、例えば、CMOS (Complementary MOS) プロセスで製造される。なお、上側画素チップ 201 は、特許請求の範囲に記載の第 1 のチップの一例であり、下側画素チップ 202 は、特許請求の範囲に記載の第 2 のチップの一例である。

【0129】

図 15 は、本技術の第 1 の実施の形態の第 2 の変形例における画素ブロック 300 の一構成例を示す回路図である。画素ブロック 300 のうち、前段回路ブロック 305 は、上側画素チップ 201 に配置され、それ以外の回路や素子 (容量素子 331 および 332 など) は、下側画素チップ 202 に配置される。なお、電流源トランジスタ 316 や 326 をさらに下側画素チップ 202 に配置することもできる。同図に例示するように、画素ブロック 300 内の素子を、積層した上側画素チップ 201 および下側画素チップ 202 に分散して配置することにより、画素の面積を小さくすることができ、画素の微細化が容易になる。

10

20

30

40

50

【0130】

このように、本技術の第1の実施の形態の第2の変形例によれば、画素ブロック300内の回路や素子を2つの半導体チップに分散して配置するため、画素の微細化が容易になる。

【0131】

〔第3の変形例〕

上述の第1の実施の形態の第2の変形例では、画素ブロック300の一部と周辺回路（カラム信号処理回路260など）とを下側の下側画素チップ202に設けていた。しかし、この構成では、周辺回路の分、下側画素チップ202側の回路や素子の配置面積が上側画素チップ201より大きくなり、上側画素チップ201に、回路や素子の無い無駄なスペースが生じるおそれがある。この第1の実施の形態の第3の変形例の固体撮像素子200は、固体撮像素子200内の回路を3つの半導体チップに分散して配置した点において第1の実施の形態の第2の変形例と異なる。

【0132】

図16は、本技術の第1の実施の形態の第3の変形例における固体撮像素子200の積層構造の一例を示す図である。第1の実施の形態の第3の変形例の固体撮像素子200は、上側画素チップ201、下側画素チップ202および回路チップ203を備える。これらのチップは積層され、例えば、Cu-Cu接合により電氣的に接続される。なお、Cu-Cu接合の他、ビアやバンプにより接続することもできる。

【0133】

上側画素チップ201には、上側画素アレイ部221が配置される。下側画素チップ202には、下側画素アレイ部222が配置される。画素アレイ部220内の画素ごとに、その一部が、上側画素アレイ部221に配置され、残りが下側画素アレイ部222に配置される。

【0134】

また、回路チップ203には、カラム信号処理回路260、垂直走査回路211、タイミング制御回路212、DAC213および負荷MOS回路ブロック250が配置される。カラム信号処理回路260以外の回路は、同図において省略されている。

【0135】

なお、上側画素チップ201は、特許請求の範囲に記載の第1のチップの一例であり、下側画素チップ202は、特許請求の範囲に記載の第2のチップの一例である。回路チップ203は、特許請求の範囲に記載の第3のチップの一例である。

【0136】

同図に例示したように3層構成にすることにより、2層構成と比較して無駄なスペースを削減し、さらに画素を微細化することができる。また、2層目の下側画素チップ204を、容量やスイッチのための専用のプロセスで製造することができる。

【0137】

このように、本技術の第1の実施の形態の第3の変形例では、固体撮像素子200内の回路を3つの半導体チップに分散して配置するため、2つの半導体チップに分散して配置する場合と比較してさらに画素を微細化することができる。

【0138】

<2. 第2の実施の形態>

上述の第1の実施の形態では、固体撮像素子200は、画素ブロック300内の2画素のそれぞれの画素信号を順に読み出していたが、この構成では、読出し速度が不足するおそれがある。この第1の実施の形態の第1の変形例の固体撮像素子200は、画素加算を行う点において第1の実施の形態と異なる。

【0139】

図17は、本技術の第2の実施の形態における画素アレイ部220の一構成例を示す平面図である。同図におけるaは、ベイヤー配列の画素アレイ部220の一例を示す平面図である。同図におけるbは、クアドラベイヤー配列の画素アレイ部220の一例を示す平

10

20

30

40

50

面図である。

【0140】

同図におけるaに例示するように第2の実施の形態の画素アレイ部220において、R (Red)、G (Green)およびB (Blue)の画素がベイヤー配列により配列される。固体撮像素子200は、これらの画素のうち、Rの画素301と、その近傍のRの画素302乃至304とのそれぞれの画素信号を加算することができる。Gの画素やBの画素についても、同様に、固体撮像素子200は、近傍の4画素の各画素信号を加算することができる。

【0141】

なお、ベイヤー配列の代わりに、同図におけるbに例示するようにクアドラベイヤー配列により画素を配列することもできる。クアドラベイヤー配列では、同色の4画素が2行×2列で隣接して配列される。そして、Rの4画素に着目すると、それらの右下にBの4画素が配置され、右側と下側にGの4画素が配置される。固体撮像素子200は、これらの画素のうち、隣接する同色の4画素(画素301乃至304など)のそれぞれの画素信号を加算することができる。

【0142】

なお、画素の配列は、ベイヤー配列やクアドラベイヤー配列に限定されない。例えば、R、G、BおよびW (White)の画素を配列することもできる。

【0143】

図18は、本技術の第2の実施の形態における画素ブロック300の一構成例を示す回路図である。第2の実施の形態の画素ブロック300には、画素加算を行う際に加算対象となる4画素が配置される。例えば、図17における画素301乃至304が画素ブロック300内に配置される。

【0144】

第2の実施の形態の画素ブロック300には、容量素子431、432、436および437と、短絡トランジスタ480と、後段リセットトランジスタ461と、後段回路470とがさらに設けられる。また、第2の実施の形態において、前段回路ブロック305には、前段回路410および420がさらに配置され、選択部340には、選択回路450および455がさらに配置される。垂直走査回路211は、後段リセットトランジスタ361に後段リセット信号rstb1を供給し、後段リセットトランジスタ461に後段リセット信号rstb2を供給する。

【0145】

後段回路470には、後段増幅トランジスタ471および後段選択トランジスタ472が配置される。これらのトランジスタとして、例えば、nMOSトランジスタが用いられる。また、後段リセットトランジスタ461および後段回路470の回路構成は、後段リセットトランジスタ361および後段回路370と同様である。後段回路370および470は、同一の垂直信号線309に接続される。垂直走査回路211は、後段選択トランジスタ372に後段選択信号selb1を供給し、後段選択トランジスタ472に後段選択信号selb2を供給する。

【0146】

前段回路410は、リセットレベルおよび信号レベルを順に生成して容量素子431および432に保持させる。前段回路420は、リセットレベルおよび信号レベルを順に生成して容量素子436および437に保持させる。なお、容量素子431および432は、特許請求の範囲に記載の第5および第6の容量素子の一例であり、容量素子436および437は、特許請求の範囲に記載の第7および第8の容量素子の一例である。

【0147】

また、選択回路450は、容量素子431および432のいずれかを後段ノード460に接続し、選択回路455は、容量素子436および437のいずれかを後段ノード460に接続する。なお、選択回路450は、特許請求の範囲に記載の第3の選択回路の一例であり、選択回路455は、特許請求の範囲に記載の第4の選択回路の一例である。また、後段ノード360は、特許請求の範囲に記載の第1の後段ノードの一例であり、後段ノ

10

20

30

40

50

ード４６０は、特許請求の範囲に記載の第２の後段ノードの一例である。

【０１４８】

短絡トランジスタ４８０は、垂直走査回路２１１からの短絡信号ｓｈｔに従って、後段ノード３６０と後段ノード４６０との間の経路を開閉するものである。短絡トランジスタ４８０として、例えば、ｎＭＯＳトランジスタが用いられる。

【０１４９】

図１９は、本技術の第２の実施の形態における前段回路４１０および４２０と選択回路４５０および４５５との一構成例を示す回路図である。

【０１５０】

前段回路４１０は、光電変換素子４１１、転送トランジスタ４１２、ＦＤリセットトランジスタ４１３、ＦＤ４１４、前段増幅トランジスタ４１５および電流源トランジスタ４１６を備える。垂直走査回路２１１は、転送トランジスタ４１２およびＦＤリセットトランジスタ４１３に転送信号ｔｒｇ３およびＦＤリセット信号ｒｓｔ３を供給する。

【０１５１】

また、前段回路４２０は、光電変換素子４２１、転送トランジスタ４２２、ＦＤリセットトランジスタ４２３、ＦＤ４２４、前段増幅トランジスタ４２５および電流源トランジスタ４２６を備える。垂直走査回路２１１は、転送トランジスタ４２２およびＦＤリセットトランジスタ４２３に転送信号ｔｒｇ４およびＦＤリセット信号ｒｓｔ４を供給する。

【０１５２】

選択回路４５０は、選択トランジスタ４５１および４５２を備え、選択回路４５５は、選択トランジスタ４５６および４５７を備える。垂直走査回路２１１は、選択トランジスタ４５１および４５２に選択信号φｒ３およびφｓ３を供給し、選択トランジスタ４５６および４５７に選択信号φｒ４およびφｓ４を供給する。

【０１５３】

前段回路４１０および４２０の回路構成は、前段回路３１０および３２０と同様である。また、選択回路４５０および４５５の回路構成は、選択回路３５０および３５５と同様である。

【０１５４】

図２０は、本技術の第２の実施の形態における画素ブロック３００内の１番目および２番目の画素の読出し動作の一例を示すタイミングチャートである。この第２の実施の形態の固体撮像素子２００には、画素加算を行わない非加算モードと、画素加算を行う加算モードとを含む複数のモードのいずれかが設定される。非加算モードのグローバルシャッター動作および読出し動作は、第１の実施の形態と同様である。加算モードのグローバルシャッター動作は、非加算モードと同様である。

【０１５５】

非加算モードにおいて、垂直走査回路２１１は、短絡信号ｓｈｔをローレベルにする。また、ｎ番目の画素ブロック３００の行の読出し開始のタイミングＴ１０において、垂直走査回路２１１は、ＦＤリセット信号ｒｓｔ１乃至ｒｓｔ４をハイレベルにする。また、タイミングＴ１０乃至Ｔ１８の期間内に垂直走査回路２１１は、後段選択信号ｓｅｌｂ１をハイレベルにし、後段選択信号ｓｅｌｂ２をローレベルにする。

【０１５６】

また、タイミングＴ１０からＴ１１までのパルス期間内に垂直走査回路２１１は、ハイレベルの後段リセット信号ｒｓｔｂ１を供給し、タイミングＴ１１乃至Ｔ１２の期間内にハイレベルの選択信号φｒ１を供給する。この期間内に垂直信号線３０９を介して１番目の画素のリセットレベルＶｒｓｔ１が読み出される。

【０１５７】

タイミングＴ１２からＴ１３までのパルス期間内に垂直走査回路２１１は、ハイレベルの後段リセット信号ｒｓｔｂ１を供給し、タイミングＴ１３乃至Ｔ１４の期間内にハイレベルの選択信号φｓ１を供給する。この期間内に垂直信号線３０９を介して１番目の画素の信号レベルＶｓｉｇ１が読み出される。

10

20

30

40

50

【0158】

続いて、タイミングT14からT15までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb1を供給し、タイミングT15乃至T16の期間内にハイレベルの選択信号φr2を供給する。この期間内に垂直信号線309を介して2番目の画素のリセットレベルVrst2が読み出される。

【0159】

タイミングT16からT17までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb1を供給し、タイミングT17乃至T18の期間内にハイレベルの選択信号φs2を供給する。この期間内に垂直信号線309を介して2番目の画素の信号レベルVsig2が読み出される。

10

【0160】

図21は、本技術の第2の実施の形態における画素ブロック内300の3番目および4番目の画素の読出し動作の一例を示すタイミングチャートである。

【0161】

タイミングT18乃至T26の期間内に垂直走査回路211は、後段選択信号selb1をローレベルにし、後段選択信号selb2をハイレベルにする。

【0162】

また、タイミングT18からT19までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb2を供給し、タイミングT19乃至T20の期間内にハイレベルの選択信号φr3を供給する。この期間内に垂直信号線309を介して3番目の画素のリセットレベルVrst3が読み出される。

20

【0163】

タイミングT20からT21までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb2を供給し、タイミングT21乃至T22の期間内にハイレベルの選択信号φs3を供給する。この期間内に垂直信号線309を介して3番目の画素の信号レベルVsig3が読み出される。

【0164】

続いて、タイミングT22からT23までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb2を供給し、タイミングT23乃至T24の期間内にハイレベルの選択信号φr4を供給する。この期間内に垂直信号線309を介して4番目の画素のリセットレベルVrst4が読み出される。

30

【0165】

タイミングT24からT25までのパルス期間内に垂直走査回路211は、ハイレベルの後段リセット信号rstb2を供給し、タイミングT25乃至T26の期間内にハイレベルの選択信号φs4を供給する。この期間内に垂直信号線309を介して4番目の画素の信号レベルVsig4が読み出される。

【0166】

また、第n行の読出しの終了のタイミングT26において、垂直走査回路211は、FDリセット信号rst1乃至rst4をローレベルにする。

【0167】

図20および図21に例示したように、非加算モードにおいて、短絡トランジスタ480は開状態に制御される。また、容量素子331および332が順に後段ノード360に接続され、1番目の画素のリセットレベルおよび信号レベルが順に読み出される。容量素子336および337が順に後段ノード360に接続され、2番目の画素のリセットレベルおよび信号レベルが順に読み出される。続いて、容量素子431および432が順に後段ノード460に接続され、3番目の画素のリセットレベルおよび信号レベルが順に読み出される。容量素子436および437が順に後段ノード460に接続され、4番目の画素のリセットレベルおよび信号レベルが順に読み出される。このように画素ブロック300内の4画素のそれぞれのリセットレベルおよび信号レベルが順に読み出される。

40

【0168】

50

図 2 2 は、本技術の第 2 の実施の形態における加算モードの読出し動作の一例を示すタイミングチャートである。加算モードにおいて、垂直走査回路 2 1 1 は、短絡信号 sht をハイレベルにする。n 番目の画素ブロック 3 0 0 の行の読出し期間であるタイミング $T 1 0$ 乃至 $T 1 4$ において、垂直走査回路 2 1 1 は、FD リセット信号 $rst 1$ 乃至 $rst 4$ と後段選択信号 $sel b 1$ および $sel b 2$ とをハイレベルにする。

【0 1 6 9】

また、タイミング $T 1 0$ から $T 1 1$ までのパルス期間内に垂直走査回路 2 1 1 は、ハイレベルの後段リセット信号 $rst b 1$ および $rst b 2$ を供給し、タイミング $T 1 1$ 乃至 $T 1 2$ の期間内にハイレベルの選択信号 $\phi r 1$ 乃至 $\phi r 4$ を供給する。この期間内に垂直信号線 3 0 9 を介してリセットレベル $Vrst$ が読み出される。このリセットレベル $Vrst$ は、画素ブロック 3 0 0 内の 4 画素のそれぞれのリセットレベルを加算した値である。

10

【0 1 7 0】

続いて、タイミング $T 1 2$ から $T 1 3$ までのパルス期間内に垂直走査回路 2 1 1 は、ハイレベルの後段リセット信号 $rst b 1$ および $rst b 2$ を供給し、タイミング $T 1 3$ 乃至 $T 1 4$ の期間内にハイレベルの選択信号 $\phi s 1$ 乃至 $\phi s 4$ を供給する。この期間内に垂直信号線 3 0 9 を介して信号レベル $Vsig$ が読み出される。この信号レベル $Vsig$ は、画素ブロック 3 0 0 内の 4 画素のそれぞれの信号レベルを加算した値である。

【0 1 7 1】

ここで、第 1 の実施の形態の画素ブロック 3 0 0 において、後段回路 3 7 0 を共有する画素数を 4 つに増やすことによっても 4 画素を加算することができる。しかし、後段回路 3 7 0 を共有する画素数が増えると弊害が生じる。後段回路 3 7 0 を共有する画素数を 4 つにすると、後段ノード 3 6 0 の配線が 4 画素に跨り、その後段ノード 3 6 0 の寄生容量が増大する。この寄生容量の増大により、画素加算を行わない場合の信号のゲインが低下してしまう。これは、容量素子 3 3 1 や 3 3 2 に保持した電圧が、後段ノード 3 6 0 と接続する際に、寄生容量により低減されてしまうためである。このゲインの低下により、SN (Signal-Noise) 比が低下する。

20

【0 1 7 2】

これに対して、短絡トランジスタ 4 8 0 を設けた第 2 の実施の形態では、非加算モードにおいて短絡トランジスタ 4 8 0 を開状態にすることにより、後段回路 3 7 0 および 4 7 0 のそれぞれの共有する画素数を 2 画素にすることができる。これにより、4 画素が後段回路 3 7 0 を共有する場合と比較して、後段ノードの寄生容量の増大を抑制することができる。このような構成により、2 画素より多くの画素の加算を実現しつつ、非加算モードの SN 比の低下を抑制することができる。

30

【0 1 7 3】

なお、図 1 8 に例示した画素ブロック 3 0 0 では、1 本の垂直信号線 3 0 9 を後段回路 3 7 0 および 4 7 0 で共有していたが、この構成に限定されない。垂直信号線 3 0 9 - 1 および 3 0 9 - 2 を配線し、後段回路 3 7 0 を垂直信号線 3 0 9 - 1 に接続し、後段回路 4 7 0 を垂直信号線 3 0 9 - 2 に接続することもできる。この場合、垂直信号線の配線数とともに、後段の負荷 MOS トランジスタ 2 5 1 の個数と ADC 2 6 1 の個数とを 2 倍にする必要がある。その代わりに、非加算モードの際に、後段回路 3 7 0 を共有する 2 画素の一方と後段回路 4 7 0 を共有する 2 画素の一方とを同時に読み出すことができるため、読出し速度を向上させることができる。また、加算モードの際には、垂直信号線 3 0 9 - 1 および 3 0 9 - 2 の一方のみが使用され、他方に対応する負荷 MOS トランジスタ 2 5 1 はオフ状態に制御される。

40

【0 1 7 4】

なお、第 2 の実施の形態に、第 1 の実施の形態の第 1 乃至第 3 の変形例を適用することもできる。

【0 1 7 5】

このように、本技術の第 2 の実施の形態によれば、短絡トランジスタ 4 8 0 が後段ノード 3 6 0 と後段ノード 4 6 0 とを短絡するため、画素ブロック 3 0 0 は、4 画素のそれぞ

50

れの画素信号を加算することができる。これにより、加算しない場合と比較して感度や読み出し速度を向上させ、消費電力を低減することができる。

【0176】

＜3．第3の実施の形態＞

上述の第1の実施の形態では、画素ごとに電流源トランジスタ（316や326）を配置していたが、この構成では、画素の微細化が困難になるおそれがある。この第3の実施の形態の固体撮像素子200は、複数の画素で電流源トランジスタを共有する点において第1の実施の形態と異なる。

【0177】

図23は、本技術の第3の実施の形態における画素ブロック300の一構成例を示す回路図である。この第3の実施の形態の画素ブロック300は、前段選択トランジスタ317および327をさらに備え、電流源トランジスタ316が設けられない点において第1の実施の形態と異なる。

【0178】

前段選択トランジスタ317は、垂直走査回路211からの前段選択信号sel1に従って、前段増幅トランジスタ315により増幅された電圧を前段ノード338に出力するものである。前段選択トランジスタ327は、垂直走査回路211からの前段選択信号sel2に従って、前段増幅トランジスタ325により増幅された電圧を前段ノード338に出力するものである。また、電流源トランジスタ326は、前段ノード338に接続される。

【0179】

また、容量素子331、332、336および337の一端は、前段ノード339に共通に接続され、他端は、選択回路350および355に接続される。前段ノード339は、前段ノード338に接続される。

【0180】

また、固体撮像素子200内の回路や素子は、上側画素チップ201および下側画素チップ202に分散して配置される。例えば、前段回路310および320が上側画素チップ201に配置され、それらの後段の回路は回路チップ202に配置される。そして、前段ノード338と前段ノード339とが、Cu-Cu接続などにより接続される。

【0181】

画素ごとに電流源トランジスタを配置する第1の実施の形態では、積層構造とする際に、図15に例示したように、画素ごとにCu-Cu接続を行う必要がある。特に、回路チップ202にMIM構造の容量素子331などを配置する場合、チップの厚さが増え、上下のチップを接続する面の平坦化が難しくなり、Cu-Cu接続のピッチを制約することになる。例えば、モバイル用途のイメージセンサの微細画素のサイズがマイクロメートル（ μm ）以下であるのに対し、Cu-Cu接続のピッチは数マイクロメートル（ μm ）となってしまう。このため、画素ごとに電流源トランジスタを配置する構成では、微細化が困難となる。

【0182】

これに対して、2画素で電流源トランジスタ326を共有する同図の構成では、Cu-Cu接続数を削減することができる。このため、画素の微細化が容易になる。また、グローバルシャッター動作の際の電流を削減することができる。また、電流源トランジスタ326は、トランジスタのチャンネル長変調効果による電流変動を抑制するために、カスケードの構成を取ることが一般的に行われている。比較的サイズが大きい電流源トランジスタ326を共有することにより、トランジスタの面積を削減することができる。

【0183】

なお、2画素で電流源トランジスタ326を共有しているが、共有する画素数は2画素に限定されず、3画素以上であってもよい。

【0184】

図24は、本技術の第3の実施の形態におけるグローバルシャッター動作の一例を示す

タイミングチャートである。垂直走査回路 211 は、露光開始の直前のタイミング T0 から、パルス期間経過後のタイミング T1 に亘って、全ての行にハイレベルの FD リセット信号 rst1 および rst2 と転送信号 trg1 および trg2 とを供給する。これにより、全画素が PD リセットされ、全行で同時に露光が開始される。

【0185】

露光終了の直前のタイミング T2 から T5 までの期間内に垂直走査回路 211 は、全行の前段選択信号 sel1 をハイレベルにする。その期間内のタイミング T3 において、垂直走査回路 211 は、全行において後段リセット信号 rstb と選択信号 φr1 とをハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 rst1 を供給する。これにより、画素ブロック 300 内の最初の画素が FD リセットされ、リセットレベルがサンプルホールドされる。

10

【0186】

タイミング T4 において、垂直走査回路 211 は、選択信号 φr1 をローレベルに戻す。また、垂直走査回路 211 は、タイミング T5 から T8 までの期間内に、全行の前段選択信号 sel1 をローレベルにし、前段選択信号 sel2 をハイレベルにする。その期間内のタイミング T6 において、垂直走査回路 211 は、全行において後段リセット信号 rstb と選択信号 φr2 とをハイレベルにしつつ、パルス期間に亘ってハイレベルの FD リセット信号 rst2 を供給する。これにより、画素ブロック 300 内の 2 番目の画素が FD リセットされ、リセットレベルがサンプルホールドされる。

【0187】

20

そして、垂直走査回路 211 は、タイミング T7 において、全行の選択信号 φr2 をローレベルに戻し、タイミング T8 において、前段選択信号 sel2 をローレベルにし、前段選択信号 sel1 をハイレベルにする。

【0188】

ここで、同図の sel1__[n] および sel2__[n] は、n 行目の画素への信号を示す。

【0189】

同図に例示するように、垂直走査回路 211 は、露光終了の直前に前段選択トランジスタ 317 および 327 を順に閉状態にする。そして、前段選択トランジスタ 317 が閉状態のときに FD リセットトランジスタ 313 が FD リセットを行い、前段選択トランジスタ 327 が閉状態のときに FD リセットトランジスタ 323 が FD リセットを行う。

30

【0190】

図 25 は、本技術の第 3 の実施の形態における露光終了直後の制御の一例を示すタイミングチャートである。露光終了のタイミング T9 において、垂直走査回路 211 は、全行においてパルス期間に亘ってハイレベルの転送信号 trg1 および trg2 を供給する。

【0191】

そして垂直走査回路 211 は、タイミング T10 から T11 までの期間内に全行において選択信号 φs1 をハイレベルにする。これにより、画素ブロック 300 内の最初の画素の信号レベルがサンプルホールドされる。

【0192】

40

垂直走査回路 211 は、タイミング T12 において、全行の前段選択信号 sel1 をローレベルにし、前段選択信号 sel2 をハイレベルにする。

【0193】

そして垂直走査回路 211 は、タイミング T13 から T14 までの期間内に全行において選択信号 φs2 をハイレベルにする。これにより、画素ブロック 300 内の 2 番目の画素の信号レベルがサンプルホールドされる。

【0194】

垂直走査回路 211 は、タイミング T15 において、全行の前段選択信号 sel2 をローレベルに戻す。

【0195】

50

同図に例示するように、垂直走査回路 2 1 1 は、露光終了時に前段選択トランジスタ 3 1 7 および 3 2 7 を順に閉状態にする。そして、垂直走査回路 2 1 1 は、露光終了時に転送トランジスタ 3 1 2 および 3 2 2 に電荷を転送させ、その後に前段選択トランジスタ 3 1 7 および 3 2 7 を順に閉状態にする。

【0 1 9 6】

なお、第 3 の実施の形態に、第 1 の実施の形態の第 1、第 3 の変形例や第 2 の実施の形態を適用することができる。

【0 1 9 7】

このように、本技術の第 3 の実施の形態によれば、2 画素で電流源トランジスタ 3 2 6 を共有するため、チップ間の C u - C u 接続数を削減することができる。これにより、画素の微細化が容易になる。

【0 1 9 8】

< 4. 第 4 の実施の形態 >

上述の第 1 の実施の形態では、画素ごとに一對の容量を配置していたが、この構成では、画素の微細化が困難となる。この第 4 の実施の形態の固体撮像素子 2 0 0 は、容量の個数を削減した点において第 1 の実施の形態と異なる。

【0 1 9 9】

図 2 6 は、本技術の第 4 の実施の形態における画素ブロック 3 0 0 の一構成例を示す回路図である。この第 4 の実施の形態の画素ブロック 3 0 0 には、前段回路ブロック 3 0 5 と、容量素子 3 3 1、3 3 2、5 3 1、5 3 2 および 5 3 3 と、選択部 3 4 0 と、後段リセットトランジスタ 3 6 1 と、後段回路 3 7 0 とが配置される。第 4 の実施の形態の画素ブロック 3 0 0 には、4 画素が配置される。例えば、図 1 7 における画素 3 0 1 乃至 3 0 4 が画素ブロック 3 0 0 内に配置される。

【0 2 0 0】

前段回路ブロック 3 0 5 は、光電変換素子 3 1 1、5 1 1、5 1 2 および 5 1 3 と、転送トランジスタ 3 1 2、5 1 4、5 1 5 および 5 1 6 とを備える。さらに前段回路ブロック 3 0 5 は、F D リセットトランジスタ 3 1 3、F D 3 1 4、前段増幅トランジスタ 3 1 5 および電流源トランジスタ 3 1 6 を備える。転送トランジスタ 3 1 2、5 1 4、5 1 5 および 5 1 6 として、例えば、n M O S トランジスタが用いられる。

【0 2 0 1】

また、選択部 3 4 0 は、選択トランジスタ 3 5 1、3 5 2、5 5 1、5 5 2 および 5 5 3 を備える。選択トランジスタ 5 5 1、5 5 2 および 5 5 3 として、例えば、n M O S トランジスタが用いられる。

【0 2 0 2】

第 4 の実施の形態の光電変換素子 3 1 1、転送トランジスタ 3 1 2、F D リセットトランジスタ 3 1 3、F D 3 1 4、前段増幅トランジスタ 3 1 5 および電流源トランジスタ 3 1 6 の接続構成は、第 1 の実施の形態と同様である。ただし、F D リセットトランジスタ 3 1 3 には、垂直走査回路 2 1 1 からの F D リセット信号 r s t が入力される。

【0 2 0 3】

光電変換素子 5 1 1 乃至 5 1 3 は、光電変換により電荷を生成するものである。転送トランジスタ 5 1 4 は、垂直走査回路 2 1 1 からの転送信号 t r g 2 に従って、光電変換素子 5 1 1 から F D 3 1 4 へ電荷を転送するものである。転送トランジスタ 5 1 5 は、垂直走査回路 2 1 1 からの転送信号 t r g 3 に従って、光電変換素子 5 1 2 から F D 3 1 4 へ電荷を転送するものである。転送トランジスタ 5 1 6 は、垂直走査回路 2 1 1 からの転送信号 t r g 4 に従って、光電変換素子 5 1 3 から F D 3 1 4 へ電荷を転送するものである。

【0 2 0 4】

第 4 の実施の形態の容量素子 3 3 1 および 3 3 2 と選択トランジスタ 3 5 1 および 3 5 2 との接続構成は、第 1 の実施の形態と同様である。ただし、選択トランジスタ 3 5 1 には、垂直走査回路 2 1 1 からの選択信号 ϕr が入力される。

【0 2 0 5】

10

20

30

40

50

容量素子 531、532 および 533 の一端は、前段ノード 330 に共通に接続され、他端は、選択部 340 に接続される。

【0206】

選択トランジスタ 551 は、垂直走査回路 211 からの選択信号 $\phi r 2$ に従って、容量素子 531 と後段ノード 360 との間の経路を開閉するものである。選択トランジスタ 552 は、垂直走査回路 211 からの選択信号 $\phi r 3$ に従って、容量素子 532 と後段ノード 360 との間の経路を開閉するものである。選択トランジスタ 553 は、垂直走査回路 211 からの選択信号 $\phi r 4$ に従って、容量素子 533 と後段ノード 360 との間の経路を開閉するものである。

【0207】

第 4 の実施の形態の後段リセットトランジスタ 361 および後段回路 370 の回路構成は、第 1 の実施の形態と同様である。

【0208】

また、固体撮像素子 200 内の回路や素子は、上側画素チップ 201 および回路チップ 202 に分散して配置される。例えば、前段回路ブロック 305 が上側画素チップ 201 に配置され、それらの後段の回路は回路チップ 202 に配置される。

【0209】

図 26 に例示したように、4 画素により 1 つの FD 314 と、後段リセットトランジスタ 361 や後段回路 370 とが共有される。また、4 画素のリセットレベルは、容量素子 331 に保持され、4 画素のそれぞれの信号レベルは、容量素子 332、531、532 および 533 に保持される。第 1 の実施の形態では、リセットレベルを保持するための容量を画素ごとに配置しなければならなかったが、第 4 の実施の形態では、その容量を 4 画素で共有するため、容量の個数を削減することができる。これにより、共有しない場合と比較して画素の微細化が容易になる。

【0210】

なお、FD 314 等を 4 画素が共有しているが、共有する画素数は 4 画素に限定されない。また、容量素子 331 および 332 は、特許請求の範囲に記載の第 1 および第 2 の容量素子の一例である。容量素子 531、532 および 533 は、特許請求の範囲に記載の第 3 の容量素子の一例である。

【0211】

図 27 は、本技術の第 4 の実施の形態におけるグローバルシャッター動作の一例を示すタイミングチャートである。露光開始時のタイミング T0 乃至 T4 の期間内に垂直走査回路 211 は、ハイレベルの FD リセット信号 $r s t$ を全行へ供給する。この期間内のタイミング T0、T1、T2 および T3 において、垂直走査回路 211 は、パルス期間に亘って全行へ転送信号 $t r g 1$ 、 $t r g 2$ 、 $t r g 3$ および $t r g 4$ を供給する。これにより、全画素が PD リセットされる。

【0212】

そして、露光終了時のタイミング T5 乃至 T15 の期間内に垂直走査回路 211 は、ハイレベルの後段リセット信号 $r s t b$ を全行へ供給する。また、タイミング T5 において垂直走査回路 211 は、パルス期間に亘って全行へ FD リセット信号 $r s t$ を供給する。タイミング T5 の直後のタイミング T6 において垂直走査回路 211 は、パルス期間に亘って全行へ選択信号 ϕr を供給する。これにより、全行が FD リセットされる。

【0213】

また、タイミング T7 において垂直走査回路 211 は、パルス期間に亘って全行へ転送信号 $t r g 1$ を供給する。タイミング T7 の直後のタイミング T8 において垂直走査回路 211 は、パルス期間に亘って全行へ選択信号 $\phi s 1$ を供給する。これにより、画素ブロック 300 内の最初の画素の信号レベルがサンプルホールドされる。

【0214】

また、タイミング T9 において垂直走査回路 211 は、パルス期間に亘って全行へ転送信号 $t r g 2$ を供給する。タイミング T9 の直後のタイミング T10 において垂直走査回

10

20

30

40

50

路 2 1 1 は、パルス期間に亘って全行へ選択信号 $\phi s 2$ を供給する。これにより、画素ブロック 3 0 0 内の最初と 2 番目の画素とのそれぞれの信号レベルの和がサンプルホールドされる。

【0 2 1 5】

また、タイミング T 1 1 において垂直走査回路 2 1 1 は、パルス期間に亘って全行へ転送信号 $t r g 3$ を供給する。タイミング T 1 1 の直後のタイミング T 1 2 において垂直走査回路 2 1 1 は、パルス期間に亘って全行へ選択信号 $\phi s 3$ を供給する。これにより、画素ブロック 3 0 0 内の最初から 3 番目までの画素のそれぞれの信号レベルの和がサンプルホールドされる。

【0 2 1 6】

また、タイミング T 1 3 において垂直走査回路 2 1 1 は、パルス期間に亘って全行へ転送信号 $t r g 4$ を供給する。タイミング T 1 3 の直後のタイミング T 1 4 において垂直走査回路 2 1 1 は、パルス期間に亘って全行へ選択信号 $\phi s 4$ を供給する。これにより、画素ブロック 3 0 0 内の最初から 4 番目までの画素のそれぞれの信号レベルの和がサンプルホールドされる。

【0 2 1 7】

ここで、 $r s t_ [n]$ および $\phi r_ [n]$ は、N 行のうち n 行目の画素への信号を示す。

【0 2 1 8】

第 4 の実施の形態では F D 3 1 4 を 4 画素で共有するため、同図に例示するように、4 画素のそれぞれの電荷転送を同時に行うことはできない。ただし、電荷の転送先の 4 つの容量（容量素子 3 3 2、5 3 1、5 3 2 および 5 3 3）のサンプリングは、数マイクロ秒（ μs ）のオーダーで実現することができるため、画素間の露光時間差はあまり大きくなる。

【0 2 1 9】

図 2 8 は、本技術の第 4 の実施の形態におけるリセットレベルおよび信号レベルの読出し動作の一例を示すタイミングチャートである。

【0 2 2 0】

第 n 行を読み出すタイミング T 2 0 乃至 T 2 6 の期間において、垂直走査回路 2 1 1 は、F D リセット信号 $r s t$ をハイレベルにする。

【0 2 2 1】

また、タイミング T 2 0 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの後段リセット信号 $r s t b$ を第 n 行へ供給する。そして、タイミング T 2 0 の直後のタイミング T 2 1 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの選択信号 ϕr を第 n 行へ供給する。この制御の直後に、4 画素で共通に用いられるリセットレベルが垂直信号線 3 0 9 を介して読み出される。

【0 2 2 2】

そして、リセットレベルの読出し後のタイミング T 2 2 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの選択信号 $\phi s 1$ を第 n 行へ供給する。この制御の直後に、最初の画素の信号レベル $V s i g 1$ が垂直信号線 3 0 9 を介して読み出される。カラム信号処理回路 2 6 0 は、C D S 処理により、リセットレベル $V r s t$ と信号レベル $V s i g 1$ との差分を最初の画素の正味の信号レベルとして求める。

【0 2 2 3】

そして、信号レベル $V s i g 1$ の読出し後のタイミング T 2 3 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの選択信号 $\phi s 2$ を第 n 行へ供給する。この制御の直後に、 $V s i g 2$ が垂直信号線 3 0 9 を介して読み出される。この $V s i g 2$ は、最初および 2 番目の画素のそれぞれの信号レベルの和に該当する。カラム信号処理回路 2 6 0 は、 $V s i g 1$ と $V s i g 2$ との差分を 2 番目の画素の C D S 処理後の信号レベルとして求める。

【0 2 2 4】

10

20

30

40

50

そして、V s i g 2 の読出し後のタイミング T 2 4 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの選択信号 $\phi s 3$ を第 n 行へ供給する。この制御の直後に、V s i g 3 が垂直信号線 3 0 9 を介して読み出される。この V s i g 3 は、最初から 3 番目までの画素のそれぞれの信号レベルの和に該当する。カラム信号処理回路 2 6 0 は、V s i g 2 と V s i g 3 との差分を 3 番目の画素の C D S 処理後の信号レベルとして求める。
【0 2 2 5】

そして、V s i g 3 の読出し後のタイミング T 2 5 において垂直走査回路 2 1 1 は、パルス期間に亘ってハイレベルの選択信号 $\phi s 4$ を第 n 行へ供給する。この制御の直後に、V s i g 4 が垂直信号線 3 0 9 を介して読み出される。この V s i g 4 は、最初から 4 番目までの画素のそれぞれの信号レベルの和に該当する。カラム信号処理回路 2 6 0 は、V s i g 3 と V s i g 4 との差分を 4 番目の画素の C D S 処理後の信号レベルとして求める。
【0 2 2 6】

なお、第 4 の実施の形態に、第 1 の実施の形態の第 3 の変形例を適用することもできる。
【0 2 2 7】

このように本技術の第 4 の実施の形態では、リセットレベルを保持する容量素子 3 3 1 を 4 画素で共有するため、共有しない場合と比較して画素の微細化が容易になる。
【0 2 2 8】

< 5 . 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

【0 2 2 9】

図 2 9 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0 2 3 0】

車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 9 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、及び統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、及び車載ネットワーク I / F (interface) 1 2 0 5 3 が図示されている。

【0 2 3 1】

駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

【0 2 3 2】

ボディ系制御ユニット 1 2 0 2 0 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 1 2 0 2 0 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 1 2 0 2 0 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 1 2 0 2 0 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0 2 3 3】

車外情報検出ユニット 1 2 0 3 0 は、車両制御システム 1 2 0 0 0 を搭載した車両の外

10

20

30

40

50

部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

【0234】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

10

【0235】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0236】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

20

【0237】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

30

【0238】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0239】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図29の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

40

【0240】

図30は、撮像部12031の設置位置の例を示す図である。

【0241】

図30では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

【0242】

撮像部12101、12102、12103、12104、12105は、例えば、車

50

両 1 2 1 0 0 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 1 2 1 0 1 及び車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として車両 1 2 1 0 0 の前方の画像を取得する。サイドミラーに備えられる撮像部 1 2 1 0 2 , 1 2 1 0 3 は、主として車両 1 2 1 0 0 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 1 2 1 0 4 は、主として車両 1 2 1 0 0 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 1 2 1 0 5 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

【 0 2 4 3 】

なお、図 3 0 には、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮影範囲の一例が示されている。撮像範囲 1 2 1 1 1 は、フロントノーズに設けられた撮像部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2 , 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2 , 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

【 0 2 4 4 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【 0 2 4 5 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【 0 2 4 6 】

例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【 0 2 4 7 】

撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に

10

20

30

40

50

歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

【0248】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、例えば、図 1 の撮像装置 100 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、kTC ノイズを低減し、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

10

【0249】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

【0250】

なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

20

【0251】

なお、本技術は以下のような構成もとることができる。

(1) 所定数の容量素子と、

所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる前記容量素子に保持させる前段回路ブロックと、

前記所定数の容量素子のうち前記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と前記所定数の容量素子を前記後段ノードから切り離す制御と前記所定数の容量素子のうち前記複数の信号レベルのいずれかが保持された容量素子を前記後段ノードに接続する制御とを順に行う選択部と、

前記所定数の容量素子が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

30

前記後段ノードを介して前記リセットレベルと前記複数の信号レベルとのそれぞれを順に読み出す後段回路とを具備する固体撮像素子。

(2) 前記所定数の容量素子は、第 1 および第 2 の容量素子と第 3 および第 4 の容量素子とを含み、

前記前段回路ブロックは、

第 1 のリセットレベルと第 1 の信号レベルとを順に生成して前記第 1 および第 2 の容量素子に保持させる第 1 の前段回路と、

第 2 のリセットレベルと第 2 の信号レベルとを順に生成して前記第 3 および第 4 の容量素子に保持させる第 2 の前段回路と

40

を備え、

前記選択部は、

前記第 1 および第 2 の容量素子のいずれかを前記後段ノードに接続する第 1 の選択回路と、

前記第 3 および第 4 の容量素子のいずれかを前記後段ノードに接続する第 2 の選択回路とを備える

前記 (1) 記載の固体撮像素子。

(3) 前記第 1 の前段回路は、

第 1 の光電変換素子と、

50

前記第1の光電変換素子から第1の浮遊拡散層へ電荷を転送する第1の前段転送トランジスタと、

前記第1の浮遊拡散層を初期化する第1のリセットトランジスタと、

前記第1の浮遊拡散層の電圧を増幅する第1の前段増幅トランジスタとを備え、

前記第2の前段回路は、

第2の光電変換素子と、

前記第2の光電変換素子から第2の浮遊拡散層へ電荷を転送する第2の前段転送トランジスタと、

前記第2の浮遊拡散層を初期化する第2のリセットトランジスタと、

前記第2の浮遊拡散層の電圧を増幅する第2の前段増幅トランジスタと

を備える

前記(2)記載の固体撮像素子。

(4) 前記第1の前段回路は、第1の前段ノードに接続された第1の電流源トランジスタをさらに備え、

前記第2の前段回路は、第2の前段ノードに接続された第2の電流源トランジスタをさらに備え、

前記第1の前段増幅トランジスタは、前記第1の浮遊拡散層の電圧を増幅して前記第1の前段ノードへ出力し、

前記第2の前段増幅トランジスタは、前記第2の浮遊拡散層の電圧を増幅して前記第2の前段ノードへ出力し、

前記第1および第2の容量素子のそれぞれの一端は前記第1の前段ノードに共通に接続され、それぞれ他端は前記第1の選択回路に接続され、

前記第3および第4の容量素子のそれぞれの一端は前記第2の前段ノードに共通に接続され、それぞれ他端は前記第2の選択回路に接続される

前記(3)記載の固体撮像素子。

(5) 所定の露光開始タイミングにおいて前記第1および第2の前段転送トランジスタが前記第1および第2の浮遊拡散層へ前記電荷を転送するとともに前記第1および第2のリセットトランジスタが前記第1および第2の浮遊拡散層とともに前記第1および第2の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第1および第2の前段転送トランジスタが前記第1および第2の浮遊拡散層へ前記電荷を転送する

前記(3)または(4)に記載の固体撮像素子。

(6) 前記選択部は、前記第1および第2の容量素子の一方を前記後段ノードに接続する制御と前記第1および第2の容量素子の他方を前記後段ノードに接続する制御と前記第3および第4の容量素子の一方を前記後段ノードに接続する制御と前記第3および第4の容量素子の他方を前記後段ノードに接続する制御とを順に行う

前記(3)から(5)のいずれかに記載の固体撮像素子。

(7) 前記選択部は、所定の加算モードにおいて前記第1および第2の容量素子の一方と前記第3および第4の容量素子の一方との両方を前記後段ノードに接続する制御と、前記第1および第2の容量素子の他方と前記第3および第4の容量素子の他方との両方を前記後段ノードに接続する制御とを順に行う

前記(3)から(6)のいずれかに記載の固体撮像素子。

(8) 前記第1の前段回路は、所定の第1の選択信号に従って前記第1の前段増幅トランジスタにより増幅された電圧を所定の前段ノードに出力する第1の前段選択トランジスタをさらに備え、

前記第2の前段回路は、

所定の第2の選択信号に従って前記第2の前段増幅トランジスタにより増幅された電圧を前記前段ノードに出力する第2の前段選択トランジスタと、

前記前段ノードに接続された電流源トランジスタと

10

20

30

40

50

をさらに備え、

前記第 1 および第 2 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、
それぞれの他端は前記第 1 の選択回路に接続され、

前記第 3 および第 4 の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、
それぞれの他端は前記第 2 の選択回路に接続される

前記 (3) 記載の固体撮像素子。

(9) 所定の露光終了のタイミングの直前と前記露光終了のタイミングの後とに前記第 1
および第 2 の前段選択トランジスタは、順に閉状態に移行し、

前記第 1 のリセットトランジスタは、前記第 1 の前段選択トランジスタが前記閉状態の
ときに前記第 1 の浮遊拡散層を初期化し、

前記第 2 のリセットトランジスタは、前記第 2 の前段選択トランジスタが前記閉状態の
ときに前記第 2 の浮遊拡散層を初期化し、

前記露光終了のタイミングの直後に前記第 1 および第 2 の前段選択トランジスタは、順
に閉状態に移行し、

前記第 1 および第 2 の前段転送トランジスタは、所定の露光終了のタイミングで前記電
荷を転送する

前記 (8) 記載の固体撮像素子。

(10) 第 1 の後段ノードと第 2 の後段ノードとの間の経路を開閉する短絡トランジスタ
をさらに具備し、

前記所定数の容量は、第 1、第 2、第 3、第 4、第 5、第 6、第 7 および第 8 の容量素
子を含み、

前記選択部は、

前記第 1 および第 2 の容量素子のいずれかを前記第 1 の後段ノードに接続する第 1 の選
択回路と、

前記第 3 および第 4 の容量素子のいずれかを前記第 1 の後段ノードに接続する第 2 の選
択回路と、

前記第 5 および第 6 の容量素子のいずれかを前記第 2 の後段ノードに接続する第 3 の選
択回路と、

前記第 7 および第 8 の容量素子のいずれかを前記第 2 の後段ノードに接続する第 4 の選
択回路と

を備える前記 (1) 記載の固体撮像素子。

(11) 所定の非加算モードにおいて前記短絡トランジスタは、開状態であり、

前記非加算モードにおいて前記選択部は、前記第 1 および第 2 の容量素子のそれぞれを
順に前記第 1 の後段ノードに接続する制御と前記第 3 および第 4 の容量素子のそれぞれを
順に前記第 1 の後段ノードに接続する制御と前記第 5 および第 6 の容量素子のそれぞれを
順に前記第 2 の後段ノードに接続する制御と前記第 7 および第 8 の容量素子のそれぞれを
順に前記第 2 の後段ノードに接続する制御とを所定の順序で行う

前記 (10) 記載の固体撮像素子。

(12) 所定の加算モードにおいて前記短絡トランジスタは、閉状態であり、

前記加算モードにおいて前記選択部は、前記第 1 および第 2 の容量素子の一方と前記第
3 および第 4 の容量素子の一方とを前記第 1 の後段ノードに接続しつつ前記第 5 および第
6 の容量素子の一方と前記 7 および第 8 の容量素子の一方とを前記第 2 の後段ノードに接
続する制御と、前記第 1 および第 2 の容量素子の他方と前記第 3 および第 4 の容量素子の
他方とを前記第 1 の後段ノードに接続しつつ前記 5 および第 6 の容量素子の他方と前記第
7 および第 8 の容量素子の他方とを前記第 2 の後段ノードに接続する制御とを順に行う

前記 (10) または (11) に記載の固体撮像素子。

(13) 前記所定数の容量素子は、第 1 および第 2 の容量素子と第 3 容量とを含み、

前記前段回路ブロックは、

第 1 の光電変換素子と、

前記第 1 の光電変換素子から所定の浮遊拡散層へ電荷を転送する第 1 の前段転送トラン

10

20

30

40

50

ジスタと、

第2の光電変換素子と、

前記第2の光電変換素子から所定の浮遊拡散層へ電荷を転送する第2の前段転送トランジスタと、

前記浮遊拡散層を初期化するリセットトランジスタと、

前記浮遊拡散層の電圧を増幅して所定の前段ノードへ出力する前段増幅トランジスタとを備え、

前記第1および第2の容量素子と前記第3の容量素子のそれぞれの一端は前記前段ノードに共通に接続され、それぞれ他端は前記選択部に接続される

前記(1)記載の固体撮像素子。

10

(14) 所定の露光開始タイミングにおいて前記第1および第2の前段転送トランジスタが前記浮遊拡散層へ前記電荷を転送するとともに前記リセットトランジスタが前記浮遊拡散層とともに前記第1および第2の光電変換素子を初期化し、

所定の露光終了タイミングにおいて前記第1および第2の前段転送トランジスタが前記第1および第2の浮遊拡散層へ順に前記電荷を転送する

前記(13)記載の固体撮像素子。

(15) 前記選択部は、前記第1および第2の容量素子の一方を前記後段ノードに接続する制御と前記第1および第2の容量素子の他方を前記後段ノードに接続する制御と前記第3の容量素子を前記後段ノードに接続する制御とを順に行う

前記(13)または(14)に記載の固体撮像素子。

20

(16) 前記前段回路ブロックは、第1のチップに設けられ、

前記所定数の容量素子と前記選択部と前記後段リセットトランジスタと前記後段回路とは、第2のチップに設けられる

前記(1)から(15)のいずれかに記載の固体撮像素子。

(17) 前記出力された前記リセットレベルと前記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

前記アナログデジタル変換器は、前記第2のチップに設けられる

前記(16)記載の固体撮像素子。

(18) 前記出力された前記リセットレベルと前記複数の信号レベルを順にデジタル信号に変換するアナログデジタル変換器をさらに具備し、

30

前記アナログデジタル変換器は、第3のチップに設けられる

前記(16)または(17)に記載の固体撮像素子。

(19) 所定数の容量素子と、

所定のリセットレベルと露光量に応じた複数の信号レベルとのそれぞれを生成して互いに異なる前記容量素子に保持させる前段回路ブロックと、

前記所定数の容量素子のうち前記リセットレベルが保持された容量素子を所定の後段ノードに接続する制御と前記所定数の容量素子を前記後段ノードから切り離す制御と前記所定数の容量素子のうち前記複数の信号レベルのいずれかが保持された容量素子を前記後段ノードに接続する制御とを順に行う選択部と、

前記所定数の容量素子が前記後段ノードから切り離されたときに前記後段ノードのレベルを初期化する後段リセットトランジスタと、

40

前記後段ノードを介して前記リセットレベルと前記複数の信号レベルとのそれぞれを順に読み出す後段回路と、

前記リセットレベルと前記複数の信号レベルとを順にデジタル信号に変換して処理する信号処理回路と

を具備する撮像装置。

(20) 入射した光を電荷へと変換する第1の光電変換素子と、

入射した光を電荷へと変換する第2の光電変換素子と、

前記電荷を電圧に変換する前段増幅トランジスタと、

前記前段増幅トランジスタの出力先の前段ノードにそれぞれの一端が接続された所定数

50

の容量素子と、

記所定数の容量素子のそれぞれの他端と所定の後段ノードとの間のそれぞれの経路に挿入された所定数の選択トランジスタと、

前記後段ノードにソースまたはドレインが接続されたリセットトランジスタと、

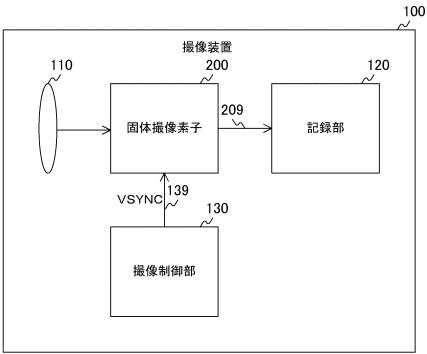
前記後段ノードにゲートが接続され、画素信号を出力する後段増幅トランジスタとを具備する固体撮像素子。

【符号の説明】

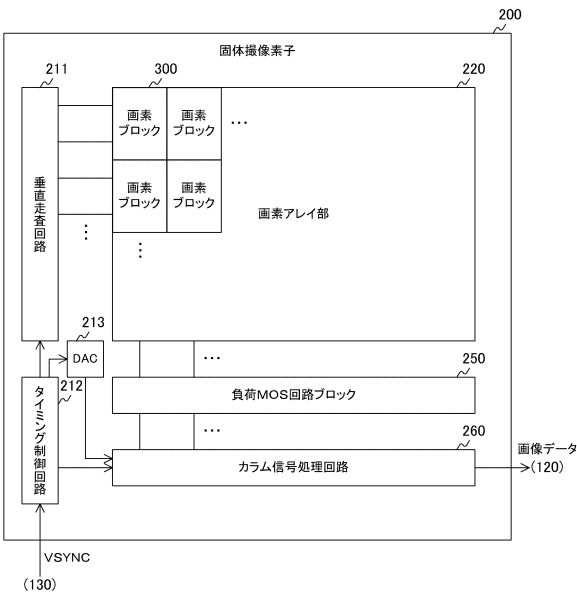
【 0 2 5 2 】

1 0 0	撮像装置	
1 1 0	撮像レンズ	10
1 2 0	記録部	
1 3 0	撮像制御部	
2 0 0	固体撮像素子	
2 0 1	上側画素チップ	
2 0 2	下側画素チップ	
2 0 3	回路チップ	
2 1 1	垂直走査回路	
2 1 2	タイミング制御回路	
2 1 3	D A C	
2 2 0	画素アレイ部	20
2 2 1	上側画素アレイ部	
2 2 2	下側画素アレイ部	
2 5 0	負荷M O S回路ブロック	
2 5 1	負荷M O Sトランジスタ	
2 6 0	カラム信号処理回路	
2 6 1	A D C	
2 6 2	デジタル信号処理部	
3 0 0	画素ブロック	
3 0 1 ~ 3 0 4	画素	
3 0 5	前段回路ブロック	30
3 1 0、3 2 0、4 1 0、4 2 0	前段回路	
3 1 1、3 2 1、4 1 1、4 2 1、5 1 1 ~ 5 1 3	光電変換素子	
3 1 2、3 2 2、4 1 2、4 2 2、5 1 4 ~ 5 1 6	転送トランジスタ	
3 1 3、3 2 3、4 1 3、4 2 3	F Dリセットトランジスタ	
3 1 4、3 2 4、4 1 4、4 2 4	F D	
3 1 5、3 2 5、4 1 5、4 2 5	前段増幅トランジスタ	
3 1 6、3 2 6、4 1 6、4 2 6	電流源トランジスタ	
3 1 7、3 2 7	前段選択トランジスタ	
3 3 1、3 3 2、3 3 6、3 3 7、4 3 1、4 3 2、4 3 6、4 3 7、5 3 1 ~ 5 3 3		
容量素子		40
3 4 0	選択部	
3 5 0、3 5 5、4 5 0、4 5 5	選択回路	
3 5 1、3 5 2、3 5 6、3 5 7、4 5 1、4 5 2、4 5 6、4 5 7、5 5 1 ~ 5 5 3		
選択トランジスタ		
3 6 1、4 6 1	後段リセットトランジスタ	
3 7 0、4 7 0	後段回路	
3 7 1、4 7 1	後段増幅トランジスタ	
3 7 2、4 7 2	後段選択トランジスタ	
4 8 0	短絡トランジスタ	
1 2 0 3 1	撮像部	50

【図面】
【図 1】



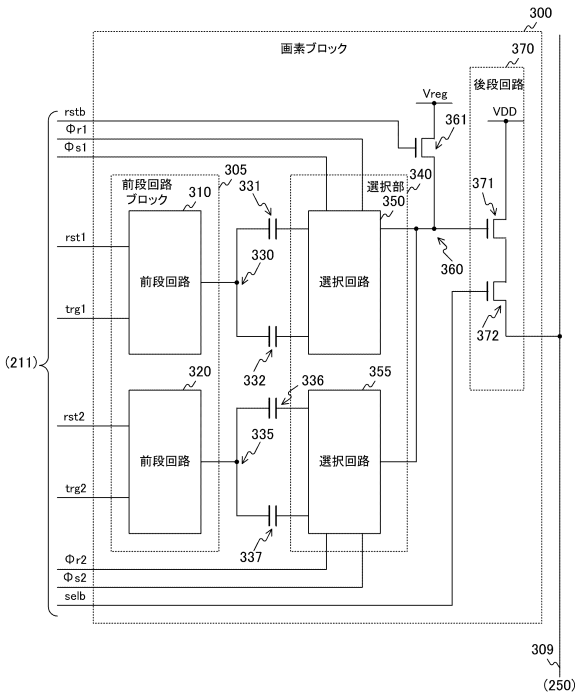
【図 2】



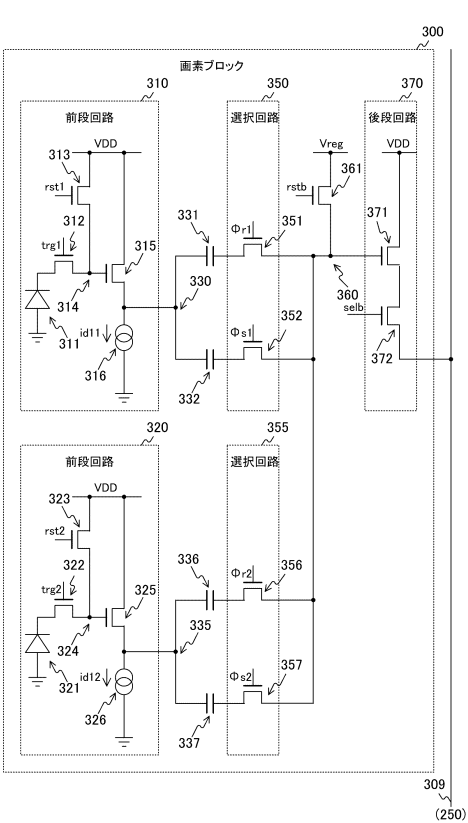
10

20

【図 3】



【図 4】

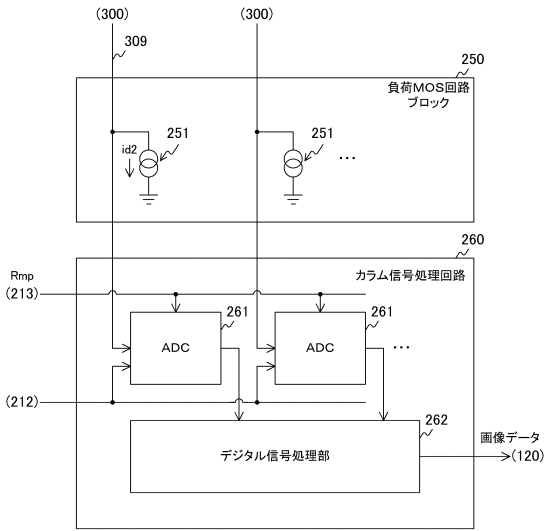


30

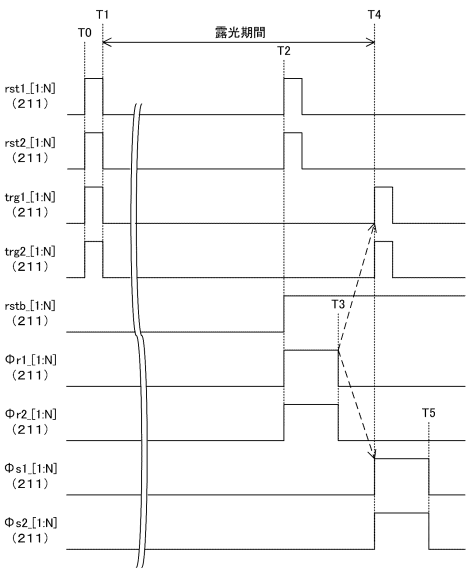
40

50

【図 5】



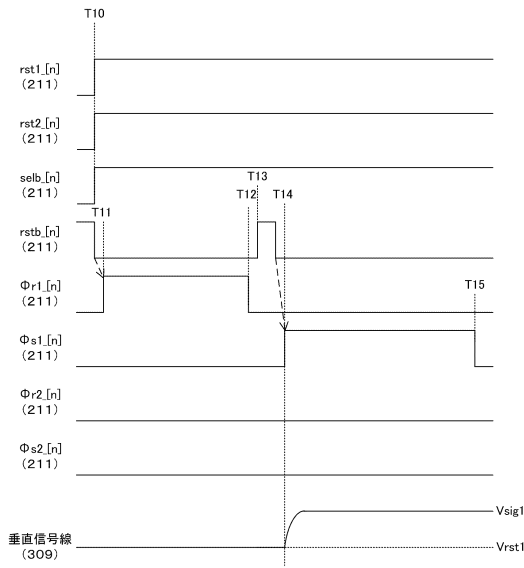
【図 6】



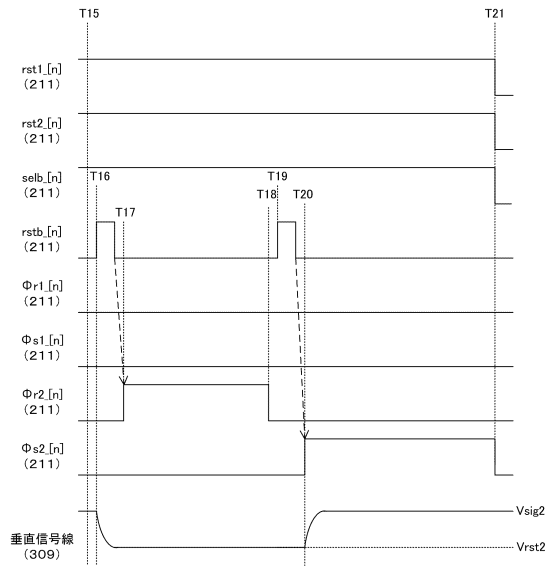
10

20

【図 7】



【図 8】

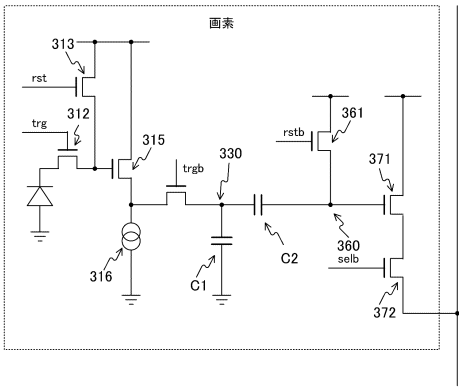


30

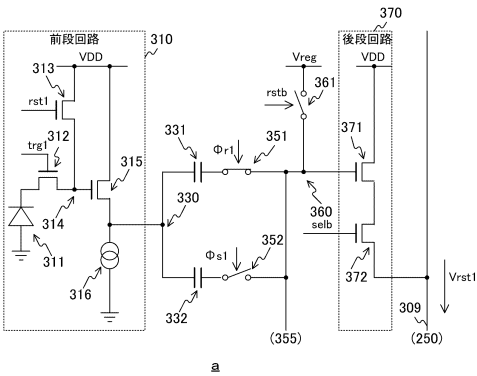
40

50

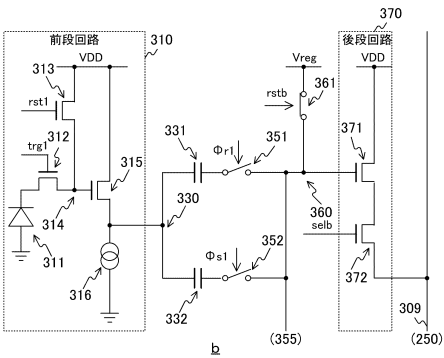
【図 9】



【図 10】

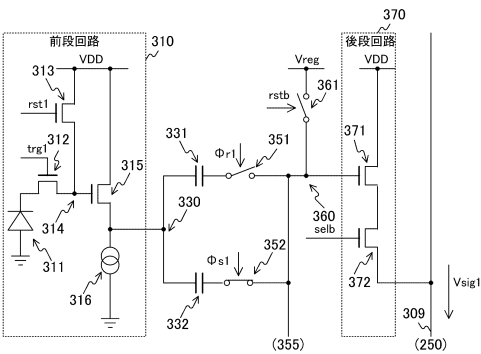


10

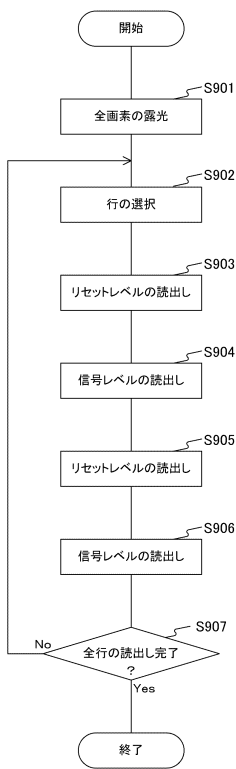


20

【図 11】



【図 12】

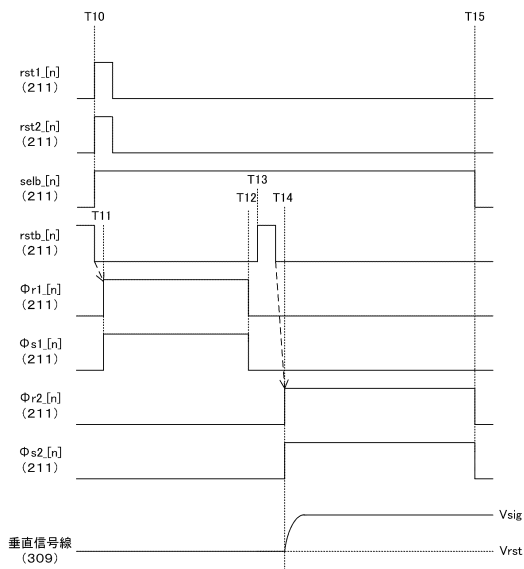


30

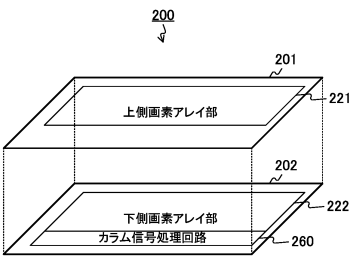
40

50

【図 1 3】



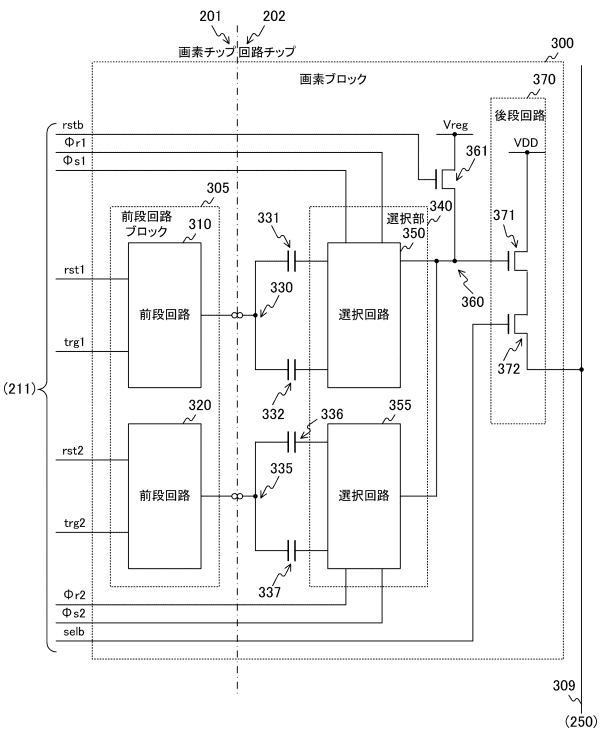
【図 1 4】



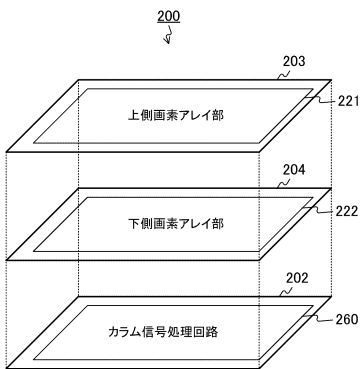
10

20

【図 1 5】



【図 1 6】

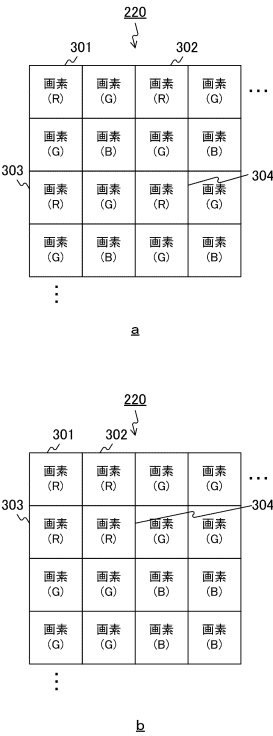


30

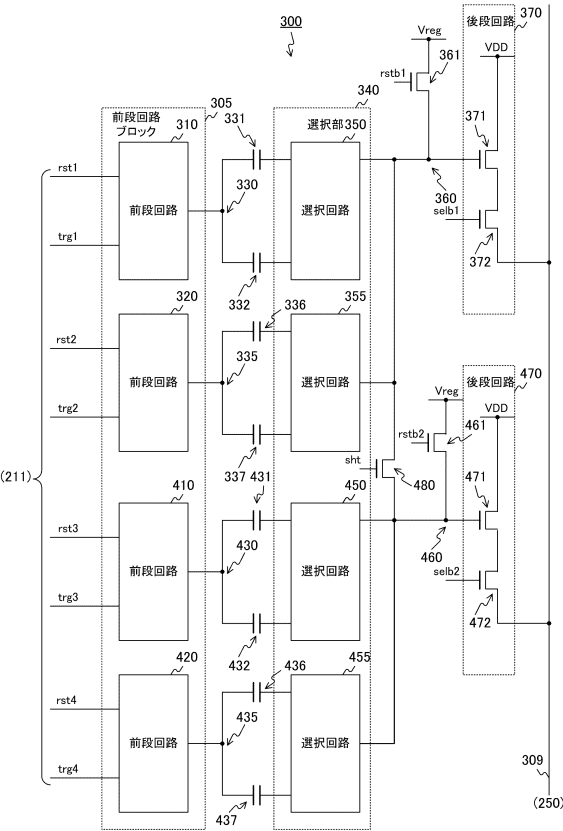
40

50

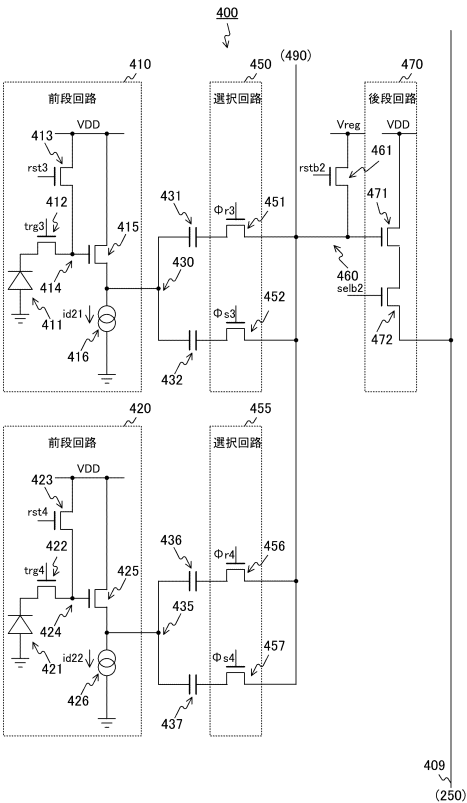
【図 17】



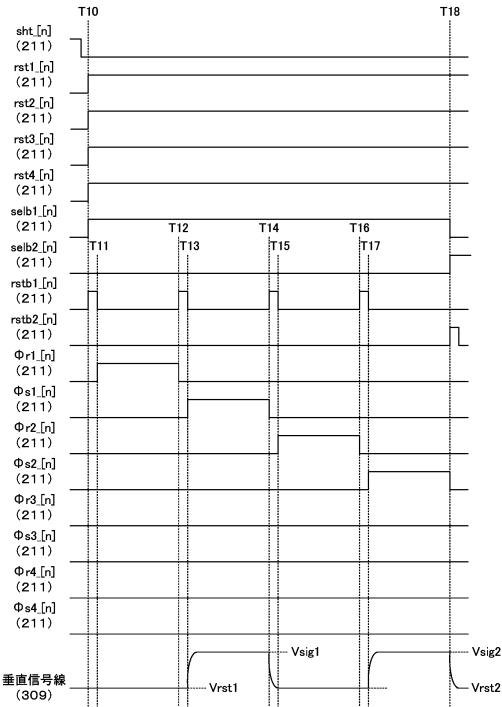
【図 18】



【図 19】



【図 20】



10

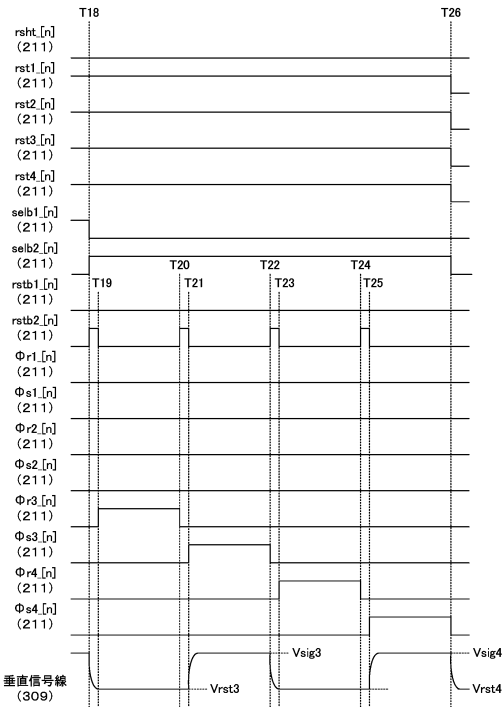
20

30

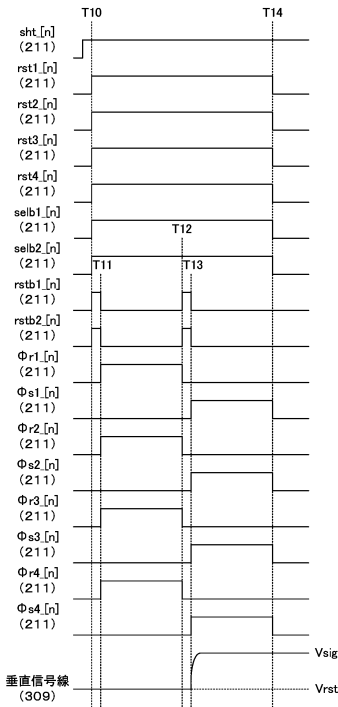
40

50

【図 2 1】



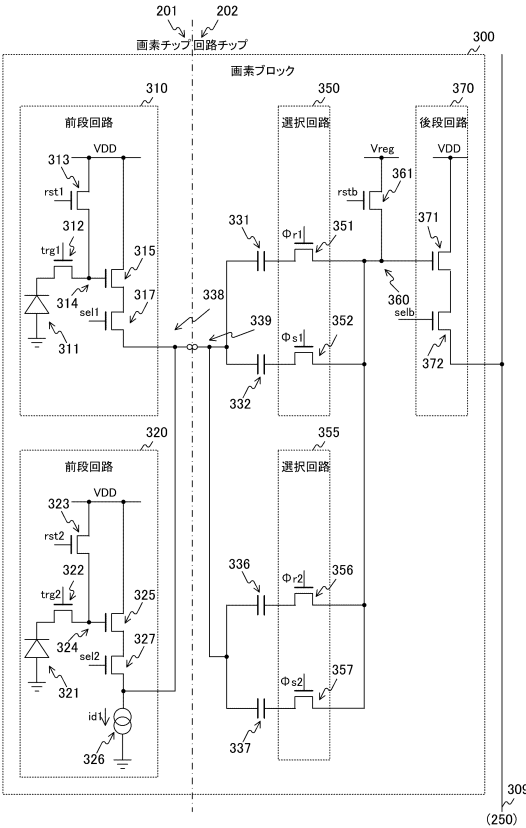
【図 2 2】



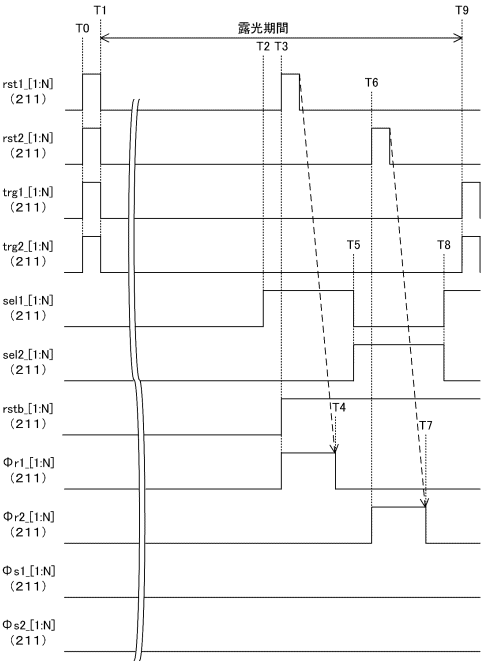
10

20

【図 2 3】



【図 2 4】

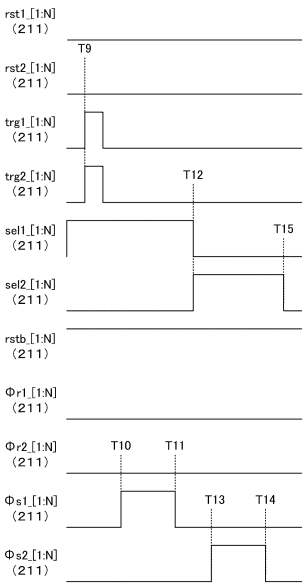


30

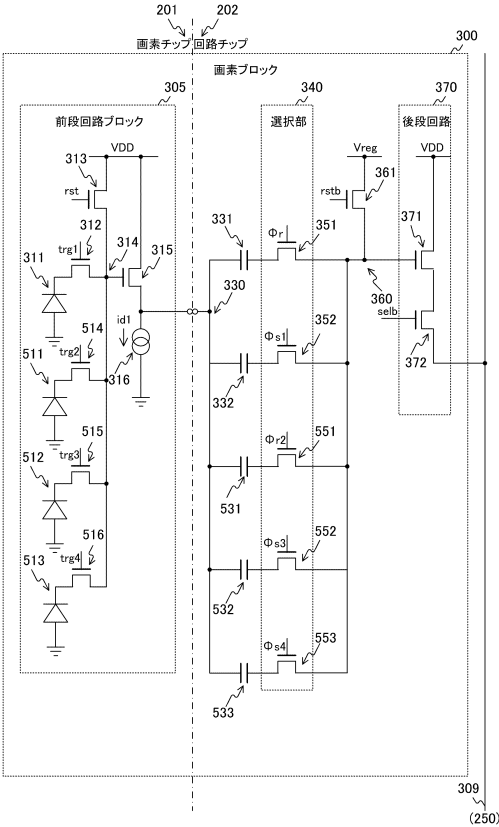
40

50

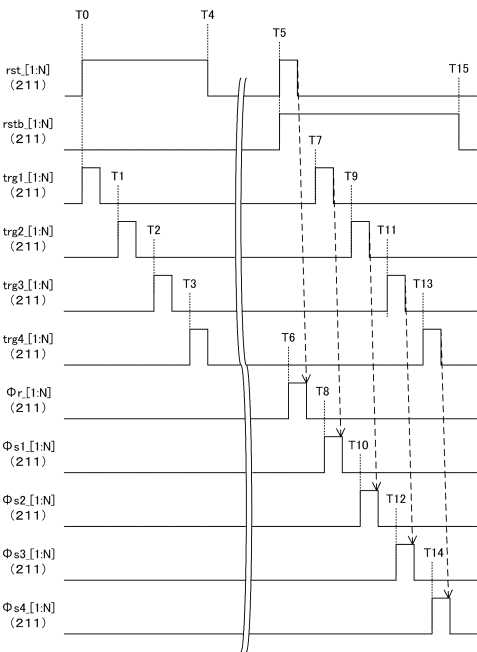
【図 2 5】



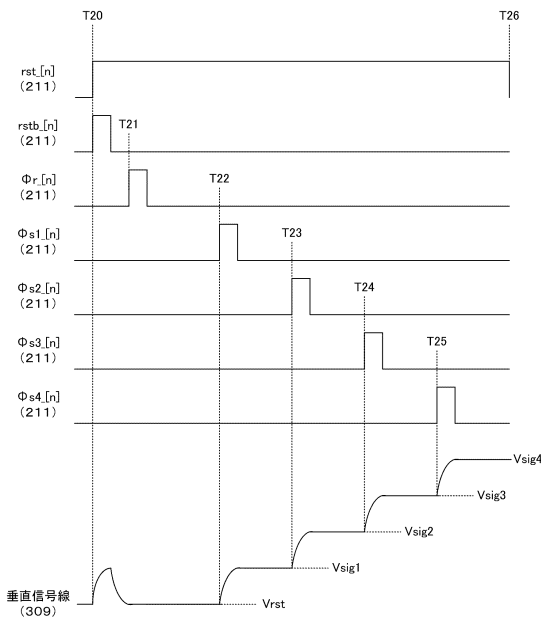
【図 2 6】



【図 2 7】



【図 2 8】



10

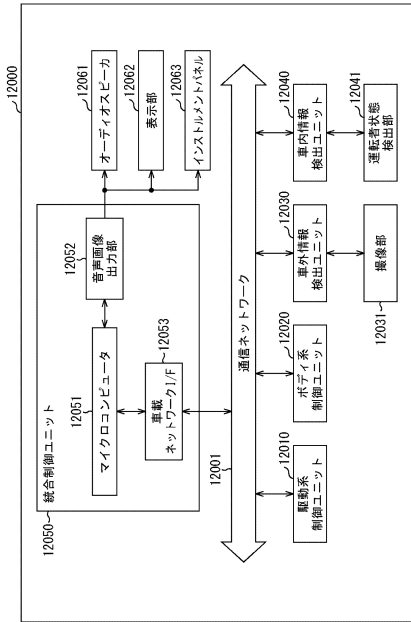
20

30

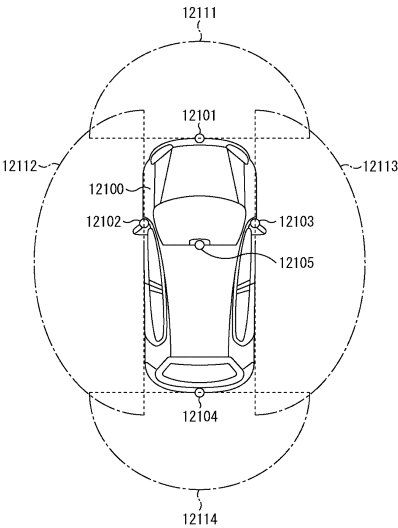
40

50

【図 29】



【図 30】



10

20

30

40

50

フロントページの続き

- (56)参考文献 国際公開第2019/239670 (WO, A1)
 特開2018-113606 (JP, A)
 特開2018-207488 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- H04N 25/771
 H04N 25/778
 H04N 25/65