

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4803762号
(P4803762)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月19日 (2011.8.19)

(51) Int. Cl. F I
A 6 3 F 7/02 (2006.01)
 A 6 3 F 7/02 3 2 6 Z
 A 6 3 F 7/02 3 3 4

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2009-13752 (P2009-13752)	(73) 特許権者	000148922
(22) 出願日	平成21年1月26日 (2009.1.26)		株式会社大一商会
(62) 分割の表示	特願2004-235715 (P2004-235715) の分割		愛知県北名古屋市沖村西ノ川1番地
原出願日	平成16年8月13日 (2004.8.13)	(74) 代理人	110000028 特許業務法人明成国際特許事務所
(65) 公開番号	特開2009-82740 (P2009-82740A)	(72) 発明者	市原 高明
(43) 公開日	平成21年4月23日 (2009.4.23)		愛知県西春日井郡西春町大字沖村字西ノ川 1番地 株式会社大万内
審査請求日	平成21年2月25日 (2009.2.25)	(72) 発明者	中村 昌則
			愛知県西春日井郡西春町大字沖村字西ノ川 1番地 株式会社大万内
		(72) 発明者	高橋 武則
			愛知県西春日井郡西春町大字沖村字西ノ川 1番地 株式会社大万内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技を制御する第1および第2の制御基板を備える遊技機であって、前記第1の制御基板に設けられ、前記第2の制御基板に対するコマンドを生成するセン
トラルプロセッシングユニットと、前記第1の制御基板に設けられ、前記セントラルプロセッシングユニットによって生成
されたコマンドを前記第2の制御基板にシリアル転送するシリアル転送ユニットと
を備え、前記セントラルプロセッシングユニットは、前記コマンドのうち第1のコマンドをシリアル転送ユニットに引き渡す手段と、前記第1のコマンドをシリアル転送ユニットに引き渡した後、前記第1のコマンドの
シリアル転送が完了する前に、前記コマンドのうち前記第1のコマンドの後に続く第2の
コマンドをシリアル転送ユニットに引き渡す手段とを含み、前記シリアル転送ユニットは、前記セントラルプロセッシングユニットからデータを受け取り、該データを記憶する
バッファレジスタと、前記バッファレジスタに記憶されたデータを受け取り、該データをシリアル出力する
シフトレジスタと、前記セントラルプロセッシングユニットから引き渡された第1のコマンドを前記バッ

10

20

ファレジスタ経由で前記シフトレジスタに格納する手段と、

前記第 1 のコマンドを前記シフトレジスタに格納した状態で、前記セントラルプロセッシングユニットから引き渡された第 2 のコマンドを前記バッファレジスタに格納する手段と

を含む、遊技機。

【請求項 2】

前記セントラルプロセッシングユニットは、繰り返し実行する複数回の処理のうち一回の処理内に、前記第 1 のコマンドおよび前記第 2 のコマンドの引き渡しを実行する請求項 1 に記載の遊技機。

【請求項 3】

前記セントラルプロセッシングユニットは、更に、前記第 1 のコマンドの前記シリアル転送ユニットへの引き渡しの後、前記第 2 のコマンドの前記シリアル転送ユニットへの引き渡しの前に、前記第 1 のコマンドの前記シフトレジスタへの格納が完了するまで待機する手段を含む請求項 1 または請求項 2 に記載の遊技機。

【請求項 4】

前記セントラルプロセッシングユニットは、前記第 2 のコマンドの前記シリアル転送ユニットへの引き渡しを、前記第 1 のコマンドの前記シリアル転送ユニットへの引き渡し後に待機することなく直ちに実行する請求項 1 または請求項 2 に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技機に関するものである。

【背景技術】

【0002】

従来、遊技の進行を制御する主制御基板と、該主制御基板からのコマンドに基づいて遊技に関連する所定の構成部を制御する下位制御基板とを備えた遊技機においては、信号線やコネクタの削減などを目的として、制御基板間のコマンドの転送を、シリアル転送によって行うことが提案されている。制御基板間のシリアル転送は、パラレルデータとシリアルデータとの間の変換を行うシリアル通信ユニットを各制御基板に備えることによって実現される。

【0003】

なお、遊技機では、各制御基板と種々の電子機器とが密集して配置され、また、遊技球と球通路との間や遊技球同士の摩擦などによって静電気が発生してしまうことがある。これらの要因による電氣的ノイズに対してコマンド転送の信頼性を確保するため、制御基板間のコマンド転送の転送速度は、電氣的ノイズに対する信頼性を確保可能な程度に設定されている。したがって、制御基板の CPU による演算処理速度に比べ、シリアル転送の転送速度は制限されている。

【0004】

また、従来、制御基板間でシリアル転送されるコマンドのワード長が、シリアル通信ユニットによって取り扱い可能な容量を超える場合に、シリアル通信ユニットが取り扱い可能なワード長に、コマンドを分割してシリアル転送することも提案されている。下記特許文献 1 には、主制御基板と下位制御基板との間で、コマンドを分割してシリアル転送する遊技機が開示されている。

【0005】

【特許文献 1】特開 2003 - 111941 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献 1 に開示された遊技機は、主制御基板の CPU の演算処理速度と、シリアル転送の転送速度との処理速度の差を考慮した上で、分割されたコマンドの一

10

20

30

40

50

方についてのシリアル転送が完了するのに十分な時間を置いて、分割されたコマンドの他方をシリアル通信ユニットのレジスタに格納しており、主制御基板のCPUがコマンドのシリアル転送に関わる期間が長くなるため、主制御基板における他の制御処理の進行の阻害や、主制御基板で実行される制御プログラムの複雑化を招いてしまうという問題があった。

【0007】

本発明は、上記した課題を踏まえ、CPUがコマンドのシリアル転送に関わる期間を短縮することができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記した課題を解決するため、本発明の遊技機は、遊技を制御する第1および第2の制御基板を備える遊技機であって、前記第1の制御基板に設けられ、前記第2の制御基板に対するコマンドを生成するセントラルプロセッシングユニットと、前記第1の制御基板に設けられ、前記セントラルプロセッシングユニットによって生成されたコマンドを前記第2の制御基板にシリアル転送するシリアル転送ユニットとを備え、前記セントラルプロセッシングユニットは、前記コマンドのうち第1のコマンドをシリアル転送ユニットに引き渡す手段と、前記第1のコマンドをシリアル転送ユニットに引き渡した後、前記第1のコマンドのシリアル転送が完了する前に、前記コマンドのうち前記第1のコマンドの後に続く第2のコマンドをシリアル転送ユニットに引き渡す手段とを含み、前記シリアル転送ユニットは、前記セントラルプロセッシングユニットからデータを受け取り、該データを記憶するバッファレジスタと、前記バッファレジスタに記憶されたデータを受け取り、該データをシリアル出力するシフトレジスタと、前記セントラルプロセッシングユニットから引き渡された第1のコマンドを前記バッファレジスタ経由で前記シフトレジスタに格納する手段と、前記第1のコマンドを前記シフトレジスタに格納した状態で、前記セントラルプロセッシングユニットから引き渡された第2のコマンドを前記バッファレジスタに格納する手段とを含むことを特徴とする。

【0009】

本発明の遊技機によれば、セントラルプロセッシングユニットがコマンドのシリアル転送に関わる期間を短縮することができる。その結果、第1の制御基板における他の制御処理の進行の阻害や、第1の制御基板で実行される制御プログラムの複雑化を抑制することができる。したがって、コマンドを分割してシリアル転送する場合における円滑な遊技制御を実現することができる。なお、第2の制御基板は、遊技球の払出を制御する払出制御基板であっても良い。

【0010】

上記の構成を有する本発明の遊技機は、以下の態様を採ることもできる。例えば、前記セントラルプロセッシングユニットは、繰り返し実行する複数回の処理のうち一回の処理内に、前記第1のコマンドおよび前記第2のコマンドの引き渡しを実行するとしても良い。

【0011】

また、前記セントラルプロセッシングユニットは、更に、前記第1のコマンドの前記シリアル転送ユニットへの引き渡しの後、前記第2のコマンドの前記シリアル転送ユニットへの引き渡しの前に、前記第1のコマンドの前記シフトレジスタへの格納が完了するまで待機する手段を含むとしても良い。また、前記セントラルプロセッシングユニットは、前記第2のコマンドの前記シリアル転送ユニットへの引き渡しを、前記第1のコマンドの前記シリアル転送ユニットへの引き渡し後に待機することなく直ちに実行するとしても良い。

【発明を実施するための最良の形態】

【0012】

以上説明した本発明の構成および作用を一層明らかにするために、以下本発明を適用した遊技機について、次の順序で説明する。なお、本明細書において、信号名の先頭に「#

10

20

30

40

50

」が付されているものは、負論理であることを意味している。「ハイレベル」は２値信号の２つのレベルのうちの「１」レベルを意味し、「ローレベル」は「０」レベルを意味している。

【００１３】

目次

A．第１の実施例

A - (１)．パチンコ機１０の構成

A - (２)．パチンコ機１０の動作

A - (２ - １)．主制御基板２０のコマンド送信

A - (２ - ２)．払出制御基板７０のコマンド受信

10

B．その他の実施形態

【００１４】

A．第１の実施例：

A - (１)．パチンコ機１０の構成：

本発明の実施例の１つであるパチンコ機１０の構成について説明する。図１は、パチンコ機１０の全体構成を示す正面図である。図１に示したように、パチンコ機１０は、パチンコ店の島設備等に固定される外枠１１、外枠１１に嵌め込まれる内枠１２、内枠１２の中央上寄りに配置され遊技球による遊技が行われる遊技板１３、遊技板１３の前面に配置され中央部にガラス板を有するガラス枠１４、遊技者による遊技板１３への遊技球の発射の指示を受け付けるハンドル１５、プリペイドカードによる遊技球の貸し出しを受け付けるカードユニット９０などを備える。

20

【００１５】

遊技板１３の中央部には、液晶ディスプレイ（Liquid Crystal Display、以下、ＬＣＤという）３５が設けられ、このＬＣＤ３５の下方には、遊技球の入賞を受け付ける入賞口６１が設けられている。この入賞口６１は、入賞した遊技球を検知する遊技球センサ６５、所定の場合に遊技球の導入経路を拡張する遊技板駆動部６６を備える。パチンコ機１０は、発光ダイオード（Light Emitting Diode、ＬＥＤ）有する電飾５５、５６、５７、５８、５９を備える。電飾５５、５６は遊技板１３の左右の端にそれぞれ設けられ、電飾５７はＬＣＤ３５の上部に設けられ、電飾５８、５９は、ガラス枠１４の上部の左右にそれぞれ設けられている。内枠１２の正面中央には、音声を出力するスピーカ４５が内蔵されている。

30

【００１６】

図２は、パチンコ機１０の電氣的な概略構成を示すブロック図である。パチンコ機１０は、遊技の進行を制御する主制御基板２０と、遊技球の払い出しを行う払出駆動部７５を制御する払出制御基板７０と、ＬＣＤ３５やスピーカ４５、電飾５５～５９を用いた遊技進行に応じた演出を制御するサブ制御基板４０と、ＬＣＤ３５における動画像表示を制御する図柄制御基板３０とを備える。

【００１７】

主制御基板２０および払出制御基板７０、サブ制御基板４０、図柄制御基板３０の各基板は、種々の演算処理を行うセントラルプロセッシングユニット（Central Processing Unit、以下、ＣＰＵという）、ＣＰＵの演算処理を規定したプログラムを予め記憶するリードオンリメモリ（Read Only Memory、以下、ＲＯＭという）、ＣＰＵが取り扱うデータを一時的に記憶するランダムアクセスメモリ（Random Access Memory、以下、ＲＡＭという）などの各基板に応じた電子部品が実装された回路基板である。これら各基板および払出駆動部７５は、図１に示した内枠１２の裏面（図示しない）に設けられている。

40

【００１８】

主制御基板２０と払出制御基板７０との間では、種々のコマンドがシリアル転送によって送信される。コマンドを正常に受信した基板は、コマンドを送信した基板に対して、正常にコマンドを受け取ったことを伝えるＡＣＫ（Acknowledge）信号を送信する。主制御基板２０から払出制御基板７０に対する主なコマンドとしては、遊技球の払い出しに関す

50

るコマンドや、払出制御基板 70 に動作状態の報告を指示するコマンドがある。遊技球の払い出しに関するコマンドとしては、例えば、遊技球の払い出し個数を指定するコマンドの他、遊技球の払い出しの開始を指示するコマンドや、遊技球の払い出しの停止を指示するコマンドなどが考えられる。払出制御基板 70 から主制御基板 20 に対する主なコマンドとしては、払出制御基板 70 の動作状態を伝えるコマンドがある。なお、主制御基板 20 および払出制御基板 70 の電氣的な構成の詳細については後述する。

【0019】

主制御基板 20 からサブ制御基板 40 に対してや、サブ制御基板 40 から図柄制御基板 30 に対しては、それぞれ種々のコマンドがパラレル転送によって送信される。主制御基板 20 からサブ制御基板 40 に対する主なコマンドとしては、いわゆる「大当たり」や「はずれ」などの遊技に関する基本的な演出を指示するコマンドがある。サブ制御基板 40 から図柄制御基板 30 に対する主なコマンドとしては、主制御基板 20 からのコマンドに基づく LCD 35 における動画像の表示態様を指示するコマンドがある。

10

【0020】

図 3 は、主制御基板 20 および払出制御基板 70 の電氣的な構成の詳細を示すブロック図である。主制御基板 20 は、主制御基板 20 における種々の演算処理を行う CPU として、外部とのシリアル通信機能およびパラレル通信機能を有する主 CPU 200 を備える。主 CPU 200 には、演算処理を行う演算処理部 210 と、外部とのシリアル通信を行うシリアル通信ユニットとしてのシリアル I/F 部 220 と、外部とのパラレル通信を行うパラレル I/F 部 230 とが回路構成されている。払出制御基板 70 とのコマンドのやり取りは、シリアル I/F 部 220 を介して行われ、払出制御基板 70 との ACK 信号のやり取りは、パラレル I/F 部 230 を介して行われる。

20

【0021】

シリアル I/F 部 220 は、演算処理部 210 からパラレルデータ TDa を受け取り、該データを記憶する送信バッファレジスタ 240 と、送信バッファレジスタ 240 に記憶されたデータを受け取り、該データをシリアルデータ SDa b に変換して払出制御基板 70 にシリアル転送する送信シフトレジスタ 250 と、払出制御基板 70 からシリアルデータ SDb a を受け取り、該データを記憶する受信シフトレジスタ 260 と、受信シフトレジスタ 260 に記憶されたデータを受け取り、該データを演算処理部 210 によってパラレルデータ RD a として読み出し可能に記憶する受信バッファレジスタ 270 と、シリアル I/F 部 220 における各部の動作状態を管理するシリアル管理部 280 とを備え、これらを 1 チップに集積して構成されている。送信バッファレジスタ 240 および送信シフトレジスタ 250、受信シフトレジスタ 260、受信バッファレジスタ 270 は、それぞれ 1 バイトの記憶容量を有するレジスタである。

30

【0022】

シリアル管理部 280 は、送信シフトレジスタ 250 および送信バッファレジスタ 240 に関して、送信シフトレジスタ 250 がシリアル転送中でない場合に、送信バッファレジスタ 240 から送信シフトレジスタ 250 へのデータの受け渡しを許可し、該受け渡し後に、該データを送信バッファレジスタ 240 から消去するように回路構成されている。

【0023】

シリアル管理部 280 は、受信シフトレジスタ 260 および受信バッファレジスタ 270 に関して、受信バッファレジスタ 270 にデータが記憶されていない場合に、受信シフトレジスタ 260 から受信バッファレジスタ 270 へのデータの受け渡しを許可し、演算処理部 210 が受信バッファレジスタ 270 からパラレルデータ RD a を読み出した後に、受信バッファレジスタ 270 からデータを消去するように回路構成されている。

40

【0024】

なお、シリアル I/F 部 220 によるシリアル転送の転送レートは、主 CPU 200 を動作させるためのクロック信号を分周した信号に基づいて決定される。この転送レートを決定するクロック信号の分周比は、シリアル I/F 部 220 が有するレジスタ（図示しない）の値によって設定することができる。

50

【 0 0 2 5 】

演算処理部 2 1 0 は、送信バッファレジスタ 2 4 0 に対して書き込み信号 # W R a を立ち下げることによって、送信バッファレジスタ 2 4 0 へのパラレルデータ T D a の書き込みを行い、受信バッファレジスタ 2 7 0 に対して読み出し信号 # R E a を立ち下げることによって、受信バッファレジスタ 2 7 0 からのパラレルデータ R D a の読み出しを行う。

【 0 0 2 6 】

演算処理部 2 1 0 は、シリアル I F 部 2 2 0 における種々の状態を示す信号を、シリアル管理部 2 8 0 から受ける。演算処理部 2 1 0 がシリアル管理部 2 8 0 から受ける信号としては、送信バッファレジスタ 2 4 0 がクリアされている際にハイレベルとされる送信バッファ空き信号 T E a と、送信シフトレジスタ 2 5 0 がシリアル転送中である際にハイレベルとされるシリアル転送中信号 T C a と、受信バッファレジスタ 2 7 0 にデータが記憶されている際にハイレベルとされる受信データ有り信号 D F a とがある。

【 0 0 2 7 】

図 3 に示すように、払出制御基板 7 0 は、払出制御基板 7 0 における種々の演算処理を行う払出 C P U 7 1 0 と、外部とのシリアル通信を行う回路が形成されたシリアル I F チップ 7 2 0 と、外部とのパラレル通信を行う回路が形成されたパラレル I F チップ 7 3 0 とを備える。主制御基板 2 0 とのコマンドのやり取りは、シリアル I F チップ 7 2 0 を介して行われ、主制御基板 2 0 との A C K 信号のやり取りは、パラレル I F チップ 7 3 0 を介して行われる。

【 0 0 2 8 】

シリアル I F チップ 7 2 0 は、払出 C P U 7 1 0 からパラレルデータ T D b を受け取り、該データを記憶する送信バッファレジスタ 7 4 0 と、送信バッファレジスタ 7 4 0 に記憶されたデータを受け取り、該データをシリアルデータ S D b a に変換して主制御基板 2 0 にシリアル転送する送信シフトレジスタ 7 5 0 と、主制御基板 2 0 からシリアルデータ S D a b を受け取り、該データを記憶する受信シフトレジスタ 7 6 0 と、受信シフトレジスタ 7 6 0 に記憶されたデータを受け取り、該データを払出 C P U 7 1 0 によってパラレルデータ R D b として読み出し可能に記憶する受信バッファレジスタ 7 7 0 と、シリアル I F チップ 7 2 0 における各部の動作状態を管理するシリアル管理部 7 8 0 とを備え、これらを 1 チップに集積して構成されている。送信バッファレジスタ 7 4 0 および送信シフトレジスタ 7 5 0 , 受信シフトレジスタ 7 6 0 , 受信バッファレジスタ 7 7 0 は、それぞれ 1 バイトの記憶容量を有するレジスタである。

【 0 0 2 9 】

シリアル管理部 7 8 0 は、送信シフトレジスタ 7 5 0 および送信バッファレジスタ 7 4 0 に関して、送信シフトレジスタ 7 5 0 がシリアル転送中でない場合に、送信バッファレジスタ 7 4 0 から送信シフトレジスタ 7 5 0 へのデータの受け渡しを許可し、該受け渡し後に、該データを送信バッファレジスタ 7 4 0 から消去するように回路構成されている。

【 0 0 3 0 】

シリアル管理部 7 8 0 は、受信シフトレジスタ 7 6 0 および受信バッファレジスタ 7 7 0 に関して、受信バッファレジスタ 7 7 0 にデータが記憶されていない場合に、受信シフトレジスタ 7 6 0 から受信バッファレジスタ 7 7 0 へのデータの受け渡しを許可し、払出 C P U 7 1 0 が受信バッファレジスタ 7 7 0 からパラレルデータ R D b を読み出した後に、受信バッファレジスタ 7 7 0 からデータを消去するように回路構成されている。

【 0 0 3 1 】

なお、シリアル I F チップ 7 2 0 がシリアル転送されたコマンドをサンプリングするタイミングは、主制御基板 2 0 の主 C P U 2 0 0 を動作させるためのクロック信号を分周したサンプリングクロックに基づいて決定される。このサンプリングクロックを決定するクロック信号の分周比は、シリアル I F チップ 7 2 0 が有するレジスタ (図示しない) の値によって設定することができる。

【 0 0 3 2 】

払出 C P U 7 1 0 は、送信バッファレジスタ 7 4 0 に対して書き込み信号 # W R b を立

10

20

30

40

50

ち下げることによって、送信バッファレジスタ740へのパラレルデータTD_bの書き込みを行い、受信バッファレジスタ770に対して読み出し信号#RE_bを立ち立ち下げることによって、受信バッファレジスタ770からのパラレルデータRD_bの読み出しを行う。

【0033】

払出CPU710は、シリアルIFチップ720における種々の状態を示す信号を、シリアル管理部780から受ける。払出CPU710がシリアル管理部780から受ける信号としては、送信バッファレジスタ740がクリアされている際にハイレベルとされる送信バッファ空き信号TE_bと、送信シフトレジスタ750がシリアル転送中である際にハイレベルとされるシリアル転送中信号TC_bと、受信バッファレジスタ770にデータが記憶されている際にハイレベルとされる受信データ有り信号DF_bとがある。

10

【0034】

A-(2)．パチンコ機10の動作：

パチンコ機10の動作のひとつとして、主制御基板20と払出制御基板70との間におけるコマンド転送の際の動作について説明する。本実施例のパチンコ機10は、主制御基板20から払出制御基板70へのコマンド転送と、払出制御基板70から主制御基板20へのコマンド転送を行うことが可能である。以下の説明では、主制御基板20から払出制御基板70へのコマンド転送の際の動作について詳細に説明する。

【0035】

A-(2-1)．主制御基板20のコマンド送信：

20

払出制御基板70に対してコマンドを送信する主制御基板20の動作について説明する。図4は、主制御基板20の演算処理部210が実行するコマンド送信処理を示すフローチャートである。主制御基板20の演算処理部210は、遊技の進行を制御する処理を実現するために所定の間隔（本実施例では、4ミリ秒（以下、msと表記））で定時割り込み処理を繰り返し実行し、この繰り返し実行される定時割り込み処理の一環として、払出制御基板70に対してコマンドを送信する場合に、図4に示したコマンド送信処理を実行する。

【0036】

演算処理部210は、図4に示したコマンド送信処理を開始すると、払出制御基板70に対するコマンドを生成する（ステップS110）。本実施例では、払出制御基板70に対するコマンドは、シリアルIF部220の各レジスタの記憶容量である1バイトよりも大きな2バイトのコマンドである。

30

【0037】

コマンドを生成した後（ステップS120）、「送信バッファ空き信号TE_aがハイレベル」かつ「シリアル転送中信号TC_aがローレベル」であるか否か、すなわち、「送信バッファレジスタ240にデータが記憶されていない場合」かつ「送信シフトレジスタ250がシリアル転送中でない場合」であるか否かを判断する（ステップS120）。

【0038】

「送信バッファ空き信号TE_aがハイレベル」かつ「シリアル転送中信号TC_aがローレベル」である場合（ステップS120）には、生成したコマンドの2バイトのうち上位1バイトである1バイト目を、送信バッファレジスタ240に書き込む（ステップS130）。その後、予め設定された書込待機期間Lw_aの待機を行った後（ステップS140）、生成したコマンドの残りの下位1バイトである2バイト目を、送信バッファレジスタ240に書き込み（ステップS150）、コマンド送信処理を終了する。

40

【0039】

ここで、書込待機期間Lw_aは、送信バッファレジスタ240へのコマンドの1バイト目の書き込みから、この1バイト目が送信シフトレジスタ250へと受け渡しされるまでの期間である送信レジスタ引渡期間Lb_sよりも長い期間であり、その定時割り込み処理の終了までに2バイト目の書き込み処理（図4のステップS150）を実行可能な時間を残す期間であり、次の定時割り込み処理の開始まで長引くような期間ではない。また、書

50

込待機期間 Lwa は、コマンドの 1 バイト目のシリアル転送が完了するまでの期間であるシリアル転送期間 Lsc よりも短い期間であり、定時割り込み処理の間隔である $4ms$ よりも短い期間である。本実施例では、書込待機期間 Lwa は、 2.5 マイクロセカンド（以下、 μs と表記）に設定されている。なお、本実施例のシリアル I/F 部 220 のハードウェア仕様による送信レジスタ引渡期間 Lbs は、約 $1.25 \mu s$ である。また、2 バイト目の書き込み処理（図 4 のステップ S150）に要する演算処理部 210 の演算処理時間が、シリアル I/F 部 220 の送信レジスタ引渡期間 Lbs 以上である場合には、図 4 に示したコマンド待機処理における待機処理（ステップ S140）は不要である。

【0040】

図 5 は、コマンド送信処理が実行される際の主制御基板 20 における各信号の様子を示すタイムチャートである。上述したコマンド送信処理にて、「送信バッファ空き信号 TEa がハイレベル」かつ「シリアル転送中信号 TCa がローレベル」であると判断されると（図 4 中のステップ S120）、パラレルデータ Dab にコマンドの 1 バイト目の出力が開始される（タイミング $ta1$ ）。その後、書き込み信号 $\#WRa$ の立ち下がりによって、送信バッファレジスタ 240 にコマンドの 1 バイト目が書き込まれる（タイミング $ta2$ ，図 4 中のステップ S120）。

【0041】

送信バッファレジスタ 240 は、書き込まれたコマンドの 1 バイト目を送信シフトレジスタ 250 に引き渡し、この引き渡し完了するとシリアル管理部 280 によってクリアされる。送信シフトレジスタ 250 は、送信バッファレジスタ 240 から受け取ったコマンドの 1 バイト目をシリアルデータ Dab に出力する。シリアル転送中のシリアルデータ Dab には、スタートビット ST に続いて、コマンドの 1 ビット目 $D0$ から 8 ビット目 $D7$ までの各ビットが続き、最後にストップビット SP が出力される。このように、コマンドの 1 バイト目のシリアル転送が開始されると、シリアル転送中信号 TCa はハイレベルとなる（タイミング $ta3$ ）。

【0042】

コマンドの 1 バイト目の書き込み（タイミング $ta2$ ，図 4 中のステップ S120）から、書込待機期間 Lwa の待機を経た後（図 4 中のステップ S140）、コマンドの 1 バイト目と同様に、送信バッファレジスタ 240 にコマンドの 2 バイト目が書き込まれる（タイミング $ta4$ ，図 4 中のステップ S150）。

【0043】

この際の送信シフトレジスタ 250 は、コマンドの 1 バイト目をシリアル転送中であり、コマンドの 2 バイト目を送信バッファレジスタ 240 から受け取ることができないため、送信バッファレジスタ 240 は、書き込まれたコマンドの 2 バイト目を記憶して保持し、送信バッファ空き信号 TEa はローレベルとなる（タイミング $ta4$ ）。

【0044】

その後、送信シフトレジスタ 250 によるコマンドの 1 バイト目のシリアル転送が終了すると、送信バッファレジスタ 240 は、記憶するコマンドの 2 バイト目を送信シフトレジスタ 250 に引き渡し、この引き渡し完了するとシリアル管理部 280 によってクリアされ、送信バッファ空き信号 TEa はハイレベルとなる（タイミング $ta5$ ）。

【0045】

その後、送信シフトレジスタ 250 は、コマンドの 1 バイト目と同様に、送信バッファレジスタ 240 から受け取ったコマンドの 2 バイト目をシリアルデータ Dab に出力する（タイミング $ta6 \sim ta7$ ）。

【0046】

以上説明した主制御基板 20 の動作によって、払出制御基板 70 に対して 2 バイトのコマンドが送信される。本実施例の主制御基板 20 は、払出制御基板 70 に対してコマンドを送信してから所定の期間の間に、払出制御基板 70 から ACK 信号の返答がない場合には、コマンドを再送する。

【0047】

10

20

30

40

50

なお、逆に、主制御基板 20 に対してコマンドを送信する払出制御基板 70 の動作は、演算処理部 210 に代えて払出 CPU 710、送信バッファレジスタ 240 に代えて送信バッファレジスタ 740、送信シフトレジスタ 250 に代えて送信シフトレジスタ 750 が、それぞれ上述した主制御基板 20 の場合と同様の動作を行うことによって実現される。

【0048】

なお、本実施例では、主 CPU 200 は、4 ミリ秒の間隔で定割り込み処理を繰り返し実行するのに対し、シリアル IF 部 220 は、1200 bps (Bit Per Second) の転送レートでシリアル転送を実行する。したがって、本実施例では、シリアル IF 部 220 が 2 バイトのコマンドをシリアル転送する時間は約 16.7 ms となり、主 CPU 200 は、その間に定割り込み処理を約 4 回繰り返し実行することとなる。このように、主 CPU 200 は、送信バッファレジスタ 240 にコマンドを書き込んでしまえば、そのコマンドの払出制御基板 70 へのシリアル転送をシリアル IF 部 220 に任せることができる。なお、シリアル転送における 1200 bps の転送レートは、電氣的ノイズに対するコマンド転送の信頼性を確保可能な転送レートであり、また、比較的安価なフォトカプラを用いたアイソレーションによってシリアル転送することが可能な転送レートである。

【0049】

なお、主制御基板 20 は、シリアル転送中（送信バッファレジスタ 240 にコマンドが有る状態）に、制御処理を中断することなく、入賞があれば入賞情報を記憶するなど他の制御処理を実行する。パチンコ機の場合、遊技板 13 へと打ち出される遊技球は、1 分間に最大 100 個までと規制されているため、遊技球の打ち出し間隔は約 600 ms である。したがって、遊技球が入賞口 61 に連続して入賞したとしても、主制御基板 20 は、遊技球の検出情報を滞りなく処理し、賞球コマンドを払出制御基板 70 にシリアル転送することができる。

【0050】

A - (2 - 2) . 払出制御基板 70 のコマンド受信：

主制御基板 20 からのコマンドを受信する払出制御基板 70 の動作について説明する。図 6 は、払出制御基板 70 の払出 CPU 710 が実行するコマンド受信処理を示すフローチャートである。払出制御基板 70 の払出 CPU 710 は、遊技球の払い出しを制御する一環として主制御基板 20 からのコマンドを受信する場合に、図 6 に示したコマンド受信処理を実行する。

【0051】

払出 CPU 710 は、コマンド受信処理を開始すると、「受信データ有り信号 DFb がハイレベル」であるか否か、すなわち、「受信バッファレジスタ 770 にデータが記憶されている場合」であるか否かを判断する（ステップ S210）。

【0052】

ここで、コマンド受信処理において「受信データ有り信号 DFb がハイレベル」であると判断される場合（ステップ S210）には、主制御基板 20 から払出制御基板 70 に対して送信された 2 バイトのコマンドのうち、コマンドの 1 バイト目が受信バッファレジスタ 770 に記憶された状態である。

【0053】

「受信データ有り信号 DFb がハイレベル」である場合（ステップ S210）には、受信バッファレジスタ 770 に記憶されているコマンドの 1 バイト目を読み出す（ステップ S220）。その後、受信シフトレジスタ 760 を介して受信バッファレジスタ 770 に記憶されたコマンドの 2 バイト目を読み出し（ステップ S240）、コマンド受信処理を終了する。

【0054】

図 7 は、コマンド受信処理が実行される際の払出制御基板 70 における各信号の様子を示すタイムチャートである。前述した主制御基板 20 におけるコマンド送信処理によって、シリアルデータ Dab にコマンドの 1 バイト目が出力されると（タイミング tb1 ~ t

10

20

30

40

50

b 2)、受信シフトレジスタ760にコマンドの1バイト目が記憶された後、受信バッファレジスタ770にコマンドの1バイト目が受け渡され、受信データ有り信号DFbはハイレベルとなる。

【0055】

コマンドの1バイト目に続いて、シリアルデータDabにコマンドの2バイト目が出力されると(タイミングtb1~tb2)、受信シフトレジスタ760にコマンドの2バイト目が記憶される。この際には、受信バッファレジスタ770からコマンドの1バイト目が読み出されておらず、受信バッファレジスタ770はシリアル管理部780によってクリアされていないため、受信シフトレジスタ760はコマンドの2バイト目の記憶を保持する。

10

【0056】

その後、図6に示したコマンド受信処理にて、「受信データ有り信号DFbがハイレベル」であると判断されると(図6中のステップS210)、読み出し信号#REbの立ち下がりによって、受信バッファレジスタ770からパラレルデータRDbにコマンドの1バイト目が出力され、コマンドの1バイト目が、払出CPU710によって受信バッファレジスタ770から読み出される(タイミングtb5~tb6, 図6中のステップS220)。

【0057】

コマンドの1バイト目の読み出しが完了すると、受信バッファレジスタ770はシリアル管理部780によってクリアされ、受信データ有り信号DFbはローレベルとなる(タイミングtb6)。その後、受信シフトレジスタ760から受信バッファレジスタへとコマンドの2バイト目が受け渡されると、受信データ有り信号DFbはハイレベルとなる(タイミングtb7)。その後、コマンドの1バイト目と同様に、受信バッファレジスタ770からコマンドの2バイト目が読み出される(タイミングtb8~tb9, 図6中のステップS240)。

20

【0058】

以上説明した払出制御基板70の動作によって、主制御基板20から送信された2バイトのコマンドが受信される。本実施例の払出制御基板70は、主制御基板20からコマンドを受信してから所定の期間の間に、主制御基板20に対してACK信号を送信する。

【0059】

なお、本実施例では、シリアルIFチップ720のサンプリングタイミングは、転送レート(1200bps)の16倍である19.2キロヘルツ(kHz)に設定されている。本実施例では、シリアルIFチップ720は、スタートビット、コマンドの各データビット、ストップビットのビット毎に、それぞれ3回のサンプリングを行い、この3回のサンプリングで検出された値を多数決判定することによって、コマンド受信の信頼性の向上を図っている。

30

【0060】

なお、逆に、払出制御基板70からのコマンドを受信する主制御基板20の動作は、払出CPU710に代えて演算処理部210、受信シフトレジスタ760に代えて受信シフトレジスタ260、受信バッファレジスタ770に代えて受信バッファレジスタ270が、それぞれ上述した払出制御基板70の場合と同様の動作を行うことによって実現される。

40

【0061】

以上説明した第1の実施例のパチンコ機10によれば、主制御基板20の主CPU200が1回の定時割り込み処理内を行う間に、シリアルIF部220がシリアル転送可能なコマンドを2バイト分、シリアルIF部220の送信バッファレジスタ240, 送信シフトレジスタ250に格納することができ、主制御基板20の主CPU200がコマンドのシリアル転送に関わる期間を短縮することができる。その結果、主制御基板20における他の制御処理の進行の阻害や、主制御基板20で実行される制御プログラムの複雑化を抑制することができる。したがって、コマンドを分割してシリアル転送する場合における円

50

滑な遊技制御を実現することができる。

【 0 0 6 2 】

B . その他の実施形態 :

以上、本発明の実施の形態について説明したが、本発明はこうした実施の形態に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲内において様々な形態で実施し得ることは勿論である。例えば、本発明の適用は、パチンコ機に限るものではなく、アレンジボールやスロットマシンなどの複数の制御基板を備えた遊技機に適用しても良い。また、コマンドを正常に受信できなかった側の基板は、そのコマンドを送信した側の基板に対して、コマンドの再送を要求することとしても良い。この場合に、再送の要求は、シリアル転送で行うこととしても良いし、パラレル転送で行うこととしても良い。これによって、コマンド転送の信頼性を向上させることができる。

10

【 0 0 6 3 】

また、サブ制御基板 4 0 や図柄制御基板 3 0 などの他の基板に、本発明を適用することとしても良い。例えば、主制御基板 2 0 とサブ制御基板 4 0 との間のコマンド転送に適用しても良い。主制御基板 2 0 からサブ制御基板 4 0 に対するコマンドとしては、LCD 3 5 における動画像表示の演出内容を指示する演出コマンドがある。

【 0 0 6 4 】

例えば、主制御基板 2 0 は、演出指示を規定した 3 バイトの指示コマンドと、この指示コマンドのチェックサムを算出した 1 バイトのチェックコマンドとから成る計 4 バイトのコマンドを一群のコマンドとして生成し、4 バイトの一群のコマンドを 2 回分に分けて、2 回の定時割り込み処理にて 2 バイト毎にシリアル転送することとしても良い。

20

【 0 0 6 5 】

また、主制御基板 2 0 は、3 バイトの指示コマンドと、1 バイトのチェックコマンドとの各ビットを反転させた 4 バイトの反転コマンドも併せて、計 8 バイトのコマンドを一群のコマンドとして生成し、8 バイトの一群のコマンドを 4 回に分けて、4 回の定時割り込み処理にて 2 バイト毎にシリアル転送することとしても良い。

【図面の簡単な説明】

【 0 0 6 6 】

【図 1】パチンコ機 1 0 の全体構成を示す正面図である。

【図 2】パチンコ機 1 0 の電氣的な概略構成を示すブロック図である。

30

【図 3】主制御基板 2 0 および払出制御基板 7 0 の電氣的な構成の詳細を示すブロック図である。

【図 4】主制御基板 2 0 の演算処理部 2 1 0 が実行するコマンド送信処理を示すフローチャートである。

【図 5】コマンド送信処理が実行される際の主制御基板 2 0 における各信号の様子を示すタイムチャートである。

【図 6】払出制御基板 7 0 の払出 CPU 7 1 0 が実行するコマンド受信処理を示すフローチャートである。

【図 7】コマンド受信処理が実行される際の払出制御基板 7 0 における各信号の様子を示すタイムチャートである。

40

【符号の説明】

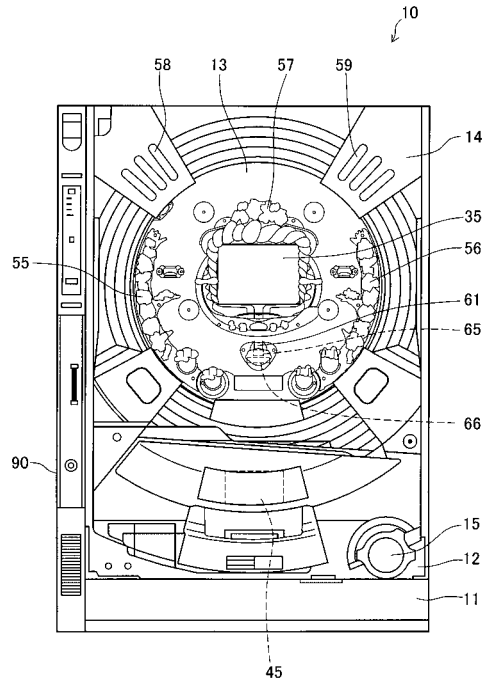
【 0 0 6 7 】

- 1 0 ... パチンコ機
- 1 1 ... 外枠
- 1 2 ... 内枠
- 1 3 ... 遊技板
- 1 4 ... ガラス枠
- 1 5 ... ハンドル
- 2 0 ... 主制御基板
- 3 0 ... 図柄制御基板

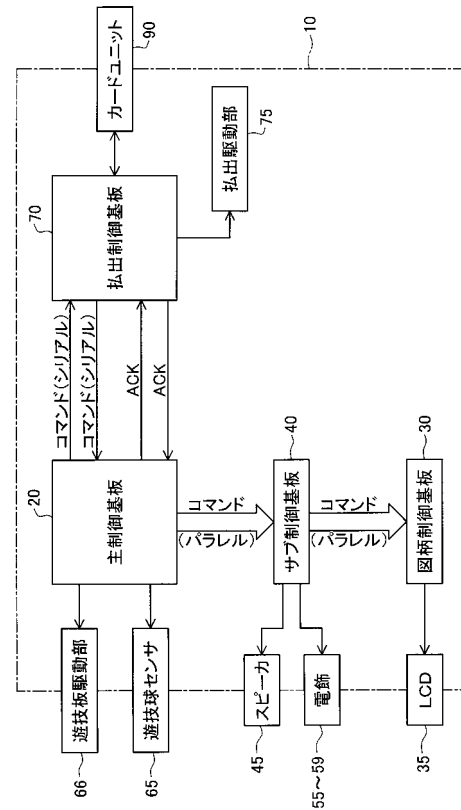
50

3 5 . . . L C D	
4 0 . . . サブ制御基板	
4 5 . . . スピーカ	
5 5 , 5 6 , 5 7 , 5 8 , 5 9 . . . 電飾	
6 1 . . . 入賞口	
6 5 . . . 遊技球センサ	
6 6 . . . 遊技板駆動部	
7 0 , 7 0 b . . . 払出制御基板	
7 5 . . . 払出駆動部	
9 0 . . . カードユニット	10
2 0 0 . . . 主 C P U	
2 1 0 . . . 演算処理部	
2 2 0 . . . シリアル I F 部	
2 3 0 . . . パラレル I F 部	
2 4 0 . . . 送信バッファレジスタ	
2 5 0 . . . 送信シフトレジスタ	
2 6 0 . . . 受信シフトレジスタ	
2 7 0 . . . 受信バッファレジスタ	
2 8 0 . . . シリアル管理部	
7 1 0 . . . 払出 C P U	20
7 2 0 . . . シリアル I F チップ	
7 3 0 . . . パラレル I F チップ	
7 4 0 . . . 送信バッファレジスタ	
7 5 0 . . . 送信シフトレジスタ	
7 6 0 . . . 受信シフトレジスタ	
7 7 0 . . . 受信バッファレジスタ	
7 8 0 . . . シリアル管理部	

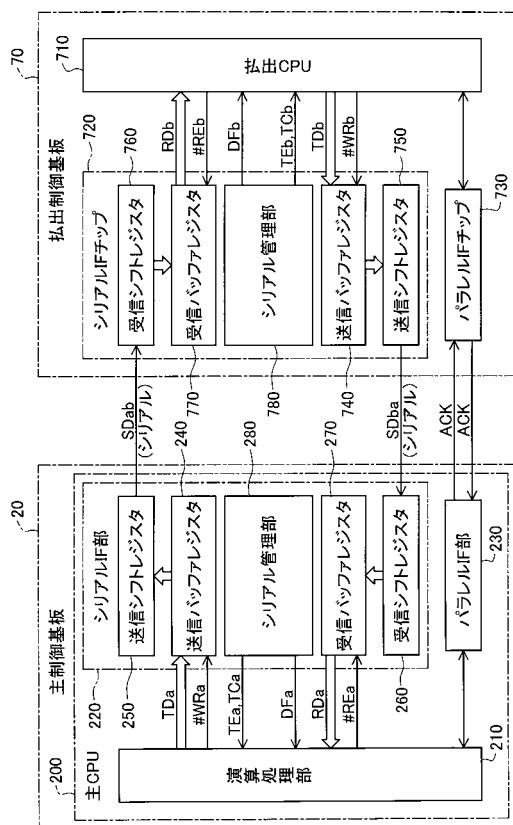
【 図 1 】



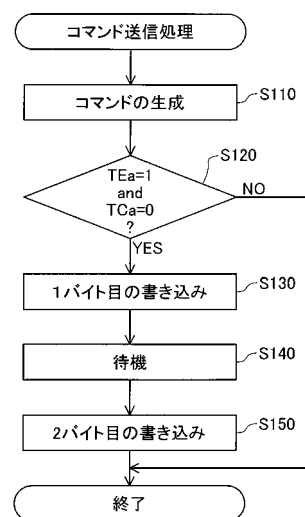
【 図 2 】



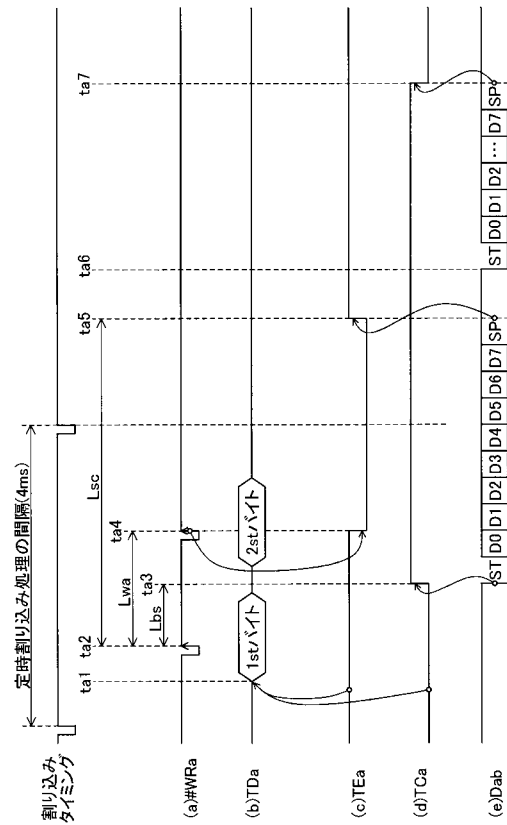
【 図 3 】



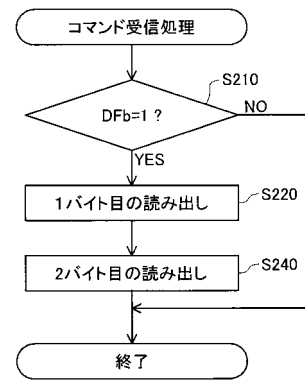
【圖 4】



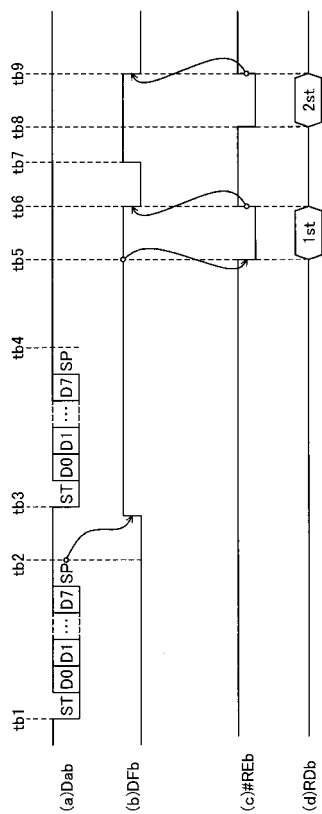
【図 5】



【図 6】



【図 7】



フロントページの続き

審査官 小河 俊弥

(56)参考文献 特開 2 0 0 0 - 1 2 6 4 2 9 (J P , A)
特開 2 0 0 0 - 2 1 7 9 8 0 (J P , A)
特開 2 0 0 1 - 1 7 0 3 4 3 (J P , A)
特開 2 0 0 2 - 1 1 3 2 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
A 6 3 F 7 / 0 2