



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 03 M / 297 544 6	(22)	15.12.86	(44)	02.03.88
------	-----------------------	------	----------	------	----------

(71)	Ingenieurhochschule Mittweida, Direktorat Forschung, Platz der DSF 17, Mittweida, 9250, DD
(72)	Ludwig, Reiner, Dr.-Ing.; Winkler, Frank, Dipl.-Ing., DD

(54) **Schaltungsanordnung zur Identifikation von Transferfehlern bei AD-Wandlern (ADW)**

(55) AD-Wandler, AD-Wandler-Messung, AD-Wandler-Prüfung, Nichtlinearitäten, Transferkennlinie, Transferfehler, Transferbereich, Referenzdigitalwort, Analog-Digital-Komparator, Mikrorechner

(57) Die Erfindung nimmt Bezug auf Prüfung und Messung von AD-Wandlern bei Herstellern und Anwendern. Die Erfindung ermöglicht die Identifikation und genaue Berechnung sämtlicher Nichtlinearitäten der Transferkennlinie von AD-Wandlern ohne Verwendung von Präzisionsbauelementen oder -signalen bei hoher Prüfgenauigkeit gegenüber herkömmlichen Verfahren. Ein beliebiges, zeitlich veränderliches Eingangssignal wird mit dem Wert eines Referenzdigitalwortes verglichen. Das Referenzdigitalwort und das Analogsignal überstreichen den Eingangsspannungsbereich des ADW-DUT. Bei Übereinstimmung beider Werte wird das Analogsignal zum ADW-DUT als Teststimulus durchgeschaltet, wobei dessen digitales Ausgangswort mit dem Referenzdigitalwort verglichen wird. Das Vergleichsergebnis wird für die Berechnung der Transferrichtlinearitäten gespeichert. Anschließend wird das Referenzdigitalwort um ein LSB erhöht und der Vorgang wiederholt. Der Test ist beendet, wenn der gesamte Transferbereich des ADW-DUT auf diese Art untersucht wurde. Sämtliche Nichtlinearitäten der Transferkennlinie sind im Detail feststellbar.

Erfindungsanspruch:

1. Schaltungsanordnung zur Identifikation von Transferfehlern bei AD-Wandlern, **gekennzeichnet dadurch**, daß ein beliebiges, zeitdiskontinuierliches Full-scale-Signal, dessen Charakteristik dem Untersuchungsziel entsprechend gewählt wird, von einem Signalgenerator (1) erzeugt wird und gleichzeitig zu einer Verzögerungsleitung (6) und dem Analogeingang eines Digital-Analog-Komparators (3) gelangt; ein n Bit breites Datenwort als Element einer Digitalrampe, die in einem Mikrorechner erzeugt und über einen I-O-Port (5) übertragen wird, liegt am Digitaleingang des Digital-Analog-Komparators (3) an; nach der derartigen Bereitstellung der analogen Eingangsgröße und der digitalen Eingangsgröße für den Digital-Analog-Komparator (3) wird bei Gleichheit der beiden miteinander verglichenen Eingangsgrößen ein Signal vom Digital-Analog-Komparator (3) generiert, durch das der Analogschalter (2) geschlossen und das um den Betrag der Schaltzeit des Digital-Analog-Komparators (3) in der Verzögerungsleitung (6) verzögerte Analogsignal als Eingangsstimulus für den n Bit breiten ADW-DUT (4) durchgeschaltet wird; EOC- und Ausgangssignal des ADW-DUT (4) sowie Ausgangssignal des Digital-Analog-Komparators (3) gelangen zum I-O-Port (5), der mit einem Mikrorechner gekoppelt ist, wo die Auswertung der Messung und damit die Berechnung aller möglichen Transferfehler erfolgt.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß das Generieren der Digitalrampe durch einen Taktgenerator und ihm nachgeschaltete Zähler geschehen kann, die das Eingangswort für den Digital-Analog-Komparator (3) und gleichzeitig das Referenzwort für den Mikrorechner liefern.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung, mit deren Hilfe es möglich ist, sowohl für Hersteller wie auch für Anwender Umsetzfehler bei zu untersuchenden AD-Wandlern schnell und sicher zu erkennen.

Charakteristik der bekannten technischen Lösungen

Bekannt ist die Verwendung von Referenz-Bauelementen. Zwei eingangsseitig parallel geschaltete AD-Wandler, von denen der eine ein um 3 Bit genauer als der andere zu prüfende ADW-DUT ist, werden mit dem gleichen Eingangssignal beaufschlagt und anschließend die generierten Ausgangscodes miteinander verglichen. Aus den Abweichungen des ADW-DUT-Codes vom Referenzcode lassen sich Nichtlinearitäten berechnen und erkennen. Schildwach, B., Stroezel, K. H.: „Abgleich und Prüfen von AD- und DA-Umsetzern“, rfe, Berlin, 27 (1987) 7, S. 425 ff.

Eine andere bekannte Lösung verwendet Histogramme. An den Eingang des ADW-DUT wird ein Signal in Form einer steigenden e-Funktion angelegt und über eine mikrorechnergesteuerte Hardware von der Ausgangsfunktion ein Amplitudenhistogramm als gemessene Verteilungsdichtefunktion erstellt. Mit einer diesem Signal genau inversen e-Funktion wird der Vorgang wiederholt. Mit den derart gewonnenen Amplitudenhistogrammen ist es nach entsprechender Transformation möglich, die Übertragungscharakteristik des ADW-DUT zu berechnen.

Sloane, E. A.: „Method and Apparatus for Calibrating an Analog-to-Digital Converter for a Digital-to-Analog Converter Test System“ United States Patent, 1982, 4354 177.

Unter Zuhilfenahme von Fourieranalyse kann ein ADW getestet werden, indem er mit einer oberwellenfreien Sinusspannung als Testsignal beaufschlagt wird. Nichtlinearitäten infolge von Umsetzfehlern wirken sich als Verzerrungen des in digitaler Form am Ausgang des ADW-DUT vorliegenden Sinussignales aus. Der Verzerrungsgrad ist ein direktes Maß für die Nichtlinearitäten und ist aus der spektralen Verteilung des verzerrten Sinussignales ableitbar. Diese Verteilung wird durch Fouriertransformation gewonnen.

Mahoney, M. V.: „New Techniques for High Speed Analog Testing“, IEEE Test Conference 1983, S. 589 ff.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, mikrorechnergesteuert den Testablauf eines ADW-DUT durchzuführen und damit einer Untersuchung auf Transferfehler bei hoher Prüfgeschwindigkeit und geringem materiell-technischem Aufwand zu gewährleisten. Der subjektive Einfluß des Prüfpersonals wird eliminiert. Die Generation eines exakt reproduzierbaren langzeitstabilen Teststimulus ist nicht erforderlich.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, eine Schaltungsanordnung zu entwickeln, die Transferfehler mit hoher Geschwindigkeit erkennt und den gesamten Testablauf mikrorechnergesteuert realisiert.

Ein beliebiges, zeitlich veränderliches Signal gelangt von einem Signalgenerator (1) zu einem steuerbaren Analogschalter (2) und einem Digital-Analog-Komparator (3). In einem Mikrorechner, der über einen I-O-Port (5) mit der eigentlichen Test-Hardware gekoppelt ist, wird eine Digitalrampe erzeugt, die an den Digitaleingang des Digital-Analog-Komparators (3) gelangt. Bei Gleichheit des vom Signalgenerator (1) gelieferten Analogsignals und des vom Mikrorechner generierten Digitalwortes wird vom Digital-Analog-Komparator (3) ein Impuls erzeugt, der den Analogschalter (2) schließt. Daraufhin gelangt das Analogsignal, im Verzögerungsglied (6) um die Schaltzeit des Digital-Analog-Komparators verzögert, an den Eingang des ADW-DUT (4). Das generierte digitale Ausgangs- und EOC-Signal gelangt über den I-O-Port (5) zur Auswertung in den Mikrorechner. Ebenso wird das Komparatorausgangssignal über den I-O-Port (5) dem Mikrorechner zugeführt. Ein Meßzyklus besteht aus dem Generieren des digitalen Referenzcodes, dem Vergleichen dieses Digitalcodes mit dem analogen Testsignal im Digital-Analog-Komparator (5), dem Anlegen des analogen Testsignals an den ADW-DUT (4) und dem Registrieren von dessen Ausgangscodes. Danach wird das vom Rechner erzeugte Digitalwort um ein LSB erhöht und der Zyklus erneut gestartet. Aus den gespeicherten Ausgangscodes des ADW-DUT (4) im Vergleich mit der vom Mikrorechner generierten Digitalrampe lassen sich sämtliche Nichtlinearitäten und Transferfehler ermitteln.

Ausführungsbeispiel

Ein Sinusgenerator G1 liefert ein zeitlich veränderliches Signal, das zu einer Verzögerungsleitung IS6 und zu einem Digital-Analog-Komparator IS3 gelangt. Ein Mikrorechner gibt über eine PIO IS5 ein 8 Bit breites Digitalwort aus, das an den Digitaleingang des Digital-Analog-Komparators IS3 gelangt. Bei Gleichheit der Komparatoreingangssignale wird ein Signal generiert, das den Analogschalter S1 schließt. Damit wird das um den Betrag der Schaltzeit des Digital-Analog-Komparators IS3 in der Verzögerungsleitung IS6 verzögerte Analog-Signal als Eingangsstimulus für den ADW-DUT IS4 verwendet. Das 8 Bit breite Ausgangswort des ADW-DUT IS4, dessen EOC-Signal und das Komparatorsignal gelangen über die PIO IS6 an den Mikrorechner. Nach Abschluß dieses Zyklus wird das vom Mikrorechner über PIO IS5 ausgegebene Digitalwort um ein LSB erhöht und der Vorgang wiederholt, bis der gesamte interessierende Transferbereich des ADW-DUT IS4 getestet wurde. Die PIO's IS5 und IS6 sind ausgangsseitig mit einem Mikrorechnersystem K1520 gekoppelt. Beginn, Ende und Steilheit der Digitalrampe werden vom Mikrorechner softwaremäßig gesteuert.

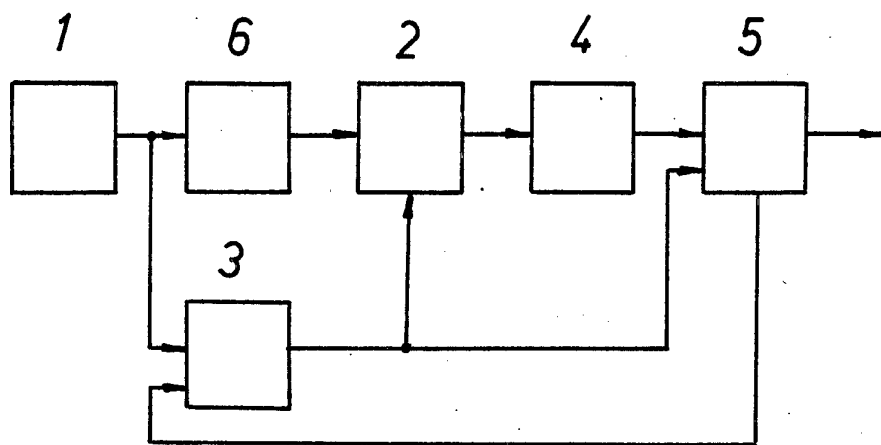


Bild: 1

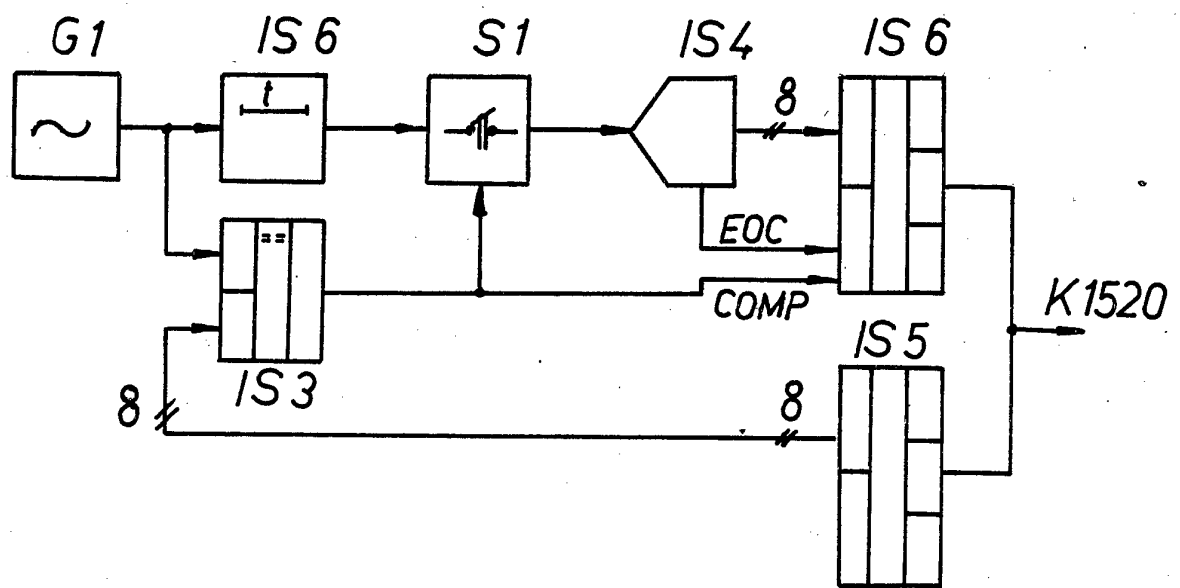


Bild : 2