



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0054738  
(43) 공개일자 2018년05월24일

(51) 국제특허분류(Int. Cl.)  
A61B 8/08 (2006.01) A61B 8/00 (2006.01)  
A61B 8/14 (2006.01) G06K 9/00 (2006.01)

(52) CPC특허분류  
*A61B 8/5269* (2013.01)  
*A61B 8/14* (2013.01)  
(21) 출원번호 10-2018-7010695

(22) 출원일자(국제) 2016년09월06일

심사청구일자      **없음**

(85) 범례문제출일자 2018년04월16일

(85) 관국군제를 들자 2018

(86) 국제출원번호 PCT/US2016/050  
(87) 그레고리비호 WO 2017/048542

(87) 국체종개번호 WO 2017/048549  
국체종개번호 WO 2017/048549

국제공개일자 2017년03월23일

### (30) 우선권주장

14/857,575

(71) 출원인  
**퀄컴 인코포레이티드**  
미국 92121-1714 캘리포니아주 샌디에고 모어하

우스 드라이브 5775  
(72) 발명자  
와드와, 사미어  
미국 92121-17114 캐리포니아주 샌 디에고 모여화

미국 92121-1714 콜리포니아주 샌 디에고 모어하우스 드라이브 5775  
**마테, 레나트 칼-악셀**  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

미국 92121-1714 셀티코너아주 션 니에고 노이아  
우스 드라이브 5775

(74) 대리인  
특허법인 남앤드남

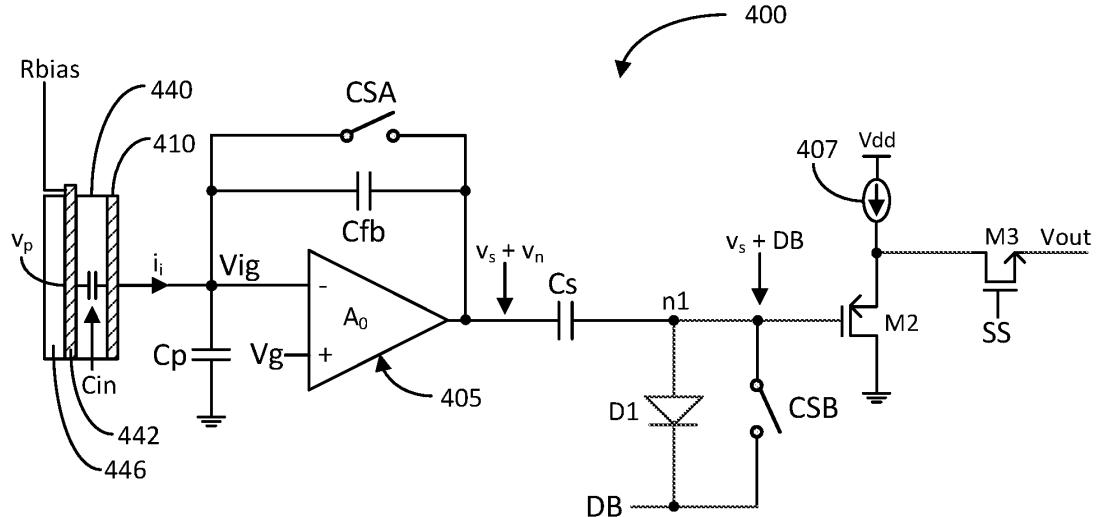
전세 성구양 누 · 총 35 양

(54) 발명의 명칭 초음파 이미징 장치를 위한 저주파수 잡음 감소를 갖는 퍽셀 주신기

### (57) 요약

DC 픽셀 전압을 생성하기 위한 장치 및 방법이 개시된다. 장치는, 전압 신호를 생성하기 위해 입력 신호를 증폭 시키도록 구성된 증폭기 – 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨; 증폭기의 출력으로부터 노드로의 잡음의 전파를 감소시키면서, 증폭기의 출력으로부터 노드로 전압 신호를 전달하도록 구성된 잡음 감소 회로; 및 감소된 잡음의 전압 신호에 기반하여, DC 픽셀 전압을 생성하도록 구성된 회로를 포함한다.

## 대표도 - 도4a



(52) CPC특허분류

**A61B 8/4494** (2013.01)

**G06K 9/0002** (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

장치로서,

전압 신호를 생성하기 위해 입력 신호를 증폭시키도록 구성된 증폭기 -상기 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨-;

상기 증폭기의 출력으로부터 노드로의 저주파수 잡음의 전파를 감소시키면서, 상기 증폭기의 출력으로부터 상기 노드로 상기 전압 신호를 전달하도록 구성된 고역 통과 필터 특성을 갖는 잡음 감소 회로 -상기 저주파수 잡음은, 상기 전압 신호가 순환하는 주파수보다 주파수가 더 낮음-; 및

상기 노드에서의 전압 신호에 기반하여, DC 픽셀 전압을 생성하도록 구성된 회로

를 포함하는,

장치.

#### 청구항 2

제1 항에 있어서,

상기 잡음 감소 회로는 상기 증폭기와 상기 노드 사이에 커플링된 커패시터를 포함하는,

장치.

#### 청구항 3

제1 항에 있어서,

상기 저주파수 잡음은 상기 증폭기에 의해 생성되는,

장치.

#### 청구항 4

제1 항에 있어서,

상기 입력 신호는 입력 전류 신호를 포함하며, 상기 증폭기는, 상기 전압 신호를 생성하기 위해 상기 입력 전류 신호의 트랜스임피던스 증폭을 수행하도록 구성된 트랜스임피던스 증폭기를 포함하는,

장치.

#### 청구항 5

제4 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 압전 층의 감지 커패시턴스에 기반하는,

장치.

#### 청구항 6

제4 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 증폭기의 출력과 입력 사이에 커플링된 피드백 커패시터의 커패시턴스에 대한 상기 압전 층의 감지 커패시턴스의 비율(ratio)에 기반하는,

장치.

### 청구항 7

제1 항에 있어서,  
상기 증폭기는 소스-팔로워(source-follower) 증폭기를 포함하는,  
장치.

### 청구항 8

제1 항에 있어서,  
상기 회로는, 상기 전압 신호의 하나 또는 그 초과의 피크들에 실질적으로 기반하여 상기 DC 픽셀 전압을 생성하도록 구성된 피크 검출기를 포함하는,  
장치.

### 청구항 9

제1 항에 있어서,  
상기 회로는, 상기 전압 신호의 샘플링 부분에 실질적으로 기반하여 상기 DC 픽셀 전압을 생성하도록 구성된 샘플링 및 유지 회로(sample and hold circuit)를 포함하는,  
장치.

### 청구항 10

제1 항에 있어서,  
상기 DC 픽셀 전압을 선택적으로 출력하도록 구성된 출력 회로  
를 더 포함하는,  
장치.

### 청구항 11

제1 항에 있어서,  
상기 증폭기는:  
기준 전압을 수신하도록 구성된 제1 입력을 포함하는 연산 증폭기;  
상기 연산 증폭기의 출력과 제2 입력 사이에 커플링된 커패시터; 및  
상기 연산 증폭기의 출력과 제2 입력 사이에 커플링된 스위치  
를 포함하며,  
상기 스위치는, 상기 커패시터를 방전시키기 위해, 제1 시간 간격 동안 폐쇄되도록 구성되며, 상기 스위치는,  
상기 연산 증폭기가 상기 전압 신호를 생성하도록 구성되는 제2 시간 간격 동안 개방되도록 구성되는,  
장치.

### 청구항 12

제1 항에 있어서,  
상기 회로는:  
공통 모드 전압의 소스;  
상기 노드와 상기 공통 모드 전압의 소스 사이에 커플링된 다이오드; 및  
상기 노드와 상기 공통 모드 전압의 소스 사이에 커플링된 스위치

를 포함하며,

상기 스위치는, 상기 노드에서 공통 모드 전압을 세팅하고, 상기 다이오드에 의한 상기 전압 신호의 피크 검출을 디스에이블(disable)하기 위해, 제1 시간 간격 동안 폐쇄되며, 상기 스위치는, 상기 DC 픽셀 전압을 생성하기 위해서 상기 다이오드에 의한 상기 전압 신호의 피크 검출을 인에이블(enable)하기 위해, 제2 시간 간격 동안 개방되는,

장치.

### 청구항 13

제1 항에 있어서,

상기 증폭기는:

상기 입력 신호를 수신하도록 구성된 게이트, 전압 레일에 커플링된 드레인, 및 상기 전압 신호를 생성하도록 구성된 소스를 포함하는 FET(field effect transistor);

게이트 바이어스 전압을 위한 소스; 및

상기 FET의 게이트와 상기 게이트 바이어스 전압의 소스 사이에 커플링된 스위치

를 포함하며,

상기 스위치는, 상기 FET의 게이트로부터 전하들을 제거하고, 상기 FET 상에 게이트 바이어스 전압을 생성하기 위해, 제1 시간 간격 동안 폐쇄되도록 구성되며, 상기 스위치는, 상기 FET가 상기 전압 신호를 생성하도록 구성되는 제2 시간 간격 동안 개방되도록 구성되는,

장치.

### 청구항 14

제1 항에 있어서,

상기 증폭기는:

기준 전압을 수신하도록 구성된 제1 입력을 포함하는 연산 증폭기;

상기 연산 증폭기의 출력과 제2 입력 사이에 커플링된 제1 커패시터;

상기 연산 증폭기의 출력과 제2 입력 사이에 커플링된 스위치 –상기 스위치는, 상기 커패시터를 방전시키기 위해, 제1 시간 간격 동안 폐쇄되도록 구성되며, 상기 스위치는, 상기 연산 증폭기가 상기 전압 신호를 생성하도록 구성되는 제2 시간 간격 동안 개방되도록 구성됨–;

제어 신호의 소스; 및

상기 연산 증폭기의 제2 입력과 제어 전압의 소스 사이에 커플링된 제2 커패시터

를 포함하며,

상기 제어 신호는, 상기 연산 증폭기의 출력에 공통 모드 전압을 세팅하기 위해, 상기 제1 시간 간격 동안, 정의된 전압 레벨로 세팅되는,

장치.

### 청구항 15

제1 항에 있어서,

상기 증폭기의 출력과 상기 잡음 감소 회로 사이에 커플링된 스위치

를 더 포함하며,

상기 스위치는, 상기 증폭기가 상기 전압 신호를 생성하는 제1 시간 간격 동안 폐쇄되도록 구성되며, 상기 스위치는, 상기 회로가 상기 DC 픽셀 전압을 생성하기 위해 상기 전압 신호의 피크를 검출하는 제2 시간 간격 동안

개방되도록 구성되는,

장치.

#### 청구항 16

방법으로서,

전압 신호를 생성하기 위해 입력 신호를 증폭시키는 단계 –상기 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨–;

상기 전압 신호를 고역 통과 필터링함으로써, 상기 전압 신호로부터 저주파수 잡음을 감소시키는 단계 –상기 저주파수 잡음은, 상기 전압 신호가 순환하는 주파수보다 주파수가 더 낮음–; 및

상기 감소된 잡음의 전압 신호에 기반하여, DC 퍽셀 전압을 생성하는 단계

를 포함하는,

방법.

#### 청구항 17

제16 항에 있어서,

상기 전압 신호로부터 잡음을 감소시키는 단계는, 상기 전압 신호를 커패시터를 통해 전달하는 단계를 포함하는,

방법.

#### 청구항 18

제16 항에 있어서,

상기 저주파수 잡음은, 상기 입력 신호의 증폭 시 수반되는 하나 또는 그 초과의 디바이스들에 의해 생성되는,

방법.

#### 청구항 19

제16 항에 있어서,

상기 입력 신호는 입력 전류 신호를 포함하며, 상기 입력 신호를 증폭시키는 단계는, 상기 전압 신호를 생성하기 위해 상기 입력 전류 신호의 트랜스임피던스 증폭을 수행하는 단계를 포함하는,

방법.

#### 청구항 20

제19 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 압전 층의 감지 커패시턴스에 기반하는,

방법.

#### 청구항 21

제19 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 트랜스임피던스 증폭과 연관된 피드백 커패시터의 커패시턴스에 대한 상기 압전 층의 감지 커패시턴스의 비율에 기반하는,

방법.

#### 청구항 22

제16 항에 있어서,

상기 입력 신호를 증폭시키는 단계는, 소스-팔로워 증폭기를 사용하여 상기 입력 신호를 증폭시키는 단계를 포함하는,  
방법.

### 청구항 23

제16 항에 있어서,

상기 DC 픽셀 전압을 생성하는 단계는, 상기 DC 픽셀 전압을 생성하기 위해 상기 전압 신호의 하나 또는 그 초과의 피크들을 검출하는 단계를 포함하는,

방법.

### 청구항 24

제16 항에 있어서,

상기 DC 픽셀 전압을 생성하는 단계는, 상기 DC 픽셀 전압을 생성하기 위해 상기 전압 신호의 부분을 샘플링 및 유지하는 단계를 포함하는,

방법.

### 청구항 25

제16 항에 있어서,

상기 DC 픽셀 전압을 선택적으로 출력하는 단계

를 더 포함하는,

방법.

### 청구항 26

장치로서,

전압 신호를 생성하기 위해 입력 신호를 증폭시키기 위한 수단 –상기 입력 신호는, 초음파가 이미 정될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨–;

상기 전압 신호를 고역 통과 필터링함으로써, 상기 전압 신호로부터 저주파수 잡음을 감소시키기 위한 수단 –상기 저주파수 잡음은, 상기 전압 신호가 순환하는 주파수보다 주파수가 더 낮음–; 및

상기 감소된 잡음의 전압 신호에 기반하여, DC 픽셀 전압을 생성하기 위한 수단

을 포함하는,

장치.

### 청구항 27

제26 항에 있어서,

상기 전압 신호로부터 잡음을 감소시키기 위한 수단은, 상기 전압 신호를 커패시터를 통해 전달하기 위한 수단을 포함하는,

장치.

### 청구항 28

제26 항에 있어서,

상기 잡음은 상기 증폭시키기 위한 수단에 의해 생성되는 저주파수 잡음을 포함하는,

장치.

### 청구항 29

제26 항에 있어서,

상기 입력 신호는 입력 전류 신호를 포함하며, 상기 입력 신호를 증폭시키기 위한 수단은, 상기 전압 신호를 생성하기 위해 상기 입력 전류 신호의 트랜스임피던스 증폭을 수행하기 위한 수단을 포함하는,  
장치.

### 청구항 30

제29 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 압전 층의 감지 커패시턴스에 기반하는,  
장치.

### 청구항 31

제29 항에 있어서,

상기 트랜스임피던스 증폭과 연관된 이득은 상기 증폭시키기 위한 수단의 출력과 입력 사이에 커플링된 피드백 커패시터의 커패시턴스에 대한 상기 압전 층의 감지 커패시턴스의 비율에 기반하는,  
장치.

### 청구항 32

제26 항에 있어서,

상기 입력 신호를 증폭시키기 위한 수단은, 소스-팔로워 증폭기를 포함하는,  
장치.

### 청구항 33

제26 항에 있어서,

상기 DC 핀셀 전압을 생성하기 위한 수단은, 상기 DC 핀셀 전압을 생성하기 위해 상기 전압 신호의 하나 또는 그 초과의 피크들을 검출하기 위한 수단을 포함하는,  
장치.

### 청구항 34

제26 항에 있어서,

상기 DC 핀셀 전압을 생성하기 위한 수단은, 상기 DC 핀셀 전압을 생성하기 위해 상기 전압 신호의 부분을 샘플링 및 유지하기 위한 수단을 포함하는,  
장치.

### 청구항 35

제26 항에 있어서,

상기 DC 핀셀 전압을 선택적으로 출력하기 위한 수단  
을 더 포함하는,  
장치.

## 발명의 설명

## 기술 분야

- [0001] [0001] 본 출원은, 2015년 9월 17일자로 미국 특허 및 상표청에 출원된 정규 출원 번호 제 14/857,575호를 우선권으로 주장하며, 위의 출원의 전체 내용은 인용에 의해 본원에 통합된다.
- [0002] [0002] 본 개시내용의 양상들은 일반적으로 초음파 이미징 장치들에 관한 것이며, 더욱 구체적으로는, 초음파 이미징 장치에서 사용하기 위한, 저주파수 잡음 감소를 갖는 픽셀 수신기에 관한 것이다.

## 배경기술

- [0003] [0003] 초음파 이미징 장치는 소정의 아이템들, 이를테면 지문들의 전자 또는 디지털 이미지들을 획득하기 위해 사용될 수 있다. 초음파 이미징 장치는 통상적으로, 송신 압전 층(예컨대, 이를테면, PVDF(polyvinylidene fluoride) 층)을 포함하는 초음파 송신기, 수신 압전 층(예컨대, PVDF 층), 그리고 픽셀 센서들의 2 차원 아래 이를 포함하는 픽셀 수신기를 포함한다. 일반적으로, 초음파 송신기는 픽셀 수신기 아래에 놓이고, 픽셀 수신기는 수신 압전 층 아래에 놓인다. 이미징될 아이템(item-to-be-imaged), 이를테면 사용자의 지문이 수신 압전 층 위에 포지셔닝된다.
- [0004] [0004] 동작 중에, 초음파 송신기의 송신 압전 층은, 초음파(예컨대, 10 MHz 초음파)가 이미징될 아이템, 이를테면 사용자의 지문에 부딪힐 때까지, 픽셀 수신기 및 수신 압전 층을 통해 위쪽으로 이 초음파를 생성하도록 여기된다. 초음파는 지문에서 반사되어 픽셀 수신기를 향해 아래쪽으로 전파된다. 수신 압전 층은 반사된 파를, 픽셀 수신기의 픽셀 센서들의 개개의 입력들에서의 전압들로 변환한다. 픽셀 센서들의 입력들에서 생성되는 전압들은, 대응하는 파가 사용자의 지문의 밸리(valley)에 부딪혔는지 또는 사용자의 지문의 융선(ridge)에 부딪혔는지의 함수이다.
- [0005] [0005] 픽셀 센서들은, DC 출력 픽셀 전압들을 생성하기 위해 개개의 고주파수 전압들을 프로세싱한다. DC 출력 픽셀 전압들을 디지털화하기 위해 아날로그-디지털 변환기가 제공된다. 디지털화된 신호들은 이후, 다양한 동작들, 이를테면 지문 인식, 지문 데이터베이스 저장 등을 수행하기 위해 이미지 프로세서에 의해 프로세싱될 수 있다.
- [0006] [0006] 이전에, 픽셀 수신기는 TFT(thin-film transistor) 기술을 사용하여 구현되었다. 그러나, TFT 기술을 사용하여 구현된 회로들은 일반적으로, 다른 기술, 이를테면 CMOS(complementary metal oxide semiconductor) 기술을 사용하여 구현된 회로들보다 더 낮은 전압 변환 효율 및 더 많은 잡음을 갖는다.

## 발명의 내용

- [0007] [0007] 다음은, 하나 또는 그 초과의 실시예들의 기본적인 이해를 제공하기 위하여 그러한 실시예들의 간략화된 요약을 제시한다. 이러한 요약은 모든 고려된 실시예들의 광범위한 개요가 아니며, 모든 실시예들의 핵심적인 또는 중요한 엘리먼트들을 식별하지도 임의의 또는 모든 실시예들의 범위를 서술하지도 않는 것으로 의도된다. 이러한 요약의 유일한 목적은, 추후에 제시되는 더욱 상세한 설명에 대한 서론으로서 간략화된 형태로 하나 또는 그 초과의 실시예들의 일부 개념들을 제시하는 것이다.
- [0008] [0008] 본 개시내용의 양상은 DC 픽셀 전압을 생성하기 위한 장치에 관한 것이다. 장치는, 전압 신호를 생성하기 위해 입력 신호를 증폭시키도록 구성된 증폭기 – 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨 –; 증폭기의 출력으로부터 노드로의 잡음의 전파를 감소시키면서, 증폭기의 출력으로부터 노드로 전압 신호를 전달하도록 구성된 잡음 감소 회로; 및 감소된 잡음의 전압 신호에 기반하여, DC 픽셀 전압을 생성하도록 구성된 회로를 포함한다.
- [0009] [0009] 본 개시내용의 다른 양상은 DC 픽셀 전압을 생성하는 방법에 관한 것이다. 방법은, 전압 신호를 생성하기 위해 입력 신호를 증폭시키는 단계 – 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨 –; 전압 신호로부터 잡음을 감소시키는 단계; 및 감소된 잡음의 전압 신호에 기반하여, DC 픽셀 전압을 생성하는 단계를 포함한다.
- [0010] [0010] 본 개시내용의 다른 양상은 DC 픽셀 전압을 생성하기 위한 장치에 관한 것이다. 장치는, 전압 신호를 생성하기 위해 입력 신호를 증폭시키기 위한 수단 – 입력 신호는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성됨 –; 전압 신호로부터 잡음을 감소시키기 위한 수단; 및 감소된 잡음의 전압 신호에 기반하여, DC 픽셀 전압을 생성하기 위한 수단을 포함한다.
- [0011] [0011] 전술한 그리고 관련된 목적들의 달성을 위해, 하나 또는 그 초과의 실시예들은, 이하에서 완전히 설명되고 특히 청구항들에서 언급된 특징들을 포함한다. 다음의 설명 및 첨부된 도면들은, 하나 또는 그 초과의 실시

예들의 소정의 예시적인 양상들을 상세히 기재한다. 그러나, 이들 양상들은, 다양한 실시예들의 원리들이 이용될 수 있는 다양한 방식들 중 단지 몇몇만을 표시하며, 설명의 실시예들은 모든 그러한 양상들 및 그들의 등가 물들을 포함하는 것으로 의도된다.

### 도면의 간단한 설명

[0012]

[0012] 도 1은 본 개시내용의 양상에 따른, 예시적인 초음파 이미징 장치의 측단면도를 예시한다.

[0013] 도 2는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 CMOS 수신기의 평면도를 예시한다.

[0014] 도 3은 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 CMOS 수신기의 개략적인 다이어그램을 예시한다.

[0015] 도 4a는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 픽셀 센서의 개략적인 다이어그램을 예시한다.

[0016] 도 4b는 본 개시내용의 다른 양상에 따른, 도 4a, 도 5 및 도 6의 픽셀 센서의 예시적인 동작과 연관된 타이밍 다이어그램을 예시한다.

[0017] 도 5는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서의 개략적인 다이어그램을 예시한다.

[0018] 도 6은 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서의 개략적인 다이어그램을 예시한다.

[0019] 도 7은 본 개시내용의 다른 양상에 따른, 예시적인 초음파 이미징 장치에 대한 다른 예시적인 CMOS 수신기의 개략적인 다이어그램을 예시한다.

[0020] 도 8a는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서의 개략적인 다이어그램을 예시한다.

[0021] 도 8b는 본 개시내용의 다른 양상에 따른, 도 8a의 픽셀 센서의 예시적인 동작과 연관된 타이밍 다이어그램을 예시한다.

[0022] 도 9는 본 개시내용의 다른 양상에 따른, 픽셀 센서가 DC 픽셀 전압을 생성하는 예시적인 방법의 흐름 다이어그램을 예시한다.

### 발명을 실시하기 위한 구체적인 내용

[0013]

[0023] 첨부된 도면들과 관련하여 아래에서 기재된 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하는 것으로 의도되지 않는다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하는 목적을 위해 특정 세부사항들을 포함한다. 그러나, 이들 개념들이 이를 특정 세부사항들 없이 실시될 수 있다는 것이 당업자들에게 자명할 것이다. 일부 사례들에서, 잘 알려진 구조들 및 컴포넌트들은 그러한 개념들을 불명료하게 하는 것을 방지하기 위하여 블록 다이어그램 형태로 도시된다.

[0014]

[0024] 도 1은 본 개시내용의 양상에 따른, 예시적인 초음파 이미징 장치(100)의 측단면도를 예시한다. 초음파 이미징 장치(100)는, 초음파(예컨대, 10 MHz 초음파)를 생성하도록 구성된 초음파 송신기(110)를 포함한다. 초음파 송신기(110)는, 초음파가 본원에서 추가로 논의된 다양한 층들을 통해 위쪽으로 전파되도록, 이 초음파를 생성하도록 구성된다.

[0015]

[0025] 더욱 구체적으로, 초음파 송신기(110)는 송신 압전 층(112), 이 송신 압전 층(112)에 커플링된 한 쌍의 전극들(114 및 116), 그리고 여기 소스(118)를 포함할 수 있다. 압전 층(112)은 PVDF(polyvinylidene fluoride) 층 또는 다른 타입의 압전 층을 포함할 수 있다. 여기 소스(118)는, 송신 압전 층(112)에 대한 여기 전압을 생성하여서, 이 층이 원하는 주파수(예컨대, 10 MHz)로 초음파를 방출하게 하도록 구성된다.

[0016]

[0026] 초음파 이미징 장치(100)는, 초음파 송신기(110) 위에 포지셔닝된 픽셀 수신기(120)를 더 포함한다. 스페이서(미도시), 이를테면 유리 스페이서가 초음파 송신기(110)와 픽셀 수신기(120) 사이에 끼워질 수 있다. 본원에서 추가로 논의된 바와 같이, 픽셀 수신기(120)는 이미징될 아이템, 이를테면 사용자의 지문과 연관된 개개의 전압들을 수신 및 프로세싱하도록 구성된 픽셀 센서들의 2 차원 어레이를 포함한다. 픽셀 수신기(120)는,

이미징될 아이템과 연관된 입력 픽셀 전압들을 수신하기 위해 2 차원 어레이로 배열된 복수의 입력 금속화 패드들(122)을 포함한다.

[0017] [0027] 초음파 이미징 장치(100)는 픽셀 수신기(120) 상에 배치된, 그리고/또는 픽셀 수신기(120) 위에 포지셔닝된 수신 압전 층(130)을 더 포함한다. 수신 압전 층(130)은 이미징될 아이템(예컨대, 사용자의 지문)에서 반사된 초음파를, 픽셀 수신기(120)의 픽셀 센서들에 대한 입력 픽셀 전압들로 변환한다. 유사하게, 수신 압전 층(130)은 PVDF(polyvinylidene fluoride) 층 또는 다른 타입의 압전 층을 포함할 수 있다. 상이한 동작들에 대한 전위(예컨대, 접지 또는 기타)를 수신하기 위해 수신 압전 층(130)의 위에 전극(132)(예컨대, 금속화 층)이 제공될 수 있다.

[0018] [0028] 초음파 이미징 장치(100)는, 전극(132) 위에 배치된 플래턴(platen)(140)을 더 포함한다. 플래턴(140)은 플래턴의 밑에 있는, 초음파 이미징 장치(100)의 컴포넌트들에 대한 보호성 코팅으로서의 역할을 한다. 부가적으로, 도 1에서 예시된 바와 같이, 플래턴(140)은 표면을 제공하는 역할을 하며, 이 표면 상에, 이미징될 아이템, 이를테면 사용자의 손가락(150)이 배치될 수 있다.

[0019] [0029] 동작 중에, 초음파 송신기(110)는 픽셀 수신기(120), 수신 압전 층(130), 및 플래턴(140)을 거쳐 사용자의 손가락(150)을 향해 위쪽으로 전파되는 초음파(예컨대, 10 MHz 초음파)의 버스트를 생성하도록 동작된다. 사용자의 손가락(150)에 대한 입사 초음파는 반사된 초음파를 생성하며, 이 반사된 초음파는 수신 압전 층(130)을 통해 아래쪽으로 전파된다. 압전 층(130)은 반사된 파를, 수신기(120)의 픽셀 센서들의 개개의 입력들(122)에서의 전압들로 변환한다. 전압들 각각의 진폭은, 대응하는 반사된 초음파 부분이 지문의 용선에 부딪혔는지 또는 지문의 밸리에 부딪혔는지에 따라 좌우된다. 픽셀 센서들은, 원하는 이미징 애플리케이션에 따른 추가적인 디지털화 및 프로세싱을 위한 대응하는 DC(direct current) 픽셀 전압들을 생성하기 위해, 입력 픽셀 전압들을 프로세싱한다.

[0020] [0030] 도 2는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 CMOS 수신기(200)의 평면도를 예시한다. CMOS 수신기(200)는 앞서 논의된 초음파 이미징 장치(100)의 픽셀 수신기(120)의 예시적인 상세한 구현일 수 있다.

[0021] [0031] CMOS 수신기(200)는 픽셀 센서들의 어레이를 포함하는 CMOS IC(integrated circuit)(220)를 포함한다. CMOS IC(220)의 상부 부분은 2 차원 어레이로 배열된 복수의 입력 금속화 패드들(222)을 포함한다. 도 2에서 도시되지 않지만, CMOS 수신기(200)는 입력 금속화 패드들(222)의 어레이 위에 배치된 유전체 패시베이션 층을 포함할 수 있다. 수신 압전 층(130)은, 예컨대 접착제 재료를 사용하여, CMOS IC(220)의 상부 표면에 부착될 수 있다. 금속화 패드들(222)은 CMOS 수신기(200)의 픽셀 센서들에 대한 개개의 입력들로서의 역할을 하며, 여기서 대응하는 반사된 초음파에 관련된 입력 픽셀 전압들이 발생된다.

[0022] [0032] 도 3은 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 CMOS 수신기(300)의 개략적인 다이어그램을 예시한다. CMOS 수신기(300)는 앞서 논의된 수신기(120) 및 CMOS 수신기(200) 중 어느 하나 또는 둘 모두의 예시적인 상세한 구현일 수 있다.

[0023] 특히, CMOS 수신기(300)는 픽셀 센서들(310-11 내지 310-MN)의 2 차원 어레이를 포함한다. 이 예에서, 픽셀 센서 어레이의 사이즈는  $M \times N$ 이다. 즉, 픽셀 센서 어레이는 픽셀 센서들의  $M$  개의 행(row)들 및 픽셀 센서들의  $N$  개의 열(column)들을 갖는다. 픽셀 센서들(310-11 내지 310-1N)은 어레이의 제1 행에 있고; 픽셀 센서들(310-21 내지 310-2N)은 어레이의 제2 행에 있고; 픽셀 센서들(310-31 내지 310-3N)은 어레이의 제3 행에 있으며; 그리고 픽셀 센서들(310-M1 내지 310-MN)은 어레이의 제M 행에 있다. 유사하게, 픽셀 센서들(310-11 내지 310-M1)은 어레이의 제1 열에 있고; 픽셀 센서들(310-12 내지 310-M2)은 어레이의 제2 열에 있고; 픽셀 센서들(310-13 내지 310-M3)은 어레이의 제3 열에 있으며; 그리고 픽셀 센서들(310-1N 내지 310-MN)은 어레이의 제N 열에 있다. 도시된 바와 같이, 픽셀 센서들(310-11 내지 310-MN) 전부는, 압전(PZ; piezoelectric) 층으로부터 개개의 입력 픽셀 전압들을 수신하기 위해 이 압전(PZ) 층에 커플링된다.

[0024] [0034] CMOS 수신기(300)는 행 선택기(320), 열 판독 멀티플렉서(330), 아날로그-디지털 변환기(ADC; analog-to-digital converter)(340), 이미지 프로세서(350), 및 제어기(360)를 더 포함한다. 행 선택기(320)는, 제어기(360)의 제어 하에서, 대응하는 출력 DC 픽셀 전압들을 생성하는 목적들을 위해 픽셀 센서들의 행을 활성화한다. 이 점과 관련하여, 행 선택기(320)는 각각 행들(310-11/310-1N 내지 310-M1/310-MN)에 대한 4 개의 신호들(CSA1/CSB1/DB1/SS1 내지 CSAM/CSBM/DBM/SSM)을 생성한다.

[0025] [0035] 본원에서 더욱 상세히 논의된 바와 같이, CSA1 신호 내지 CSAM 신호는, 대응하는 픽셀 센서들의 전하의

피드백 커패시터들을 클리어(clear)한다. CSB1 신호 내지 CSBM 신호는, 대응하는 픽셀 센서들에 의해 생성되는 증폭된 전압 신호들에 대한 공통 모드 전압들을 세팅한다. DB1 신호 내지 DBM 신호는, 대응하는 픽셀 센서들의 증폭된 전압 신호들의 피크에 관련된 DC 픽셀 전압들을 생성하기 위해 피크 검출기들을 인에이블(enable)하는데 사용된다. SS1 신호 내지 SSM 신호는, 대응하는 픽셀 센서들에 의해 생성된 DC 픽셀 전압들이 대응하는 열 판독 라인들(CR1 내지 CRN)에 인가되게 한다.

[0026] [0036] 제어기(360)의 제어 하에서, 열 판독 멀티플렉서(330)는 활성화된 행의 픽셀 센서들로부터 출력 DC 픽셀 전압들을 판독한다. 멀티플렉서(330)는 DC 픽셀 전압들을 ADC(340)에 직렬 방식으로 출력할 수 있다. 멀티플렉서(330)가 DC 픽셀 전압들 중 적어도 부분을 복수의 ADC들에 각각 별도로 출력하도록 구성될 수 있다는 것이 이해될 것이다. ADC(340)는 DC 픽셀 전압들을 디지털화하여 그들을 이미지 프로세서(350)에 제공한다. 이미지 프로세서(350)는, 수신되는 디지털화된 픽셀 전압들에 기반하여, 임의의 수의 동작들을 수행할 수 있다. 예컨대, 이미지 프로세서(350)는, 앞서 저장된 인증된 지문 이미지에 기반하여, 지문 인식을 수행할 수 있다.

[0027] [0037] 도 4a는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 픽셀 센서(400)의 개략적인 다이어그램을 예시한다. 픽셀 센서(400)는 앞서 논의된 픽셀 센서들(310-11 내지 310-MN) 중 임의의 픽셀 센서의 예시적인 상세한 구현일 수 있다. 예시된 바와 같이, 픽셀 센서(400)는 수신 압전 층(440)에 커플링된 입력 금속화 패드(410)를 포함한다. 앞서 논의된 바와 같이, 수신 압전 층(440) 위에 전극(442)이 배치되고, 전극(442) 위에 플래턴(446)이 배치된다. 이미징될 아이템, 이를테면 지문이 플래턴(446) 위에 배치될 수 있다. 전극(442)은, 접지 전위 또는 다른 전위일 수 있는 Rbias 전압을 수신하도록 구성될 수 있다.

[0028] [0038] 픽셀 센서(400)는 포지티브 입력, 네거티브 입력, 및 출력을 포함하는 트랜스임피던스 증폭기(TIA; transimpedance amplifier)(405)를 포함한다. TIA(405)는 출력과 네거티브 입력 사이에 커플링된 피드백 커패시터(Cfb)를 더 포함한다. TIA(405)의 포지티브 입력은 기준 DC 전압(Vg)을 수신하도록 구성된다. TIA(405)의 네거티브 입력은 픽셀 센서(400)의 입력 금속화 패드에 커플링된다. 픽셀 센서(400)가 CMOS(complementary metal oxide semiconductor) 기술을 사용하여 구현될 수 있기 때문에, TIA(405)는 접지된 기판 위에 형성되는 FET(field effect transistor)로 구현될 수 있다. 그로 인해서, 입력 금속화 층(410)과 접지된 기판 사이에 기생 커패시턴스(Cp)가 존재할 수 있다.

[0029] [0039] 그러한 구성에서, TIA(405)는, 초음파 버스트가 플래턴(446) 위에 배치된 이미징될 아이템에서 반사되는 것에 대한 응답으로 압전 층(440)에 의해 생성된 전압(v<sub>p</sub>)에 기반하여 입력 전류 신호(i<sub>i</sub>)를 증폭시키도록 구성된다. TIA(405)가 매우 높은 개방-루프 이득(A<sub>o</sub>)(예컨대, 캐스코드 구성)을 갖는다고 가정하면, 네거티브 입력에서의 전압(Vig)은 TIA의 포지티브 입력에서의 기준 DC 전압(Vg)과 실질적으로 동일할 수 있다. 그로 인해서, TIA(405)는 다음의 관계에 의해 실질적으로 주어질 수 있는 폐쇄-루프 이득(A<sub>cl</sub>)으로 입력 전압(v<sub>p</sub>)을 증폭시키도록 구성된다:

$$A_{cl} = \frac{C_{in}}{C_{fb}}$$

[0030] 여기서, C<sub>fb</sub>는 피드백 커패시터(Cfb)의 커패시턴스이고, C<sub>in</sub>은 압전 층(440)의 감지 커패시턴스이다.

[0031] [0040] 부가적으로, 픽셀 센서(400)는 TIA(405)의 출력과 네거티브 입력 사이에 커플링된 제어가능 스위치(CSA)를 포함한다. 제어가능 스위치(CSA)는, 앞서 논의된 바와 같이, 행 선택기(320)에 의해 생성되는 제어 신호들(CSA1 내지 CSAM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다. 대응하는 제어 신호는, 이전 동작 사이클로부터 남아 있을 수 있는 임의의 전하의 피드백 커패시터(Cfb)를 클리어하기 위해 특정 시간들에 스위치(CSA)를 폐쇄 및 개방한다. TIA(405)는, 다음의 관계에 의해 실질적으로 주어질 수 있는 전압 신호(v<sub>s</sub>)를 생성하도록 구성된다:

$$v_s = v_p * A_{cl} = v_p * \frac{C_{in}}{C_{fb}} = \frac{i_i}{C_{fb}}$$

[0032] [0034] TIA(405)가 입력 전류 신호(i<sub>i</sub>)를 증폭시키도록 구성되기 때문에, TIA(405)에 의해 생성되는 전압 신호(v<sub>s</sub>)는 기생 커패시턴스(Cp)에 실질적으로 독립적이라는 것이 주목되어야 한다. 또는, 다르게 말하면, 픽셀 센서(400)의 감도는 기생 커패시턴스(Cp)에 따라 실질적으로 덜 좌우된다.

[0035]

[0041] 부가적으로, 픽셀 센서(400)의 감도에 대한 기생 커패시턴스(Cp)의 효과들을 추가로 최소화시키기 위해, TIA(405)는 하나 또는 그 초과의 소형 디바이스들 또는 FET들을 사용하여 구현될 수 있다. 그러나, 소형 디바이스들은 더 많은 저주파수 잡음을 생성한다. 그에 따라서, 픽셀 센서(400)는, TIA(405)에 의해 생성된 전압 신호( $v_s$ )의 1차 잡음 쉐이핑(first order noise shaping) 또는 감소를 수행하기 위한 회로소자를 더 포함한다. 이 점과 관련하여, 픽셀 센서(400)는 커패시터(Cs), 다이오드(D1), 및 제어가능 스위치(CSB)를 더 포함한다. 커패시터(Cs)는 TIA(405)의 출력과 중간 노드(n1) 사이에 커플링된다. 다이오드(D1)는 중간 노드(n1)에 커플링된 애노드, 그리고 다이오드 바이어스(DB; diode bias) 전압의 소스(예컨대, 신호들(DB1 내지 DBM) 중 대응하는 신호를 생성하는 행 선택기(320))에 커플링된 캐소드를 포함한다. 제어가능 스위치(CSB)는 중간 노드(n1)와 DB 전압 소스 사이에 커플링된다. 제어가능 스위치(CSB)는, 앞서 논의된 바와 같이, 행 선택기(320)에 의해 생성되는 제어 신호들(CSB1 내지 CSBM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다.

[0036]

[0042] 픽셀 센서(400)는 "PMOS"(p-channel MOSFET)(M2), 전류 소스(407), 및 "NMOS"(n-channel MOSFET)(M3)를 포함하는 출력 회로를 더 포함한다. PMOS(M2)는 NMOS(M3)의 드레인에 커플링된 소스, 중간 노드(n1)에 커플링된 게이트, 및 접지에 커플링된 드레인을 포함하는 소스-팔로워(source-follower) 증폭기(예컨대, 대략 단위 이득을 가짐)로서 구성된다. 전류 소스(407)는 전압 레일(Vdd)과 PMOS(M2)의 소스 사이에 커플링된다. NMOS(M3)는 이어서, 신호(SS)를 수신하도록 구성된 게이트, 및 대응하는 열 판독 라인에 커플링된 소스를 포함한다. 신호(SS)는 행 선택기(320)에 의해 생성되는 신호들(SS1 내지 SSM) 중 대응하는 신호일 수 있다. 출력 DC 픽셀 전압(Vout)은 NMOS(M3)의 소스에서 생성된다.

[0037]

[0043] 도 4b는 본 개시내용의 다른 양상에 따른, 픽셀 센서(400)의 예시적인 동작과 연관된 타이밍 다이어그램을 예시한다. 타이밍 다이어그램의 수평 또는 x-축은 시간을 표현하고, 수직 축은 CSA, CSB, 초음파 버스트, DB, 및 SS의 상태들 또는 진폭들을 표현한다.

[0038]

[0044] 타이밍 다이어그램에 따라, 시간(t1)에서, 스위치들(CSA 및 CSB)을 폐쇄하기 위해, CSA 및 CSB가 어서트 상태(asserted state)들이 된다. 스위치(CSA)의 폐쇄는, 예컨대 픽셀 센서(400)의 이전 동작 사이클로부터 피드백 커패시터(Cfb) 상에 존재할 수 있는 임의의 전하를 클리어한다. 스위치(CSB)의 폐쇄는, 중간 노드(n1)에서 생성되는 후속 전압 신호에 대한 공통 모드 전압을 세팅하기 위해 중간 노드(n1)에 DB 전압을 인가하도록 구성된다. 피드백 커패시터(Cfb)로부터 전하를 클리어하기에 충분한 정의된 시간 간격 후에, 시간(t2)에서, 스위치(CSA)가 개방된다. 스위치(CSA)가 개방될 때, 스위치 및 저주파수 잡음( $v_n$ )이 TIA(405)의 출력에서 생성된다. 커패시터(Cs)는, 그것의 고역 통과 주파수 특성 때문에, 잡음( $v_n$ )이 결국 중간 노드(n1)에 이르는 것을 방지하며, 중간 노드(n1)는 DB 전압에 연결된다. 이는, TIA(405)의 출력에서 발생하는 1차 잡음 쉐이핑 또는 감소의 일부이다. 1차 잡음 쉐이핑을 발효시키기 위한 정의된 시간 간격 후에, 시간(t3)에서, 스위치(CSB)가 개방된다.

[0039]

[0045] 시간(t4)에서, 초음파 송신기는 수신 압전 층(440), 전극(442), 및 플래턴(446)을 통과하는 초음파 버스트를 생성하도록 인에이블된다. 앞서 논의된 바와 같이, 초음파 버스트가 사용자의 손가락에서, 그리고 다시 압전 층(440)으로 반사되어, 입력 전압 신호( $v_p$ )(예컨대, 10 MHz 입력 전압 신호)가 생성된다. 입력 전압 신호의 진폭은, 대응하는 반사된 초음파가 사용자의 지문의 융선에 부딪혔는지 또는 사용자의 지문의 밸리에 부딪혔는지의 함수, 즉, 이미징될 아이템의 함수이다.

[0040]

[0046] 입력 픽셀 전압( $v_p$ )에 대한 응답으로, 입력 전류 신호( $i_i$ )가 생성되며, 이 입력 전류 신호( $i_i$ )가 TIA(405)에 의해 증폭되어, 증폭된 전압 신호( $v_s$ )가 생성된다. 그에 따라서, 전압 신호( $v_s$ )의 진폭은 반사된 초음파에 기반하며, 이 반사된 초음파는 결국, 이미징될 아이템(예컨대, 사용자의 지문)에 기반한다. 전압 신호( $v_s$ )가 초음파와 실질적으로 동일한 주파수(예컨대, 10 MHz)로 교변하기 때문에, 커패시터(Cs)는, TIA(405)의 출력에서 저주파수 잡음( $v_n$ )의 적어도 부분을 유지하면서, 전압 신호( $v_s$ )가 중간 노드(n1)로 전달될 수 있게 한다. 다시, 이는, TIA(405)의 출력에서 발생하는 1차 잡음 쉐이핑 또는 감소의 일부이다.

[0041]

[0047] 시간(t5)에서, 다이오드(D1)에 의해 수행되는 전압 신호( $v_s$ )의 피크 검출을 인에이블하기 위해, DB 전압이 낮아진다(어서트 상태). 전압 신호( $v_s$ )의 피크들이 다이오드(D1)를 포워드 바이어싱시키기 때문에, 다이오드(D1)를 통해 전류가 생성되어, 다이오드에 걸쳐 기생 커패시터가 충전된다. 따라서, 전압 신호( $v_s$ )의 하나 또는 그 초과의 피크들에 기반하여, 중간 노드(n1)에서 DC 픽셀 전압이 발생된다. 따라서, 논의된 바와 같이,

전압 신호( $v_s$ )가 이미징될 아이템에 기반하기 때문에, DC 픽셀 전압이 또한, 이미징될 아이템에 기반한다. DC 픽셀 전압을 발생시키기에 충분한 시간 간격 후에, 시간(t6)에서, DB 전압은 그것의 본래 레벨까지 올라가며(디-어서트 상태(de-asserted state)), 시간(t7)에서, 초음파 송신기는 초음파 버스트를 생성하는 것을 중단시키도록 디스에이블(disable)된다.

[0042] [0048] 중간 노드(n1)에서 DC 픽셀 전압이 발생된 후에, 시간(t8)에서, NMOS(M3)를 턴 온(turn on)시키고, 소스-팔로워 PMOS(M2)를 거쳐 대응하는 열 판독 라인에서 출력 DC 픽셀 전압( $V_{out}$ )을 생성하기 위하여, SS가 어서트 상태까지 올라간다. 열 판독 멀티플렉서(330)가 출력 DC 픽셀 전압( $V_{out}$ )을 판독하기에 충분한 시간 간격 후에, 픽셀 센서(400)의 동작 사이클을 완료시키기 위해, SS는 그것의 디-어서트 상태까지 내려간다.

[0043] [0049] 도 5는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서(500)의 개략적인 다이어그램을 예시한다. 픽셀 센서는 픽셀 센서(400)의 예시적인 더욱 상세한 구현일 수 있다. 픽셀 센서(500) 내의 유사한 엘리먼트들은, 최상위 숫자(most significant digit)가 "4" 대신에 "5"인 것을 제외하고서, 동일한 참조 번호들 및 동일한 식별자들을 포함한다.

[0044] [0050] 요약하면, 픽셀 센서(500)는, (초음파가 이미징될 아이템에서 반사되는 것에 대한 응답으로 압전 층(540)에 의해 생성되는 전압( $v_p$ )에 기반하여) 입력 전류 신호( $i_i$ )를 증폭시켜, 증폭된 전압 신호( $v_s$ )를 생성하기 위한 트랜스임피던스 증폭기(TIA); 전압 신호( $v_s$ )로부터 저주파수 잡음을 감소시키기 위한 1차 잡음 쉐이핑 또는 감소 회로; 감소된 잡음의 전압 신호( $v_s$ )의 하나 또는 그 초과의 피크들에 기반하여 DC 픽셀 전압을 생성하기 위한 피크 검출기; 및 열 판독 라인에 출력 DC 픽셀 전압( $V_{out}$ )을 선택적으로 제공하기 위한 출력 회로를 포함한다.

[0045] [0051] 특히, 픽셀 센서(500)는 수신 압전 층(540)에 커플링된 입력 금속화 패드(510)를 포함한다. 픽셀 센서(400)와 유사하게, 수신 압전 층(540) 위에 전극(542)이 배치되고, 전극(542) 위에 플래턴(546)이 배치된다. 이미징될 아이템, 이를테면 지문이 플래턴(546) 위에 배치될 수 있다. 전극(542)은, 접지 전위 또는 다른 전위일 수 있는  $R_{bias}$  전압을 수신하도록 구성될 수 있다.

[0046] [0052] 픽셀 센서(500)는, 전압 신호( $v_s$ )를 생성하기 위해 입력 전류 신호( $i_i$ )의 트랜스임피던스 증폭을 수행하도록 구성된 NMOS(M1)를 포함한다. 입력 전류 신호( $i_i$ )는, 초음파가 이미징될 아이템에서 반사되어 압전 층(540)을 통해 전파되는 것에 대한 응답으로 생성된다. NMOS(M1)는 입력 금속화 패드(510)에 커플링된 게이트, 접지에 커플링된 소스, 전압 신호( $v_s$ )를 생성하기 위한 출력으로서의 역할을 하기 위한 드레인을 포함한다. NMOS(M1)가 CMOS IC 기판 상에 구현될 수 있기 때문에, 입력 금속화 층(510)과 접지된 기판 사이에 기생 커패시턴스( $C_{p1}$ )가 존재할 수 있다.

[0047] [0053] 픽셀 센서(500)는, NMOS(M1)의 드레인과 게이트 사이에 커플링된 피드백 커패시터( $C_{fb}$ )를 더 포함한다. 부가적으로, 제어가능 스위치(CSA)가 또한, NMOS(M1)의 드레인과 게이트 사이에 커플링된다. 전압 레일( $V_{dd}$ )과 접지 사이에서 스위치( $en_{amp}$ ) 및 전류 소스(508)가 NMOS(M1)와 직렬로 커플링된다. 스위치( $en_{amp}$ )는, NMOS(M1)에 의해 구현되는 입력 전류 신호( $i_i$ )의 트랜스임피던스 증폭을 인에이블하기 위해 폐쇄되고, 트랜스임피던스 증폭을 디스에이블하기 위해 개방된다. 제어가능 스위치(CSA)가 폐쇄된 동안, 바이어스 전압( $V_{ig}$ )이 NMOS(M1)의 게이트에서 발생된다. 그러한 구성에서, NMOS(M1)는 다음의 관계에 의해 실질적으로 주어질 수 있는 폐쇄-루프 이득( $A_{cl}$ )을 제공한다:

$$A_{cl} = \frac{C_{in}}{C_{fb}}$$

[0048] 여기서,  $C_{fb}$ 는 피드백 커패시터( $C_{fb}$ )의 커패시턴스이고,  $C_{in}$ 은 압전 층(540)의 감지 커패시턴스이다.

[0049] [0054] 제어가능 스위치(CSA)는, 앞서 논의된 바와 같이, 행 선택기(320)에 의해 생성되는 제어 신호들(CSA1 내지 CSAM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다. 대응하는 제어 신호는, 이전 동작 사이클로부터 남아 있을 수 있는 임의의 전하의 피드백 커패시터( $C_{fb}$ )를 클리어하기 위해, 그리고 NMOS(M1)의 게이트에서 바이어스 전압( $V_{ig}$ )을 발생시키기 위해, 특정 시간들에 스위치(CSA)를 폐쇄 및 개방한다. NMOS(M1)는, 다음의 관계에 의해 실질적으로 주어질 수 있는 전압 신호( $v_s$ )를 생성하도록 구성된다:

$$v_s = v_p * A_{cl} = v_p * \frac{C_{in}}{C_{fb}} = \frac{i_i}{C_{fb}}$$

[0051]

NMOS(M1)에 의해 제공되는 개방-루프 이득( $A_o$ )이 높으면(캐스코드 동작을 위한 하나 또는 그 초과의 부가적인 디바이스들로 높아질 수 있음), 전압 신호( $v_s$ )가 기생 커패시턴스( $C_p$ )에 실질적으로 독립적일 수 있다는 것이 주목되어야 한다. 또는, 다르게 말하면, 픽셀 센서(500)의 감도는 기생 커패시턴스( $C_p$ )에 의해 크게 영향받지 않을 수 있다.

[0052]

[0055] 부가적으로, 픽셀 센서(500)의 감도에 대한 기생 커패시턴스( $C_p$ )의 효과들을 추가로 최소화시키기 위해, NMOS(M1)(그리고 동반된 하나 또는 그 초과의 캐스코드 디바이스들)는 비교적 소형으로 만들어질 수 있다. 그러나, 앞서 논의된 바와 같이, 소형 디바이스들은 더 많은 저주파수 잡음을 생성한다. 그에 따라서, 픽셀 센서(500)는, NMOS(M1)의 드레인에서 생성된 전압 신호( $v_s$ )의 1차 잡음 쉐이핑 또는 감소를 수행하기 위한 회로소자를 더 포함한다. 이 점과 관련하여, 픽셀 센서(500)는 커패시터( $C_s$ ), 다이오드(D1), 및 제어가능 스위치(CSB)를 더 포함한다. 커패시터( $C_s$ )는 NMOS(M1)의 드레인과 중간 노드(n1) 사이에 커플링된다. 다이오드(D1)는 중간 노드(n1)에 커플링된 애노드, 그리고 다이오드 바이어스(DB) 전압의 소스(예컨대, 신호들(DB1 내지 DBM) 중 대응하는 신호를 생성하는 행 선택기(320))에 커플링된 캐소드를 포함한다. 제어가능 스위치(CSB)는 중간 노드(n1)와 DB 전압 소스 사이에 커플링된다. 제어가능 스위치(CSB)는, 앞서 논의된 바와 같이, 행 선택기(320)에 의해 생성되는 제어 신호들(CSB1 내지 CSBM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다.

[0053]

[0056] 픽셀 센서(500)는 "PMOS"(p-channel MOSFET)(M2), 전류 소스(507), 및 "NMOS"(n-channel MOSFET)(M3)를 포함하는 출력 회로를 더 포함한다. PMOS(M2)는 NMOS(M3)의 드레인에 커플링된 소스, 중간 노드(n1)에 커플링된 게이트, 및 접지에 커플링된 드레인을 포함하는 소스-팔로워 증폭기(예컨대, 대략 단위 이득을 가짐)로서 구성된다. 전류 소스(507)는 전압 레일(Vdd)과 PMOS(M2)의 소스 사이에 커플링된다. NMOS(M3)는 이어서, 신호(SS)를 수신하도록 구성된 게이트, 및 대응하는 열 판독 라인에 커플링된 소스를 포함한다. 신호(SS)는 행 선택기(320)에 의해 생성되는 신호들(SS1 내지 SSM) 중 대응하는 신호일 수 있다. 픽셀 센서(500)에 의해 생성되는 출력 DC 픽셀 전압은 NMOS(M3)의 소스에서 생성된다.

[0054]

[0057] 도 4a의 타이밍 다이어그램은 픽셀 센서(500)의 동작에 적용가능하다. 타이밍 다이어그램에 의해 반영되지 않지만, en\_amp 스위치는, NMOS(M1)에 의해 구현되는 트랜스임피던스 증폭을 인에이블하기 위하여 동작 사이클의 시작 및 끝에서 폐쇄 및 개방된다.

[0055]

[0058] 특히, 시간(t1)에서, 스위치들(CSA 및 CSB)은 폐쇄된다. 스위치(CSA)는, 예컨대 픽셀 센서(500)의 이전 동작 사이클로부터 존재할 수 있는 임의의 전하의 피드백 커패시터(Cfb)를 클리어하기 위해 폐쇄된다. 스위치(CSA)의 폐쇄는 또한, NMOS(M1)에 대한 게이트 바이어스 전압(Vig)을 생성한다. 스위치(CSB)는, 중간 노드(n1)에서 공통 모드 전압(DB)을 발생시키기 위해 폐쇄된다. 시간들(t2)에서, 스위치(CSA)가 개방되며, 이는 스위치 및 저주파수 잡음( $v_n$ )이 NMOS(M1)의 드레인에서 생성되게 한다. 그러나, 폐쇄된 CSB 스위치를 통해 DB 전압에 연결된 커패시터( $C_s$ )에 의해 수행되는 1차 잡음 쉐이핑 또는 감소에 기인하여, 잡음( $v_n$ )은 중간 노드(n1)로 전파되지 않는다. 시간(t3)에서, 스위치(CSB)는 개방된다.

[0056]

[0059] 시간(t4)에서, 초음파 송신기는 초음파 버스트들을 생성하도록 인에이블된다. 앞서 논의된 바와 같이, 초음파 버스트는 입력 전류 신호( $i_i$ )를 생성한다. NMOS(M1)는, NMOS(M1)의 드레인에서 전압 신호( $v_s$ )를 생성하기 위해, 입력 전류 신호( $i_i$ )에 트랜스임피던스 증폭을 적용한다. 전압 신호( $v_s$ )가 초음파와 실질적으로 동일한 주파수(예컨대, 10 MHz)로 순환하기 때문에, 커패시터( $C_s$ )의 고역 통과 필터 특성은, 중간 노드(n1)로 전파되는 것으로 인한 잡음( $v_n$ )의 적어도 부분을 유지하면서, 전압 신호( $v_s$ )가 중간 노드(n1)로 전달될 수 있게 한다. 시간(t5)에서, 다이오드(D1)에 의해 수행되는 전압 신호( $v_s$ )의 피크 검출을 인에이블하기 위해, DB 전압이 낮아진다. 피크 검출은 중간 노드(n1)에서 DC 픽셀 전압을 생성한다.

[0057]

[0060] 중간 노드(n1)에서 DC 픽셀 전압을 발생시키기 위한 충분한 시간 간격 후에, 시간(t6)에서, 다이오드(D1)에 의해 수행되는 피크 검출을 디스에이블하기 위해, DB 전압은 그것의 본래 전압 레벨까지 올라간다. 이후, 시간(t8)에서, NMOS(M3)를 턴 온시켜, 소스-팔로워 PMOS(M2)를 거쳐 대응하는 열 판독 라인에 출력 DC 픽셀 전압( $V_{out}$ )을 인가하기 위해, SS 신호는 어서트 상태까지 올라간다. 열 판독 멀티플렉서(330)가 출력 DC 픽셀

전압( $V_{out}$ )을 판독하기에 충분한 시간 간격 후에, NMOS(M3)를 턴 오프(turn off)시키고, 픽셀 센서(500)의 동작 사이클을 완료시키기 위해, SS 신호는 그것의 디-어서트 상태까지 내려간다.

[0059] [0061] 도 6은 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서(600)의 개략적인 다이어그램을 예시한다. 픽셀 센서(600)는 픽셀 센서(500)와 유사한 엘리먼트들을 포함하며, 이러한 유사한 엘리먼트들은, 최상위 숫자가 "5" 대신에 "6"인 것을 제외하고서, 동일한 참조 번호들 및 동일한 컴포넌트 식별자들에 의해 식별될 수 있다.

[0060] [0062] 요약하면, 픽셀 센서(600)는, (초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성된) 입력 전압 신호( $v_i$ )를 증폭시켜, 증폭된 전압 신호( $v_s$ )를 생성하도록 구성된 소스-팔로워 증폭기; 전압 신호( $v_s$ )로부터의 저주파수 잡음에 대한 1차 잡음 쉐이핑 또는 감소; 증폭된 전압 신호( $v_s$ )의 하나 또는 그 초과의 피크들에 기반하여 DC 픽셀 전압을 생성하기 위한 피크 검출기; 및 열 판독 라인에 DC 픽셀 전압을 선택적으로 출력하기 위한 출력 회로를 포함한다.

[0061] [0063] 특히, 픽셀 센서(600)는 수신 압전 층(640)에 커플링된 입력 금속화 패드(610)를 포함한다. 앞선 실시 예들에서와 같이, 수신 압전 층(640) 위에 전극(642)이 배치되고, 전극(642) 위에 플래턴(646)이 배치된다. 이미징될 아이템, 이를테면 지문이 플래턴(646) 위에 배치될 수 있다. 전극(642)은, 접지 전위 또는 다른 전위일 수 있는 Rbias 전압을 수신하도록 구성될 수 있다.

[0062] [0064] 픽셀 센서(600)는, 실질적으로 단위 전압 이득으로 입력 금속화 패드(610)에서 발생된 입력 전압 신호( $v_i$ )를 증폭시키도록 소스-팔로워 증폭기로서 구성된 NMOS(M1)를 포함한다. 입력 전압 신호( $v_i$ )는, 초음파가 이미징될 아이템에서 반사되어 압전 층(640)을 통해 전파되는 것에 대한 응답으로 생성된다. NMOS(M1)는 입력 금속화 패드(610)에 커플링된 게이트, 바이어스 전압 레일( $V_{ap}$ )에 커플링된 드레인, 및 출력 전압 신호( $v_s$ )를 생성하기 위한 소스를 포함한다. NMOS(M1)가 CMOS IC 기판 상에 구현될 수 있기 때문에, 입력 금속화 층(610)과 접지된 기판 사이에 기생 커패시턴스( $C_p$ )가 존재할 수 있다.

[0063] [0065] 픽셀 센서(600)는, NMOS(M1)의 게이트와 DB 전압의 소스(예컨대, 행 선택기(320)) 사이에 커플링된 다른 NMOS(M4)를 더 포함한다. NMOS(M4)는 제어 신호(CSA)를 수신하도록 구성된 게이트를 포함하며, 이 제어 신호(CSA)는 행 선택기(320)에 의해 생성되는 제어 신호들(CSA1 내지 CSAM) 중 대응하는 제어 신호일 수 있다. 제어 신호(CSA)는, 예컨대 픽셀 센서(600)의 이전 동작 사이클로부터 남아 있는 임의의 전하의 NMOS(M1)의 게이트를 클리어하기 위해, 특정 시간들에 NMOS(M4)를 턴 온 및 턴 오프한다. 부가적으로, NMOS(M4)의 턴 온은 또한, NMOS(M1)의 게이트에 대한 바이어스 전압을 발생시키기 위해 수행된다.

[0066] [0066] 픽셀 센서(600)의 감도에 대한 기생 커패시턴스( $C_p$ )의 효과들을 감소시키기 위해, NMOS(M1)는 비교적 소형으로 만들어질 수 있다. 그러나, 앞서 논의된 바와 같이, 소형 디바이스들은 더 많은 저주파수 잡음을 생성한다. 그에 따라서, 픽셀 센서(600)는, 소스-팔로워 증폭기(NMOS(M1))의 출력에서 1차 잡음 쉐이핑 또는 감소를 수행하기 위한 회로소자를 더 포함한다. 이 점과 관련하여, 픽셀 센서(600)는 커패시터( $C_s$ ), 다이오드(D1), 및 NMOS(M5)를 더 포함한다. 커패시터( $C_s$ )는 NMOS(M1)의 소스와 중간 노드(n1) 사이에 커플링된다. 다이오드(D1)는 중간 노드(n1)에 커플링된 애노드, 그리고 DB 전압의 소스(예컨대, 행 선택기(320))에 커플링된 캐소드를 포함한다. NMOS(M5)는 중간 노드(n1)와 DB 전압 소스 사이에 커플링된다. 앞서 논의된 바와 같이, NMOS(M5)는 제어 신호(CSB)를 수신하도록 구성된 게이트를 포함하며, 이 제어 신호(CSB)는 행 선택기(320)에 의해 생성되는 제어 신호들(CSB1 내지 CSBM) 중 대응하는 제어 신호일 수 있다.

[0067] [0067] 픽셀 센서(600)는 "PMOS"(p-channel MOSFET)(M2), 전류 소스(607), 및 "NMOS"(n-channel MOSFET)(M3)를 포함하는 출력 회로를 더 포함한다. PMOS(M2)는 NMOS(M3)의 드레인에 커플링된 소스, 중간 노드(n1)에 커플링된 게이트, 및 접지에 커플링된 드레인을 포함하는 소스-팔로워 증폭기(예컨대, 대략 단위 이득을 가짐)로서 구성된다. NMOS(M3)는 이어서, 신호(SS)를 수신하도록 구성된 게이트, 및 대응하는 열 판독 라인에 커플링된 소스를 포함한다. 신호(SS)는 행 선택기(320)에 의해 생성되는 신호들(SS1 내지 SSM) 중 대응하는 신호일 수 있다. 픽셀 센서(600)에 의해 생성되는 출력 DC 픽셀 전압은 NMOS(M3)의 소스에서 생성된다.

[0068] [0068] 도 4a의 타이밍 다이어그램은 픽셀 센서(600)의 동작에 적용가능하다. 예컨대, 시간( $t_1$ )에서, NMOS(M4 및 M5)가 턴 온된다. NMOS(M4)는, 예컨대 픽셀 센서(600)의 이전 동작 사이클로부터 NMOS(M1)의 게이트 상에 존재할 수 있는 임의의 전하의 게이트를 클리어하기 위해 폐쇄된다. NMOS(M4)의 턴 온은 또한, NMOS(M1)에 대한 게이트 바이어스 전압을 생성한다. NMOS(M5)는, 중간 노드(n1)에서 공통 모드 전압(DB)을 발생시키기 위해

턴 온된다. 시간(t2)에서, NMOS(M4)가 턴 오프되며, 이는 스위치 및 저주파수 잡음( $v_n$ )이 소스-팔로워 증폭기(NMOS(M1))의 출력(소스)에서 생성되게 한다. 그러나, NMOS(M5)를 통해 DB 전압에 연결된 커패시터(Cs)에 의해 수행되는 1차 잡음 쉐이핑 또는 고역 통과 필터링에 기인하여, 잡음( $v_n$ )은 중간 노드(n1)로 전파되지 않는다. 시간(t3)에서, NMOS(M5)는 턴 오프된다.

[0067] 시간(t4)에서, 초음파 송신기는 초음파 버스트들을 생성하도록 인에이블된다. 앞서 논의된 바와 같이, 초음파 버스트는 입력 전압 신호( $v_i$ )를 생성한다. 소스-팔로워로서 구성되는 NMOS(M1)는 실질적으로 단위 이득으로 입력 전압 신호( $v_i$ )를 증폭시켜, 증폭된 전압 신호( $v_s$ )를 NMOS(M1)의 소스에서 생성한다. 전압 신호( $v_s$ )가 초음파와 실질적으로 동일한 주파수(예컨대, 10 MHz)로 순환하기 때문에, 커패시터(Cs)의 고역 통과 필터 특성은, 잡음( $v_n$ )이 중간 노드(n1)로 전달되는 것을 실질적으로 방지하면서, 전압 신호( $v_s$ )가 중간 노드(n1)로 전달될 수 있게 한다. 시간(t5)에서, 다이오드(D1)에 의해 수행되는 전압 신호( $v_s$ )의 피크 검출을 인에이블하기 위해, DB 전압이 낮아진다. 피크 검출은 DC 픽셀 전압을 생성한다.

[0068] DC 픽셀 전압을 발생시키기 위한 충분한 시간 간격 후에, 시간(t6)에서, 다이오드(D1)에 의해 수행되는 피크 검출을 디스에이블하기 위해, DB 전압은 그것의 본래 전압 레벨까지 올라간다. 이후, 시간(t8)에서, NMOS(M3)를 턴 온시켜, 대응하는 열 판독 라인에 출력 DC 픽셀 전압(Vout)을 인가하기 위해, SS 신호는 어서트 상태까지 올라간다. 열 판독 멀티플렉서(330)가 출력 DC 픽셀 전압(Vout)을 판독하기에 충분한 시간 간격 후에, NMOS(M3)를 턴 오프시키고, 픽셀 센서(600)의 동작 사이클을 완료시키기 위해, SS 신호는 그것의 디-어서트 상태까지 내려간다.

[0069] [0071] 도 7은 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 예시적인 CMOS 수신기(700)의 개략적인 다이어그램을 예시한다. CMOS 수신기(700)는 앞서 논의된 CMOS 수신기(300)의 것과 유사하며, 최상위 숫자가 "3" 대신에 "7"인 동일한 참조 번호들에 의해 표시된 많은 유사한 엘리먼트들을 포함한다. CMOS 수신기(700)는, 행 선택기(720)가 픽셀 센서들을 동작시키기 위한 부가적인 신호들을 생성한다는 점에서, CMOS(300)와 상이하다.

[0070] 더욱 구체적으로, CMOS 수신기(700)는 M 개의 행들 및 N 개의 열들의 2 차원 어레이로 배열된 픽셀 센서들(710-11 내지 710-MN)을 포함하며, 픽셀 센서들은 수신 압전 층(PZ; piezoelectric layer)에 커플링된다. CMOS 수신기(700)는, 각각 픽셀 센서들(710-11/710-1N 내지 710-M1/710-MN)에 대한 제어 신호들(CSA1/CSB1/CSC1/CSD1/DB1/SS1 내지 CSAM/CSBM/CSCM/CSDM/DBM/SSM)을 생성하도록 구성된 행 선택기(720)를 더 포함한다. 부가적으로, CMOS 수신기(700)는, 픽셀 센서들에 의해 생성되는 출력 DC 픽셀 전압들을 열 판독 라인들(CR1 내지 CRN)을 통해 판독하도록 구성된 열 판독 멀티플렉서(730)를 포함한다.

[0071] CMOS(700)는, 행 선택기(720) 및 열 판독 멀티플렉서(730)의 동작들을 제어하기 위한 제어기(760)를 더 포함한다. 추가로, CMOS 수신기(700)는 판독 DC 픽셀 전압들을 디지털 픽셀 신호들로 변환하기 위한 아날로그-디지털 변환기(ADC)(740), 그리고 하나 또는 그 초과의 정의된 애플리케이션들에 기반하여 디지털 픽셀 신호들을 프로세싱하기 위한 이미지 프로세서(750)를 포함한다.

[0072] 행 선택기(720)에 의해 생성되는 신호들(CSA1/CSB1/DB1/SS1 내지 CSAM/CSBM/DBM/SSM)은 CMOS 수신기(300)의 행 선택기(320)를 참조하여 논의되었다. 이들 신호들 외에도, 행 선택기(720)는 제어 신호들(CSC1/CSD1 내지 CSCM/CSDM)을 생성한다. 본원에서 추가로 더욱 상세히 논의된 바와 같이, CSC1 내지 CSCM 신호들은, 대응하는 픽셀 센서의 트랜스임피던스(TIA) 증폭기의 출력에 공통 모드 전압을 세팅하기 위한 것이다. 본원에서 추가로 더욱 상세히 논의된 바와 같이, CSD1 내지 CSDM은, 신호의 피크 검출을 위해 전압 신호( $v_s$ )의 피크 동안 중간 노드(n1)로부터 TIA 증폭기의 출력을 디커플링하기 위한 것이다.

[0073] [0075] 도 8a는 본 개시내용의 다른 양상에 따른, 초음파 이미징 장치에 대한 다른 예시적인 픽셀 센서(800)의 개략적인 다이어그램을 예시한다. 픽셀 센서(800)는 앞서 논의된 픽셀 센서들(710-11 내지 710-MN) 중 임의의 픽셀 센서의 예시적인 상세한 구현일 수 있다. 예시된 바와 같이, 픽셀 센서(800)는 수신 압전 층(840)에 커플링된 입력 금속화 패드(810)를 포함한다. 앞서 논의된 바와 같이, 수신 압전 층(840) 위에 전극(842)이 배치되고, 전극(842) 위에 플래턴(846)이 배치된다. 이미징될 아이템, 이를테면 지문이 플래턴(846) 위에 배치될 수 있다. 전극(842)은, 접지 전위 또는 다른 전위일 수 있는 Rbias 전압을 수신하도록 구성될 수 있다.

[0074] [0076] 픽셀 센서(800)는 포지티브 입력, 네거티브 입력, 및 출력을 포함하는 트랜스임피던스 증폭기(TIA)(805)를 포함한다. TIA(805)는 출력과 네거티브 입력 사이에 커플링된 피드백 커패시터(Cfb)를 더 포함한다.

TIA(805)의 포지티브 입력은 기준 DC 전압(Vg)을 수신하도록 구성된다. TIA(805)의 네거티브 입력은 입력 금속화 패드(810)에 커플링된다. 픽셀 센서(800)가 CMOS 기술을 사용하여 구현될 수 있기 때문에, TIA(805)는 접지된 기판 위에 형성되는 하나 또는 그 초과의 FET들로 구현될 수 있다. 그로 인해서, 입력 금속화 층(810)과 접지된 기판 사이에 기생 커패시턴스(Cp)가 존재할 수 있다.

[0075] 그러한 구성에서, TIA(805)는, 초음파 버스트가 플래턴(846) 위에 배치된 이미징될 아이템에서 반사되는 것에 대한 응답으로 압전 층(840)에 의해 생성된 전압( $v_p$ )에 기반하여 입력 전류 신호( $i_i$ )를 증폭시키도록 구성된다. TIA(805)가 매우 높은 개방-루프 이득( $A_o$ )(예컨대, 캐스코드 구성)을 갖는다고 가정하면, 네거티브 입력에서의 전압( $V_{ig}$ )은 TIA의 포지티브 입력에서의 기준 DC 전압( $V_g$ )과 실질적으로 동일할 수 있다. 그로 인해서, TIA(805)는 다음의 관계에 의해 실질적으로 주어질 수 있는 폐쇄-루프 이득( $A_{cl}$ )으로 입력 전압 신호( $v_p$ )를 증폭시키도록 구성된다:

$$A_{cl} = \frac{C_{in}}{C_{fb}}$$

[0076] 여기서,  $C_{fb}$ 는 피드백 커패시터( $C_{fb}$ )의 커패시턴스이고,  $C_{in}$ 은 압전 층(840)의 감지 커패시턴스이다.

[0078] 부가적으로, 픽셀 센서(800)는 TIA(805)의 출력과 네거티브 입력 사이에 커플링된 제어가능 스위치(CSA)를 포함한다. 제어가능 스위치(CSA)는, 앞서 논의된 바와 같이, 행 선택기(720)에 의해 생성되는 제어 신호들(CSA1 내지 CSAM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다. 대응하는 제어 신호는, 이전 동작 사이클로부터 남아 있을 수 있는 임의의 전하의 피드백 커패시턴스( $C_{fb}$ )를 클리어하기 위해 특정 시간들에 스위치(CSA)를 폐쇄 및 개방한다. TIA(805)는, 다음의 관계에 의해 실질적으로 주어질 수 있는 증폭된 전압 신호( $v_s$ )를 생성하도록 구성된다:

$$v_s = v_i * A_{cl} = v_i * \frac{C_{in}}{C_{fb}} = \frac{i_i}{C_{fb}}$$

[0080] TIA(805)가 입력 전류 신호( $i_i$ )를 증폭시키도록 구성되기 때문에, TIA(805)에 의해 생성되는 전압 신호( $v_s$ )는 기생 커패시턴스(Cp)에 실질적으로 독립적일 수 있다는 것이 주목되어야 한다. 또는, 다르게 말하면, 픽셀 센서(800)의 감도는 기생 커패시턴스(Cp)에 의해 크게 영향받지 않는다.

[0081] 픽셀 센서(800)는, TIA(805)의 네거티브 입력과 제어 신호(CSC)의 소스(예컨대, 행 선택기(720)) 사이에 커플링된 커패시터( $C_d$ )를 더 포함한다. 제어 신호(CSC)는 행 선택기(720)에 의해 생성되는 제어 신호들(CSC1 내지 CSCM) 중 대응하는 신호일 수 있다. 신호(CSC)는 TIA(805)의 출력에 공통 모드 전압(예컨대, VDD/2)을 세팅하도록 구성된다. 부가적으로, 본원에서 추가로 논의된 바와 같이, TIA(805)는 en\_amp 신호를 통해 인에이블 및 디스에이블될 수 있다.

[0082] 픽셀 센서(800)의 감도에 대한 기생 커패시턴스(Cp)의 효과들을 추가로 최소화시키기 위해, TIA(805)는 하나 또는 그 초과의 소형 디바이스들 또는 FET들을 사용하여 구현될 수 있다. 그러나, 앞서 논의된 바와 같이, 소형 디바이스들은 더 많은 저주파수 잡음을 생성한다. 그에 따라서, 픽셀 센서(800)는, TIA(805)의 출력에서 1차 잡음 셰이핑 또는 감소를 수행하기 위한 회로소자를 더 포함한다. 이 점과 관련하여, 픽셀 센서(800)는 제어가능 스위치(CSD), 커패시터(Cs), 샘플링 및 유지(sample and hold) 커패시터들(Ch1 및 Ch2), 그리고 제어가능 스위치(CSB)를 더 포함한다.

[0083] 제어가능 스위치(CSD)는 TIA(805)의 출력과 커패시터(Cs)의 제1 단부 사이에 커플링된다. 커패시터(Cs)는 중간 노드(n1)에 커플링된 제2 단부를 포함한다. 커패시터(Ch1)는 커패시터(Cs)의 제1 단부와 접지 사이에 커플링된다. 커패시터(Ch2)는 중간 노드(n1)와 접지 사이에 커플링된다. 제어가능 스위치(CSB)는 중간 노드(n1)와 DB 전압의 소스(예컨대, 행 선택기(720)) 사이에 커플링된다. 제어가능 스위치(CSB)는, 앞서 논의된 바와 같이, 행 선택기(720)에 의해 생성되는 제어 신호들(DB1 내지 DBM) 중 대응하는 제어 신호에 의해 제어되도록 구성된다.

[0084] 픽셀 센서(800)는 "PMOS"(p-channel MOSFET)(M2), 전류 소스(807), 및 "NMOS"(n-channel MOSFET)(M3)를 포함하는 출력 회로를 더 포함한다. PMOS(M2)는 NMOS(M3)의 드레인에 커플링된 소스, 중간 노드(n1)에 커플링된 게이트, 및 접지에 커플링된 드레인을 포함하는 소스-팔로워 증폭기(예컨대, 대략 단위 이득을 가짐)로서 구

성된다. 전류 소스(807)는 전압 레일(Vdd)과 PMOS(M2)의 소스 사이에 커플링된다. NMOS(M3)는 이어서, 신호(SS)를 수신하도록 구성된 게이트, 및 대응하는 열 판독 라인에 커플링된 소스를 포함한다. 신호(SS)는 행 선택기(720)에 의해 생성되는 신호들(SS1 내지 SSM) 중 대응하는 신호일 수 있다. 출력 DC 픽셀 전압(Vout)은 NMOS(M3)의 소스에서 생성된다.

[0085] [0083] 도 8b는 본 개시내용의 다른 양상에 따른, 픽셀 센서(800)의 예시적인 동작과 연관된 타이밍 다이어그램을 예시한다. 타이밍 다이어그램의 수평 또는 x-축은 시간을 표현하고, 수직 축은 CSD, CSA, CSB, CSC, DB, 초음파 버스트, 및 SS의 상태들 또는 진폭들을 표현한다.

[0086] [0084] 타이밍 다이어그램에 따라, 시간(t1)에서, TIA(805)를 인에이블하기 위해, en\_amp 신호는 어서트 상태까지 올라간다. 시간(t2)에서, 스위치들(CSD, CSA, 및 CSB)을 폐쇄하고, CSC를 정의된 전압 레벨로 세팅하기 위해, CSD, CSA, CSB, 및 CSC는 어서트 상태들이 된다. 스위치(CSD)의 폐쇄는 TIA(805)의 출력을 커패시터(Cs)에 커플링한다. 스위치(CSA)의 폐쇄는, 예컨대 픽셀 센서(800)의 이전 동작 사이클로부터 존재할 수 있는 임의의 전하의 퍼드백 커패시터(Cfb)를 클리어한다. 스위치(CSB)의 폐쇄는, 중간 노드(n1)에서 생성되는 후속 신호에 대한 공통 모드 전압을 세팅하기 위해 중간 노드(n1)에 DB 전압을 인가하도록 구성된다. 그리고, 정의된 전압 레벨로의 CSC의 세팅은 TIA(805)의 출력에 공통 모드 전압(예컨대, Vdd/2)을 세팅하기 위한 것이다. 시간(t3)에서, CSC 전압은 그것의 본래 레벨로 낮아진다.

[0087] [0085] 시간(t4)에서, 스위치(CSA)는 개방된다. 스위치(CSA)가 개방될 때, 스위치 및 저주파수 잡음( $v_n$ )이 TIA(805)의 출력에서 생성될 수 있다. 커패시터(Cs)는, 이 커패시터(Cs)의 고역 통과 필터 특성 때문에, 잡음( $v_n$ )이 결국 중간 노드(n1)에 이르는 것을 방지한다. 이는, TIA(805)의 출력에서 발생하는 1차 잡음 쉐이핑 또는 감소의 일부이다. 1차 잡음 쉐이핑을 발효시키기 위한 정의된 시간 간격 후에, 시간(t4)에서, 스위치(CSB)가 개방된다.

[0088] [0086] 시간(t6)에서, 초음파 송신기는 수신 압전 층(840), 전극(842), 및 플래턴(846)을 통과하는 초음파 버스트를 생성하도록 인에이블된다. 앞서 논의된 바와 같이, 초음파 버스트들은 사용자의 손가락에서, 그리고 다시 압전 층(840)으로 반사된다. 반사된 초음파 버스트들에 대한 응답으로, 입력 전류 신호( $i_i$ )가 생성된다. 입력 전류 신호( $i_i$ )는 초음파와 실질적으로 동일한 주파수(예컨대, 10 MHz)로 순환하며, 대응하는 반사된 초음파가 사용자의 지문의 융선에 부딪혔는지 또는 사용자의 지문의 밸리에 부딪혔는지의 함수로써, 즉, 이미징될 아이템의 함수로써 진폭을 갖는다.

[0089] [0087] TIA(805)는 폐쇄-루프 이득( $A_{cl}$ )으로 입력 전압 신호( $v_p$ )를 증폭시켜, 증폭된 전압 신호( $v_s$ )를 생성한다. 그에 따라서, 전압 신호( $v_s$ )의 진폭은 또한, 반사된 초음파에 기반하며, 이 반사된 초음파는 결국, 이미징될 아이템(예컨대, 사용자의 지문)에 기반한다. 전압 신호( $v_s$ )가 또한, 초음파와 실질적으로 동일한 주파수(예컨대, 10 MHz)로 교변하기 때문에, 커패시터(Cs)는, TIA(805)의 출력에서 저주파수 잡음( $v_n$ )을 유지하면서, 전압 신호( $v_s$ )가 중간 노드(n1)로 전달될 수 있게 한다. 다시, 이는, TIA(805)의 출력에서 발생하는 1차 잡음 쉐이핑 또는 감소의 일부이다.

[0090] [0088] 시간(t7)에서, 스위치(CSD)는, 증폭된 전압 신호( $v_s$ )의 피크(또는 다른 부분)와 실질적으로 일치하는 시간에 개방된다. 커패시터(Ch2)는 중간 노드(n1)에서의 전압 신호( $v_s$ )의 피크 값을 샘플링 및 유지한다. 그에 따라서, DC 픽셀 전압은 중간 노드(n1)에서 발생되며, 이 DC 픽셀 전압은 전압 신호( $v_s$ )의 피크에 실질적으로 기반한다. 따라서, 논의된 바와 같이, 전압 신호( $v_s$ )의 진폭 또는 피크가 이미징될 아이템에 기반하기 때문에, DC 픽셀 전압이 또한, 이미징될 아이템에 기반한다. 시간(t8)에서, 초음파 송신기는 초음파 버스트들의 생성을 유발하기 위해 디스에이블되며, en\_amp 신호는 TIA(805)를 디스에이블하기 위해 디-어서트 상태가 된다.

[0091] [0089] 시간(t9)에서, NMOS(M3)를 턴 온시키고, 소스-팔로워 PMOS(M2)를 거쳐 대응하는 열 판독 라인에서 DC 픽셀 전압(Vout)을 출력하기 위하여, SS가 어서트 레벨까지 올라간다. 열 판독 멀티플렉서(730)가 출력 DC 픽셀 전압(Vout)을 판독하기에 충분한 시간 간격 후에, 시간(t10)에서, 픽셀 센서(800)의 동작 사이클을 완료시키기 위해, SS는 그것의 디-어서트 상태까지 내려간다.

[0092] [0090] 도 9는 본 개시내용의 다른 양상에 따른, DC 픽셀 전압을 생성하는 예시적인 방법(900)의 흐름 다이어그램을 예시한다. 방법(900)은, 전압 신호를 생성하기 위해 입력 신호를 증폭시키는 단계를 포함하며, 입력 신호

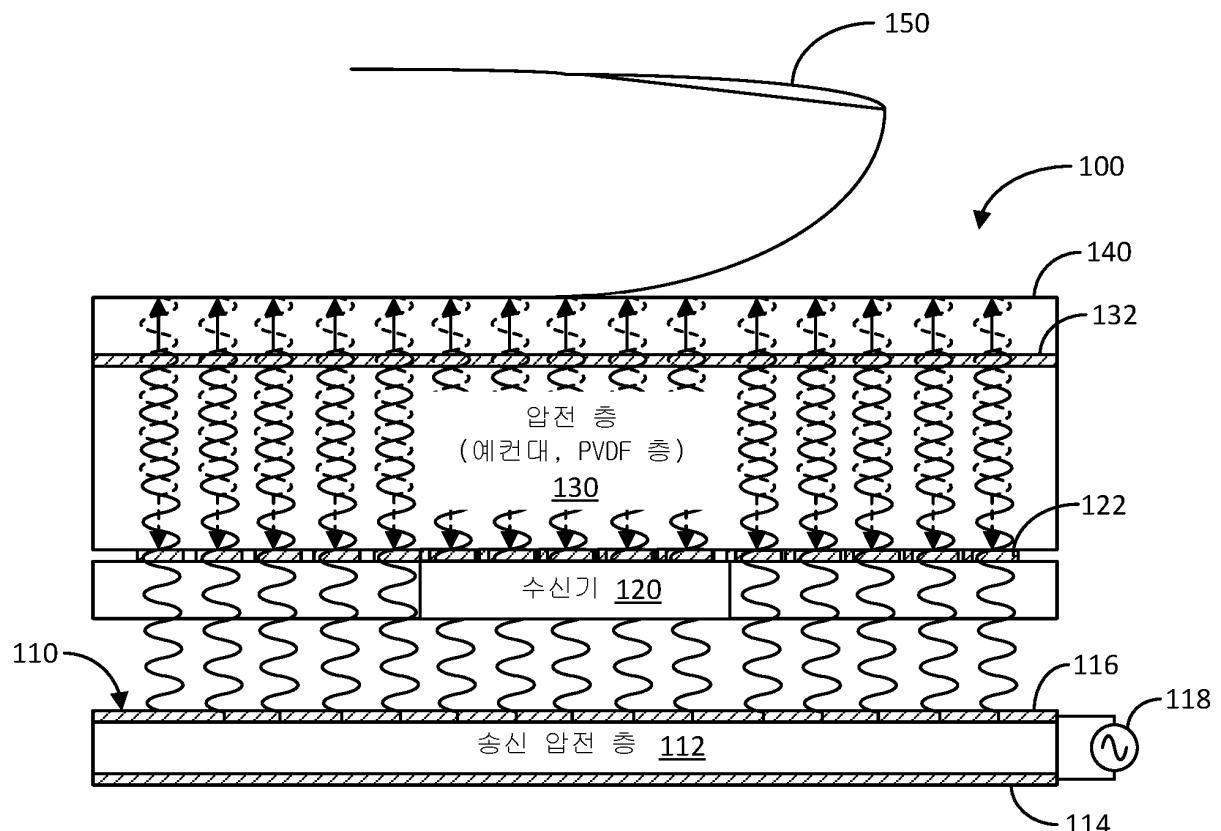
는, 초음파가 이미징될 아이템에서 반사되어 압전 층을 통해 전파되는 것에 대한 응답으로 생성된다(블록(910)). 방법(900)은 전압 신호로부터 잡음을 감소시키는 단계를 더 포함한다(블록(920)). 그리고, 방법(900)은, 감소된 잡음의 전압 신호에 기반하여, DC 팩셀 전압을 생성하는 단계를 포함한다(블록(930)).

[0093]

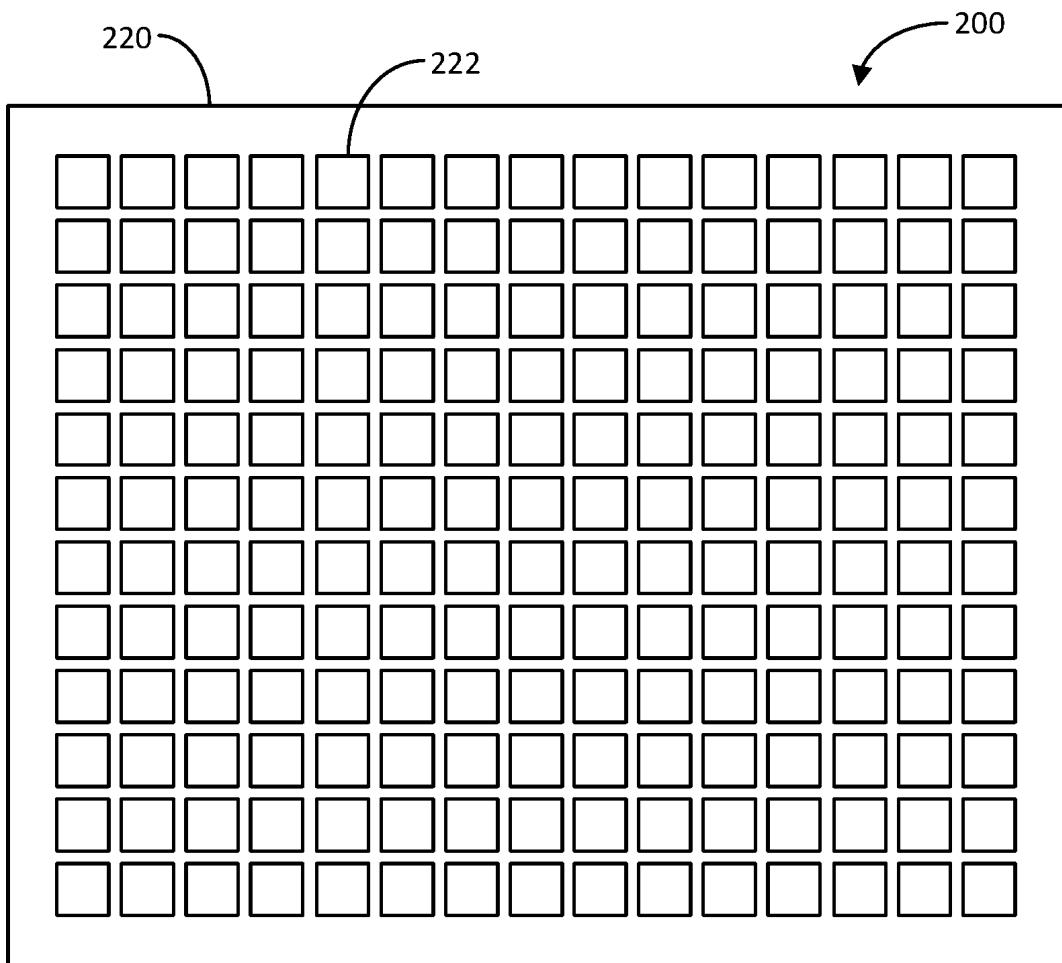
[0091] 본 개시내용의 앞선 설명은 당업자가 본 개시내용을 사용하거나 또는 실시하는 것을 가능하게 하기 위해 제공된다. 본 개시내용에 대한 다양한 수정들은 당업자들에게 용이하게 자명할 것이며, 본원에서 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본원에서 설명된 예들로 제한되는 것으로 의도되는 것이 아니라, 본원에서 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위에 부합할 것이다.

## 도면

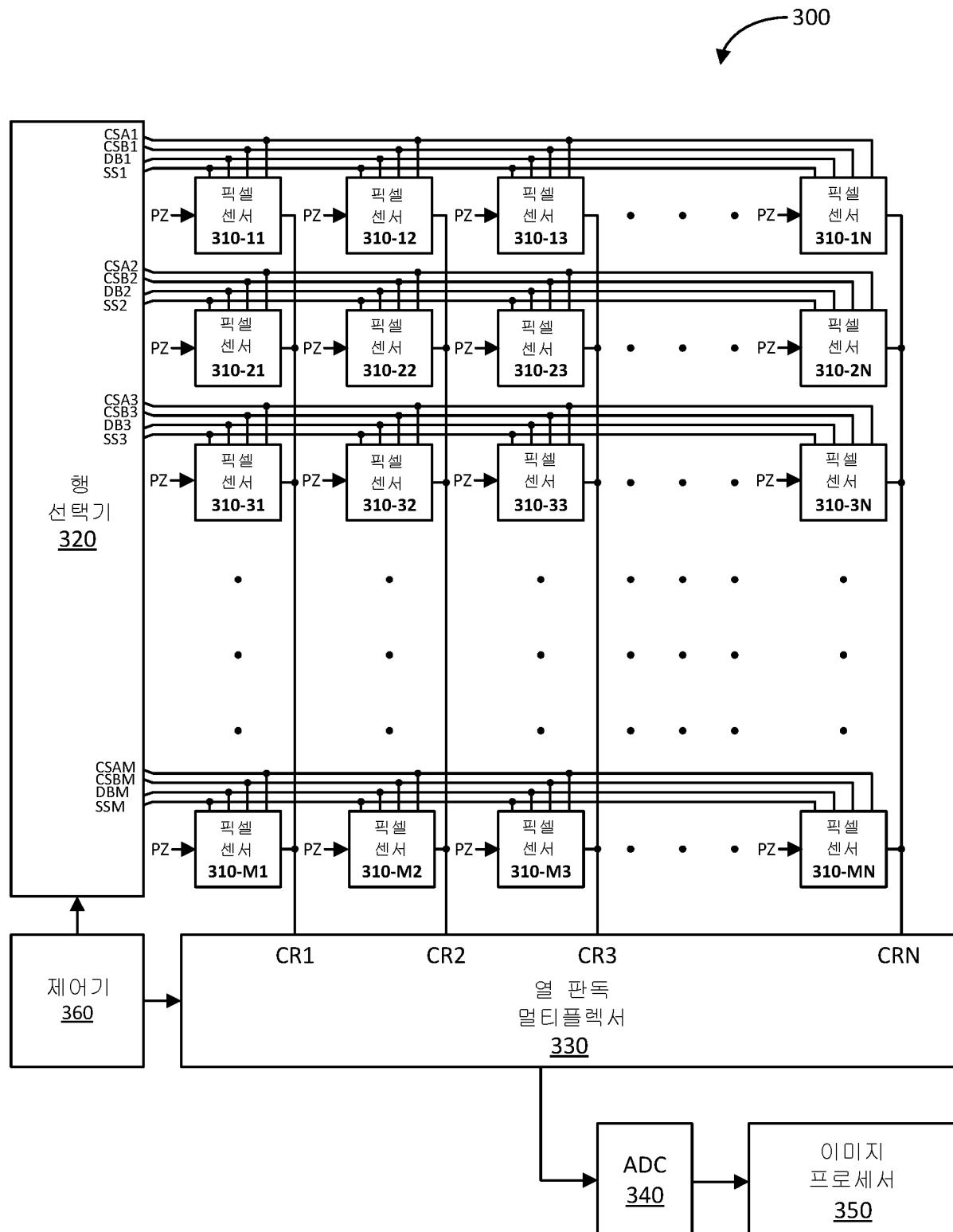
### 도면1



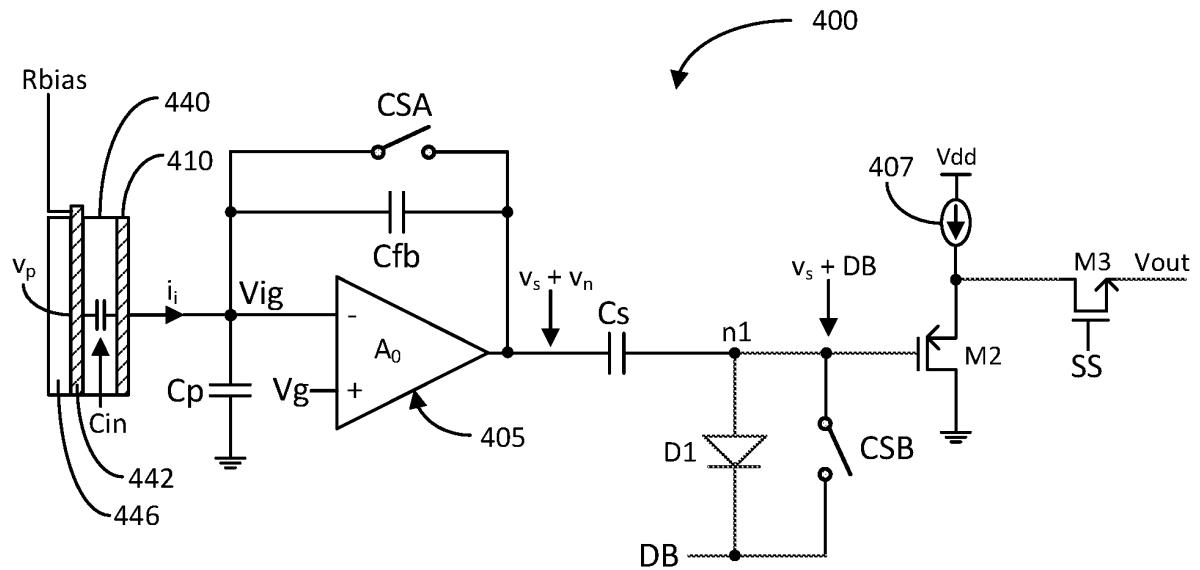
도면2



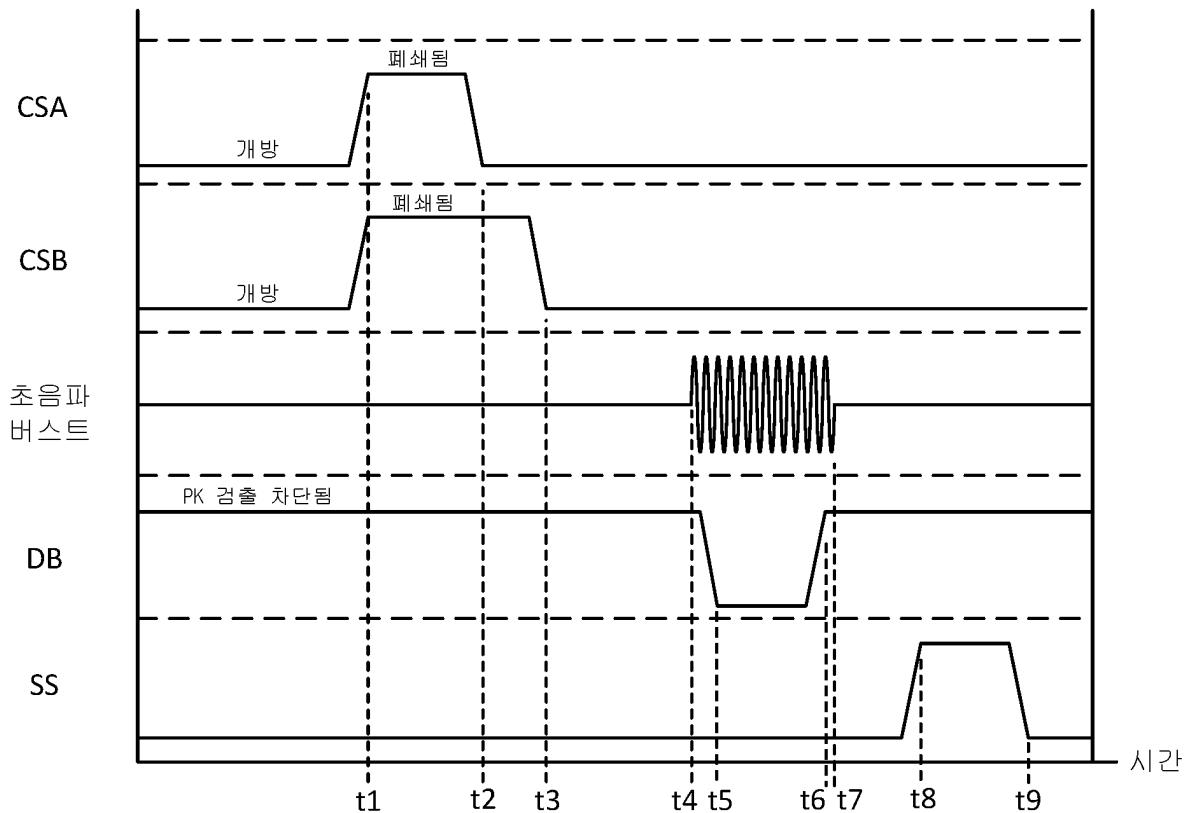
## 도면3



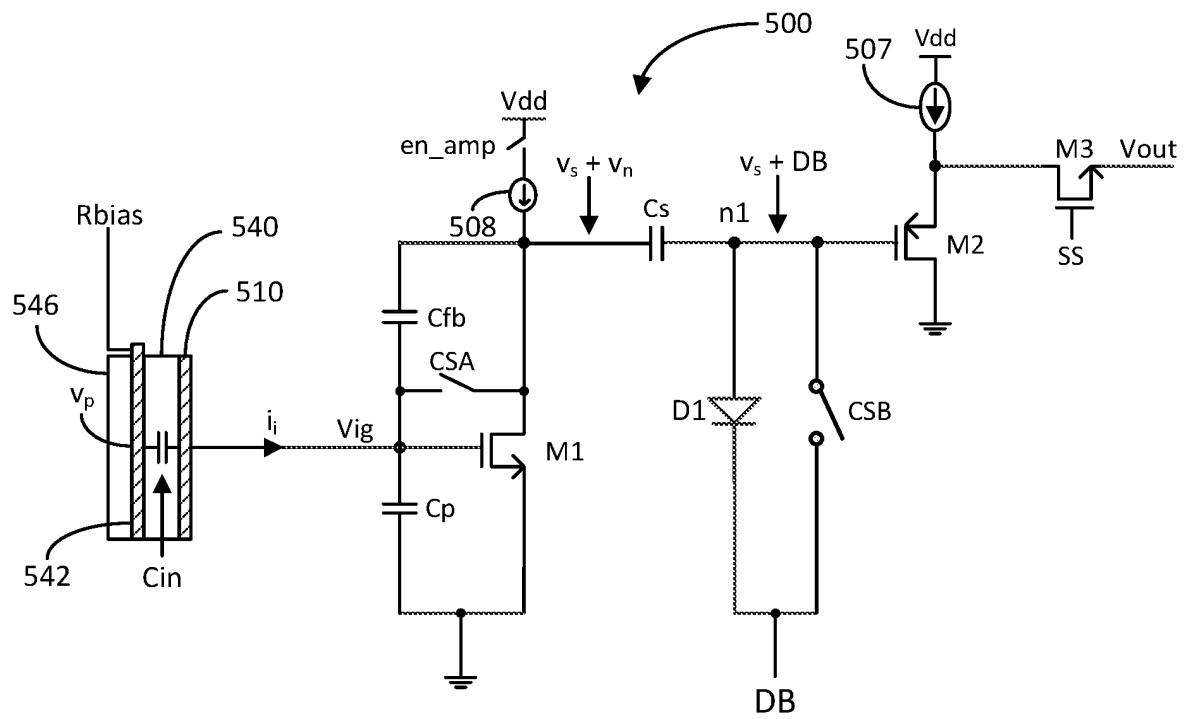
## 도면4a



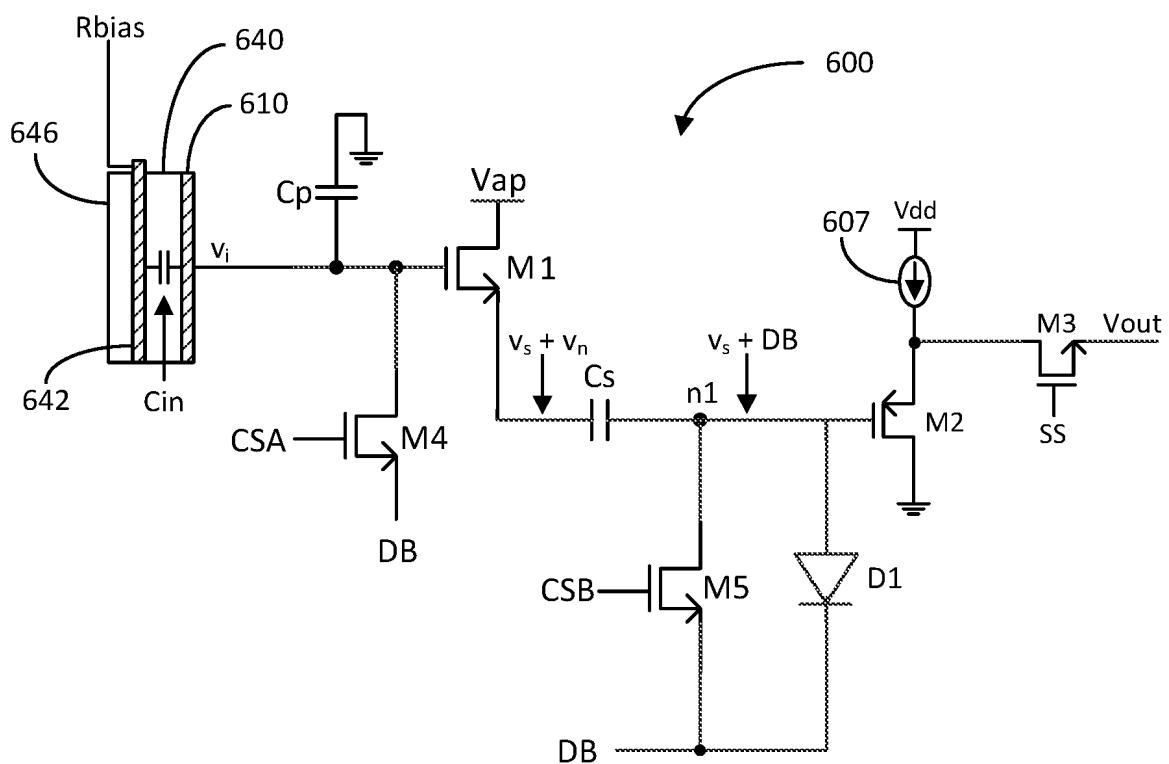
## 도면4b



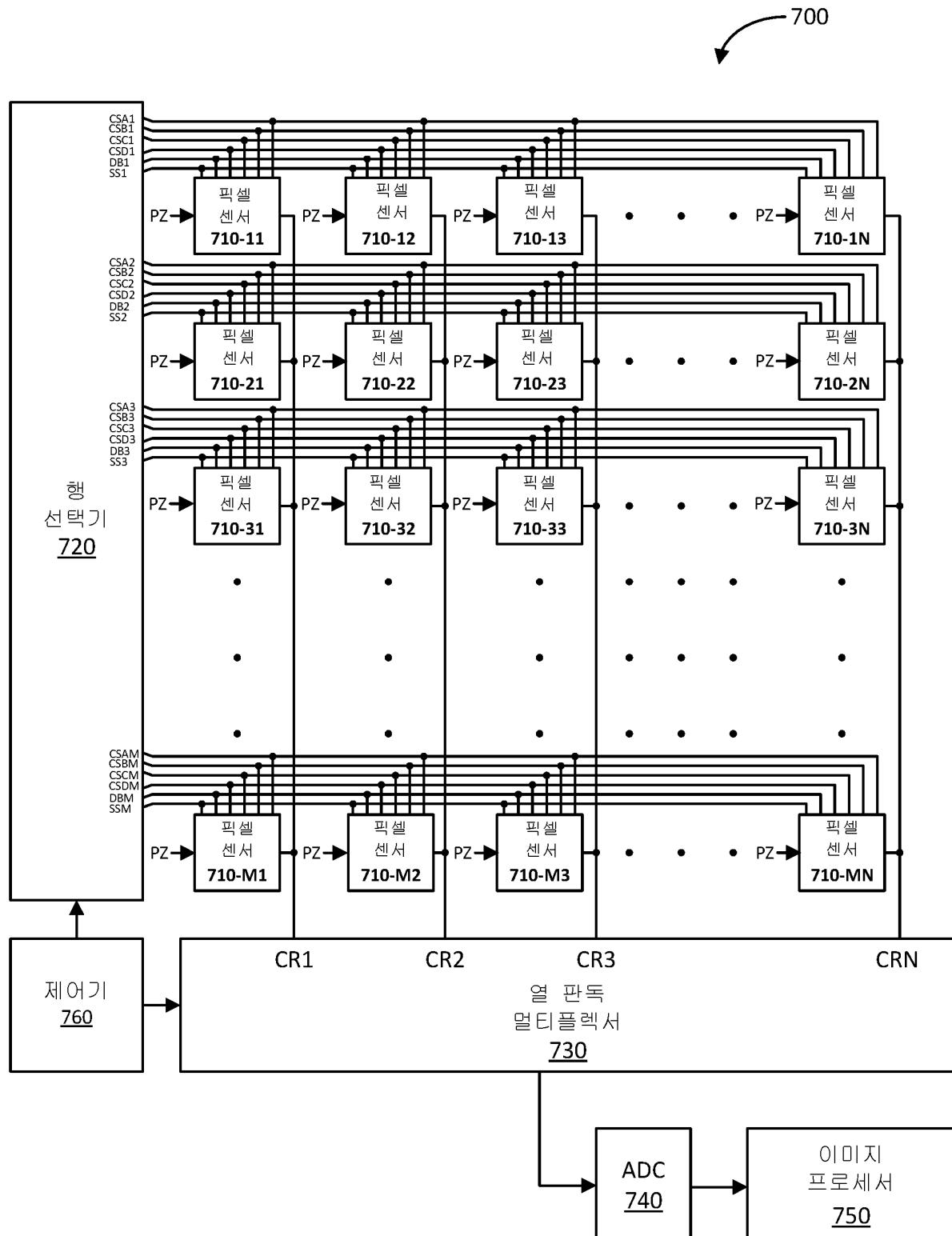
## 도면5



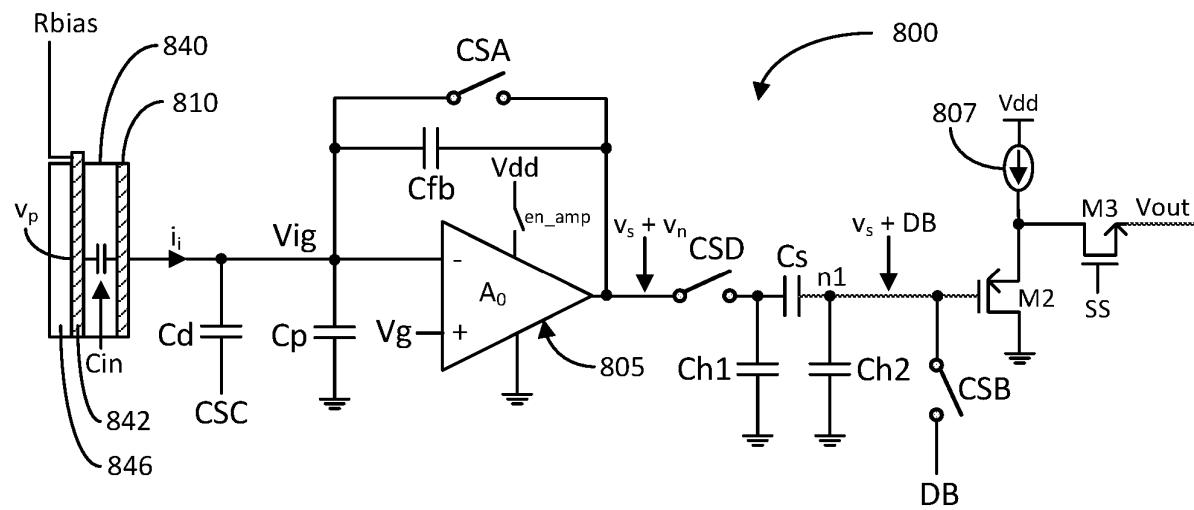
## 도면6



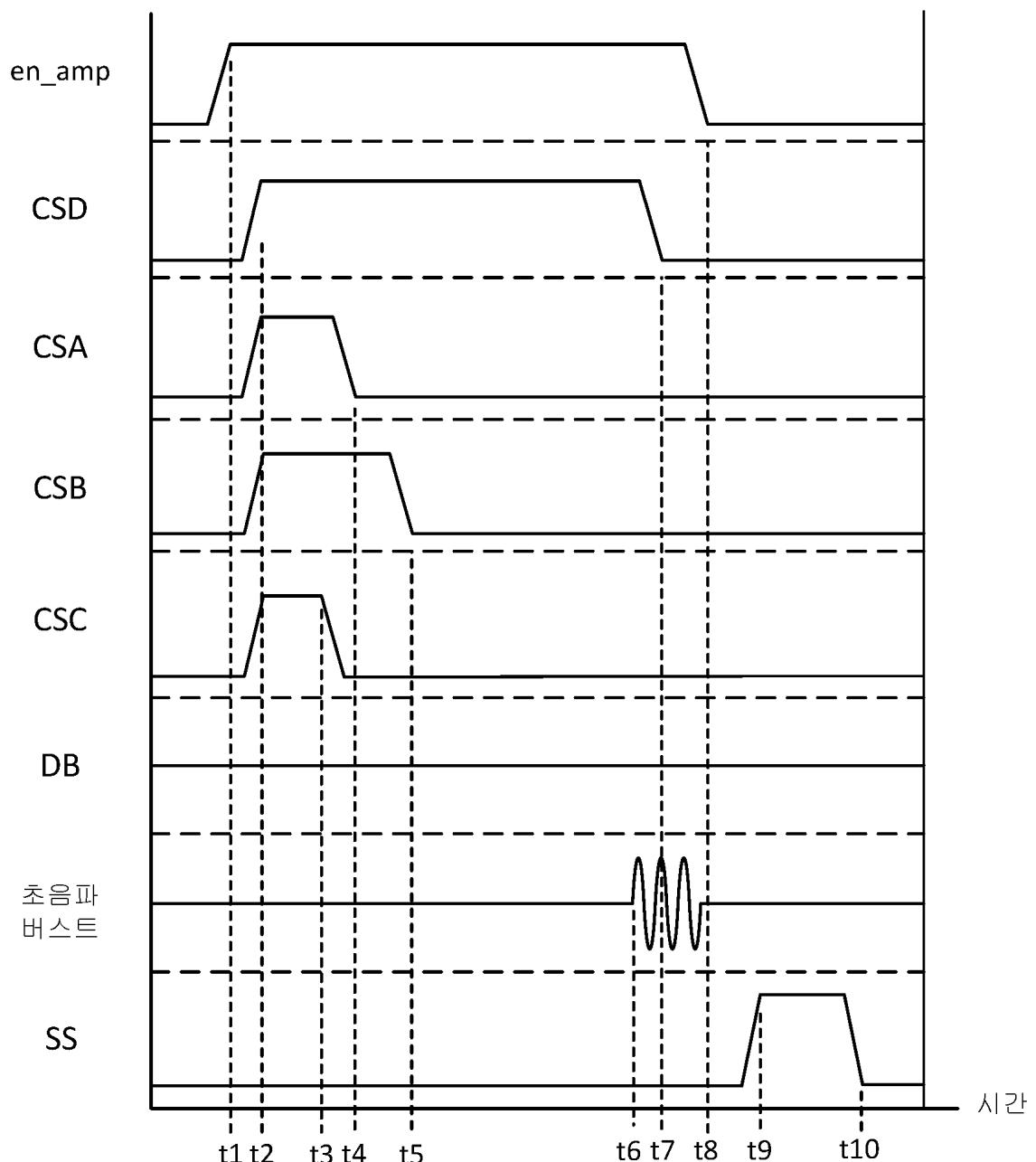
## 도면7



도면8a



도면8b



## 도면9

