

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 2 月 13 日 (13.02.2020)



(10) 国际公布号
WO 2020/029177 A1

(51) 国际专利分类号:
H01L 49/02 (2006.01)

(21) 国际申请号: PCT/CN2018/099631

(22) 国际申请日: 2018 年 8 月 9 日 (09.08.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市为通博科技有限责任公司 (SHENZHEN WEITONGBO TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园 F 座 11 楼 B79, Guangdong 518052 (CN)。

(72) 发明人: 陆斌 (LU, Bin); 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园 F 座 11 楼 B79, Guangdong 518052 (CN)。沈健 (SHEN, Jian); 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园 F 座 11 楼 B79, Guangdong 518052 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路 68 号院 3 号楼 101, Beijing 100094 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: CAPACITOR AND MANUFACTURING METHOD FOR SAME

(54) 发明名称: 电容器及其制作方法

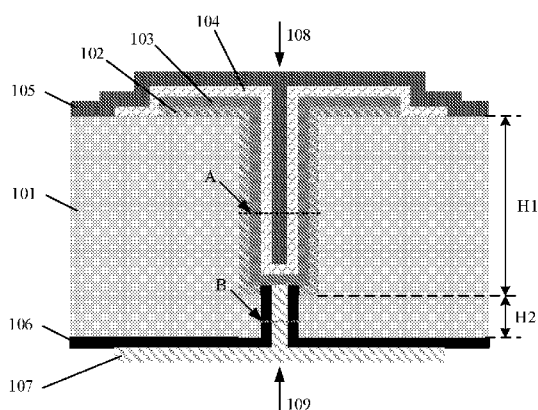


图 1

(57) Abstract: A capacitor and a manufacturing method for the same. The capacitor comprises: a semiconductor substrate (101) comprising an opposing upper surface and lower surface; at least one first trench (108) disposed at the semiconductor substrate (101) and formed downward from the upper surface; at least one second trench (109) disposed at the semiconductor substrate (101), corresponding to the first trench (108), and formed upward from the lower surface; a first conductive layer (103) disposed above the semiconductor substrate (101) and within the first trench (108); a first insulation layer (102) disposed between the semiconductor substrate (101) and the first conductive layer (103); a second conductive layer (105) disposed above the semiconductor substrate (101) within the first trench (108) and electrically connected to the semiconductor substrate (101); a second insulation layer (104) disposed between the second conductive layer (105) and the first conductive layer (103); a third conductive layer (107) disposed below the semiconductor substrate (101) and within the second trench (109); and a third insulation layer (106) disposed between the third conductive layer (107) and the semiconductor substrate (101), the third conductive layer (107) being electrically connected to the first conductive layer (103).

(57) 摘要：一种电容器及其制作方法，该电容器包括：半导体衬底(101)，包括相对设置的上表面和下表面；至少一第一沟槽(108)，设置于半导体衬底(101)，并自该上表面向下形成；至少一第二沟槽(109)，设置于半导体衬底(101)且对应于该第一沟槽(108)，并自该下表面上形成；第一导电层(103)，设置在半导体衬底(101)上方和该第一沟槽内(108)；第一绝缘层(102)，设置于半导体衬底(101)与该第一导电层(103)之间；第二导电层(105)，设置在半导体衬底(101)上方和该第一沟槽(108)内，且该第二导电层(105)与半导体衬底(101)电连接；第二绝缘层(104)，设置于该第二导电层(105)与该第一导电层(103)之间；第三导电层(107)，设置在半导体衬底(101)下方和该第二沟槽(109)内；第三绝缘层(106)，设置于该第三导电层(107)与半导体衬底(101)之间，该第三导电层(107)与该第一导电层(103)电连接。

电容器及其制作方法

技术领域

本申请涉及电容器领域，并且更具体地，涉及电容器及其制作方法。

5

背景技术

电容器在电路中可以起到旁路、滤波、去耦等作用，是保证电路正常运转的不可或缺的一部分。硅电容器是一种利用半导体加工技术在硅晶圆上制造的电容器。与传统的平面硅电容器相比，三维（3 Dimensions, 3D）硅电
10 容器通过在衬底上加工出深孔、沟槽等 3D 结构来增大表面积，其容值密度可以达到平板硅电容器的 20 倍以上。现阶段的 3D 硅电容器，借鉴动态随机存储器（dynamic random access memory, DRAM）制造中的一些多层嵌套的概念，在 3D 结构表面交替沉积导体和绝缘体材料，以此制作多个电容纵向堆叠的结构，再在硅衬底正面用不同的连接方式将所有电容并联，最后形成
15 一个大容值的电容器。然而，通过上述方式制作的 3D 硅电容器需要在晶圆正面进行多次光刻步骤（包括曝光、显影、刻蚀），不仅需要较高的图形对准精度，而且先制作的材料薄膜由于在后续的光刻工艺中，会暴露在具有腐蚀性气体、溶液中，容易被破坏，从而导致可靠性、电容短路等问题。

20 发明内容

本申请提供一种电容器及其制作方法，通过正反两面加工，将光刻步骤分散在半导体衬底（硅晶圆）两面，减小了多重光刻的对准难度，同时，利用半导体衬底背面制作电容结构，可以进一步增大容值密度。

第一方面，提供了一种电容器，所述电容器包括：

25 半导体衬底(101)，包括相对设置的上表面和下表面；

至少一第一沟槽(108)，设置于该半导体衬底(101)，并自该上表面向下形成；

至少一第二沟槽(109)，设置于该半导体衬底(101)且对应于该第一沟槽(108)，并自该下表面向上形成；

30 第一导电层(103)，设置在该半导体衬底(101)上方和该第一沟槽(108)内；
第一绝缘层(102)，设置于该半导体衬底(101)与该第一导电层(103)之间，

以将该第一导电层(103)与该半导体衬底(101)隔离;

第二导电层(105), 设置在该半导体衬底(101)上方和该第一沟槽(108)内, 且该第二导电层(105)与该半导体衬底(101)电连接;

第二绝缘层(104), 设置于该第二导电层(105)与该第一导电层(103)之间, 5 以将该第二导电层(105)与该第一导电层(103)隔离;

第三导电层(107), 设置在该半导体衬底(101)下方和该第二沟槽(109)内;

第三绝缘层(106), 设置于该第三导电层(107)与该半导体衬底(101)之间, 以将该第三导电层(109)与该半导体衬底(101)隔离, 该第三导电层(107)与该第一导电层(103)电连接。

10 因此, 本申请实施例提供的电容器为晶圆级 3D 硅电容器, 具有小尺寸、高容量的特点, 通过正反两面加工, 将光刻步骤分散在半导体衬底(硅晶圆)两面, 减小了多重光刻的对准难度, 同时, 利用半导体衬底背面制作电容结构, 可以进一步增大容值密度。

本申请实施例所述的电容器具有优异的性能和稳定性, 且电容密度高。 15 同时, 本申请实施例所述的电容器在电路中可以起到旁路、滤波、去耦等作用。

可选地, 该半导体衬底以 n 型或 p 型重掺杂的低电阻率硅晶圆为最佳。也可以选用高电阻率晶圆, 但在制作好该第一沟槽之后, 需要对半导体衬底上表面(正面)以及该第一沟槽表面掺杂, 形成重掺杂的低电阻率导电层。

20 在一些可能的实现方式中, 该半导体衬底(101)中设置有至少一个第三沟槽(110), 该第三沟槽(110)自该半导体衬底(101)的下表面向上形成, 该第三沟槽(110)的深度小于该半导体衬底(101)的厚度, 在该至少一个第三沟槽(110)内依次设置有该第三绝缘层(106)和该第三导电层(107)。

在一些可能的实现方式中, 该第三沟槽(110)在该半导体衬底(101)中与该 25 半导体衬底(101)表面平行的任意横截面与该第二沟槽(109)相同。

在一些可能的实现方式中, 该第二导电层(105)在位于相邻设置的两个该第一沟槽(108)之间形成向下凹陷, 以阻断该第二绝缘层(104)并与该半导体衬底(101)电连接; 或者该第二导电层(105)在位于相邻设置的两个该第一沟槽(108)之间平坦设置, 通过该第二绝缘层(104)与该半导体衬底(101)相隔离。

30 在一些可能的实现方式中, 该第一沟槽(108)在该半导体衬底(101)中与该半导体衬底(101)表面平行的任意横截面上的宽度大于该第二沟槽(109)的

宽度。

在一些可能的实现方式中，该第一沟槽(108)与该第二沟槽(109)对齐。

在一些可能的实现方式中，该第一沟槽(108)的深度大于该第二沟槽(109)的深度。

5 在一些可能的实现方式中，该第一沟槽(108)的深度等于该半导体衬底(101)的厚度，该第二沟槽(109)的深度等于 0。

10 在一些可能的实现方式中，该第一绝缘层(102)在该半导体衬底(101)上的投影面积与该第一导电层(103)相同，该第一绝缘层(102)在该半导体衬底(101)上的投影面积小于该第二绝缘层(104)，该第二绝缘层(104)在该半导体衬底(101)上的投影面积小于该第二导电层(105)。

在一些可能的实现方式中，该第三绝缘层(106)在该半导体衬底(101)上的投影面积大于该第三导电层(107)。

在一些可能的实现方式中，该第一绝缘层(102)、该第二绝缘层(104)和该第三绝缘层(106)中的至少一种包括以下至少一层：

15 硅的氧化物层、硅的氮化物层、金属的氧化物层和金属的氮化物层。

可选地，该第一绝缘层(102)、该第二绝缘层(104)和该第三绝缘层(106)中的至少一种包括以下至少一层：二氧化硅层、氧化铝层、氧化锆层、氧化铪层、锆钛酸铅 ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, PZT) 层和钛酸铜钙 ($\text{CaCu}_3\text{Ti}_4\text{O}_{12}$, CCTO) 层。

20 例如，该第一绝缘层(102)、该第二绝缘层(104)和该第三绝缘层(106)中的至少一种可以是二氧化硅/氧化铝/二氧化硅 ($\text{SiO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$) 这种含有高介电常数的材料的叠层。

25 应理解，该第一绝缘层(102)、该第二绝缘层(104)和该第三绝缘层(106)中的至少一种可以是由高介电常数 (relative permittivity 或 dielectric constant) 的材料键合 (bonding) 而成。

因此，本申请实施例所述的第一绝缘层、第二绝缘层和第三绝缘层可以是键合高介电常数的材料，从而，使本申请实施例所述的电容器具有更大的电容密度。

30 在一些可能的实现方式中，该第一导电层(103)、该第二导电层(105)和该第三导电层(107)中的至少一种包括以下至少一层：重掺杂多晶硅层、碳基材料层、金属层和氮化钛层。

在一些可能的实现方式中，该第二导电层(105)为该电容器的一个电极，该第三导电层(107)为该电容器的另一个电极。

第二方面，提供了一种电容器的制作方法，包括：

对半导体衬底进行刻蚀处理，以在该半导体衬底中形成至少一个第一沟槽，该第一沟槽自该半导体衬底的上表面向下形成，且该第一沟槽的深度小于该半导体衬底的厚度；

在该半导体衬底上表面和该至少一个第一沟槽内表面沉积第一绝缘层；

在该第一绝缘层上表面和内表面沉积第一导电层；

对该第一绝缘层和该第一导电层进行光刻处理，以露出该半导体衬底的上表面；

在该第一导电层上表面和内表面，以及该半导体衬底的上表面沉积第二绝缘层；

对该第二绝缘层进行光刻处理，以露出该半导体衬底的上表面，该第二绝缘层覆盖该第一绝缘层和该第一导电层；

在该第二绝缘层上表面和内表面，以及该半导体衬底的上表面沉积第二导电层；

对半导体衬底进行刻蚀处理，以在该半导体衬底中形成与该至少一个第一沟槽一一对应的至少一个第二沟槽，该第二沟槽自该半导体衬底的下表面向上贯穿该第一绝缘层，以露出该第一导电层，或者，该第二沟槽自该半导体衬底的下表面向上延伸至该第一绝缘层；

在该半导体衬底下表面和该至少一个第二沟槽内表面沉积第三绝缘层；

若该第二沟槽贯穿该第一绝缘层，去除该至少一个第二沟槽底部沉积的该第三绝缘层，以露出该第一导电层，或者，

若该第二沟槽延伸至该第一绝缘层，去除该至少一个第二沟槽底部沉积的该第三绝缘层，以及去除该至少一个第一沟槽底部沉积的该第一绝缘层，以露出该第一导电层；

在该第三绝缘层下表面和内表面沉积第三导电层。

因此，本申请实施例中，通过合理设计图形，在后续的光刻过程中将先制作好的材料薄膜覆盖保护起来，降低了刻蚀难度，提高了工艺可靠性。

在一些可能的实现方式中，在对该半导体衬底进行刻蚀处理之前，该方法还包括：

对该半导体衬底下表面进行减薄处理。

在一些可能的实现方式中，该方法还包括：

对该半导体衬底进行刻蚀处理，以在该半导体衬底中形成至少一个第三沟槽，该第三沟槽自该半导体衬底的下表面向上，该第三沟槽的深度小于该
5 半导体衬底的厚度；

在该至少一个第三沟槽内表面沉积该第三绝缘层，以及在该第三绝缘层的内表面沉积该第三导电层。

在一些可能的实现方式中，该第三沟槽在该半导体衬底中与该半导体衬底表面平行的任意横截面与该第二沟槽相同。

10 在一些可能的实现方式中，该方法还包括：

对该第三导电层进行光刻处理，以露出该半导体衬底的下表面。

在一些可能的实现方式中，在该半导体衬底的上表面，相邻设置的两个该第一沟槽之间该第二导电层与该半导体衬底电连接。

15 在一些可能的实现方式中，该第一沟槽在该半导体衬底中与该半导体衬底表面平行的任意横截面上的宽度大于该第二沟槽的宽度。

在一些可能的实现方式中，该第一沟槽与该第二沟槽对齐。

在一些可能的实现方式中，该第一沟槽的深度大于该第二沟槽的深度。

在一些可能的实现方式中，该对半导体衬底进行刻蚀处理，包括：

20 利用深反应离子刻蚀（Deep Reactive Ion Etch，DRIE）对该半导体衬底进行刻蚀处理。

第二方面，提供了一种电容器的制作方法，包括：

对半导体衬底进行刻蚀处理，以在该半导体衬底中形成至少一个第一沟槽，该第一沟槽自该半导体衬底的上表面向下，且该第一沟槽的深度小于或者等于该半导体衬底的厚度；

25 在该半导体衬底上表面和该至少一个第一沟槽内表面沉积第一绝缘层；
在该第一绝缘层上表面和内表面沉积第一导电层；

对该第一绝缘层和该第一导电层进行光刻处理，以露出该半导体衬底的上表面；

30 在该第一导电层上表面和内表面，以及该半导体衬底的上表面沉积第二绝缘层；

对该第二绝缘层进行光刻处理，以露出该半导体衬底的上表面，该第二

绝缘层覆盖该第一绝缘层和该第一导电层;

在该第二绝缘层上表面和内表面,以及该半导体衬底的上表面沉积第二导电层;

在该半导体衬底下表面沉积第三绝缘层;

5 去除该至少一个第一沟槽下的该第三绝缘层,以露出该第一导电层;

在该第三绝缘层下表面和内表面沉积第三导电层。

因此,本申请实施例中,通过合理设计图形,在后续的光刻过程中将先制作好的材料薄膜覆盖保护起来,降低了刻蚀难度,提高了工艺可靠性。

10 在一些可能的实现方式中,在该第一沟槽的深度小于该半导体衬底的厚度时,该方法还包括:

在该半导体衬底下表面沉积该第三绝缘层之前,对该半导体衬底下表面进行减薄处理。

在一些可能的实现方式中,该方法还包括:

对该第三导电层进行光刻处理,以露出该半导体衬底的下表面。

15 在一些可能的实现方式中,在该半导体衬底的上表面,相邻设置的两个该第一沟槽之间该第二导电层与该半导体衬底电连接。

在一些可能的实现方式中,该对半导体衬底进行刻蚀处理,包括:

利用 DRIE 对该半导体衬底进行刻蚀处理。

20 因此,本申请实施例的电容器及其制造方法,半导体衬底中设置有至少一个第一沟槽,以及与至少一个第一沟槽一一对应的至少一个第二沟槽,在半导体衬底上方和至少一个第一沟槽内设置有第一导电层和第二导电层,第一导电层与半导体衬底之间设置有第一绝缘层,第一导电层与第二导电层之间设置有第二绝缘层,第二导电层与半导体衬底电连接;在半导体衬底下方和至少一个第二沟槽内设置有第三导电层,第三导电层与半导体衬底之间设置
25 有第三绝缘层,第三导电层与第一导电层电连接。因此,通过正反两面加工,将光刻步骤分散在半导体衬底两面,减小了多重光刻的对准难度,进一步的,利用半导体衬底背面制作电容结构,可以进一步增大容值密度。

附图说明

30 图 1 是根据本申请实施例的一种电容器的示意性结构图。

图 2 是根据本申请实施例的又一种电容器的示意性结构图。

图 3 是根据本申请实施例的又一种电容器的示意性结构图。

图 4 是根据本申请实施例的再一种电容器的示意性结构图。

图 5 是根据本申请实施例的一种电容器的制作方法的示意性流程图。

图 6a 至图 6x 是本申请实施例的电容器的制作方法的示意图。

5 图 7 是根据本申请实施例的再一种电容器的示意性结构图。

图 8 是根据本申请实施例的再一种电容器的示意性结构图。

图 9 是根据本申请实施例的另一种电容器的制作方法的示意性流程图。

具体实施方式

10 下面将结合附图，对本申请实施例中的技术方案进行描述。

应理解，本申请实施例的电容器在电路中可以起到旁路、滤波、去耦等作用。

本申请实施例所述的电容器可以是 3D 硅电容器，3D 硅电容器是一种基于半导体晶圆加工技术的新型电容器。与传统的 MLCC（多层陶瓷电容）相比，3D 硅电容器具有小尺寸、高精度、高稳定性、长寿命等优点。其基本的加工流程需要先在晶圆或衬底上加工出高深宽比的深孔、沟槽、柱状、墙状等 3D 结构，接着在 3D 结构表面沉积绝缘薄膜和低电阻率导电材料依次制作电容的下电极、电介质层和上电极。

15 现阶段的 3D 硅电容器，借鉴 DRAM 制造中的一些多层嵌套的概念，在 3D 结构表面交替沉积导体和绝缘体材料，以此制作多个电容纵向堆叠的结构，再在硅衬底正面用不同的连接方式将所有电容并联，最后形成一个大容值的电容器。然而，通过上述方式制作的 3D 硅电容器需要在晶圆正面进行多次光刻步骤（包括曝光、显影、刻蚀），不仅需要较高的图形对准精度，而且先制作的材料薄膜由于在后续的光刻工艺中，会暴露在具有腐蚀性的气体、溶液中，容易被破坏，从而导致可靠性、电容短路等问题。在此背景下，本申请提出了一种新型的双面、多层 3D 电容器的结构和制作方法，避免了上述缺点。

25 具体地，在晶圆正面的深孔或沟槽中制作导电衬底-绝缘层-导电层-绝缘层-导电层的叠层电容结构。再通过晶圆背面挖孔（或槽）的方式将中间的导电层引出。

以下，结合图 1 至图 4，详细介绍本申请实施例的电容器。应理解，图

1 至图 4 中的电容器仅仅只是示例，电容器所包括的第一沟槽、第二沟槽，以及第三沟槽的数量并不局限于图 1 至图 4 中的电容器所示，可以根据实际需要确定。同时，在图 1 至图 4 的实施例中，沟槽的延伸方向是以垂直于半导体衬底（晶圆）的方向作为示例进行说明，在本申请实施例中，沟槽的延伸方向还可以是一些其他的方向，例如，满足与垂直于半导体衬底（晶圆）的方向的夹角小于预设值的所有方向。

需要说明的是，为便于理解，在以下示出的实施例中，对于不同实施例中示出的结构中，相同的结构采用相同的附图标记，并且为了简洁，省略对相同结构的详细说明。

图 1 是本申请一个实施例的电容器 100 的一种可能的结构图。如图 1 所示，该电容器 100 包括半导体衬底 101、第一绝缘层 102、第一导电层 103、第二绝缘层 104、第二导电层 105、第三绝缘层 106 和第三导电层 107。

具体地，该半导体衬底 101 包括相对设置的上表面和下表面。

该半导体衬底 101 中设置有至少一个第一沟槽 108，以及与该至少一个第一沟槽 108 对应的至少一个第二沟槽 109，该第一沟槽 108 的底部与该第二沟槽 109 的底部连通，该第一沟槽 108 自该半导体衬底 101 的上表面向下延伸（形成），该第二沟槽 109 自该半导体衬底 101 的下表面向上延伸（形成）。

该第一导电层 103 设置在该半导体衬底 101 上方和该第一沟槽 108 内；该第一绝缘层 102 设置于该半导体衬底 101 与该第一导电层 103 之间，且该第一绝缘层 102 将该第一导电层 103 与该半导体衬底 101 隔离；该第二导电层 105 设置在该半导体衬底 101 上方和该第一沟槽 108 内，且该第二导电层 105 与该半导体衬底 101 电连接；该第二绝缘层 104 设置于该第二导电层 105 与该第一导电层 103 之间，以将该第二导电层 105 与该第一导电层 103 隔离；该第三导电层 107 设置在该半导体衬底 101 下方和该第二沟槽 109 内；该第三绝缘层 106 设置于该第三导电层 107 与该半导体衬底 101 之间，以将该第三导电层 107 与该半导体衬底 101 隔离，该第三导电层 107 与该第一导电层 103 电连接。

需要说明的是，本申请实施例中对该第一沟槽 108 和该第二沟槽 109 的横截面的尺寸不做限定，例如，该沟槽可以为横截面上长和宽尺寸相差较小的孔，或者也可以为长和宽尺寸相差较大的沟槽。这里横截面可以理解为与

半导体衬底表面平行的截面，而图 1 中则是沿着半导体衬底纵向的截面。

应理解，本申请实施例中的绝缘层也可以称为电介质层。

需要说明的是，该第二导电层 105 可以作为该电容器 100 的一个电极，该第三导电层 107 可以作为该电容器 100 的另一个电极。

5 在具体实现上，在该电容器 100 中，例如，仅设置有一个第一沟槽 108 和一个第二沟槽 109，该半导体衬底 101、该第一绝缘层 102 和该第一导电层 103 可以构成电容器 A（电容 C1），该第一导电层 103、该第二绝缘层 104 和该第二导电层 105 可以构成电容器 B（电容 C2），该第三导电层 107、该第三绝缘层 106 和该半导体衬底 101 可以构成容器 C（电容 C3），其中，该
10 电容器 A、该电容器 B 和该电容器 C 并联，因此，该电容器 100 的电容 C 可以是该电容器 A、该电容器 B 和该电容器 C 并联的等效电容，即 $C=C_1+C_2+C_3$ 。该第二导电层 105 和该第三导电层 107 则分别作为这三个并联电容的公共电极。

 在具体实现上，该第一沟槽 108 与该第二沟槽 109 的延伸方向可以相同，
15 也可以不同，只需要保证该第三导电层 107 与该第一导电层 103 电连接。同理，不同的第一沟槽 108 的延伸方向可以相同，也可以不同，不同的第二沟槽 109 的延伸方向可以相同，也可以不同。

 优选地，该第一沟槽 108 与该第二沟槽 109 对齐。也就是说，该第一沟槽 108 与该第二沟槽 109 的延伸方向相同。换句话说，该第一沟槽 108 与该
20 第二沟槽 109 的中轴线重合（图 1 所示就是属于中轴线重合的情况）。

 可选地，该半导体衬底 101 以 n 型或 p 型重掺杂的低电阻率硅晶圆为最佳。也可以选用高电阻率晶圆，但在制作好该第一沟槽之后，需要对半导体衬底 101 上表面（正面）以及该第一沟槽 108 表面掺杂，形成重掺杂的低电阻率导电层。

25 可选地，本申请实施例中，该第一沟槽 108 在该半导体衬底 101 任意横截面上的宽度大于该第二沟槽 109 的宽度。也就是说，在该半导体衬底 101 任意横截面上，该第一沟槽 108 的宽度大于该第二沟槽 109 的宽度，例如，如图 1 所示，该第一沟槽 108 的横截面 A 的宽度大于该第二沟槽 109 的横截面 B 的宽度。这里的宽度即为沟槽的开口大小，该宽度可以指沟槽的最大宽
30 度处。

 本申请实施例中，该半导体衬底 101 中设置的多个第一沟槽 108 的横截

面的形状可以相同，也可以不同，同样的，该半导体衬底 101 中设置的多个第二沟槽 109 的横截面的形状可以相同，也可以不同。

可选地，本申请实施例中，该第一沟槽 108 的深度大于该第二沟槽 109 的深度。例如，如图 1 所示，在该半导体衬底 101 中，该第一沟槽 108 的深度 H1 大于该第二沟槽 109 的深度 H2。

需要注意的是，该第一沟槽 108 的深宽可以根据实际需要灵活设置。同样，该第二沟槽 109 的深度也可以根据实际需要灵活设置。

可选地，本申请实施例中，该第一绝缘层 102、该第二绝缘层 104 和该第三绝缘层 106 中的至少一种包括以下中的至少一层：二氧化硅层、氧化铝层、氧化锆层、氧化钪层、锆钛酸铅（ $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ，PZT）层、和钛酸铜钙（ $\text{CaCu}_3\text{Ti}_4\text{O}_{12}$ ，CCTO）层。具体绝缘材料和层厚可根据电容器的容值、频率特性、损耗等需求来调整。当然，该第一绝缘层 102、该第二绝缘层 104 和该第三绝缘层 106 中的至少一种还可以包括一些其他具有高介电常数特性的材料层，本申请实施例对此不作限定。

例如，该第一绝缘层 102 可以是二氧化硅/氧化铝/二氧化硅（ $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{SiO}_2$ ）这种含有高介电常数的材料的叠层。

需要说明的是，该第一绝缘层 102、该第二绝缘层 104 和该第三绝缘层 106 可以是由高介电常数（relative permittivity 或 dielectric constant）的一种或者多种材料键合而成。

因此，本申请实施例所述的第一绝缘层、第二绝缘层和第三绝缘层可以是键合高介电常数的材料，从而，使本申请实施例所述的电容器可具有更大的电容密度。

可选地，本申请实施例中，该第一导电层 103、该第二导电层 105 和该第三导电层 107 中的至少一种包括以下至少一层：重掺杂多晶硅层、碳基材料层、金属层和氮化钛层。

需要说明的是，该第一导电层 103、该第二导电层 105 和该第三导电层 107 的材料可以是重掺杂多晶硅，碳基材料，或者是铝、钨、铜等各类金属，也可以是氮化钛等低电阻率的化合物，或者是上述几种导电材料的组合。

可选地，本申请实施例中，该第一绝缘层 102 在该半导体衬底 101 上的投影面积与该第一导电层 103 相同，该第一绝缘层 102 在该半导体衬底 101 上的投影面积小于该第二绝缘层 104，该第二绝缘层 104 在该半导体衬底 101

上的投影面积小于该第二导电层 105。

换句话说，该第二绝缘层 104 覆盖该第一绝缘层 102 和该第一导电层 103，实现了电隔离该第一导电层 103 与该第二导电层 105 的目的。该第二导电层 105 覆盖该第二绝缘层 104，实现了该第二导电层 105 与该半导体衬底 101 的电连接。

可选地，本申请实施例中，该第三绝缘层 106 在该半导体衬底 101 上的投影面积大于该第三导电层 107。

可选地，作为一个实施例，如图 2 所示，在本申请实施例所述的电容器 100 中，该半导体衬底 101 中设置有至少一个第三沟槽 110。

具体地，该第三沟槽 110 自该半导体衬底 101 的下表面向上，该第三沟槽 110 的深度小于该半导体衬底 101 的厚度，在该至少一个第三沟槽 110 内也设置有该第三导电层 107，也就是第三导电层 107 沉积或注入第二沟槽 109 和第三沟槽 110 中。该第三导电层 107 与该半导体衬底 101 之间设置有该第三绝缘层 106，也就是第三沟槽 110 内也形成有第三绝缘层，以将所述半导体衬底与所述第三导电层相隔离。

优选地，该第三沟槽 110 在该半导体衬底 101 中与所述半导体衬底 101 表面平行的任意横截面具有与该第二沟槽 109 相同的横截面形状。

优选地，该第三沟槽 110 的深度等于该第二沟槽 109 的深度。

换句话说，第三沟槽 110 和第二沟槽 109 可以是形成在半导体衬底中基本相同的沟槽，并且都在沟槽中设置有第三绝缘层和第三导电层，只是两者的区别在于第三沟槽所在位置并未与第二导电层产生连接。

需要说明的是，图 2 仅以该第三沟槽 110 在该半导体衬底 101 中的任意横截面与该第二沟槽 109 相同，且该第三沟槽 110 的深度等于该第二沟槽 109 的深度为例进行了说明，并未对本实施例中该第三沟槽 110 的具体实现作出限定。

应注意的是，本实施例对该第三沟槽 110 的横截面的尺寸不做限定，例如，该第三沟槽 110 可以为横截面上长和宽尺寸相差较小的孔（可以称为深孔），或者也可以为长和宽尺寸相差较大的沟槽。

该第三沟槽 110 在该半导体衬底 101 中的横截面的图形可以参考该第一沟槽 108 和该第二沟槽 109 的相关描述，在此不再赘述。

在具体实现上，该第三沟槽 110 的延伸方向与该第一沟槽 108 和该第二

沟槽 109 的延伸方向可以相同，也可以不同，只需要保证该第三沟槽 110 与该第一沟槽 108 和该第二沟槽 109 不连通。比如，其中一个沟槽可以垂直于半导体衬底表面，而另一沟槽可以相对该沟槽有一个倾斜夹角。同理，不同的该第三沟槽 110 的延伸方向可以相同，也可以不同。

5 需要说明的是，在具体实现上，如图 2 所示，在电容器 100 中，设置有两个第一沟槽 108、两个第二沟槽 109 和三个第三沟槽 110。该半导体衬底 101、该第一绝缘层 102 和该第一导电层 103 可以构成电容器 D (电容 C4)，该第一导电层 103、该第二绝缘层 104 和该第二导电层 105 可以构成电容器 E (电容 C5)，该第三导电层 107、该第三绝缘层 106 和该半导体衬底 101
10 可以构成容器 F (电容 C6)，其中，该电容器 D、该电容器 E 和该电容器 F 并联，该电容器 100 的电容 C 可以是该电容器 D、该电容器 E 和该电容器 F 并联的等效电容，即 $C=C4+C5+C6$ 。与图 1 所示的电容器相比，该电容器 100 中所包括的电容器的数量不变，但是由于各个电容器 (电容器 D、电容器 E 和电容器 F) 两极板正对面积的增加，C4、C5 和 C6 都增大了，此时，
15 其等效电容 C 也增大了，换句话说，增加了电容器 100 总的电容值。

因此，在本实施例中，可以通过在半导体衬底中设置第三沟槽，以增加半导体衬底 101 与第三导电层 107 之间的正对面积，从而进一步增大总的电容值。

可选地，作为一个实施例，如图 3 所示，在本申请实施例所述的电容器
20 100 中，在该半导体衬底 101 的上表面，所述第二导电层 105 在位于相邻设置的两个所述第一沟槽 108 之间形成向下凹陷，以阻断所述第二绝缘层 104 并与所述半导体衬底 101 电连接。

在具体实现上，如图 3 所示，在电容器 100 中，设置有两个第一沟槽 108 和两个第二沟槽 109，例如，两个第一沟槽 108 可以是第一沟槽 M 和第一沟槽 N (分别对应图 3 中左边的第一沟槽 108 和右边的第一沟槽 108)，两个第二沟槽 109 可以是第二沟槽 X 和第二沟槽 Y (分别对应图 3 中左边的第二沟槽 109 和右边的第二沟槽 109)。针对第一沟槽 M 和与之对应的第二沟槽 X，该半导体衬底 101、该第一绝缘层 102 和该第一导电层 103 可以构成电容器 O (电容 C7)，该第一导电层 103、该第二绝缘层 104 和该第二导电层 105
25 可以构成电容器 P (电容 C8)，该第三导电层 107、该第三绝缘层 106 和该半导体衬底 101 可以构成容器 Q (电容 C9)。针对第一沟槽 N 和与之对应的

第二沟槽 Y，该半导体衬底 101、该第一绝缘层 102 和该第一导电层 103 可以构成电容器 R (电容 C10)，该第一导电层 103、该第二绝缘层 104 和该第二导电层 105 可以构成电容器 S (电容 C11)，该第三导电层 107、该第三绝缘层 106 和该半导体衬底 101 也可以构成容器 Q (电容 C9)。其中，该电容器 O、该电容器 P、该电容器 Q、该电容器 R 和该电容器 S 并联，该电容器 100 的电容 C 可以是该电容器 O、该电容器 P、该电容器 Q、该电容器 R 和该电容器 S 并联的等效电容，即 $C=C7+C8+C9+C10+C11$ 。

需要说明的是，相邻设置的两个第一沟槽之间，增加第二导电层与半导体衬底的接触点，有利于减少电容器的等效串联电阻 (Equivalent Series Resistance, ESR)，优化电容器的性能。

可选地，作为一个实施例，如图 4 所示，在本申请实施例所述的电容器 100 中，该第一沟槽 108 的深度基本等于该半导体衬底 101 的厚度，该第二沟槽 109 的深度基本等于 0。

具体地，如图 4 所示，此时，只需要在该半导体衬底 101 中设置该第一沟槽 108，而无需设置该第二沟槽 109，但是在形成第三导电层之前，需要在第三绝缘层对应第一沟槽的位置形成开口，以便第三导电层与第一导电层电连接。这里形成的开口，其基本功能类似于第二沟槽。

需要说明的是，在本实施例中，可以设置至少一个第三沟槽 110。

因此，在本实施例中，仅需刻蚀第一沟槽，简化电容器的制作流程。

以下，结合图 5 至图 9，详细介绍本申请实施例的电容器的制作方法。应理解，图 5 至图 9 是本申请实施例的电容器的制作方法的示意性流程图，但这些步骤或操作仅是示例，本申请实施例还可以执行其他操作或者图 5 至图 9 中的各个操作的变形。

图 5 示出了根据本申请实施例的电容器的制作方法 200 的示意性流程图。如图 5 所示，该电容器的制作方法 200 包括：

步骤 201，对半导体衬底 101 进行刻蚀处理，以在该半导体衬底 101 中形成至少一个第一沟槽 108，该第一沟槽 108 自该半导体衬底 101 的上表面向下，且该第一沟槽 108 的深度小于该半导体衬底 101 的厚度。

可选地，可以根据深反应离子刻蚀对该半导体衬底进行刻蚀处理，以在该半导体衬底中形成至少一个第一沟槽。

具体地，首先，在如图 6a 所示的半导体衬底 101 上表面 (正面) 旋涂

一层光刻胶 201，并曝光、显影，形成未覆盖光刻胶的刻蚀图形窗口，如图 6b 所示。接着，通过深反应离子刻蚀，在半导体衬底 101 中制作至少一个第一沟槽结构 108。该第一沟槽 108 自该半导体衬底 101 的上表面向下延伸，且该第一沟槽 108 的深度小于该半导体衬底 101 的厚度，如图 6c 所示。

5 应理解，在刻蚀出该至少一个第一沟槽 108 之后，会去除光刻胶 201。

步骤 202，在该半导体衬底 101 上表面和该至少一个第一沟槽 108 内表面沉积第一绝缘层 102。

具体地，在该至少一个第一沟槽中沉积绝缘材料，以形成该第一绝缘层 102，如图 6d 所示。

10 例如，通过热氧化的方式，在该半导体衬底上表面和该至少一个第一沟槽内表面沉积（生长）二氧化硅，作为该第一绝缘层。再例如，通过物理气相沉积（Physical Vapor Deposition, PVD）或化学气相沉积（Chemical Vapor Deposition, CVD）生长硅的氮化物或硅的氧化物，例如未掺杂硅玻璃（Undoped Silicon Glass, USG）或由四乙氧基硅烷（Tetraethyl Orthosilicate, TEOS）转化得到的二氧化硅等，作为该第一绝缘层。再例如，通过喷涂或
15 旋涂的各类聚合物，例如聚酰亚胺（Polyimide），帕里纶（Parylene），苯并环丁烯（BCB）等，作为该第一绝缘层；或者该第一绝缘层还可以为旋转涂布玻璃（spin on glass, SOG），即先将一种含有硅化物的溶液旋涂或喷涂在硅片上，再加热去除溶剂，固化后剩余的为非晶相氧化硅。其中，考虑加工
20 效果和成本，可选择通过热氧化生长二氧化硅作为该第一绝缘层。

需要说明的是，该第一绝缘层 102 的材料包括硅的氧化物，硅的氮化物，金属的氧化物，金属的氮化物等，例如二氧化硅，氮化硅，氧化铝，氮化铝，氧化钪，氧化锆，氧化锌，二氧化钛，锆钛酸铅等。该第一绝缘层可以是一层，也可以是两层或多层。具体材料和层厚可根据电容器的容值、频率特性、
25 损耗等需求来调整。

步骤 203，在该第一绝缘层 102 上表面和内表面沉积第一导电层 103。

具体地，在如图 6d 所示的结构中，在该第一绝缘层 102 上表面和内表面沉积导电材料，以形成该第一导电层 103，如图 6e 所示。

需要说明的是，沉积该第一导电层 103 的方法包括 ALD、PVD、有机
30 金属化学气相沉积、蒸镀、电镀等。该第一导电层的导电材料可以是重掺杂多晶硅，碳基材料，或者是铝、钨、铜等各类金属，也可以是氮化钛等低电

阻率的化合物，或者是上述几种导电材料的组合。该第一导电层包括以下至少一层：重掺杂多晶硅层、碳基材料层、金属层和氮化钛层。

步骤 204，对该第一绝缘层 102 和该第一导电层 103 进行光刻处理，以露出该半导体衬底 101 的上表面。

5 具体地，首先，在如图 6e 所示的结构的上表面覆盖一层光敏干膜 202，曝光、显影后形成覆盖该第一绝缘层 102、该第一导电层 103，及其边缘的干膜保护层，如图 6f 所示。接着，用干法刻蚀去除未覆盖光敏干膜 202 的该第一绝缘层 102 和该第一导电层 103。最后去除光敏干膜 202，得到如图 6g 所示的第一绝缘层 102 和第一导电层 103 的图形。在本步骤中，保留下所需的第一绝缘层 102 和第一导电层 103 的图案，多余部分的第一绝缘层 102 和第一导电层 103 被去除掉，以将半导体衬底 101 的上表面露出来。应理解，被留下的第一绝缘层 102 和第一导电层 103 的图案形状可根据电容规格需求来设计，这里不再展开叙述。

15 步骤 205，在该第一导电层 103 上表面和内表面，以及该半导体衬底 101 的上表面沉积第二绝缘层 104。

具体地，在如图 6g 所示的结构中，在该第一导电层 103 上表面和内表面，以及该半导体衬底 101 的上表面沉积绝缘材料，以形成该第二绝缘层 104，如图 6h 所示。

20 需要说明的是，该第二绝缘层 104 可以参考对该第一绝缘层 102 的相关描述，为了简洁，在此不再赘述。

步骤 206，对该第二绝缘层 104 进行光刻处理，以露出该半导体衬底 101 的上表面，该第二绝缘层 104 覆盖该第一绝缘层 102 和该第一导电层 103。

25 具体地，首先，在如图 6h 所示的结构的上表面覆盖一层光敏干膜 202，曝光、显影后形成覆盖该第二绝缘层 104 的干膜保护层，如图 6i 所示。接着，用干法刻蚀去除未覆盖光敏干膜的该第二绝缘层 104。最后去除光敏干膜 202，得到如图 6j 所示的第二绝缘层 104 的图形。类似的，本步骤中的第二绝缘层 104 在预定的图案区域被保留，多余部分的第二绝缘层 104 则被移除以露出该部分的半导体衬底 101。其中，第二绝缘层 104 将第一导电层 103 完全覆盖住。

30 步骤 207，在该第二绝缘层 104 上表面和内表面，以及该半导体衬底 101 的上表面沉积第二导电层 105。

具体地,在如图 6j 所示的结构中,在该第二绝缘层 104 上表面和内表面,以及该半导体衬底 101 的上表面沉积导电材料,以形成第二导电层 105,如图 6k 所示。

需要说明的是,该第二导电层 105 可以参考对该第一导电层 103 的相关描述,为了简洁,在此不再赘述。

步骤 208,对半导体衬底 101 进行刻蚀处理,以在该半导体衬底 101 中形成与该至少一个第一沟槽 108 一一对应的至少一个第二沟槽 109,该第二沟槽 109 自该半导体衬底 101 的下表面向上贯穿该第一绝缘层 102,以露出该第一导电层 103,或者,该第二沟槽 109 自该半导体衬底 101 的下表面向上延伸至该第一绝缘层 102。

可选地,可以根据深反应离子刻蚀对该半导体衬底 101 进行刻蚀处理,以在该半导体衬底 101 中形成该至少一个第二沟槽 109。

应理解,步骤 202-208 中所述各材料层的上表面是指该材料层与半导体衬底上表面基本平行的表面,而各材料层的内表面是指位于沟槽内材料层的上表面,上表面和内表面可以视为一个整体。

具体地,首先,在如图 6k 所示的结构的下表面(背面)旋涂一层光刻胶 201,并曝光、显影,形成未覆盖光刻胶 201 的刻蚀图形窗口,如图 6l 所示。接着,通过深反应离子刻蚀,在半导体衬底 101 中制作至少一个第二沟槽结构 109。可选地,在方式一中,该第二沟槽 109 自该半导体衬底 101 的下表面向上贯穿该第一绝缘层 102,以露出该第一导电层 103,如图 6m 所示。在方式二中,该第二沟槽 109 自该半导体衬底 101 的下表面向上延伸至该第一绝缘层 102,即仅延伸到第一绝缘层 102 的表面,如图 6n 所示。

应理解,在刻蚀出该至少一个第二沟槽 109 之后,会去除光刻胶 201。

步骤 209,在该半导体衬底 101 下表面和该至少一个第二沟槽 109 内表面沉积第三绝缘层 106。

具体地,若该第二沟槽 109 为步骤 208 中方式一,在如图 6m 所示的结构中,在该半导体衬底 101 下表面和该至少一个第二沟槽 109 内表面沉积绝缘材料,以形成该第三绝缘层 106,如图 6o 所示。

若该第二沟槽 109 为步骤 208 中方式二,在如图 6n 所示的结构中,在该半导体衬底 101 下表面和该至少一个第二沟槽 109 内表面沉积绝缘材料,以形成该第三绝缘层 106,如图 6p 所示。

需要说明的是，该第三绝缘层 106 可以参考对该第一绝缘层 102 的相关描述，为了简洁，在此不再赘述。

步骤 210，若该第二沟槽 109 贯穿该第一绝缘层 102（步骤 208 中方式一），去除该至少一个第二沟槽 109 底部沉积的该第三绝缘层 106，以露出该
5 第一导电层 103，或者，

若该第二沟槽 109 延伸至该第一绝缘层 102（步骤 208 中方式二），去除该至少一个第二沟槽 109 底部沉积的该第三绝缘层 106，以及去除该至少一个第一沟槽底 108 部沉积的该第一绝缘层 102，以露出该第一导电层 103。

具体地，若该第二沟槽 109 为步骤 208 中方式一，首先，在如图 6o 所示的结构的下表面覆盖一层光敏干膜 202，曝光、显影后形成覆盖该第三绝缘层 106 下表面的干膜保护层，如图 6q 所示。接着，用干法刻蚀去除该至少一个第二沟槽 109 底部沉积的该第三绝缘层 106，以露出该第一导电层 103，如图 6r 所示。

若该第二沟槽 109 为步骤 208 中方式二，首先，在如图 6p 所示的结构的下表面覆盖一层光敏干膜 202，曝光、显影后形成覆盖该第三绝缘层 106 下表面的干膜保护层，如图 6s 所示。接着，用干法刻蚀去除该至少一个第二沟槽底 109 部沉积的该第三绝缘层 106，以及去除该至少一个第一沟槽 108 底部沉积的该第一绝缘层 102，以露出该第一导电层 103，如图 6t 所示。

步骤 211，在该第三绝缘层 106 下表面和内表面沉积第三导电层 107。

具体地，若该第二沟槽 109 为步骤 208 中方式一，在如图 6r 所示的结构中，在该第三绝缘层 106 下表面和内表面沉积第三导电层 107，如图 6u 所示。

若该第二沟槽 109 为步骤 208 中方式二，在如图 6t 所示的结构中，在该第三绝缘层 106 下表面和内表面沉积第三导电层 107，如图 6v 所示。

需要说明的是，该第三导电层 107 可以参考对该第一导电层 103 的相关描述，为了简洁，在此不再赘述。

可选地，在步骤 280 中对半导体衬底 101 进行刻蚀处理之前，该方法 200 还包括：对该半导体衬底 101 下表面进行减薄处理。

具体地，先用背面研磨并抛光的方式，将该半导体衬底 101 下表面减薄至合适厚度，然后，进行刻蚀处理，以形成该至少一个第二沟槽 109。

需要说明的是，在该半导体衬底 101 的厚度不满足电容器需求时，对该

半导体衬底 101 下表面进行减薄处理。也就是说，在该第一沟槽 108 的深度与该第二沟槽 109 的深度之和小于该半导体衬底 101 的厚度时，此时，需要对该半导体衬底 101 下表面进行减薄处理，才能实现该第一沟槽 108 的底部与该第二沟槽 109 的底部的连通。

5 可选地，该方法 200 还包括：

对该第三导电层 107 进行光刻处理，以露出该半导体衬底 101 的下表面。

即在步骤 211 之后，还需要对该第三导电层 107 进行光刻处理，以露出该半导体衬底 101 的下表面。

具体地，首先，在如图 6u 或者图 6v 所示的结构的下表面旋涂一层光刻
10 胶 201，曝光、显影后形成覆盖该第三导电层 107 的光刻胶图形。接着，用铜刻蚀液和钛刻蚀液将未覆盖光刻胶 201 的金属去除。最后去除光刻胶 201，得到如图 6w 或者图 6x 所示的电容器。

应理解，图 6（图 6a-6x）是以刻蚀一个第一沟槽 108 和一个第二沟槽
109 为例进行说明，还可以刻蚀其他数量的第一沟槽 108 和第二沟槽 109，
15 本申请实施例对比不作限定。

本步骤中，按照预定设计的电极图案，将图案区的第三导电层保留，其余区域的第三导电层被移除以露出半导体衬底表面，留下的第三导电层即形成了预定图案的电极，作为电容器的其中一个电极。

可选地，该方法 200 还包括：

20 对该半导体衬底 101 进行刻蚀处理，以在该半导体衬底 101 中形成至少一个第三沟槽 110，该第三沟槽 110 自该半导体衬底 101 的下表面向上延伸，该第三沟槽 110 的深度小于该半导体衬底 101 的厚度；

在该至少一个第三沟槽 110 内表面沉积该第三绝缘层 106，以及在该第三绝缘层 106 的内表面沉积该第三导电层 107。

25 具体地，首先，在该半导体衬底 101 的下表面（背面）旋涂一层光刻胶 201，并曝光、显影，形成未覆盖光刻胶 201 的刻蚀图形窗口。接着，通过深反应离子刻蚀，在半导体衬底 101 中制作至少一个第三沟槽 110。

可选地，可以制作如图 7 所示的包括第三沟槽 110 的电容器，也可以制作如图 8 所示的包括第三沟槽 110 的电容器。

30 应理解，图 7 和图 8 是以刻蚀一个第一沟槽、一个第二沟槽和两个第三沟槽为例进行说明，还可以刻蚀其他数量的第一沟槽、第二沟槽和第三沟槽，

本申请实施例对比不作限定。第三沟槽和第二沟槽可以在同一工序中形成，也就是可以同步形成这两个沟槽以及沟槽内的绝缘层和导电层等填充材料。

图 9 示出了根据本申请实施例的电容器的制作方法 300 的示意性流程图。如图 9 所示，该电容器的制作方法 300 包括：

5 步骤 301，对半导体衬底进行刻蚀处理，以在该半导体衬底中形成至少一个第一沟槽，该第一沟槽自该半导体衬底的上表面向下，且该第一沟槽的深度小于或者等于该半导体衬底的厚度。

步骤 302，在该半导体衬底上表面和该至少一个第一沟槽内表面沉积第一绝缘层。

10 步骤 303，在该第一绝缘层上表面和内表面沉积第一导电层。

步骤 304，对该第一绝缘层和该第一导电层进行光刻处理，以露出该半导体衬底的上表面。

步骤 305，在该第一导电层上表面和内表面，以及该半导体衬底的上表面沉积第二绝缘层。

15 步骤 306，对该第二绝缘层进行光刻处理，以露出该半导体衬底的上表面，该第二绝缘层覆盖该第一绝缘层和该第一导电层。

步骤 307，在该第二绝缘层上表面和内表面，以及该半导体衬底的上表面沉积第二导电层。

步骤 308，在该半导体衬底下表面沉积第三绝缘层。

20 步骤 309，去除该至少一个第一沟槽下的该第三绝缘层，以露出该第一导电层。

步骤 310，在该第三绝缘层下表面和内表面沉积第三导电层。

可选地，在该第一沟槽的深度小于该半导体衬底的厚度时，该方法 300 还包括：

25 在该半导体衬底下表面沉积该第三绝缘层（步骤 308）之前，对该半导体衬底下表面进行减薄处理。

具体地，先用背面研磨并抛光的方式，将该半导体衬底下表面减薄至合适厚度，然后，在该半导体衬底下表面沉积该第三绝缘层。

可选地，该方法 300 还包括：

30 对该第三导电层进行光刻处理，以露出该半导体衬底的下表面。

具体地，该方法 300 中相对于方法 200，其主要区别在于半导体衬底的

下表面没有形成第二沟槽，或者说第二沟槽的深度为 0，通过直接在半导体衬底上形成第三绝缘层，并进一步在该第三绝缘层上开设窗口或孔以形成能与第一导电层电连接的第三导电层（也就是电容器的电极），基于该方法 300 可以制作如图 4 所示的电容器。

5 应理解，电容器的制作方法 300 中的步骤可以参考电容器的制作方法 200 中的相应步骤，为了简洁，在此不再赘述。

因此，本申请实施例中，通过合理设计图形，在后续的光刻过程中将先制作好的材料薄膜覆盖保护起来，降低了刻蚀难度，提高了工艺可靠性。

下面结合一个具体地实施例对本申请的电容器的制作方法作进一步说明。10 为了便于理解，在该实施例中制作如图 1 所示的电容器。当然，利用该实施例中的电容器的制作方法还可以制作如图 2、图 3、图 4、图 6、图 7 和图 8 所示的电容器，只是在沟槽设计和绝缘层、导电层的覆盖范围等部分有所区别，为了简洁，在此不再赘述。

步骤一：选用掺杂硼，电阻率为 $0.001\text{--}0.005\Omega\cdot\text{cm}$ ，晶向为 (100)，厚度15 为 750 微米的硅晶圆作为半导体衬底。在半导体衬底的上表面（正面）旋涂一层光刻胶，曝光、显影后在半导体衬底上表面形成一个光刻胶的圆孔，圆孔直径为 10 微米。然后用 DRIE 刻蚀工艺加工出深度为 120 微米的第一沟槽。最后去除光刻胶。

步骤二：用 ALD 工艺，在半导体衬底上表面和第一沟槽表面沉积 20 纳20 米厚的氧化铪 (HfO_2) 作为第一绝缘层。

步骤三：用 ALD 工艺，在第一绝缘层（氧化铪层）表面沉积一层 25 纳米厚的氮化钛 (TiN) 作为第一导电层。

步骤四：在半导体衬底上表面覆盖一层光敏干膜，曝光、显影后形成覆盖第一沟槽及其边缘的干膜保护层。接着，用干法刻蚀去除未覆盖干膜的氧化铪和氮化钛。最后去除干膜，得到第一绝缘层和第一导电层的图形。25

需要说明的是，光敏干膜占据半导体衬底上表面的部分区域，在用干法刻蚀去除未覆盖干膜的氧化铪和氮化钛之后，露出半导体衬底的上表面。

步骤五：用 ALD 工艺，在半导体衬底上表面和第一导电层表面沉积 20 纳米厚的氧化铪 (HfO_2) 作为第二绝缘层。

30 步骤六：在第二绝缘层的上表面覆盖一层光敏干膜，曝光、显影后形成覆盖第二绝缘层及其边缘的干膜保护层。接着，用干法刻蚀去除未覆盖干膜

的氧化铪。最后去除干膜，得到第二绝缘层的图形。

需要说明的是，光敏干膜占据第二绝缘层的部分区域，在用干法刻蚀去除未覆盖干膜的氧化铪之后，露出半导体衬底的上表面。

步骤七：在半导体衬底上表面和第二绝缘层表面沉积第二导电层。先用
5 PVD 的方式沉积一层钛和一层厚度较薄铜作为电镀的阻挡层和种子层，接着用电镀的方式沉积厚度较厚的铜，得到第二导电层。

步骤八：用背面研磨并抛光的方式将半导体衬底下表面（背面）厚度减薄至 150 微米。

步骤九：在抛光的半导体衬底下表面（背面）旋涂一层光刻胶，曝光、
10 显影后在半导体衬底下表面形成一个光刻胶的圆孔，圆孔直径为 5 微米。然后用 DRIE 刻蚀工艺加工与第一沟槽对齐的第二沟槽。最后去除光刻胶。需要说明的是，第二沟槽的深度贯穿第一沟槽底部的第一绝缘层，露出第一导电层。

步骤十：用等离子体增强化学气相沉积法（Plasma Enhanced Chemical
15 Vapor Deposition, PECVD）工艺，在半导体衬底下表面和第二沟槽表面沉积 200 纳米的 TEOS 作为第三绝缘层。

步骤十一：在半导体衬底下表面覆盖一层光敏干膜，曝光、显影后在第二沟槽的位置形成开口。接着用干法刻蚀去除第二沟槽底部的 TEOS，以露出第一导电层。

20 步骤十二：在半导体衬底下表面、第二沟槽底部以及第三绝缘层表面沉积第三导电层。先用 PVD 的方式沉积一层钛和一层厚度较薄铜作为电镀的阻挡层和种子层，接着用电镀的方式沉积厚度较厚的铜，得到第三导电层。

步骤十三，在第三导电层表面旋涂一层光刻胶，曝光、显影后形成光刻胶图形。用铜刻蚀液和钛刻蚀液将未覆盖光刻胶的金属去除。

25 需要说明的是，光刻胶占据第三导电层的部分区域，在用铜刻蚀液和钛刻蚀液将未覆盖光刻胶的金属去除之后，露出第三绝缘层的下表面。

本领域普通技术人员可以意识到，以上结合附图详细描述了本申请的优选实施方式，但是，本申请并不限于上述实施方式中的具体细节，在本申请的技术构思范围内，可以对本申请的技术方案进行多种简单变型，这些简单
30 变型均属于本申请的保护范围。

另外需要说明的是，在上述具体实施方式中所描述的各个具体技术特

征，在不矛盾的情况下，可以通过任何合适的方式进行组合，为了避免不必要的重复，本申请对各种可能的组合方式不再另行说明。

此外，本申请的各种不同的实施方式之间也可以进行任意组合，只要其不违背本申请的思想，其同样应当视为本申请所申请的内容。

权利要求

1、一种电容器，其特征在于，所述电容器包括：

半导体衬底(101)，包括相对设置的上表面和下表面；

5 至少一第一沟槽(108)，设置于所述半导体衬底(101)，并自所述上表面
向下形成；

至少一第二沟槽(109)，设置于所述半导体衬底(101)且对应于所述第一
沟槽(108)，并自所述下表面向上形成；

第一导电层(103)，设置在所述半导体衬底(101)上方和所述第一沟槽(108)
内；

10 第一绝缘层(102)，设置于所述半导体衬底(101)与所述第一导电层(103)
之间，以将所述第一导电层(103)与所述半导体衬底(101)隔离；

第二导电层(105)，设置在所述半导体衬底(101)上方和所述第一沟槽(108)
内，且所述第二导电层(105)与所述半导体衬底(101)电连接；

15 第二绝缘层(104)，设置于所述第二导电层(105)与所述第一导电层(103)
之间，以将所述第二导电层(105)与所述第一导电层(103)隔离；

第三导电层(107)，设置在所述半导体衬底(101)下方和所述第二沟槽(109)
内；

20 第三绝缘层(106)，设置于所述第三导电层(107)与所述半导体衬底(101)
之间，以将所述第三导电层(109)与所述半导体衬底(101)隔离，所述第三导
电层(107)与所述第一导电层(103)电连接。

25 2、根据权利要求 1 所述的电容器，其特征在于，所述半导体衬底(101)
中设置有至少一个第三沟槽(110)，所述第三沟槽(110)自所述半导体衬底(101)
的下表面向上形成，所述第三沟槽(110)的深度小于所述半导体衬底(101)的厚
度，在所述至少一个第三沟槽(110)内依次设置有所述第三绝缘层(106)和所述
第三导电层(107)。

3、根据权利要求 2 所述的电容器，其特征在于，所述第三沟槽(110)在
所述半导体衬底(101)中与所述半导体衬底(101)表面平行的任意横截面与所
述第二沟槽(109)相同。

30 4、根据权利要求 1 至 3 中任一项所述的电容器，其特征在于，所述第
二导电层(105)在位于相邻设置的两个所述第一沟槽(108)之间形成向下凹
陷，以阻断所述第二绝缘层(104)并与所述半导体衬底(101)电连接；或者所

述第二导电层(105)在位于相邻设置的两个所述第一沟槽(108)之间平坦设置,通过所述第二绝缘层(104)与所述半导体衬底(101)相隔离。

5 5、根据权利要求1至4中任一项所述的电容器,其特征在于,所述第一沟槽(108)在所述半导体衬底(101)中与所述半导体衬底(101)表面平行的任意横截面上的宽度大于所述第二沟槽(109)的宽度。

6、根据权利要求1至5中任一项所述的电容器,其特征在于,所述第一沟槽(108)与所述第二沟槽(109)对齐。

7、根据权利要求1至6中任一项所述的电容器,其特征在于,所述第一沟槽(108)的深度大于所述第二沟槽(109)的深度。

10 8、根据权利要求1至7中任一项所述的电容器,其特征在于,所述第一沟槽(108)的深度等于所述半导体衬底(101)的厚度,所述第二沟槽(109)的深度等于0。

9、根据权利要求1至8中任一项所述的电容器,其特征在于,所述第一绝缘层(102)在所述半导体衬底(101)上的投影面积与所述第一导电层(103)相同,所述第一绝缘层(102)在所述半导体衬底(101)上的投影面积小于所述
15 第二绝缘层(104),所述第二绝缘层(104)在所述半导体衬底(101)上的投影面积小于所述第二导电层(105)。

10、根据权利要求1至9中任一项所述的电容器,其特征在于,所述第三绝缘层(106)在所述半导体衬底(101)上的投影面积大于所述第三导电层
20 (107)。

11、根据权利要求1至10中任一项所述的电容器,其特征在于,所述第一绝缘层(102)、所述第二绝缘层(104)和所述第三绝缘层(106)中的至少一种包括以下至少一层:

硅的氧化物层、硅的氮化物层、金属的氧化物层和金属的氮化物层。

25 12、根据权利要求1至11中任一项所述的电容器,其特征在于,所述第一导电层(103)、所述第二导电层(105)和所述第三导电层(107)中的至少一种包括以下至少一层:重掺杂多晶硅层、碳基材料层、金属层和氮化钛层。

13、根据权利要求1至12中任一项所述的电容器,其特征在于,所述第二导电层(105)为所述电容器的一个电极,所述第三导电层(107)为所述电
30 容器的另一个电极。

14、一种电容器的制作方法,其特征在于,包括:

对半导体衬底进行刻蚀处理，以在所述半导体衬底中形成至少一个第一沟槽，所述第一沟槽自所述半导体衬底的上表面向下形成，且所述第一沟槽的深度小于所述半导体衬底的厚度；

5 在所述半导体衬底上表面和所述至少一个第一沟槽内表面沉积第一绝缘层；

在所述第一绝缘层上表面和内表面沉积第一导电层；

对所述第一绝缘层和所述第一导电层进行光刻处理，以露出所述半导体衬底的上表面；

10 在所述第一导电层上表面和内表面，以及所述半导体衬底的上表面沉积第二绝缘层；

对所述第二绝缘层进行光刻处理，以露出所述半导体衬底的上表面，所述第二绝缘层覆盖所述第一绝缘层和所述第一导电层；

在所述第二绝缘层上表面和内表面，以及所述半导体衬底的上表面沉积第二导电层；

15 对半导体衬底进行刻蚀处理，以在所述半导体衬底中形成与所述至少一个第一沟槽一一对应的至少一个第二沟槽，所述第二沟槽自所述半导体衬底的下表面向上贯穿所述第一绝缘层，以露出所述第一导电层，或者，所述第二沟槽自所述半导体衬底的下表面向上延伸至所述第一绝缘层；

20 在所述半导体衬底下表面和所述至少一个第二沟槽内表面沉积第三绝缘层；

若所述第二沟槽贯穿所述第一绝缘层，去除所述至少一个第二沟槽底部沉积的所述第三绝缘层，以露出所述第一导电层，或者，

25 若所述第二沟槽延伸至所述第一绝缘层，去除所述至少一个第二沟槽底部沉积的所述第三绝缘层，以及去除所述至少一个第一沟槽底部沉积的所述第一绝缘层，以露出所述第一导电层；

在所述第三绝缘层下表面和内表面沉积第三导电层。

15、根据权利要求 14 所述的方法，其特征在于，在对所述半导体衬底进行刻蚀处理之前，所述方法还包括：

对所述半导体衬底下表面进行减薄处理。

30 16、根据权利要求 14 或 15 所述的方法，其特征在于，所述方法还包括：对所述半导体衬底进行刻蚀处理，以在所述半导体衬底中形成至少一个

第三沟槽，所述第三沟槽自所述半导体衬底的下表面向上延伸，所述第三沟槽的深度小于所述半导体衬底的厚度；

在所述至少一个第三沟槽内表面沉积所述第三绝缘层，以及在所述第三绝缘层的内表面沉积所述第三导电层。

5 17、根据权利要求 16 所述的方法，其特征在于，所述第三沟槽在所述半导体衬底中与所述半导体衬底表面平行的任意横截面与所述第二沟槽相同。

18、根据权利要求 14 至 17 中任一项所述的方法，其特征在于，所述方法还包括：

10 对所述第三导电层进行光刻处理，以露出所述半导体衬底的下表面。

19、根据权利要求 14 至 18 中任一项所述的方法，其特征在于，在所述半导体衬底的上表面，相邻设置的两个所述第一沟槽之间所述第二导电层与所述半导体衬底电连接。

15 20、根据权利要求 14 至 19 中任一项所述的方法，其特征在于，所述第一沟槽在所述半导体衬底中与所述半导体衬底表面平行的任意横截面上的宽度大于所述第二沟槽的宽度。

21、根据权利要求 14 至 20 中任一项所述的方法，其特征在于，所述第一沟槽与所述第二沟槽对齐。

20 22、根据权利要求 14 至 21 中任一项所述的方法，其特征在于，所述第一沟槽的深度大于所述第二沟槽的深度。

23、根据权利要求 14 至 22 中任一项所述的方法，其特征在于，所述对半导体衬底进行刻蚀处理，包括：

利用深反应离子刻蚀 DRIE 对所述半导体衬底进行刻蚀处理。

24、一种电容器的制作方法，其特征在于，包括：

25 对半导体衬底进行刻蚀处理，以在所述半导体衬底中形成至少一个第一沟槽，所述第一沟槽自所述半导体衬底的上表面向下，且所述第一沟槽的深度小于或者等于所述半导体衬底的厚度；

在所述半导体衬底上表面和所述至少一个第一沟槽内表面沉积第一绝缘层；

30 在所述第一绝缘层上表面和内表面沉积第一导电层；

对所述第一绝缘层和所述第一导电层进行光刻处理，以露出所述半导体

衬底的上表面;

在所述第一导电层上表面和内表面,以及所述半导体衬底的上表面沉积第二绝缘层;

5 对所述第二绝缘层进行光刻处理,以露出所述半导体衬底的上表面,所述第二绝缘层覆盖所述第一绝缘层和所述第一导电层;

在所述第二绝缘层上表面和内表面,以及所述半导体衬底的上表面沉积第二导电层;

在所述半导体衬底下表面沉积第三绝缘层;

10 去除所述至少一个第一沟槽下的所述第三绝缘层,以露出所述第一导电层;

在所述第三绝缘层下表面和内表面沉积第三导电层。

25、根据权利要求 24 所述的方法,其特征在于,在所述第一沟槽的深度小于所述半导体衬底的厚度时,所述方法还包括:

15 在所述半导体衬底下表面沉积所述第三绝缘层之前,对所述半导体衬底下表面进行减薄处理。

26、根据权利要求 24 或 25 所述的方法,其特征在于,所述方法还包括:

对所述第三导电层进行光刻处理,以露出所述半导体衬底的下表面。

27、根据权利要求 24 至 26 中任一项所述的方法,其特征在于,在所述半导体衬底的上表面,相邻设置的两个所述第一沟槽之间所述第二导电层与
20 所述半导体衬底电连接。

28、根据权利要求 24 至 27 中任一项所述的方法,其特征在于,所述对半导体衬底进行刻蚀处理,包括:

利用深反应离子刻蚀对所述半导体衬底进行刻蚀处理。

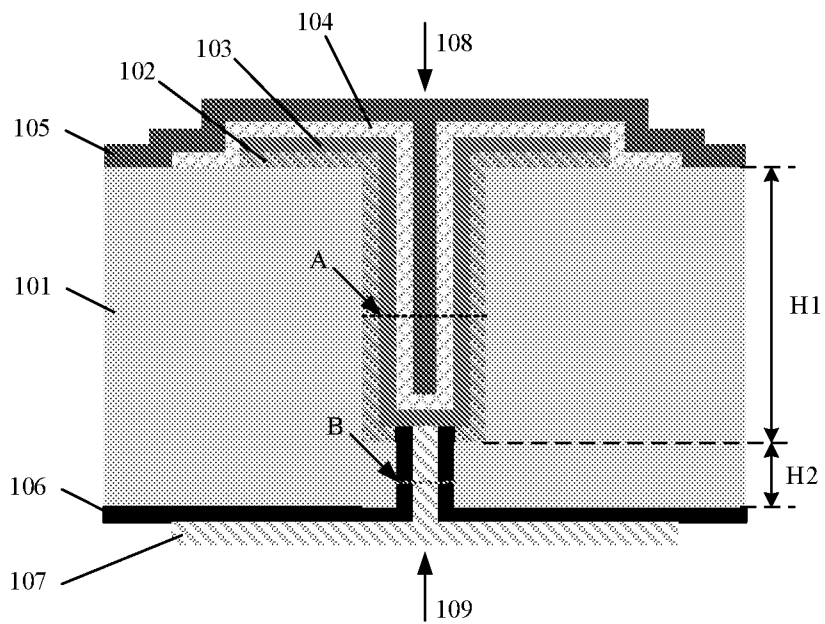


图 1

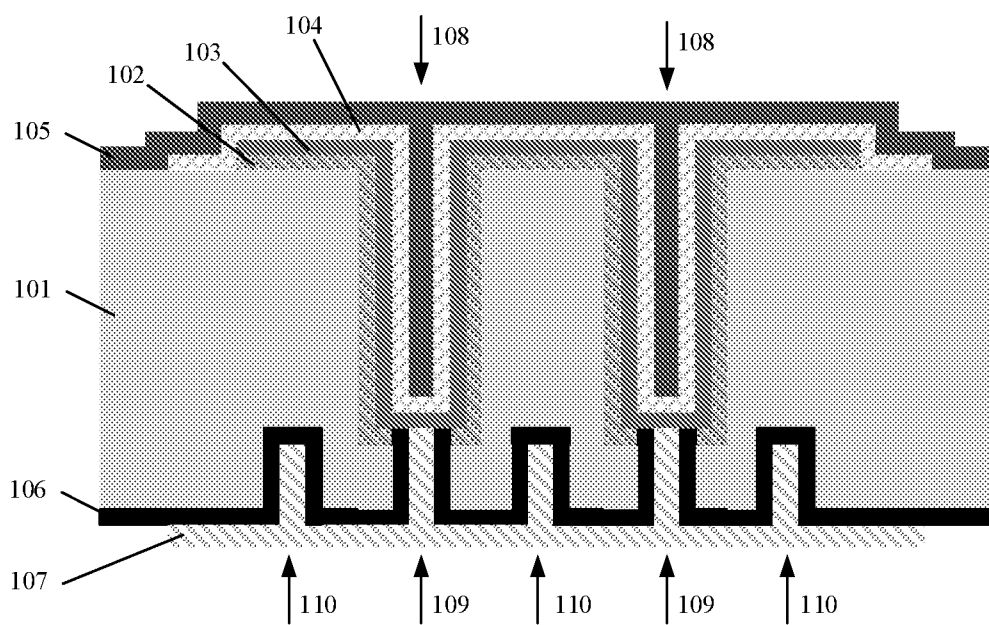


图 2

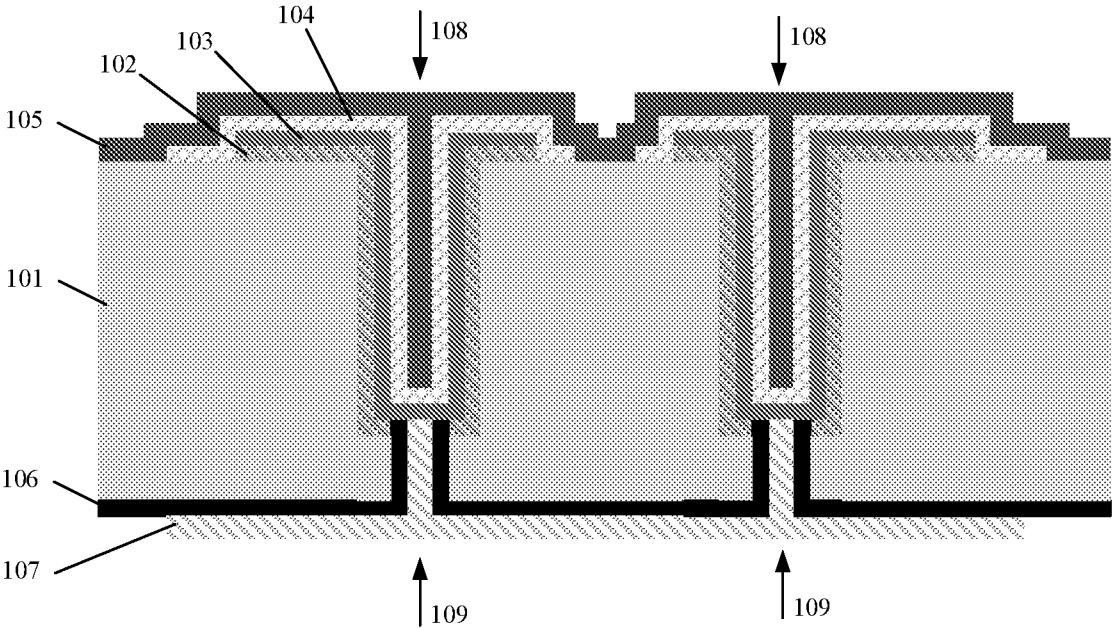


图 3

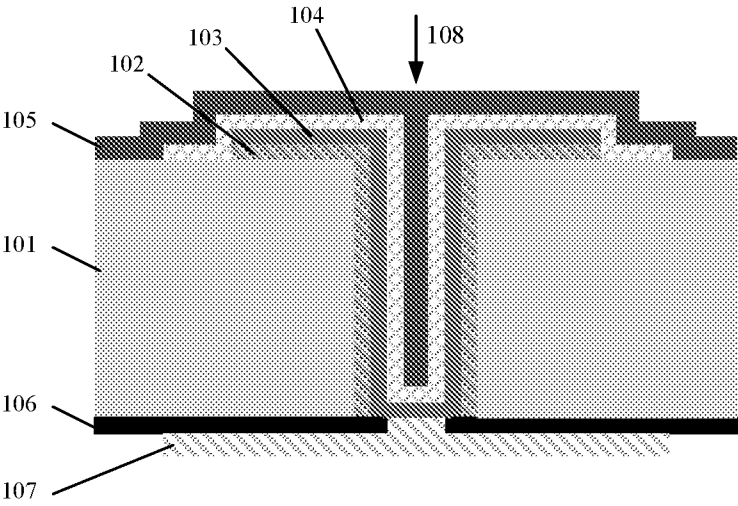


图 4

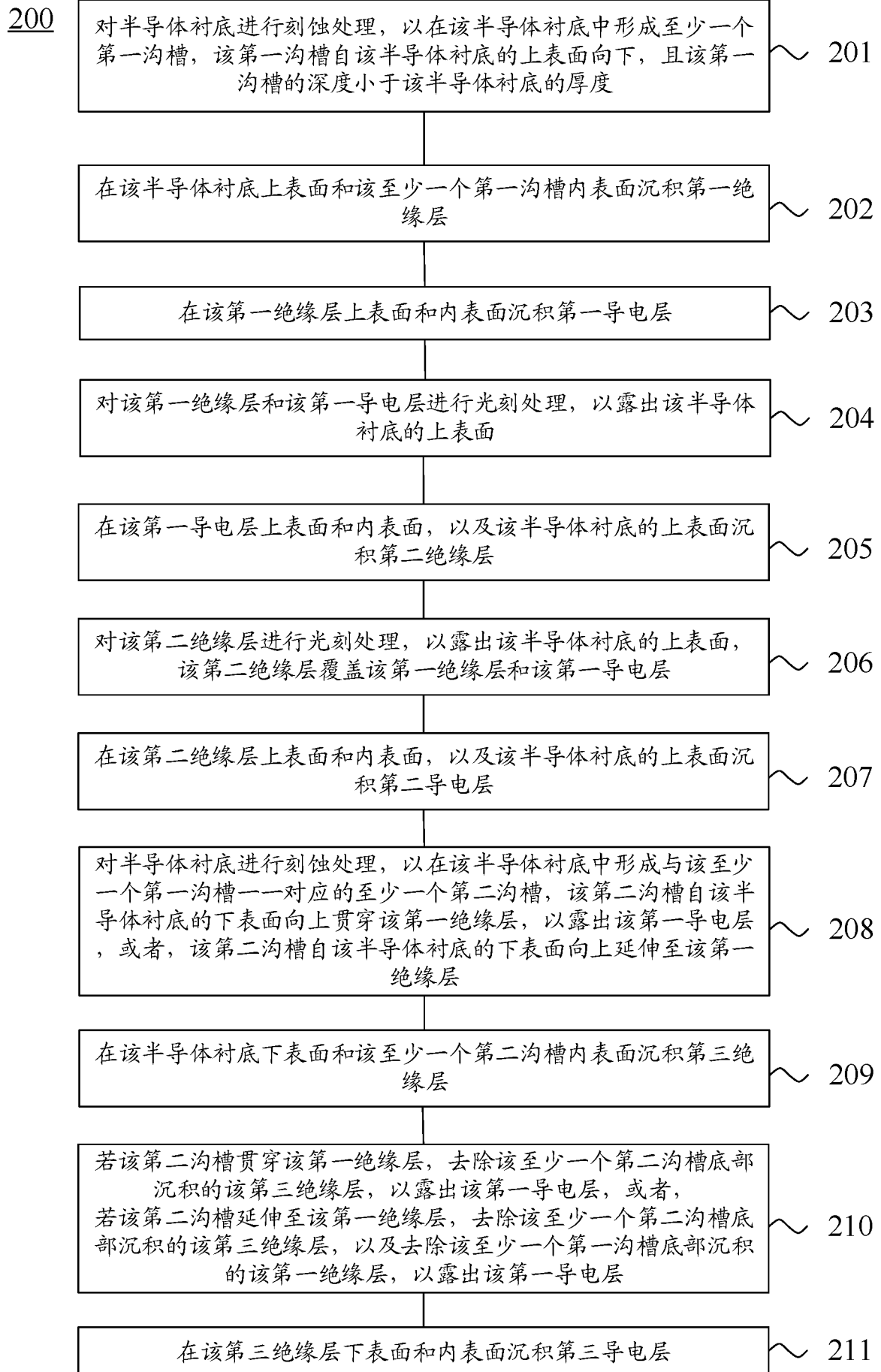


图 5

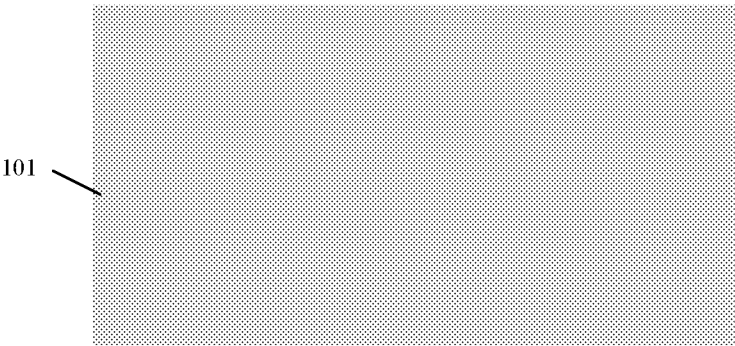


图 6a

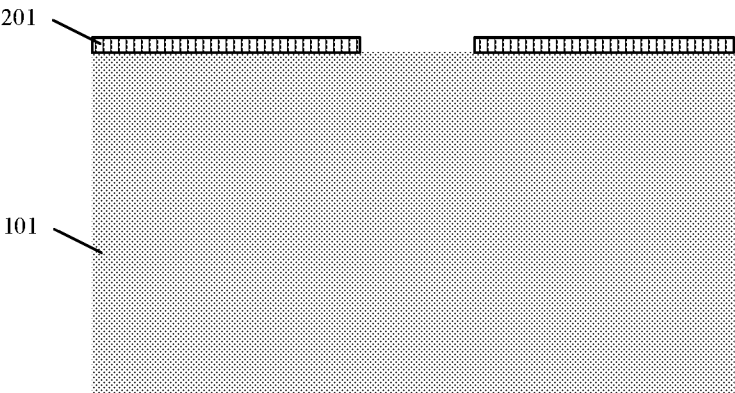


图 6b

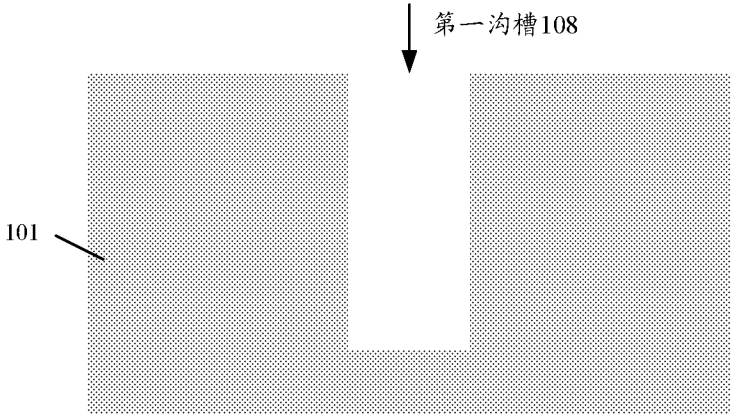


图 6c

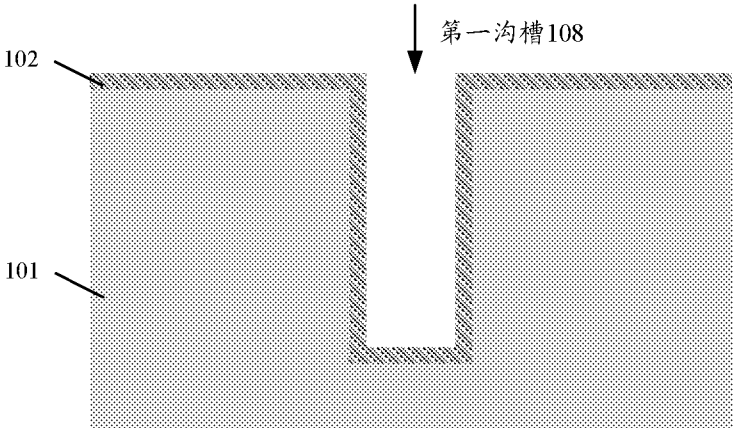


图 6d

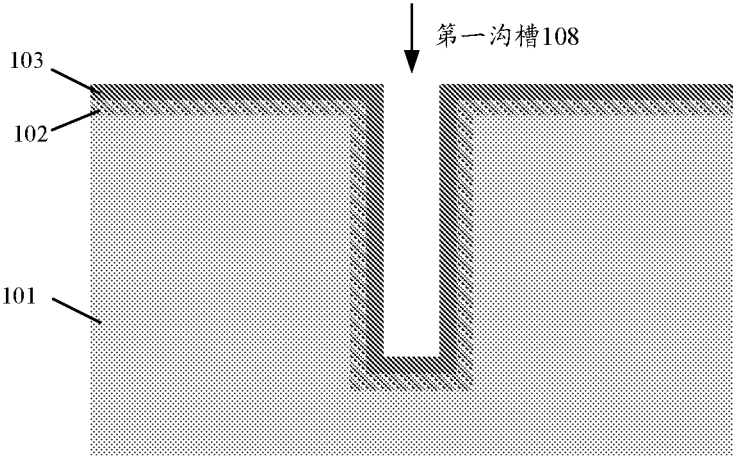


图 6e

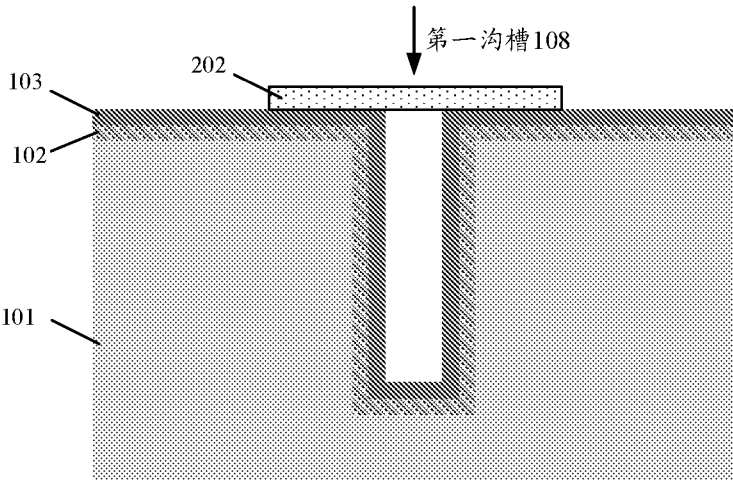


图 6f

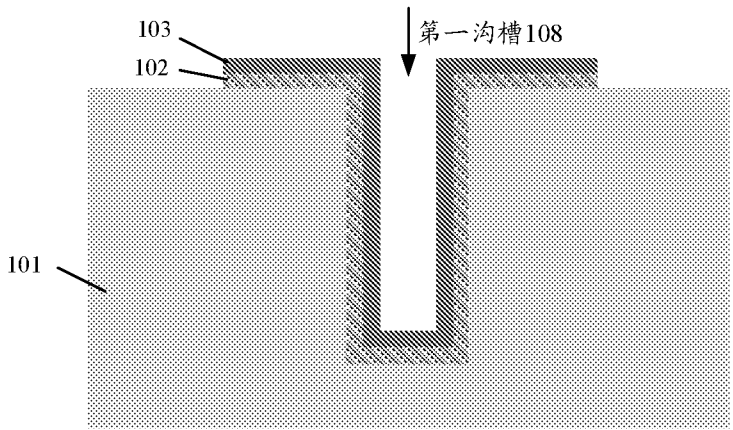


图 6g

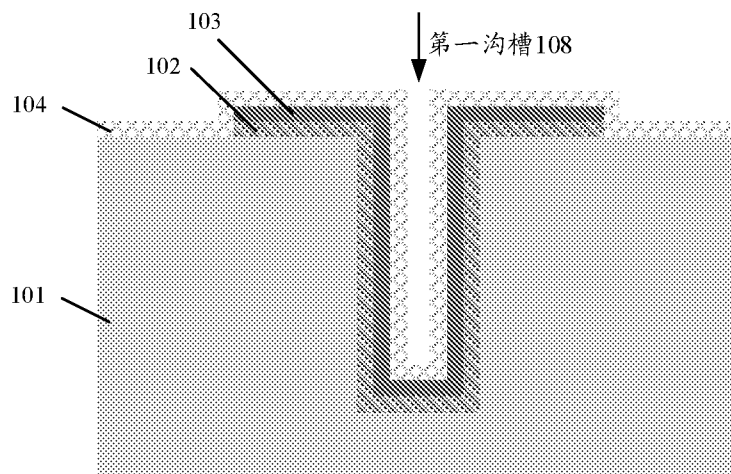


图 6h

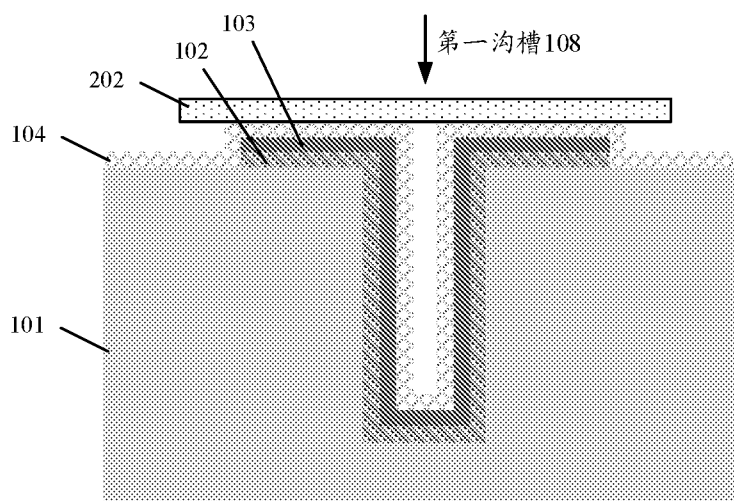


图 6i

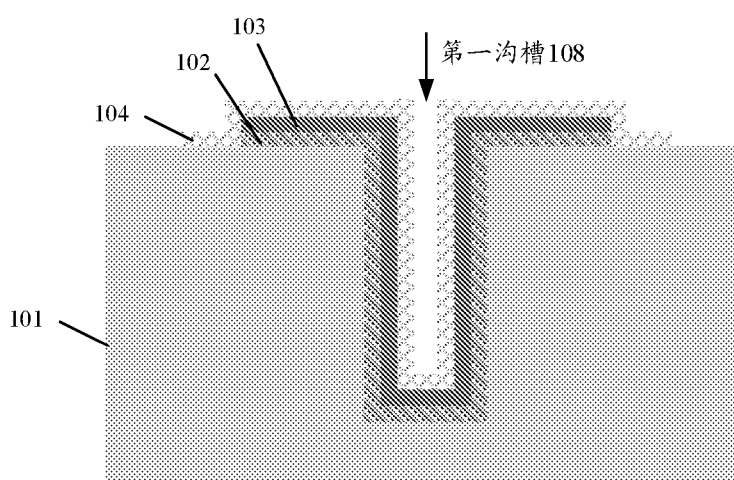


图 6j

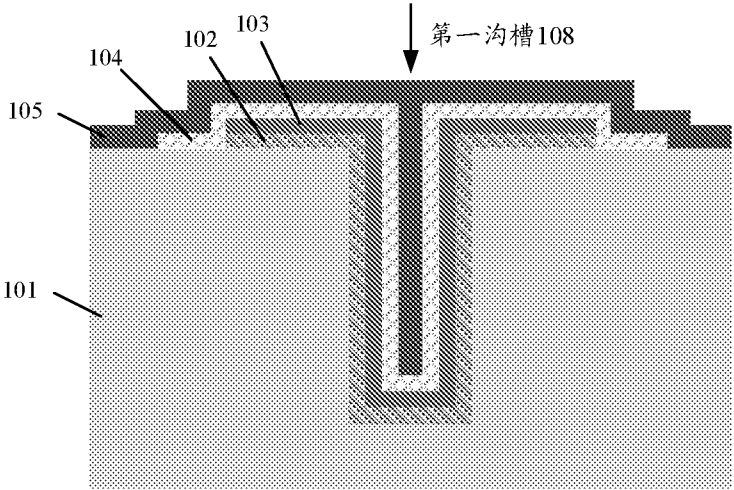


图 6k

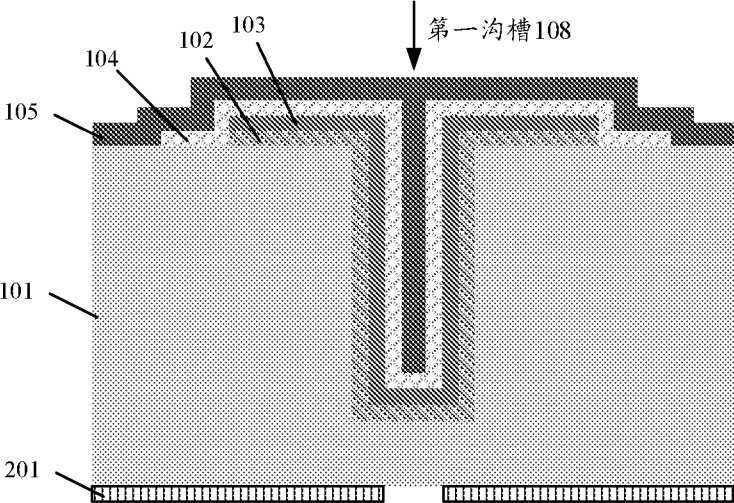


图 6l

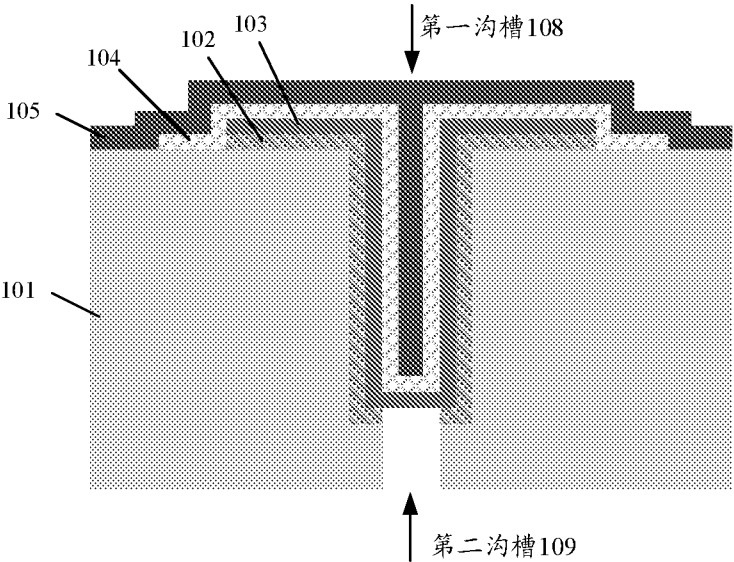


图 6m

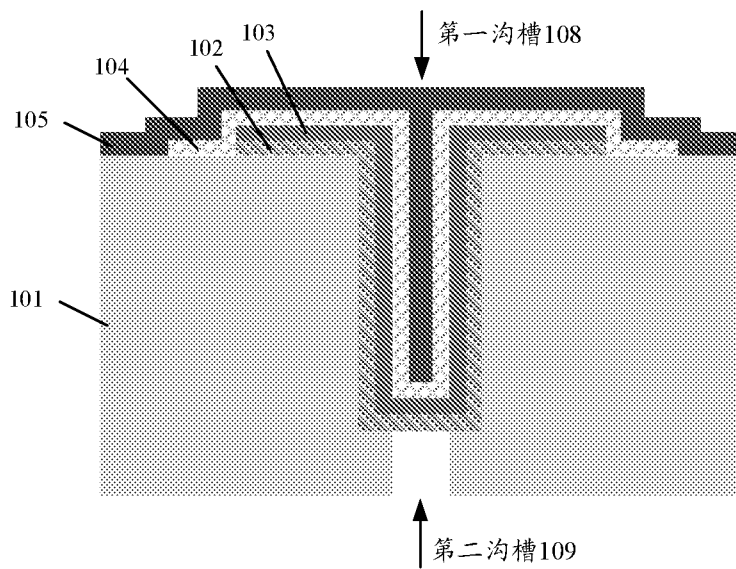


图 6n

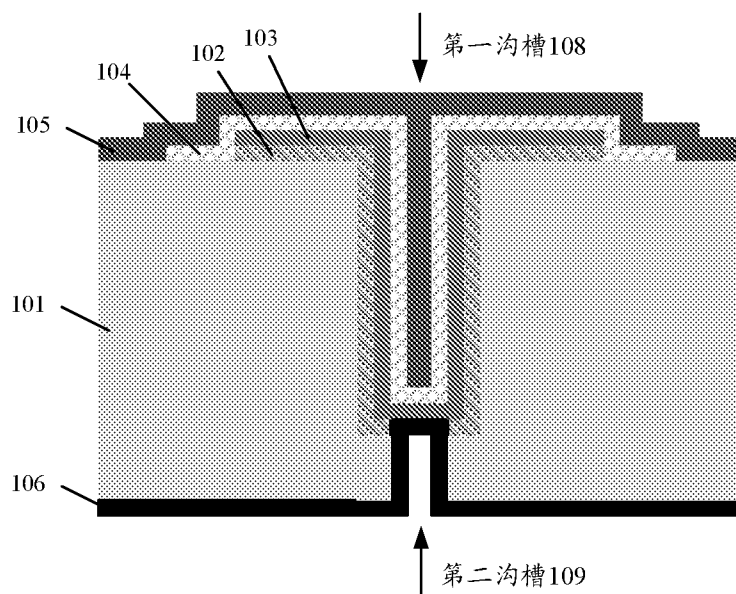


图 6o

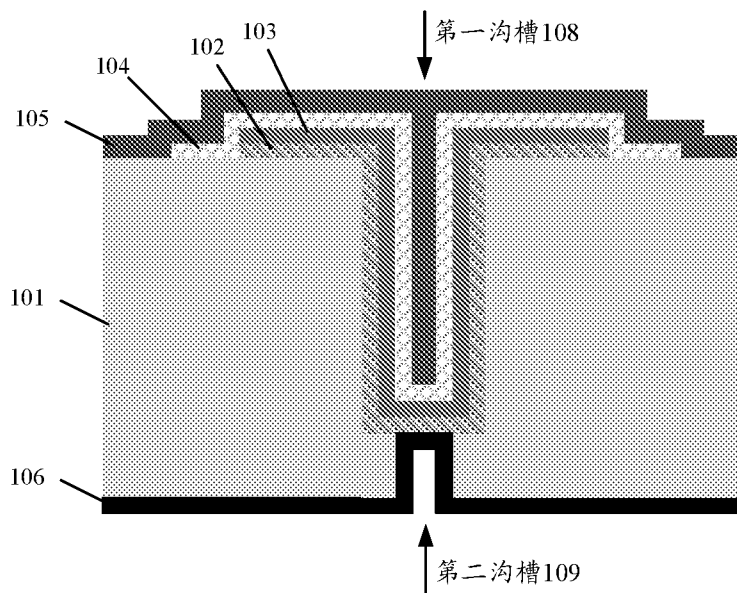


图 6p

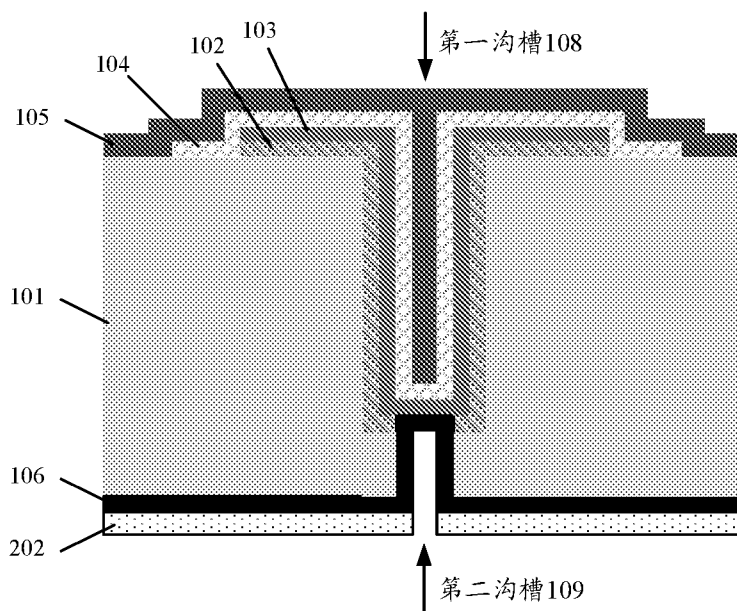


图 6q

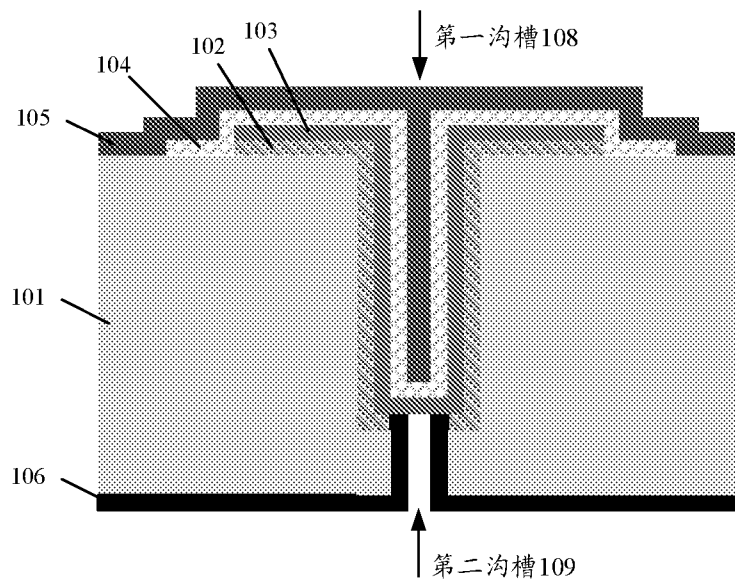


图 6r

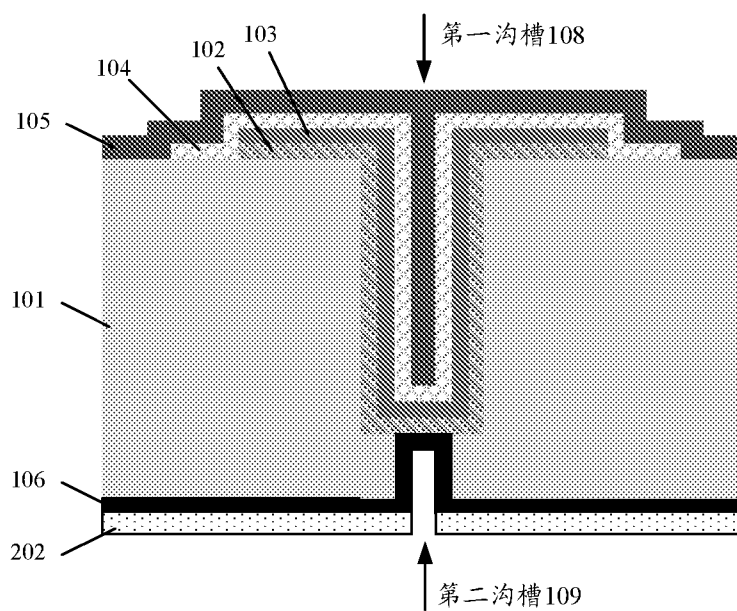


图 6s

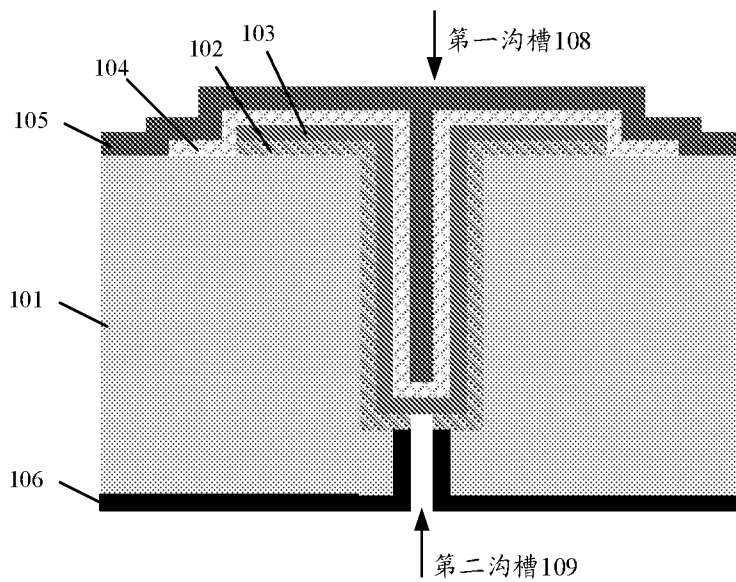


图 6t

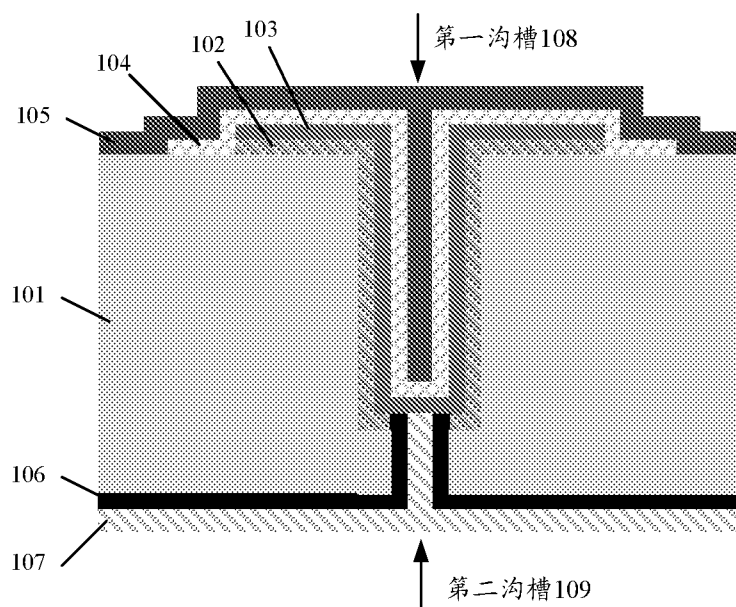


图 6u

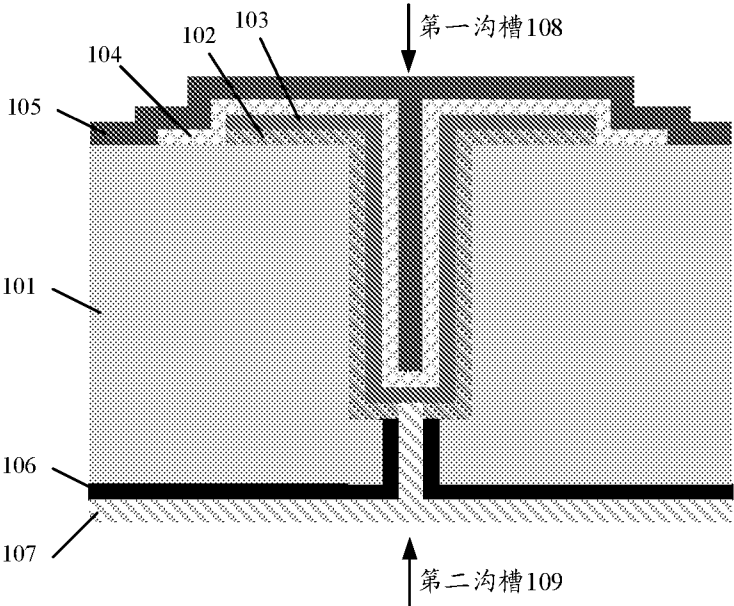


图 6v

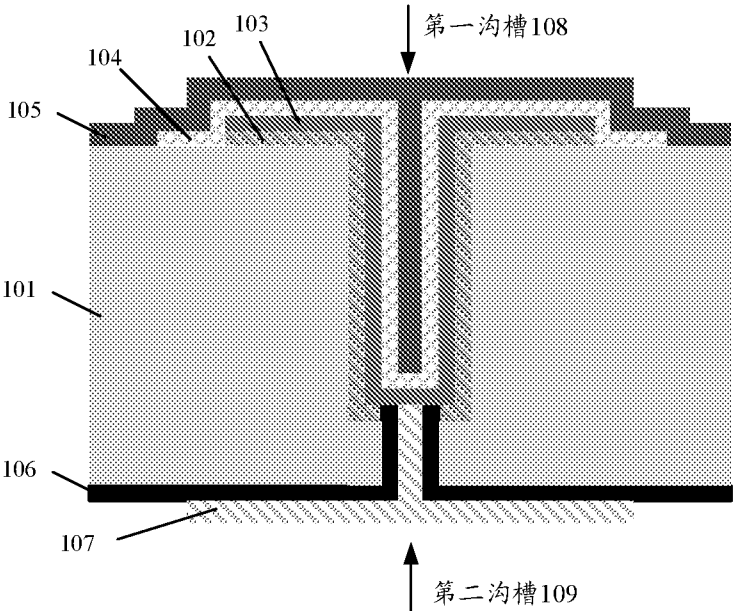


图 6w

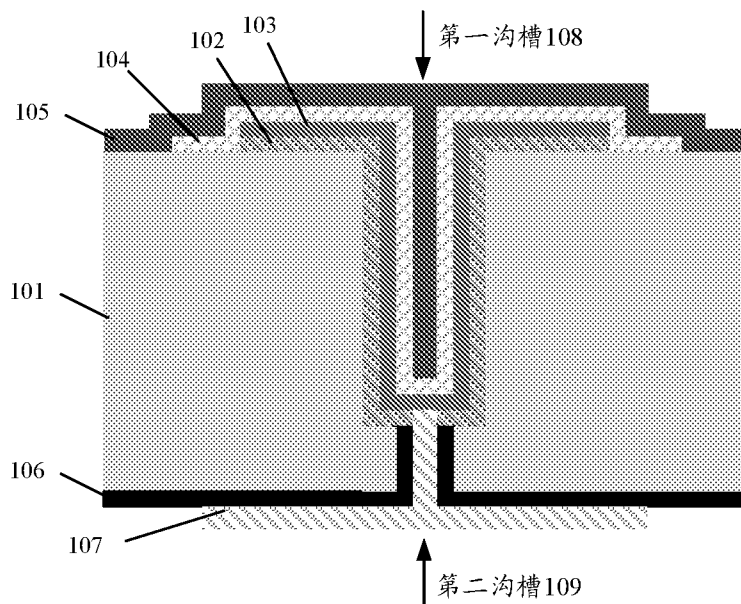


图 6x

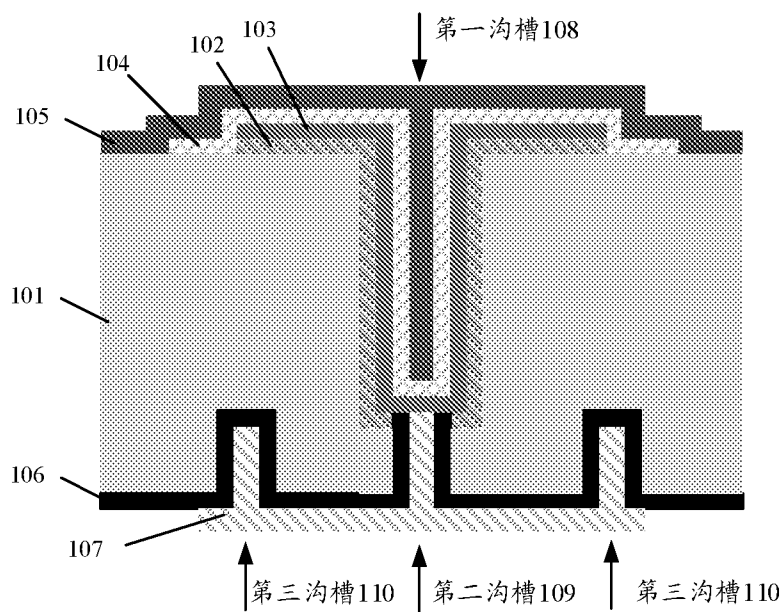


图 7

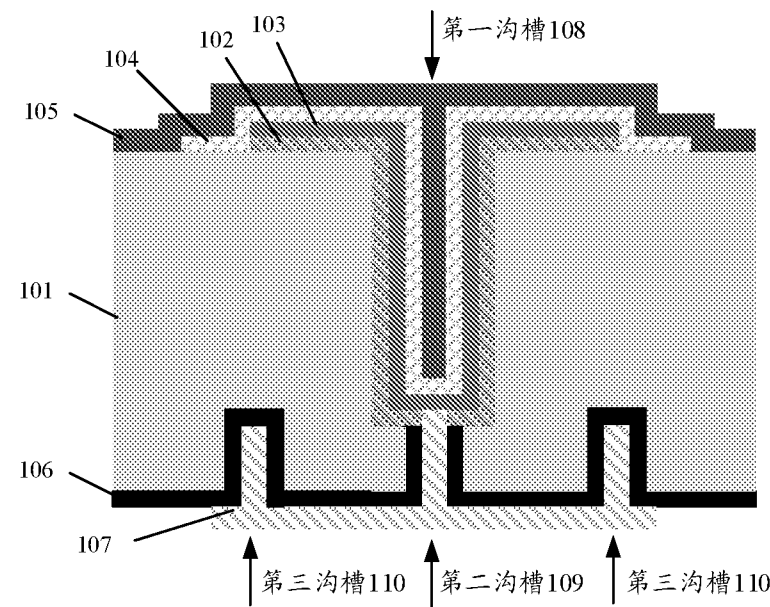


图 8

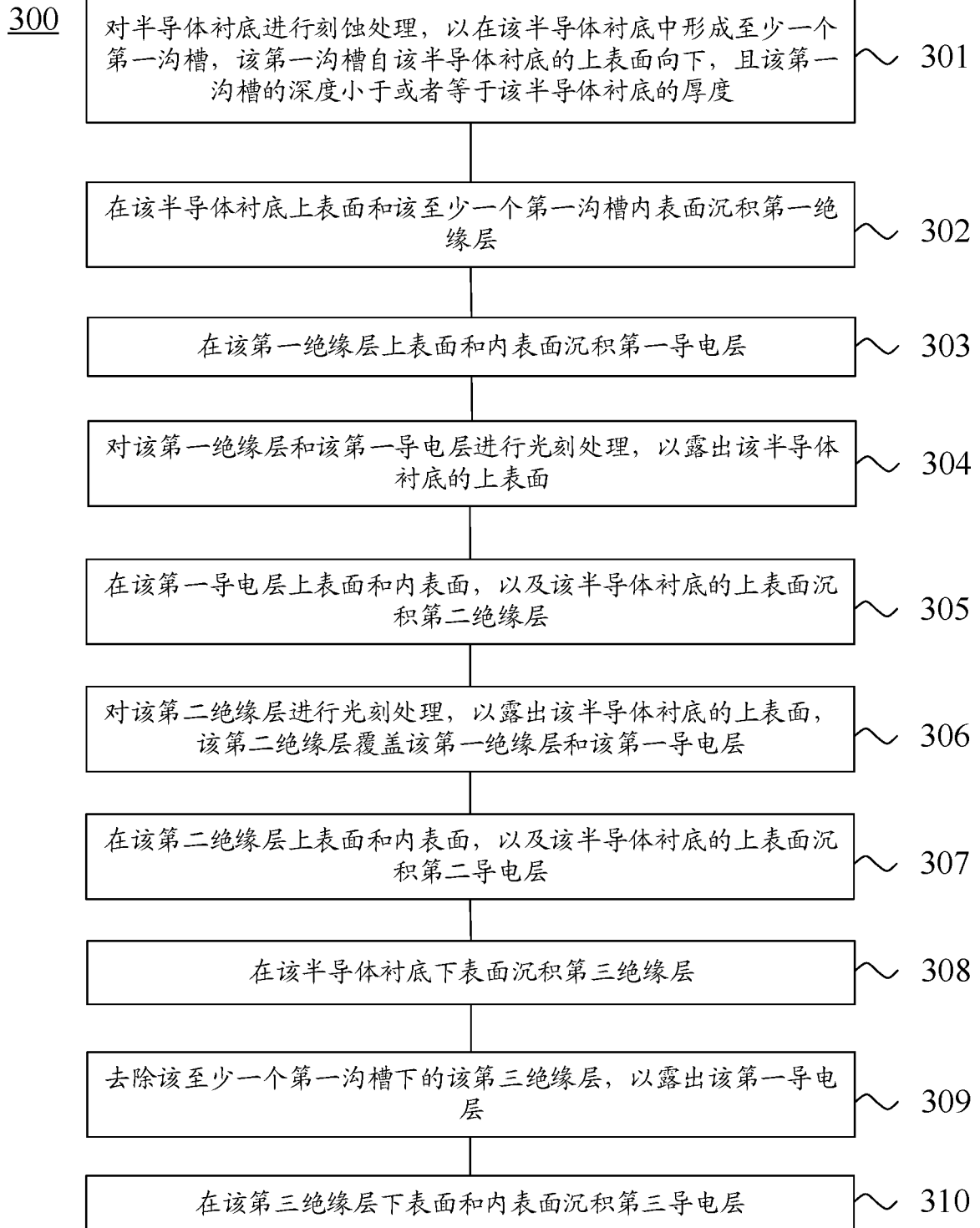


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/099631

A. CLASSIFICATION OF SUBJECT MATTER

H01L 49/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, CNKI, IEEE: 深圳市为通博科技有限责任公司, 陆斌, 沈健, 电容, 三维, 3D, 垂直, 硅电容, 孔, 槽, 并联, vertical, "3D", capacit+, three 1w dimensional, parallel, groove, hole, trough

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108335988 A (WUXI ZHONGWEI MICROCHIPS CO., LTD.) 27 July 2018 (2018-07-27) description, paragraphs [0039]-[0111], and figures 1-4	1-28
A	CN 103346148 A (BEIJING INSTITUTE OF TECHNOLOGY) 09 October 2013 (2013-10-09) entire document	1-28
A	CN 102683318 A (WUXI NANENG TECHNOLOGY CO., LTD.) 19 September 2012 (2012-09-19) entire document	1-28
A	CN 103022019 A (WUXI NANENG TECHNOLOGY CO., LTD.) 03 April 2013 (2013-04-03) entire document	1-28
A	US 2017104057 A1 (IPDIA) 13 April 2017 (2017-04-13) entire document	1-28



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 April 2019

Date of mailing of the international search report

09 May 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/099631

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108335988	A	27 July 2018	None			
CN	103346148	A	09 October 2013	CN	103346148	B	20 January 2016
CN	102683318	A	19 September 2012	CN	102683318	B	02 July 2014
CN	103022019	A	03 April 2013	None			
US	2017104057	A1	13 April 2017	US	9647057	B2	09 May 2017

国际检索报告

国际申请号

PCT/CN2018/099631

A. 主题的分类

H01L 49/02 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, EPDOC, WPI, CNKI, IEEE: 深圳市为通博科技有限责任公司, 陆斌, 沈健, 电容, 三维, 3D, 垂直, 硅电容, 孔, 槽, 并联, vertical, "3D", capacit+, three 1w dimensional, parallel, groove, hole, trough

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 108335988 A (无锡中微晶园电子有限公司) 2018年 7月 27日 (2018 - 07 - 27) 说明书第[0039]-[0111]段, 图1-4	1-28
A	CN 103346148 A (北京理工大学) 2013年 10月 9日 (2013 - 10 - 09) 全文	1-28
A	CN 102683318 A (无锡纳能科技有限公司) 2012年 9月 19日 (2012 - 09 - 19) 全文	1-28
A	CN 103022019 A (无锡纳能科技有限公司) 2013年 4月 3日 (2013 - 04 - 03) 全文	1-28
A	US 2017104057 A1 (IPDIA) 2017年 4月 13日 (2017 - 04 - 13) 全文	1-28

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 26日

国际检索报告邮寄日期

2019年 5月 9日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

马泽宇

电话号码 86-(10)-53961229

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/099631

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	108335988	A	2018年 7月 27日	无	
CN	103346148	A	2013年 10月 9日	CN 103346148	B 2016年 1月 20日
CN	102683318	A	2012年 9月 19日	CN 102683318	B 2014年 7月 2日
CN	103022019	A	2013年 4月 3日	无	
US	2017104057	A1	2017年 4月 13日	US 9647057	B2 2017年 5月 9日