

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：9545488

※ 申請日期：95.12.6

※IPC 分類：H01L 23/31 (2006.01)

壹、發明名稱：(中文/英文)

多層基板間交互連結結構之製造方法及其交互連結結構/ Method of Manufacturing Hybrid Structure of Multi-Layer Substrates And Hybrid Structure Thereof

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

巨擘科技股份有限公司/PRINCO CORP.

代表人：(中文/英文)

邱丕良/Chiu, Pei Liang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市研新四路 6 號/No.6, CREATION 4TH Rd.,

HSINCHU SCIENCE-BASED INDUSTRY PARK, HSINCHU 300,

TAIWAN, R.O.C.

國籍：(中文/英文)

中華民國/R.O.C.

參、發明人：(共 1 人)

姓名：(中文/英文)

楊之光/Yang, Chih-kuang

國籍：(中文/英文)

中華民國 /R.O.C.

## 肆、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種複數個多層基板間交互連結結構之製造方法及其交互連結結構，尤指一種多層任意種類基板間交互連結結構之製造方法及其交互連結結構，可應用於軟性封裝並適用於各種型式之晶片元件上。

### 【先前技術】

現今任何類型電子產品之小型化，係無可避免之趨勢，隨著半導體晶圓製程尺寸上不斷地縮小，後段封裝之相關技術亦必須隨之朝微型化的方向進步。因是，當今 I.C. 整合電路的積集度已不斷地大幅提高，其中使用多層基板以封裝不同種類元件，整合各項功能成為高效能系統已為必然。舉例而言，一具基本架構之整合式系統可能包含各種不同的晶片元件(例如：邏輯元件、記憶體元件、類比元件、光電元件、微機電元件或發光元件等)，而該些不同種類晶片元件彼此之間的相互通連均需透過共用之單一封裝基板，方能進行互連，現今雖已發展一種有關晶片與晶片間封裝之堆疊式晶片級封裝(Stacked Chip Scale Package; SCSP)，即所謂的立體式封裝(3D package)。惟，基本上此仍為侷限於硬性系統之封裝概念。

且為配合現今電子產品之多樣化及變異性大，封裝基板可能是一軟性多層基板(例如：Notebook 主機板與螢幕之控制連線)，或者封裝基板也有可能是一非平面、非規則性面之態樣，依據習知技術，兩多層基板間之交互連結必須透過基板本身以外之連線或基板本身外部之裝等方式方能實現。是以，為因應更具彈性之軟性電路板(軟性多層基板)或者多晶片堆疊、非一

般平面封裝基板之軟性封裝，改良目前之多層基板封裝技術，以更有效提高封裝密度及整合式系統內各種晶片元件間之連接密度，甚至應用在所謂系統級封裝，已成為現今封裝相關技術中一極為重要之課題與挑戰。

因此，若能發展一種多層基板間交互連結之結構及其製造方法，用於封裝任意種類晶片的各別多層基板，使基板與基板間互連密度提高，同時作為軟性多層基板之連結封裝，即能進一步提高封裝密度並使系統微型化。

### 【發明內容】

本發明之主要目的在於提供一種複數個多層基板間交互連結結構之製造方法及其交互連結結構，能使複數個任意種類之晶片元件間，無需透過共用之單一封裝基板而直接互連，提高封裝密度並使系統微型化。

本發明之另一目的在於提供一種複數個多層基板間交互連結結構之製造方法及其交互連結結構，其交互連結之結構能提昇封裝密度並使系統微型化，並提供可變形或可撓曲之特性以作為軟性系統應用。

為達成本發明之前述目的，本發明之複數個多層基板間交互連結結構之製造方法包含下列步驟：

(1)使每一多層基板上至少一介電層及和其對應之金屬層之端緣自其他相鄰介電層局部及其對應金屬層之端緣分離；以及

(2)將其中一多層基板之至少一介電層之分離端緣黏結於另一多層基板之具分離端緣的金屬層，以完成該些多層基板間之交互連結結構。

依據本發明之製造方法，於分離步驟(1)之前，更包含一步

驟(a)，提供一載板用以形成其中一多層基板，其中形成多層基板包含下列步驟：

(b)於載板上之表面，塗佈一介電層；

(c)於介電層上形成一金屬層及必要之介層洞(VIA)後，再塗佈介電層；

(d)重複步驟(c)，形成多層基板；以及

(e)沿分離端緣分割出載板沿區域及其對應之多層基板，並將多層基板自載板剝離。

於本發明製造方法之步驟(b)中，更包含一步驟，即於載板沿區域，施以一介面附著強化之處理，以增加介電層對應載板沿區域與載板間之附著強度，或者於載板上之表面施以一介面附著強化之處理，以增加介電層與載板間之附著強度，且於介電層上之表面，再塗佈另一介電層。如係前述有於該介電層上之表面，再塗佈另一介電層，則於步驟(e)中係自該介電層與該另一介電層間，將該多層基板自該載板剝離。

本發明之製造方法能於黏結之步驟(2)之前或之後，更包含其中一步驟，即對該些多層基板之第二外層面與第一外層面進行連結封裝。其中該連結封裝係連結複數個晶片元件與一第三基板與該些多層基板。

本發明多層基板間之交互連結結構包含至少一第一多層基板及一第二多層基板。第一多層基板具有複數個相互交疊的第一金屬層與複數個第一介電層，其中至少一第一金屬層之端緣連接其對應的第一介電層之端緣，與其他相鄰第一金屬層和第一介電層之端緣係相對分離。第二多層基板具有複數個相互交疊的第二金屬層與複數個第二介電層，其中至少一第二金屬層

之端緣連接其對應之該第二介電層之端緣，而與其他相鄰第二金屬層及第二介電層之端緣係相對分離；之後，該第一多層基板的至少一第一金屬層係與該第二多層基板之至少一第二金屬層相互黏結進一步形成一連結部，藉以完成多層基板間之交互連結結構。

本發明之交互連結結構更包含一第一晶片元件，用以與第一多層基板之第一外層面進行連結封裝；以及一第二晶片元件，用以與第二多層基板之第一外層面進行連結封裝。第一晶片元件及第二晶片元件均可為自由邏輯元件、記憶體元件、類比元件、光電元件、微機電元件以及發光元件等其中之任意元件。

本發明多層基板間之交互連結結構更包含一第三基板，用以對第一多層基板與第二多層基板進行間接的連結封裝。該第一多層基板、該第二多層基板及該第三基板均可為一軟性多層內連線基板。

依據本發明提供之複數個多層基板間交互連結結構之製造方法及其交互連結結構，能使複數個任意種類之晶片元件間直接互連，並且其交互連結結構能進一步提昇封裝密度並使系統微型化。因是，本發明之多層基板間交互連結結構更提供可變形或可撓曲之特性以作為軟性系統應用。

### 【實施方式】

請參考第 1A 至第 1G 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第一實施例對應步驟(a)至步驟(g)之結構示意圖。

本發明複數個多層基板間交互連結結構之製造方法第一實施例，包含下列步驟：

第 1A 圖係表示步驟(a)，提供一載板 102 用以形成一多層基板(以第一多層基板 300 為例)；

第 1B 圖係表示步驟(b)，於載板沿區域 119，施以一介面附著強化之處理，以增加第一介電層 19 對應載板 102 的端緣 119 與載板 102 間之附著強度；

第 1C 圖係表示步驟(c)，於第一介電層 19 上形成一第一金屬層 18 及必要之複數個介層洞 9(顯示於第 1D 圖)後，再塗佈另一第一介電層 16；

第 1D 圖係表示步驟(d)，重複步驟(c)，形成第一多層基板 300，惟，於此實施例中之區域 17、17-1 係未施以附著強化處理；

第 1E 圖係表示步驟(e)，沿分離端緣(即沿著第 1D 圖中之垂直分割線 d1、d2)分割載板沿區域 119 及其對應的多層基板之端緣 120，並將第一多層基板 300 自載板 102 剝離；

第 1F 圖係表示步驟(e')，移除與載板相鄰之第一介電層 19，露出對應第一介電層 19 之第一金屬層 18；

第 1G 圖係表示步驟(f)，使第一多層基板 300 上介電層及其對應之金屬層之端緣各自與其他相鄰介電層局部及其對應金屬層之端緣分離(10 與 12、13 與 15、16 與 18)，以形成一預備與其他多層基板交互連結之連接部 120；

第 1H 圖係表示步驟(g)，將第一多層基板 300 之金屬層 12、15 以及 18 之分離端緣黏結於第二多層基板 400 之具分離端緣的金屬層 22、25 以及 27。並且，第二多層基板 400 係已相對第一多層基板 300 上下倒置，使該些製造步驟中，原本和介電層 20、23 以及 26 對應，位於其下方之金屬層 22、25 以及 27

倒置於介電層 20、23 以及 26 上方，而第一多層基板 300 之金屬層 12、15 以及 18 與第二多層基板 400 之金屬層 22、25 以及 27 間之黏結方式可以浸錫黏結、以共晶(Eutectic)黏結、以異方性導電膠(Anisotropic Conductive Film)黏結，或者以金-金(Gold-Gold)黏結、以金-銅(Gold-Copper)黏結等方式，以完成本發明多層基板間交互連結之結構；以及

第 1I 圖係表示步驟(h)，對該些多層基板之第二外層面與第一外層面(即上下層面)以第一晶片元件 100、第二晶片元件 200、一第三基板與該些多層基板進行連結封裝。連結封裝之方式，可以球柵陣列封裝(BGA)、平面柵格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 2D 圖係繪示依據本發明多層基板間交互連結結構之製造方法的第二實施例與第一實施例相異之步驟(c)、步驟(d)之結構示意圖。除步驟(c)、步驟(d)外，第二實施例中第 2A、2B 圖，第 2E 至 2I 圖所示其他步驟均與第一實施例相同。

第 2C 圖係表示步驟(c)，塗佈第一介電層 16 前，於此第二實施例中於區域 17 係施以附著強化處理，以增加第一介電層 16 與步驟(b)中所塗佈第一介電層 19 間之附著強度，其能更進一步於後續第 2D 圖所表示之步驟(d)中維持其固接之狀態，減低介電層間分離、或變形導致不密接情形的發生可能，而提高製程良率。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。



請參考第 3C 至第 3G 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第三實施例與第一實施例相異之步驟(c)至步驟(g)之結構示意圖。除前述些步驟外，第三實施例中第 3A、3B 圖所示步驟均與第二實施例相同。

第 3C 圖係表示步驟(c)，塗佈第一介電層 16 前，於此第二實施例中於區域 17、17-1 係施以附著強化處理，以增加該些區域之附著強度，其能更進一步於後續第 3D 圖所表示之步驟(d)中維持其固接之狀態，減低介電層間分離、或變形導致不密接情形的發生可能，而提高製程良率；

執行第 3E 圖表示之步驟(e)後，跳過步驟(e')，直接執行第 3F 圖表示之步驟(f)，而不移除與載板相鄰之第一介電層 19；以及

第 3F 圖係表示步驟(f)，使第一多層基板 300 上介電層及其對應之金屬層之端緣自其他相鄰介電層局部及其對應金屬層之端緣分離(10 與 12、13 與 15、16 與 18)，以形成一預備與其他多層基板交互連結之連接部 120，並移除第一介電層 19 之端緣 19-1，露出對應該第一介電層 19 的第一金屬層 18 之端緣，用以預備於第 3G 圖所示步驟(g)中，與另一多層基板(以第二多層基板 400 為例)之具分離端緣的第二金屬層 22、25 以及 27 黏結。

第 3G 圖表示步驟(g)，將第一多層基板 300 之金屬層 12、15 以及 18 之分離端緣黏結於第二多層基板 400 之具分離端緣的金屬層 22、25 以及 27。並且，第二多層基板 400 係已相對第一多層基板 300 上下倒置，使該些製造步驟中，原本和介電層 20、23 以及 26 對應，位於其下方之金屬層 22、25 以及 27

倒置於介電層 20、23 以及 26 上方，而第一多層基板 300 之金屬層 12、15 以及 18 與第二多層基板 400 之金屬層 22、25 以及 27 間之黏結方式可以浸錫黏結、以共晶(Eutectic)黏結、以異方性導電膠(Anisotropic Conductive Film)黏結，或者以金-金(Gold-Gold)黏結、以金-銅(Gold-Copper)黏結等方式；以及

第 3H 圖係表示步驟(h)，對該些多層基板之第二外層面與第一外層面(即上下層面)以第一晶片元件 100、第二晶片元件 200、一第三基板與該些多層基板進行連結封裝。連結封裝之方式，可以球柵陣列封裝(BGA)、平面開格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 4A 至第 4G 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第四實施例對應步驟(a)至步驟(g)之結構示意圖。

本發明複數個多層基板間交互連結結構之製造方法第四實施例，包含下列步驟：

第 4A 圖係表示步驟(a)，提供一載板 102 用以形成一多層基板(以第一多層基板 300 為例)；

第 4B 圖係表示步驟(b)，於該載板 102 上之表面施以一介面附著強化之處理，以增加一介電層 104 與該載板 102 間之附著強度，且於硬化該介電層 104 後，再於該介電層 104 上之表面，塗佈另一介電層 19；

第 4C 圖係表示步驟(c)，於該介電層上形成一第一金屬層 18 及必要之複數個介層洞 9(顯示於第 4D 圖)後，再塗佈另一第

一介電層 16；

第 4D 圖係表示步驟(d)，重複步驟(c)，形成第一多層基板 300，惟，於此實施例中之區域 17、17-1 係未施以附著強化處理；

第 4E 圖係表示步驟(e)，沿分離端緣(即沿著第 4D 圖中之垂直分割線 d1、d2)分割載板沿區域 119(顯示於第 4C 圖)及其對應的多層基板之端緣 120，並自第一介電層 19 與介電層 104(顯示於第 4B 圖)間，將第一多層基板 300 自載板 102(顯示於第 4B 圖)剝離；

第 4F 圖係表示步驟(e')，移除第一介電層 19，露出對應第一介電層 19 之第一金屬層 18；

第 4G 圖係表示步驟(f)，使第一多層基板上介電層及和其對應之金屬層之端緣各自與其他相鄰介電層局部及其對應金屬層之端緣分離(10 與 12、13 與 15、16 與 18)，以形成一預備與其他多層基板交互連結之連接部 120；

第 4H 圖係表示步驟(g)，將第一多層基板 300 之金屬層 12、15 以及 18 之分離端緣黏結於第二多層基板 400 之具分離端緣的金屬層 22、25 以及 27。並且，第二多層基板 400 係已相對第一多層基板 300 上下倒置，使該些製造步驟中，原本和介電層 20、23 以及 26 對應，位於其下方之金屬層 22、25 以及 27 倒置於介電層 20、23 以及 26 上方，而第一多層基板 300 之金屬層 12、15 以及 18 與第二多層基板 400 之金屬層 22、25 以及 27 間之黏結方式可以浸錫黏結、以共晶(Eutectic)黏結、以異方性導電膠(Anisotropic Conductive Film)黏結、或者以金-金(Gold-Gold)黏結、以金-銅(Gold-Copper)黏結等方式，以完成本

發明多層基板間交互連結之結構；以及

第 4I 圖係表示步驟(h)，對該些多層基板之第二外層面與第一外層面(即上下層面)以第一晶片元件 100、第二晶片元件 200、一第三基板與該些多層基板進行連結封裝。連結封裝之方式，可以球柵陣列封裝(BGA)、平面開格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 5D 圖係繪示依據本發明多層基板間交互連結結構之製造方法的第五實施例與第四實施例相異之步驟(c)、步驟(d)之結構示意圖。除步驟(c)、步驟(d)外，第五實施例中第 5A、5B 圖，第 5E 至 5I 圖所示其他步驟均與第四實施例相同。

第 5C 圖係表示步驟(c)，塗佈第一介電層 16 前，於此第二實施例中於區域 17 係施以附著強化處理，以增加第一介電層 16 與步驟(b)中所塗佈第一介電層 19 間之附著強度，其能更進一步於後續第 5D 圖所表示之步驟(d)中維持其固接之狀態，減低介電層間分離、或變形導致不密接情形的發生可能，而提高製程良率。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 6C 至第 6G 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第六實施例與第四實施例相異之步驟(c)至步驟(g)之結構示意圖。

第 6C 圖係表示步驟(c)，塗佈介電層 16 前，於此第六實施例中於區域 17、17-1 係施以附著強化處理，以增加該些區域之

附著強度，其能更進一步於後續第 6D 圖所表示之步驟(d)中維持其固接之狀態，減低介電層間分離、或變形導致不密接情形的發生可能，而提高製程良率；

執行第 6E 圖表示之步驟(e)後，跳過步驟(e')，直接執行第 6F 圖表示之步驟(f)，而不移除與載板相鄰之第一介電層 19；以及

第 6F 圖係表示步驟(f)，使第一多層基板 300 上介電層及其對應之金屬層之端緣自其他相鄰介電層局部及其對應金屬層之端緣分離(10 與 12、13 與 15、16 與 18)，以形成一預備與其他多層基板交互連結之連接部 120，並移除第一介電層 19 之端緣 19-1，露出對應該另一介電層 19 的第一金屬層 18 之端緣，用以預備於第 6G 圖所示步驟(g)中，與另一多層基板(以第二多層基板 400 為例)之具分離端緣的第二金屬層 22、25 以及 27 黏結。

第 6G 圖係表示步驟(g)，將第一多層基板 300 之金屬層 12、15 以及 18 之分離端緣黏結於第二多層基板 400 之具分離端緣的金屬層 22、25 以及 27。並且，第二多層基板 400 係已相對第一多層基板 300 上下倒置，使該些製造步驟中，原本和介電層 20、23 以及 26 對應，位於其下方之金屬層 22、25 以及 27 倒置於介電層 20、23 以及 26 上方，而第一多層基板 300 之金屬層 12、15 以及 18 與第二多層基板 400 之金屬層 22、25 以及 27 間之黏結方式可以浸錫黏結、以共晶(Eutectic)黏結、以異方性導電膠(Anisotropic Conductive Film)黏結、或者以金-金(Gold-Gold)黏結、以金-銅(Gold-Copper)黏結等方式；以及

第 6H 圖係表示步驟(h)，對該些多層基板之第二外層面與

第一外層面(即上下層面)以第一晶片元件 100、第二晶片元件 200、一第三基板與該些多層基板進行連結封裝。連結封裝之方式，可以球柵陣列封裝(BGA)、平面開格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 7D 至第 7I 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第七實施例與第一實施例相異之步驟(d)至步驟(h)之結構示意圖。除前述些步驟外，第七實施例中第 7A 至 7C 圖所示步驟均與第一實施例相同。

第 7D 圖係表示步驟(d)，重複步驟(c)，形成第一多層基板 300，並且如圖中所示亦同時形成相鄰第一多層基板 300 之第三多層基板 500；

第 7E 圖係表示步驟(e)，沿分離端緣(即沿著第 7D 圖中之垂直分割線 d1、d3)完全分割載板沿區域及其對應的多層基板，但對 d2 僅自晶片起，分割至最上方之第一金屬層 12 及第一介電層 10 為止，並將第一多層基板 300、第三多層基板 500 自載板 102 剝離；

第 7F 圖係表示步驟(e')，移除第一多層基板 300、第三多層基板 500 與載板相鄰之第一介電層 19，露出對應第一介電層 19 之第一金屬層 18；

第 7G 圖係表示步驟(f)，使第一多層基板 300 上介電層及其對應之金屬層之端緣各自與其他相鄰介電層局部及其對應金屬層之端緣分離(10 與 12、13 與 15、16 與 18)，以形成一預備與其他多層基板交互連結之連接部 120，但維持第三多層

基板 500 與第一多層基板 300 間第一金屬層 10 與第一介電層 12 之連結，而第三多層基板 500 本身之複數介電層及其對應金屬層端緣並未分離；

第 7H 圖係表示步驟(g)，如同第一實施例，將第一多層基板 300 之金屬層 12、15 以及 18 之分離端緣黏結於第二多層基板 400 之具分離端緣的金屬層 22、25 以及 27，並且於第二多層基板 400 及第三多層基板 500 亦可作連結；以及

第 7I 圖係表示步驟(h)，對該些多層基板所形成之多層基板間多重交叉連結結構之上下層面，以第一晶片元件 100、第二晶片元件 200、一第三基板與該些多層基板進行連結封裝。連結封裝之方式，可以球柵陣列封裝(BGA)、平面閘格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。而與第一實施例不同的是，第二晶片元件 200 係對第三多層基板 500 做封裝連結。是以，本發明之多層基板間多重交叉連結，提供更具彈性的交互連結結構之概念。

有關本實施例亦可相互調換步驟(g)與步驟(h)之順序，不會改變本發明交互連結結構或影響其功能。

請參考第 8 圖，係繪示依據本發明之第一、第二、第四以及第五實施例多層基板間交互連結結構的剖面圖。本發明多層基板間之交互連結結構至少包含一第一多層基板 300、一第二多層基板 400。其中該第一多層基板 300 之第一外層面與一第一晶片元件 100 進行連結封裝，該第二多層基板 400 之第一外層面與一第二晶片元件 200 進行連結封裝。該第一晶片元件 100 與該第二晶片元件 200 可以是邏輯元件、記憶體元件、類比元件、光電元件、微機電元件或發光元件等任意種類之晶片元件。

該多層基板間之交互連結結構可進一步包含一第三基板(圖中未顯示)多層基板。如第 7 圖所示該第三基板可透過錫球 410 與第一多層基板 300 進行連結封裝；而透過錫球 420 與第二多層基板 400 進行連結封裝，或對第一晶片元件或第二晶片元件進行連結封裝。前述第三基板之封裝方式亦可採用球柵陣列封裝(BGA)、平面柵格陣列(LGA)、針腳柵格陣列封裝(PGA)或打線接合(Wire Bond)等方式進行。

再者，第一多層基板 300、第二多層基板 400 及第三基板均可為軟性多層內連線基板。而藉由本發明多層基板間交互連結之結構能提供可變形或可撓曲之特性，而能作為該些軟性多層基板之封裝連結。

前述第一多層基板 300 包含複數層第一介電層 10、13 及 16，以及複數層第一金屬層 12、15 及 18。且前述第二多層基板 400 包含複數層第二介電層 20、23 及 26，以及複數層第二金屬層 22、25 及 27。因此，實質上該第一晶片元件 100 係以錫球 110 被封裝於第一多層基板 300 之第一介電層 10 的介層洞(VIA)，第二晶片元件 200 則以錫球 210 被封裝於第二多層基板 400 之第二介電層 26 的介層洞或第二金屬層 27。

第一多層基板 300 之第一金屬層 12 及其對接的第一介電層 10 兩者之端緣、第一金屬層 15 及其對接之第一介電層 13 兩者的端緣，以及第一金屬層 18 及其對接之第一介電層 16 兩者的端緣，均各自與相鄰的第一金屬層和對應第一介電層之端緣相對分離。相對地，第二多層基板 400 之第二金屬層 22 及其對接之第二介電層 20 兩者的端緣、第二金屬層 25 及其對接之第二介電層 23 兩者的端緣，以及第二金屬層 27 及其對接之第二



介電層 26 兩者的端緣，均各自與其相鄰第二金屬層和第二介電層之端緣相對分離。

當該第一多層基板 300 與該第二多層基板 400 之間作相互連結時，係將該第二多層基板 400 上下倒置，該第二多層基板 400 之第二金屬層 22、25 及 27 之分離端緣會分別與該第一多層基板 300 之第一金屬層 12、15 及 18 的各個分離端緣相互黏結，以形成如第 7 圖所示該交互連結結構中的一連結部 120。其黏結方式可以黏結劑 1、2、3 黏結、以浸錫黏結)、以共晶 (Eutectic) 黏結、以異方性導電膠 (Anisotropic Conductive Film) 黏結，或者以金-金 (Gold-Gold) 黏結、或以金-銅 (Gold-Copper) 黏結等方式。透過此些交互黏結方式，該第二金屬層 22、25 及 27 便與第一金屬層 12、15 及 18 就會相互連結成一體。藉由此多層基板間交互連結之結構，即能達成第一晶片 100 與第二晶片 200 間之直接互連。

如與習知技術未將該些多層基板介電層及對應之各金屬層相對分離而直接進行封裝之結構比較，由於第一多層基板 300 與第二多層基板 400 間，係利用基板之分離端緣進行交互連結，故能有效地進一步提昇封裝密度並使系統微型化，並且能更進一步提供任意可變形或可撓曲之特性，以作為軟性封裝之系統應用。

再者，於第 7 圖中，該些介電層間，有施以一種介面附著強化處理，處理區域 11、14、21 以及 24 係以粗黑線表示。特別值得注意的是，由於除了該些基板分離端緣以外之其他區域 (連結部 120 以外之該些介電層間)，均施以介面附著強化處理，以增加該些介電層間之附著強度，而未進行該介面附著強化處

理之端緣(連結部 120 內)，便能輕易地使任意介電層端緣及其對應之金屬層端緣，與其他端緣相對分離。

前述多層基板端緣分開之方式可利用雙面膠帶(例如：UV tape)，對貼於第一多層基板 300 或第二多層基板 400 之第一外層面與第二外層面，再撕開膠帶，則膠帶將順勢帶開未進行該介面附著強化處理之端緣。重複多次對貼與撕開膠帶之動作，便能分開多層未附著強化之端緣，但金屬層 12、15、18、22、25 及 27 會分別與介電層 10、13、16、20、23 及 26 相連。藉由此介電層/介電層間選擇性之介面附著強化處理概念，即能完成本發明第一多層基板 300 或第二多層基板 400 間交互連結之結構。例如：本發明中之該些介電層之材質係為聚醯亞胺 (Polyimide)，則便能利用一氧氣或氫氣電漿製程處理，進行前述介面附著強化之處理。

請參考第 8 圖，係繪示依據本發明之第三實施例、第六實施例多層基板間交互連結結構的剖面圖。與第一、第二、第四以及第五實施例中多層基板間之交互連結結構不同的是，由於封裝形式不同，前述步驟(c)塗佈另一介電層前，於區域 17-1 係施以附著強化處理，於後改變第三基板的鐳墊(Pad)形式，作為不同連結運用的選擇。本發明之該些實施例中，雖以第一多層基板 300 之各金屬層 12、15 及 18 與第二多層基板 400 各第二金屬層 22、25、27 間進行一對一相對之黏結為例，但並非以此為限，亦可選擇性的黏結或一對多基板連結。

總言之，本發明所提供之多層基板間交互連結之結構及其製造方法，能使複數個任意種類之晶片元件間透過封裝各別晶片的各別多層基板間之交互連結結構直接互連，無須經由第三

基板，並且其交互連結結構能進一步提昇封裝密度並使系統微型化。再者，本發明之多層基板間交互連結結構能更進一步地提供可變形或可撓曲之特性，以為軟性系統之應用。相較於習知技術，無論是有關晶片與晶片間之封裝，或多層基板間之連結封裝，本發明均更具有高整合性、高封裝密度之系統級封裝能力。

綜上所述，本發明確已符合發明專利之要件，爰依法提出專利申請。惟，以上所述者僅為本發明之較佳實施方式，舉凡熟習本案技術之人士援依本發明之精神所作之等效修飾或變化，皆涵蓋於後附之申請專利範圍內。

#### 【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，配合所附圖式，作詳細說明如下：

第 1A 至第 1I 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第一實施例對應步驟(a)至步驟(h)之結構示意圖；

第 2A 至第 2I 圖係繪示依據本發明多層基板間交互連結結構之製造方法的第二實施例對應步驟(a)至步驟(h)之之結構示意圖；

第 3A 至第 3H 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第三實施例對應步驟(a)至步驟(h)之結構示意圖；

第 4A 至第 4I 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第四實施例對應步驟(a)至步驟(h)之結構示意圖；

第 5A 至第 5I 圖係繪示依據本發明多層基板間交互連結結構之製造方法的第五實施例對應步驟(a)至步驟(h)之結構示意圖；

第 6A 至第 6H 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第六實施例對應步驟(a)至步驟(h)之結構示意圖；

第 7A 至第 7I 圖，係繪示依據本發明多層基板間交互連結結構之製造方法的第七實施例對應步驟(a)至步驟(h)之結構示意圖；

第 8 圖係繪示依據本發明之第一、第二、第四以及第五實施例多層基板間交互連結結構的剖面圖；以及

第 9 圖係繪示依據本發明之第三實施例、第六實施例多層基板間交互連結結構的剖面圖。

【主要元件符號說明】

1、2、3	黏結劑	9	介層洞預定位置
10	第一介電層	11	附著強化處理之區域
12	第一金屬層	13	第一介電層
14	附著強化處理之區域	15	第一金屬層
16	第一介電層	17	附著強化處理之區域
17-1	附著強化處理之區域	18	第二金屬層
19	第一介電層	19-1	第一介電層 19 之端緣
20	第二介電層	21	附著強化處理之區域
22	第二金屬層	23	第二介電層
24	附著強化處理之區域	25	第二金屬層
26	第二介電層	27	第二金屬層

100 第一晶片元件  
104 介電層  
119 載板沿區域  
200 第二晶片元件  
300 第一多層基板  
410 錫球

102 載板  
110 錫球  
120 連結部  
210 錫球  
400 第二多層基板  
420 錫球

### 伍、中文發明摘要：

本發明揭露一種複數個多層基板間交互連結結構之製造方法及其交互連結結構。本發明之方法包含以下步驟：使每一多層基板上至少一介電層及和其對應之金屬層之端緣自其他相鄰介電層局部及其對應金屬層之端緣分離；以及，將其中一多層基板之該至少一介電層之分離端緣黏結於另一多層基板之具分離端緣的金屬層，以完成該些多層基板間交互連結之結構。其交互連結結構則至少包含一第一多層基板與一第二多層基板。第一多層基板的至少一第一金屬層係與該第二多層基板之至少一第二金屬層相互黏結以形成一連結部。

### 陸、英文發明摘要：

## 拾、申請專利範圍：

1. 一種複數個多層基板間交互連結結構之製造方法，該些多層基板具有複數個相互交疊的金屬層與複數介電層，該製造方法包含下列步驟：

使每一多層基板上至少一介電層及和其對應之金屬層之端緣各自與其他相鄰介電層局部及其對應金屬層之端緣分離；以及

將其中一多層基板之該至少一介電層之分離端緣黏結於另一多層基板之具分離端緣的金屬層，以完成該些多層基板間交互連結之結構。

2. 如申請專利範圍第 1 項所述之製造方法，於分離步驟前，更包含一步驟(a)，提供一載板用以形成其中一多層基板。

3. 如申請專利範圍第 2 項所述之方法，其中形成該多層基板包含下列步驟：

(b)於該載板上之表面，塗佈一介電層；

(c)於該介電層上形成一金屬層及必要之介層洞後，再塗佈另一介電層；

(d)重複步驟(c)，形成該多層基板；以及

(e)沿該分離端緣分割出該載板沿區域及其對應之多層基板，並將該多層基板自該載板剝離。

4. 如申請專利範圍第 3 項所述之製造方法，於步驟(b)中，更包含其中一步驟，即於該載板之端緣，施以一介面附著強化之處理，以增加該介電層對應該載板沿區域與該載板間之附著強度。

5. 如申請專利範圍第 3 項所述之製造方法，於步驟(b)中，

更包含其中一步驟，即於該載板上之表面施以一介面附著強化之處理，以增加該介電層與該載板間之附著強度，且於該介電層上之表面，再塗佈另一介電層。

6. 如申請專利範圍第 5 項所述之方法，其中該介面附著強化處理係為一電漿製程處理。

7. 如申請專利範圍第 5 項所述之製造方法，於步驟(e)中，係自該介電層與該另一介電層間，將該多層基板自該載板剝離。

8. 如申請專利範圍第 3 項所述之方法，更包含一步驟(e')，即移除與該載板相鄰之介電層，露出對應該介電層之該金屬層。

9. 如申請專利範圍第 3 項所述之製造方法，於步驟(c)中塗佈該介電層前，於該介電層對應該載板沿區域之表面上施以一介面附著強化處理，以增加該介電層對應該載板沿區域與步驟(b)中所塗佈該介電層間之附著強度。

10. 如申請專利範圍第 9 項所述之製造方法，更包含一步驟(e')，即移除與該載板相鄰之介電層，露出對應該介電層之該金屬層。

11. 如申請專利範圍第 3 項所述之製造方法，於步驟(c)中塗佈該介電層前，更包含其中一步驟，即於該金屬層表面及該介電層表面之端緣以外之其他區域施以一介面附著強化處理，以增加該其他區域之附著強度。

12. 如申請專利範圍第 11 項所述之製造方法，於步驟(e)後，更包含其中一步驟，即移除與該載板相鄰介電層之分離端緣，露出對應該介電層的該金屬層之端緣。



13. 如申請專利範圍第 1 項所述之製造方法，於黏結之步驟後，更包含其中一步驟，即對該些多層基板之第二外層面與第一外層面進行連結封裝。

14. 如申請專利範圍第 13 項所述之製造方法，其中該連結封裝係連結複數個晶片元件、一第三基板與該些多層基板。

15. 如申請專利範圍第 1 項所述之製造方法，於黏結之步驟前，更包含其中一步驟，即對該些多層基板之第二外層面與第一外層面進行連結封裝。

16. 如申請專利範圍第 15 項所述之製造方法，其中該連結封裝係連結複數個晶片元件、一第三基板與該些多層基板。

17. 一種多層基板間之交互連結結構，該交互連結結構包含：

一第一多層基板，具有複數個相互交疊的第一金屬層與複數個第一介電層，其中至少一第一金屬層之端緣連接其對應的第一介電層之端緣，與其他相鄰第一金屬層和第一介電層之端緣係相對分離；以及

一第二多層基板，具有複數個相互交疊的第二金屬層與複數個第二介電層，至少一第二金屬層之端緣連接其對應之該第二介電層之端緣，而與其他相鄰第二金屬層及第二介電層之端緣係相對分離；其中該第一多層基板的至少一第一金屬層係與該第二多層基板之至少一第二金屬層相互黏結以形成一連結部。

18. 如申請專利範圍第 17 項所述之結構，其中該第一多層基板之介電層的分離端緣以外之其他區域，被施以一介面附著強化處理，以增加該些介電層間之附著強度。

19. 如申請專利範圍第 18 項所述之交互連結結構，其中該

介面附著強化處理係為一電漿製程處理。

20. 如申請專利範圍第 19 項所述之交互連結結構，其中該些介電層之材質係為聚醯亞胺。

21. 如申請專利範圍第 17 項所述之交互連結結構，其中該些介電層之材質係為聚醯亞胺。

22. 如申請專利範圍第 17 項所述之交互連結結構，其中該第二多層基板之介電層的分離端緣以外之其他區域，被施以一介面附著強化之處理，以增加該些介電層間之附著強度。

23. 如申請專利範圍第 22 項所述之交互連結結構，其中該介面附著強化處理係為一電漿製程處理。

24. 如申請專利範圍第 23 項所述之交互連結結構，其中該些介電層之材質係為聚醯亞胺。

25. 如申請專利範圍第 17 項所述之交互連結結構，其中該些介電層之材質係為聚醯亞胺。

26. 如申請專利範圍第 17 項所述之交互連結結構，更包含一第一晶片元件，用以對該第一多層基板之第一外層面進行連結封裝。

27. 如申請專利範圍第 26 項所述之交互連結結構，其中該第一晶片元件可為自由邏輯元件、記憶體元件、類比元件、光電元件、微機電元件以及發光元件之中的任一元件。

28. 如申請專利範圍第 26 項所述之結構，更包含一第三基板，用以對該第一晶片元件進行連結封裝。

29. 如申請專利範圍第 17 項所述之交互連結結構，更包含一第二晶片元件，用以對該第二多層基板之第一外層面進行連結封裝。

30. 如申請專利範圍第 29 項所述之交互連結結構，其中該第二晶片元件可為自由邏輯元件、記憶體元件、類比元件、光電元件、微機電元件以及發光元件之中的任一元件。

31. 如申請專利範圍第 29 項所述之結構，更包含一第三基板，用以對該第二晶片元件進行連結封裝。

32. 如申請專利範圍第 17 項所述之交互連結結構，更包含一第三基板，用以對該第一多層基板或該第二多層基板進行連結封裝。

33. 如申請專利範圍第 32 項所述之交互連結結構，其中該第三基板係為一軟性基板。

34. 如申請專利範圍第 17 項所述之交互連結結構，其中該第一多層基板係為一軟性基板。

35. 如申請專利範圍第 17 項所述之交互連結結構，其中該第二多層基板係為一軟性基板。

36. 一種多層基板，該多層基板包含：

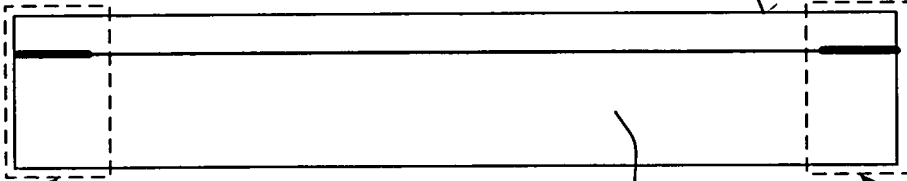
複數個金屬層；以及

複數個介電層與該些金屬層相互交疊，至少一金屬層之端緣連接其對應的介電層之端緣，與其他相鄰金屬層及介電層之端緣係相對分離，該至少一金屬層之端緣係用以與其他多層基板之至少一金屬層相互黏結以形成一連結部。

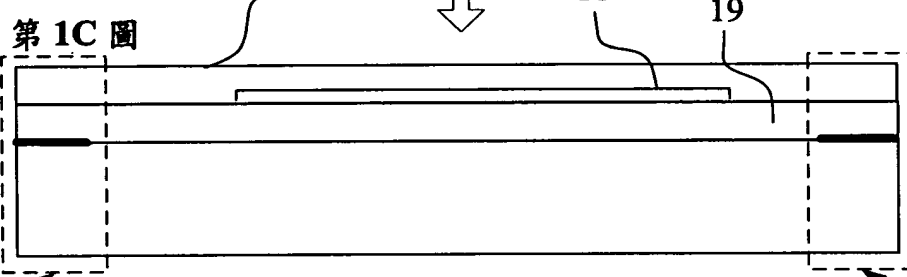
第 1A 圖



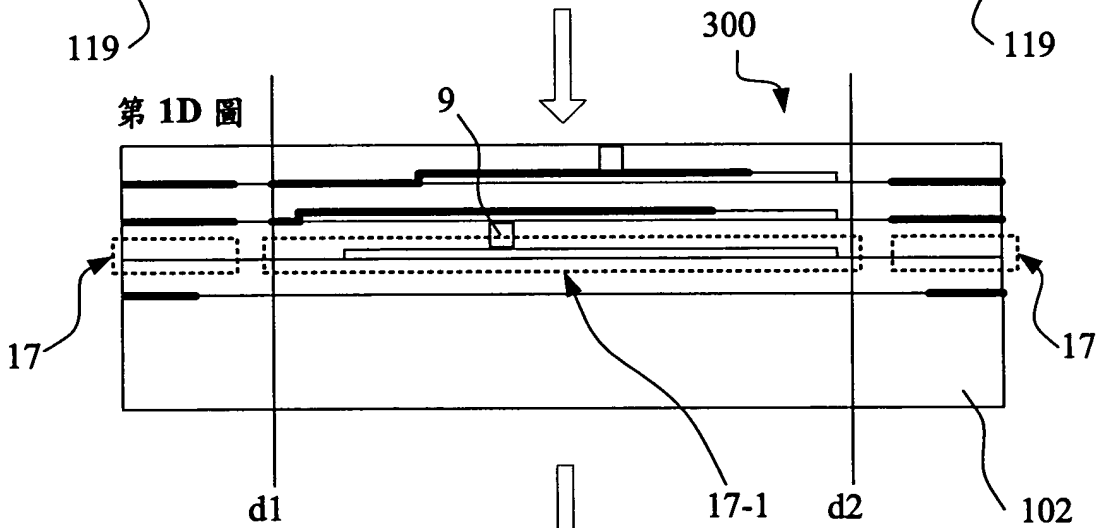
第 1B 圖



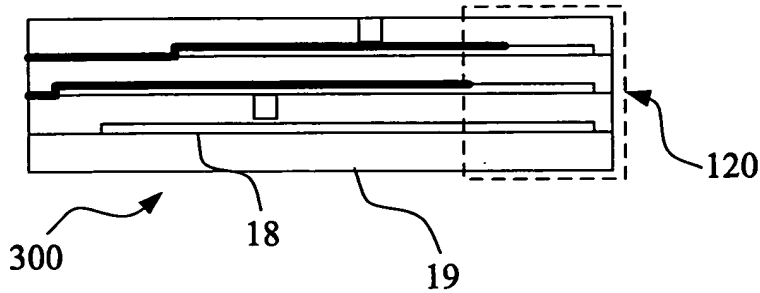
第 1C 圖



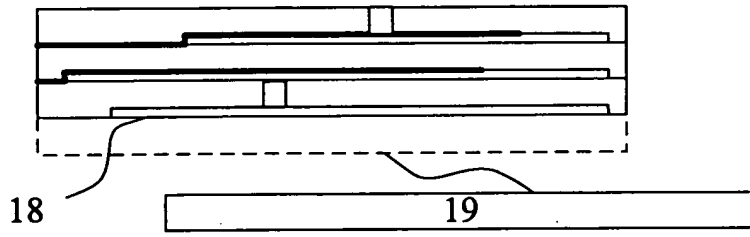
第 1D 圖



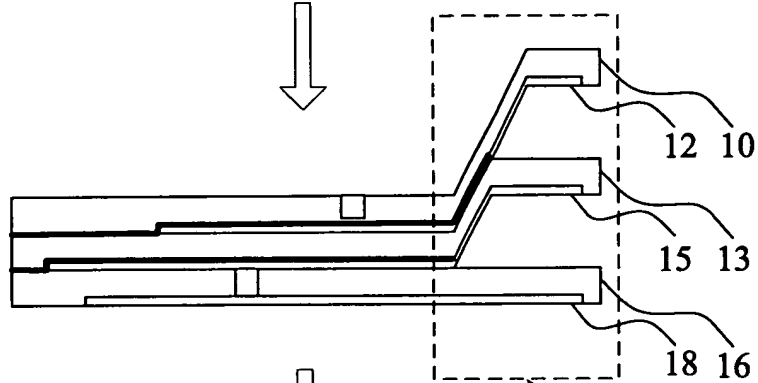
第 1E 圖



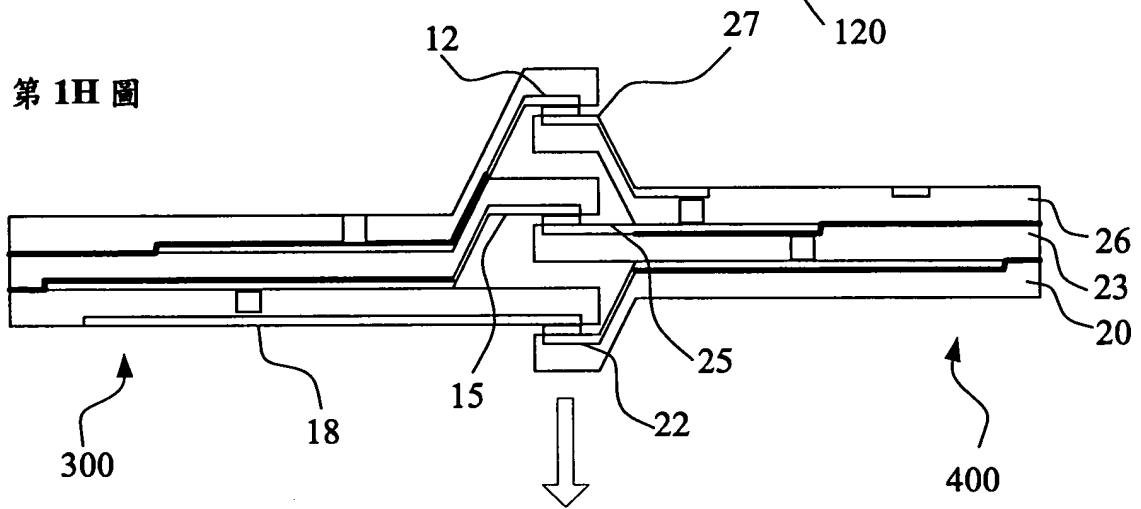
第 1F 圖



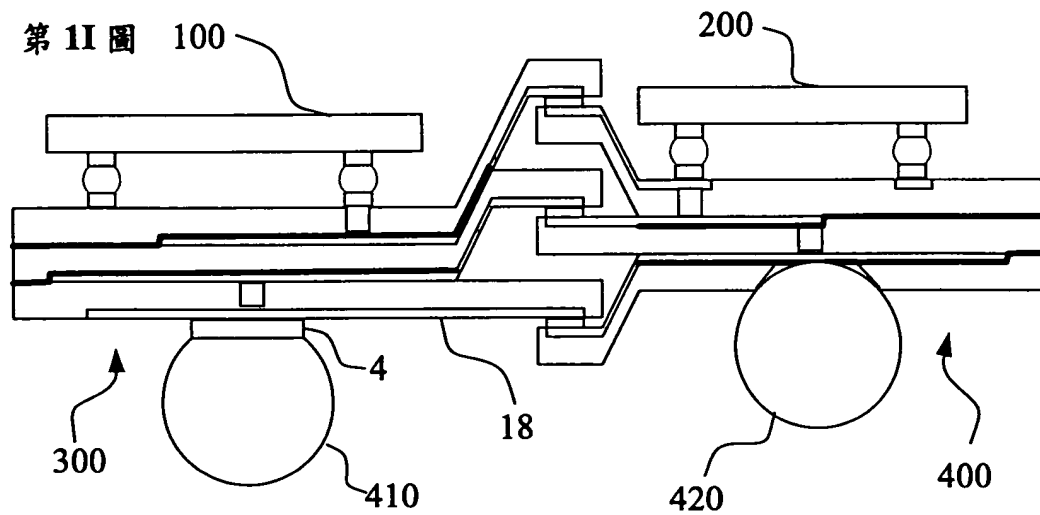
第 1G 圖



第 1H 圖



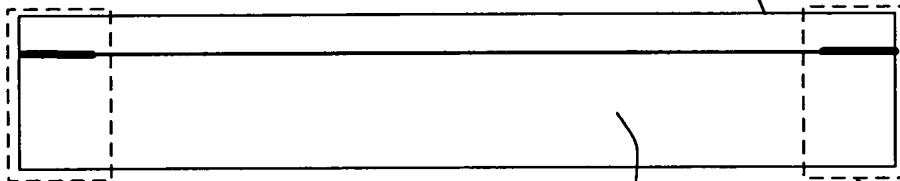
第 1I 圖



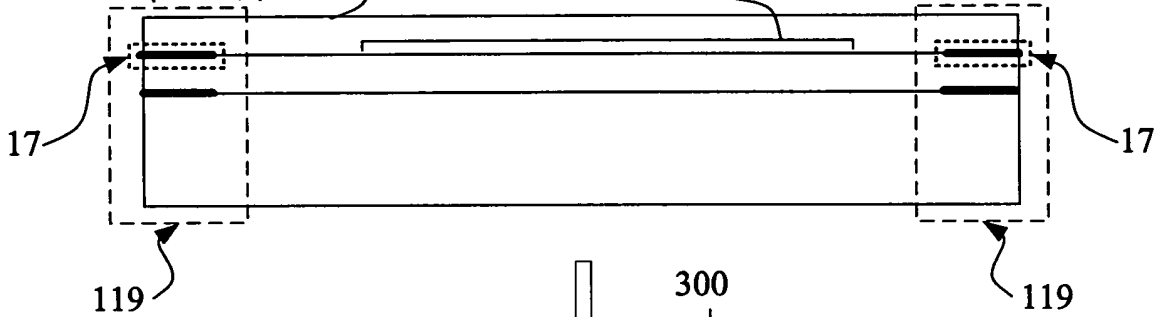
第 2A 圖



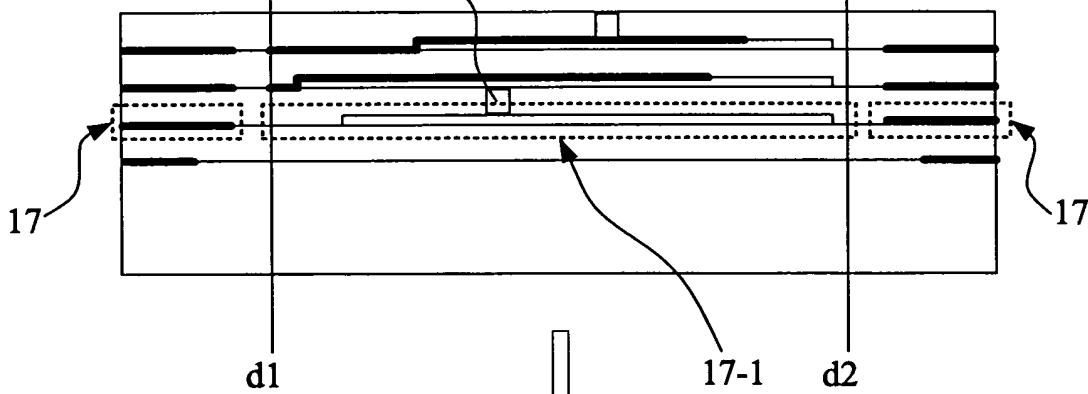
第 2B 圖



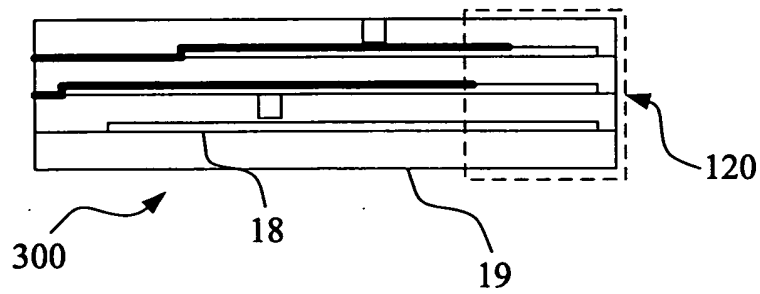
第 2C 圖



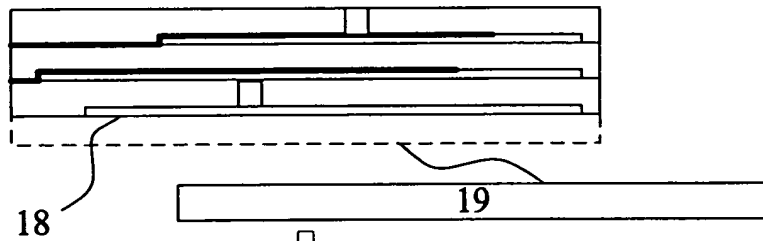
第 2D 圖



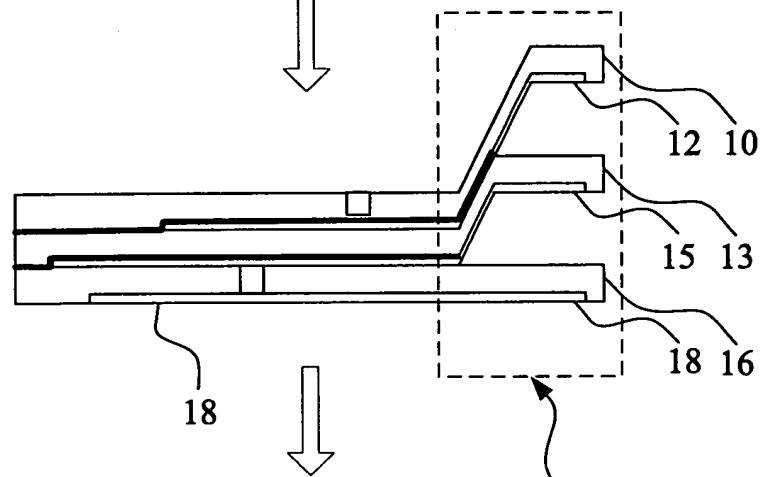
第 2E 圖



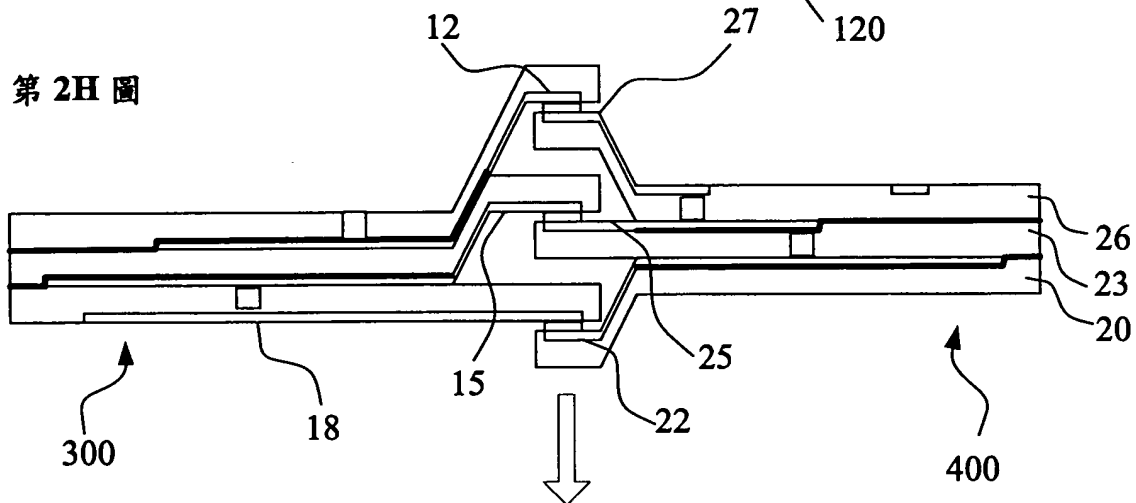
第 2F 圖



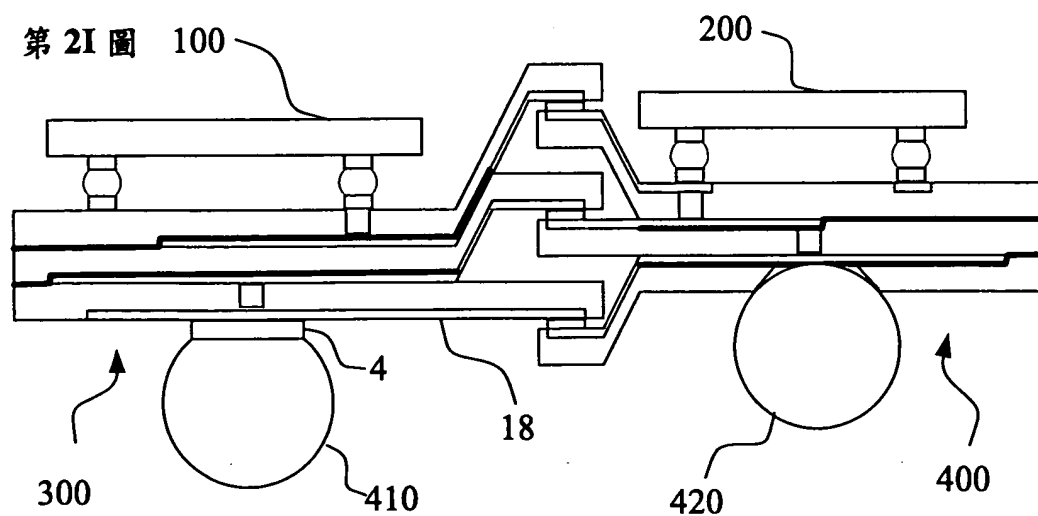
第 2G 圖



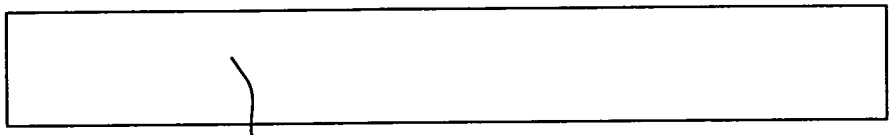
第 2H 圖



第 2I 圖



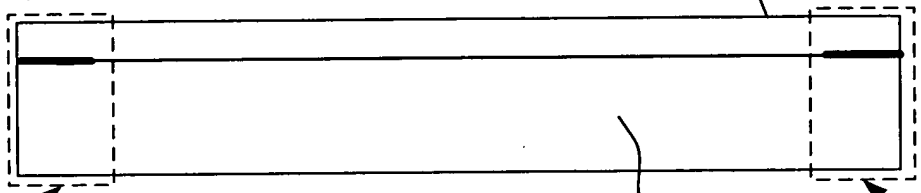
第 3A 圖



102



第 3B 圖

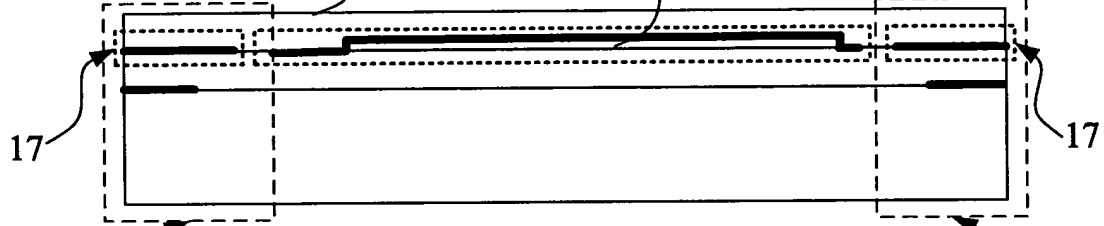


19

119



第 3C 圖



16

18

102

119

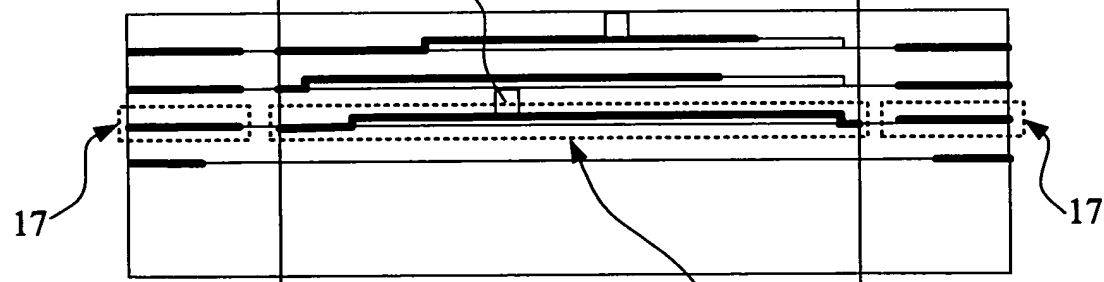
17

17

119



第 3D 圖



300

9

17

17

d1

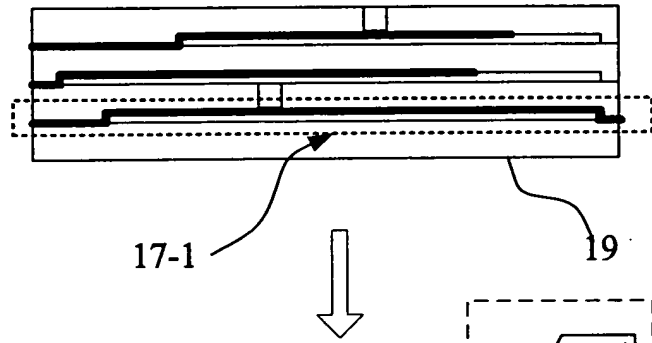
17-1

d2

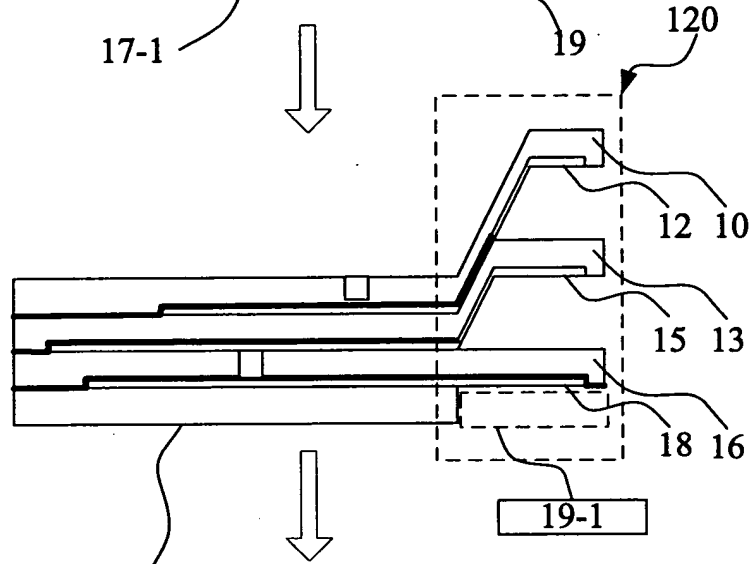




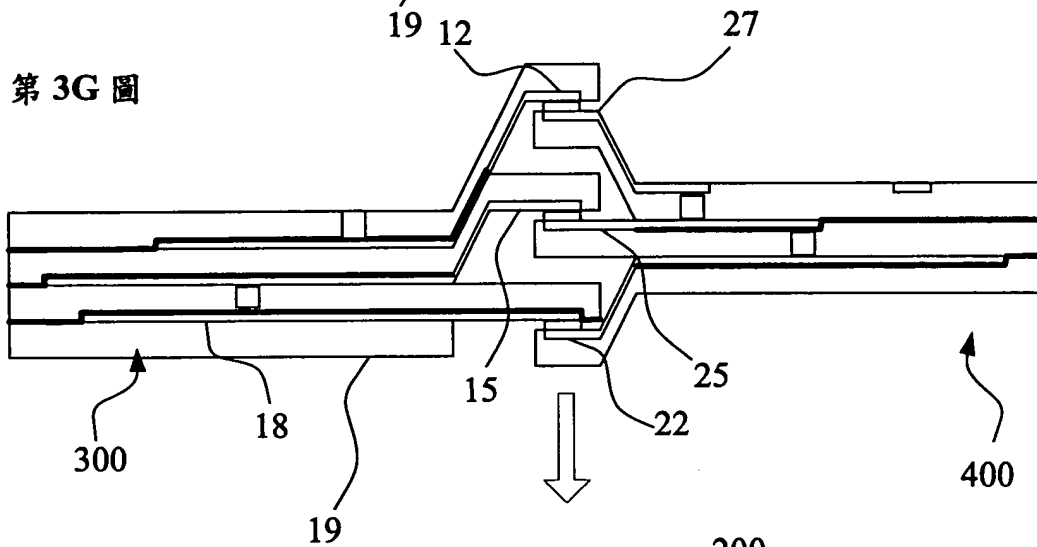
第 3E 圖



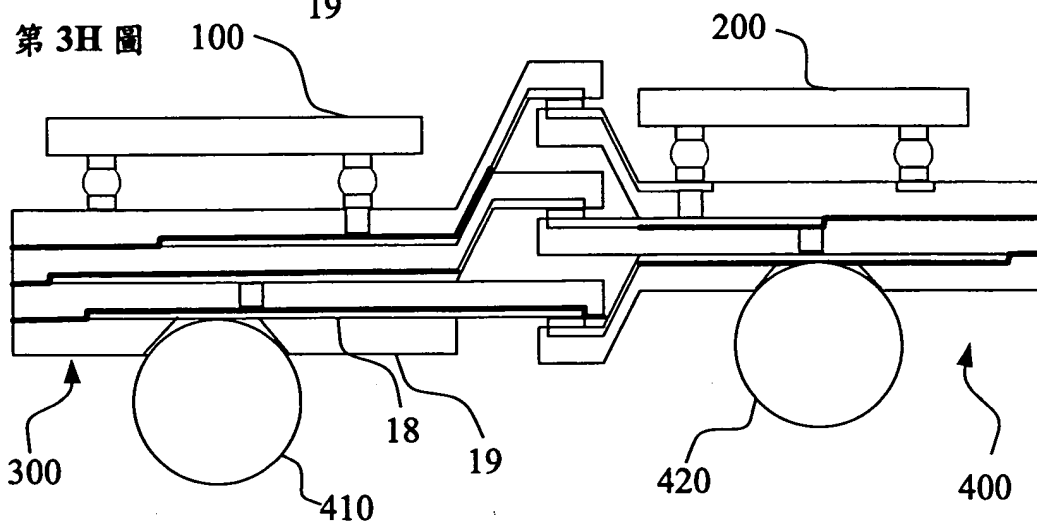
第 3F 圖



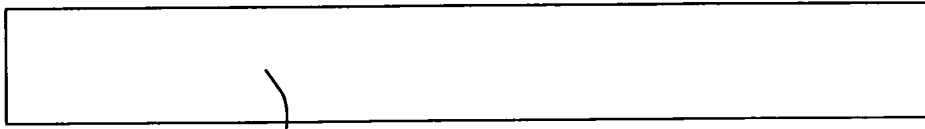
第 3G 圖



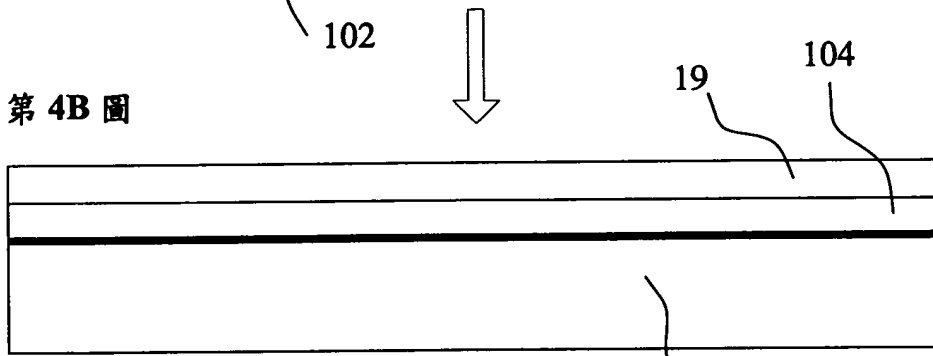
第 3H 圖



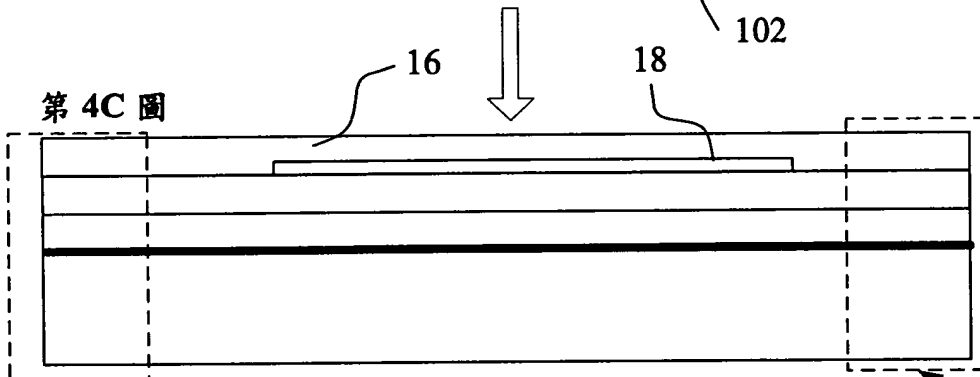
第 4A 圖



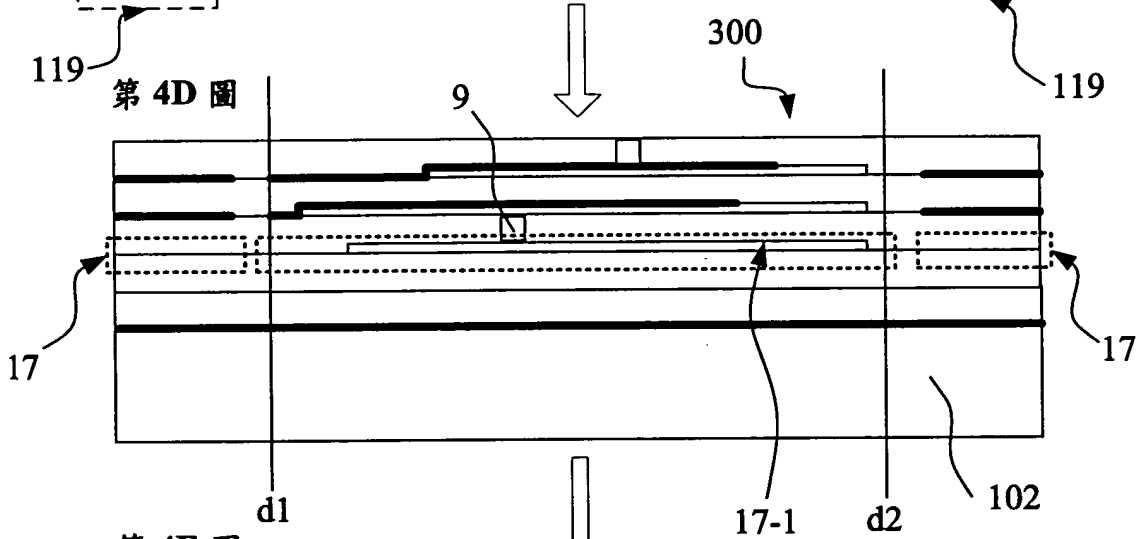
第 4B 圖



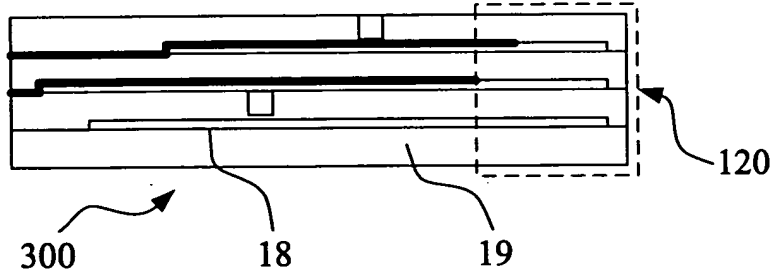
第 4C 圖



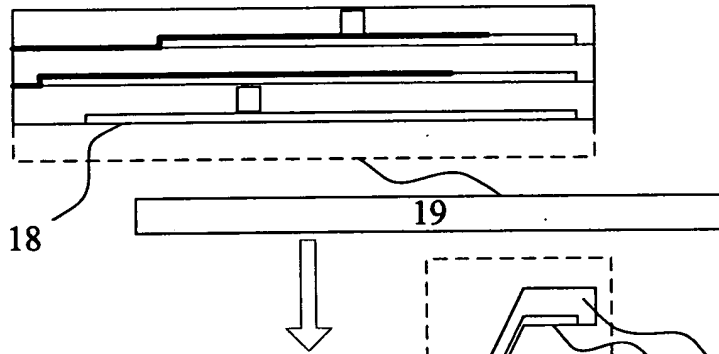
第 4D 圖



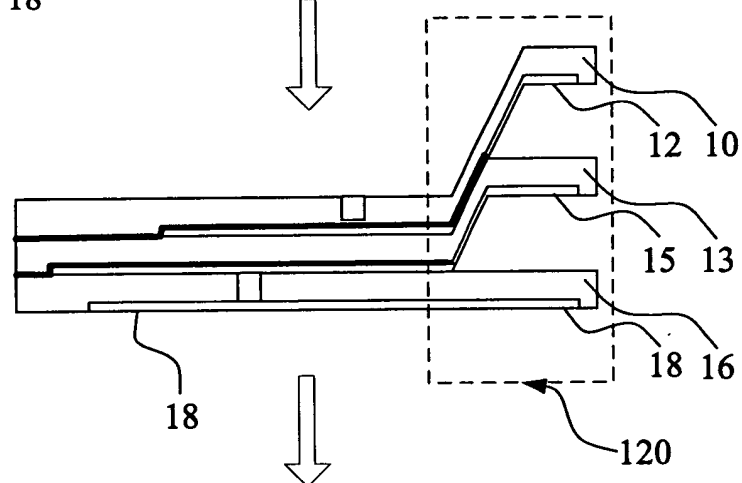
第 4E 圖



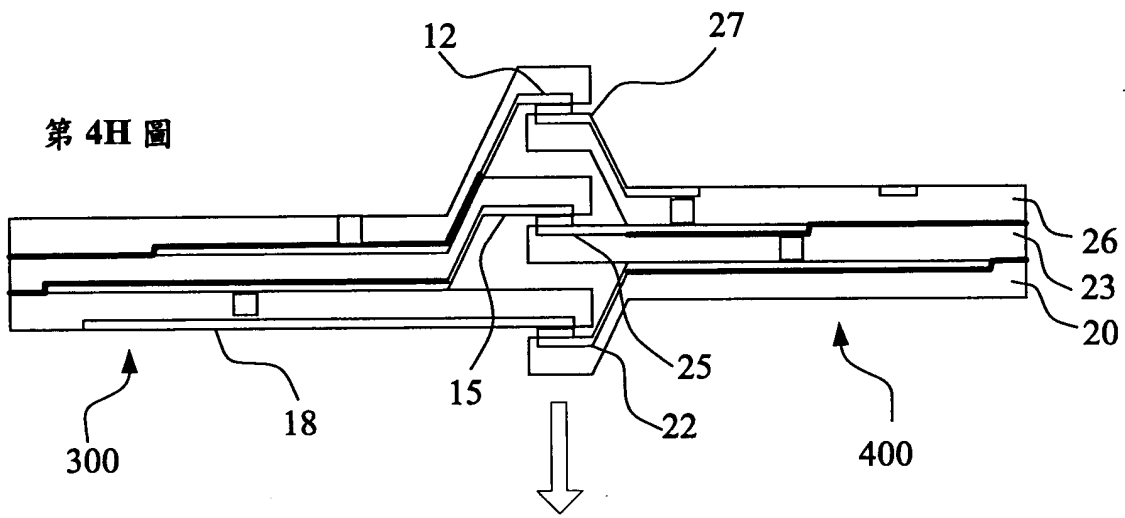
第 4F 圖



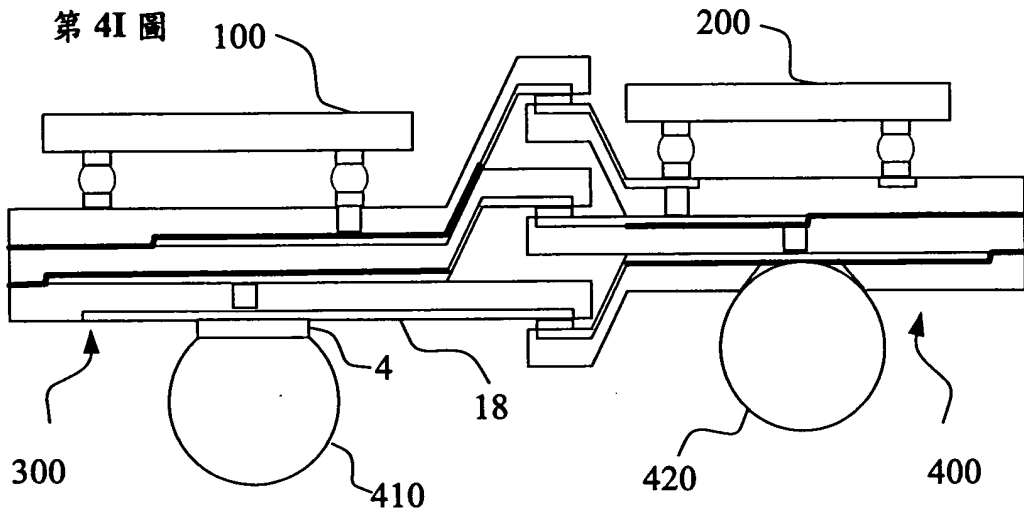
第 4G 圖



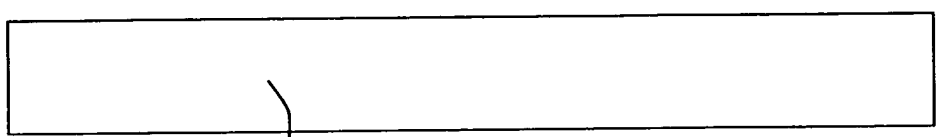
第 4H 圖



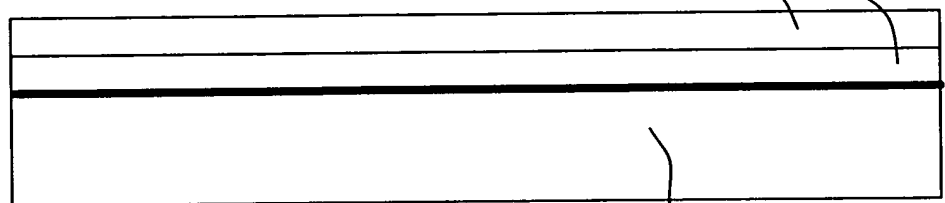
第 4I 圖



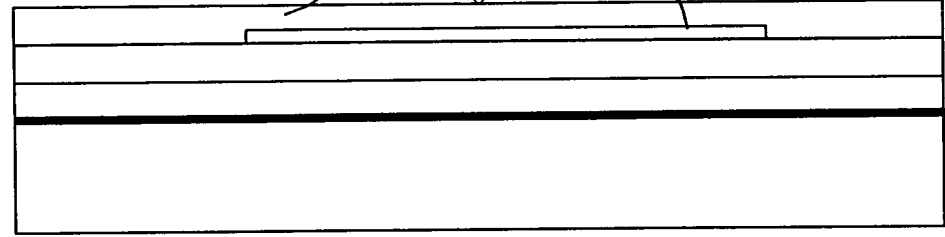
第 5A 圖



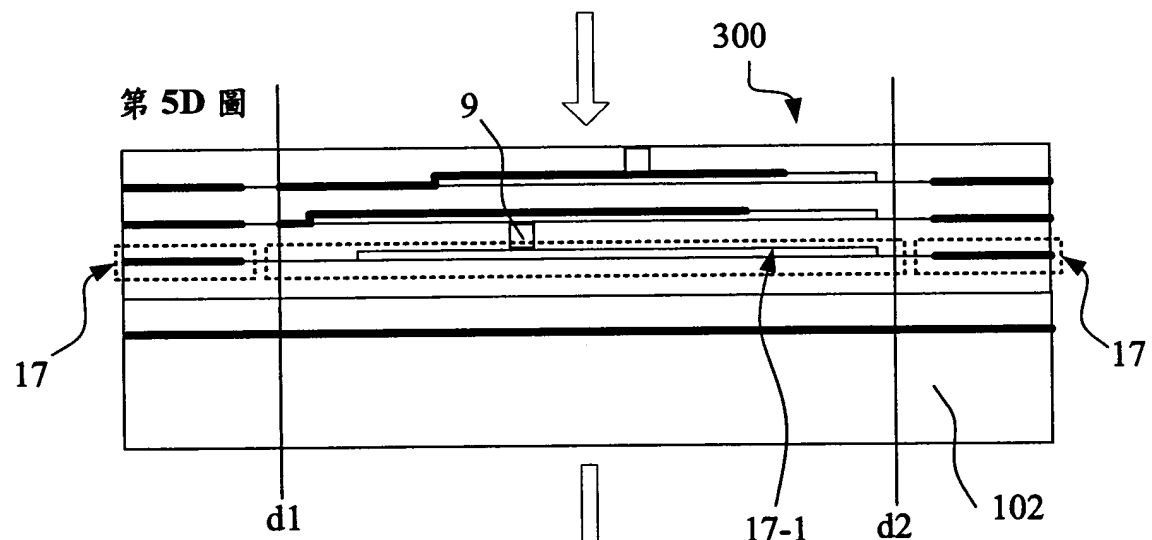
第 5B 圖



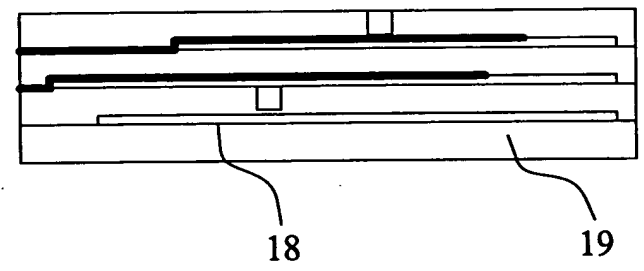
第 5C 圖



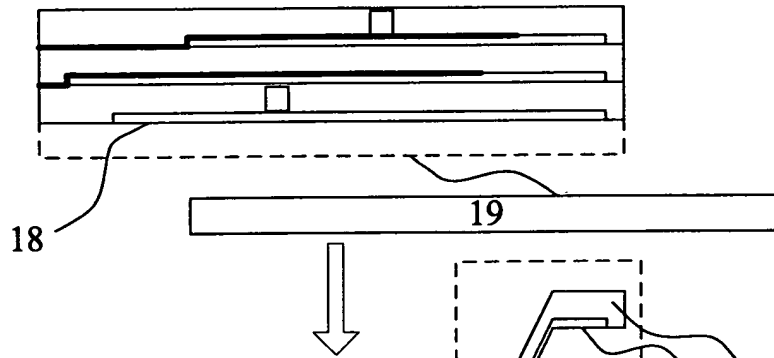
第 5D 圖



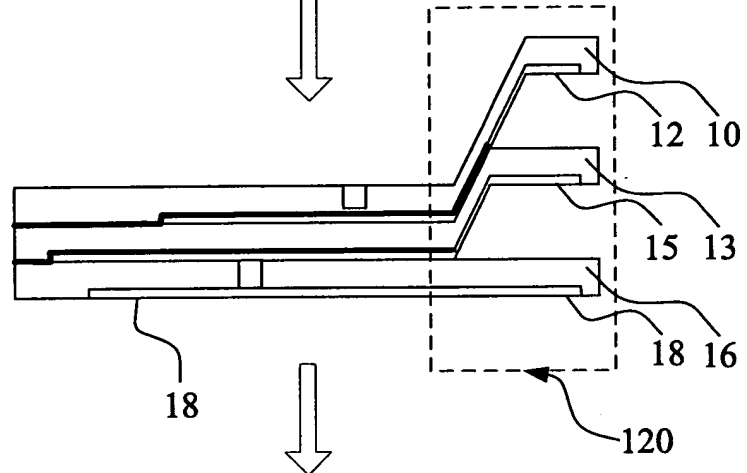
第 5E 圖



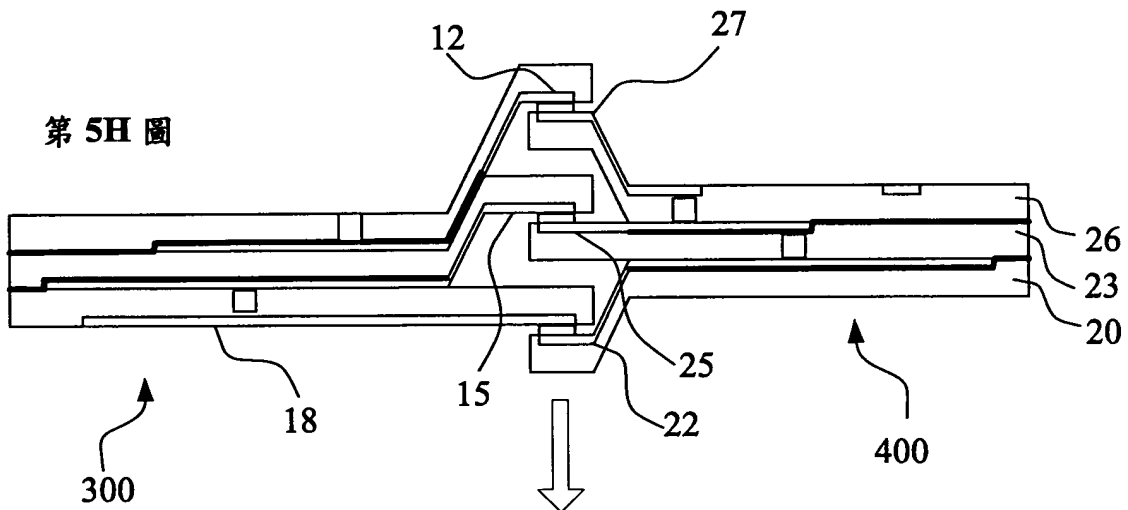
第 5F 圖



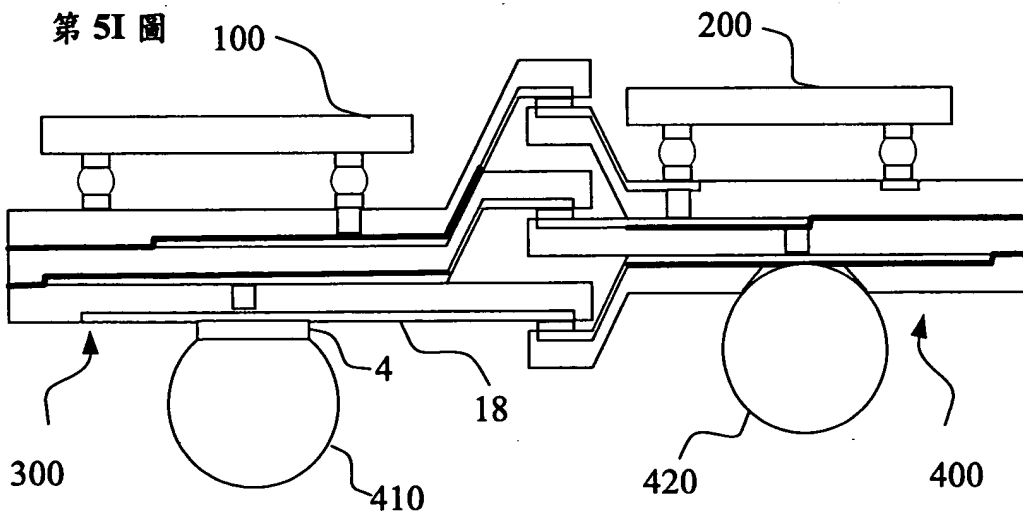
第 5G 圖



第 5H 圖



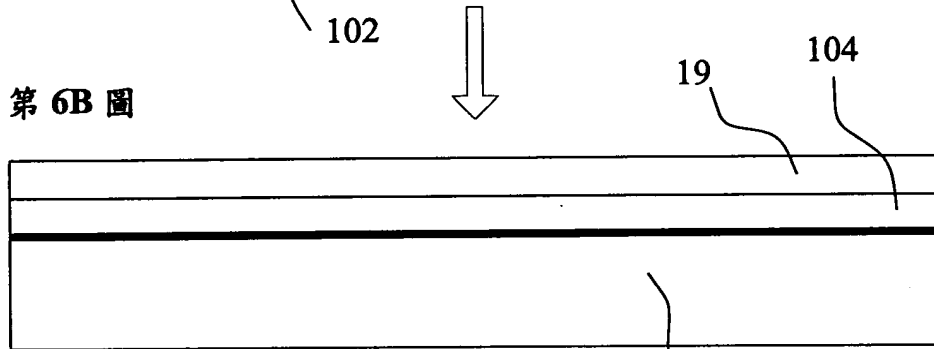
第 5I 圖



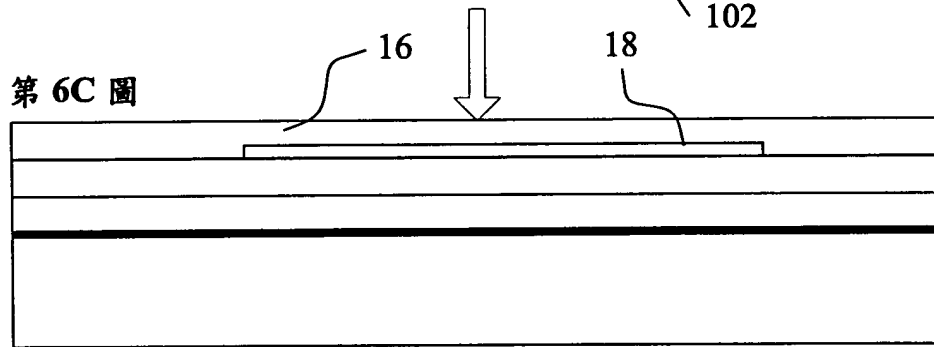
第 6A 圖



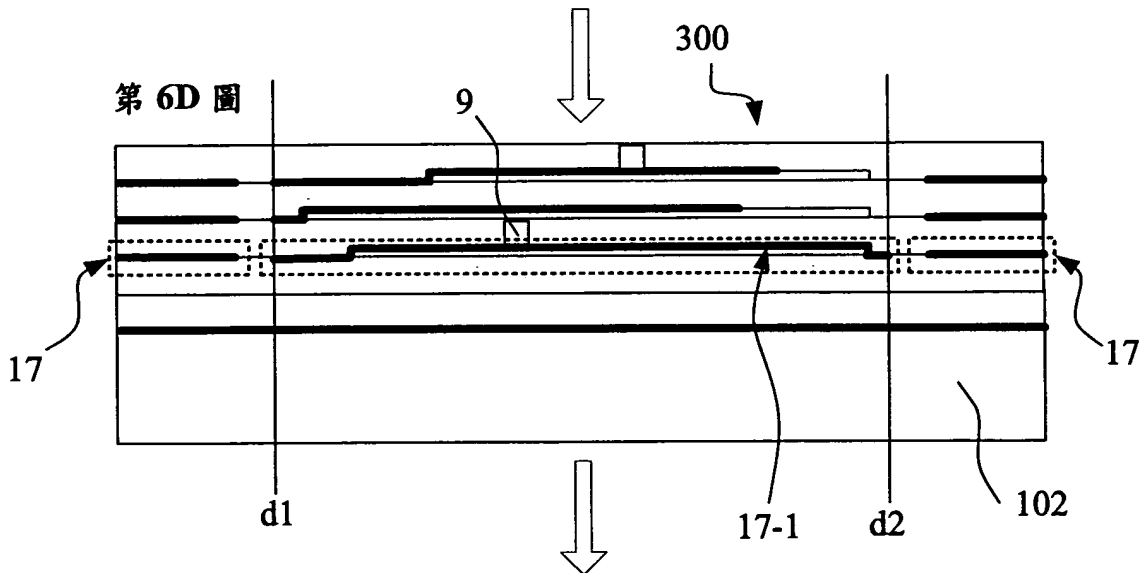
第 6B 圖



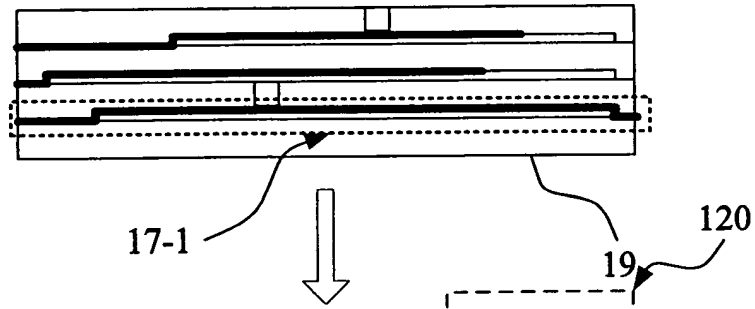
第 6C 圖



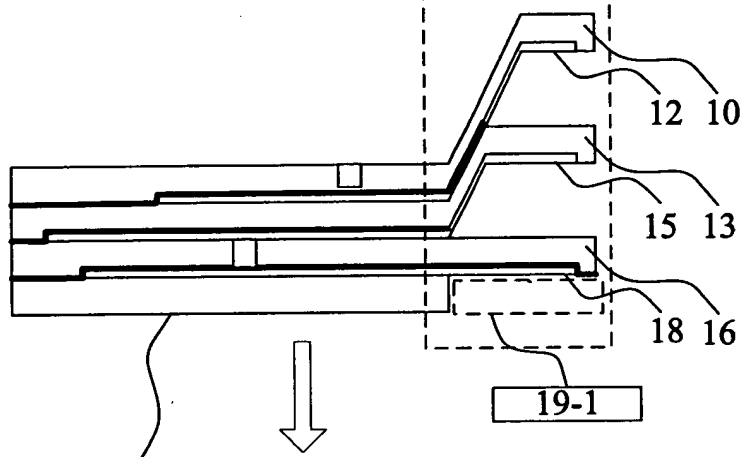
第 6D 圖



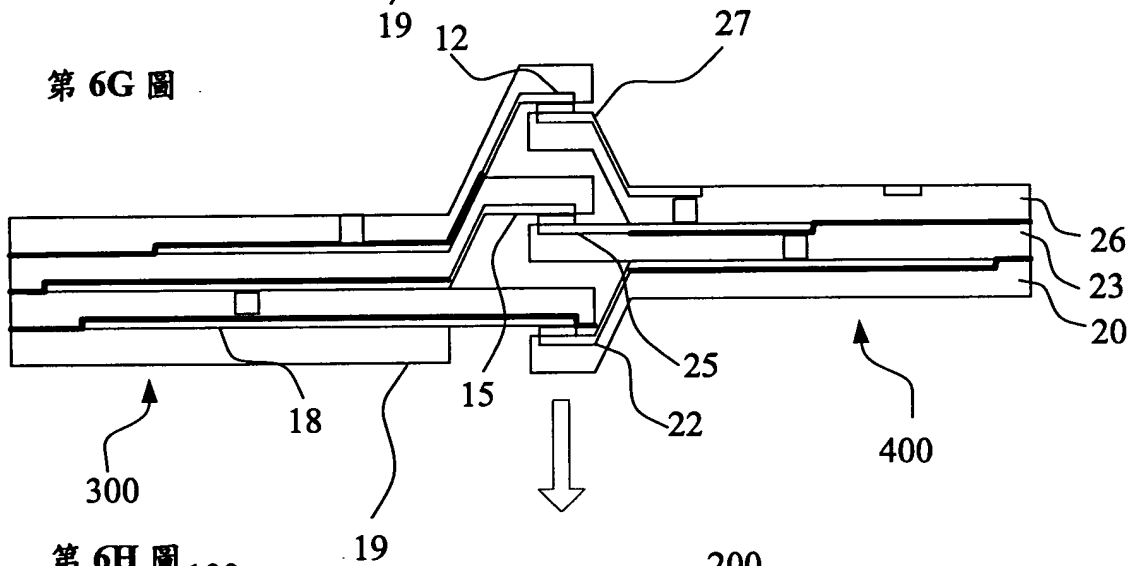
第 6E 圖



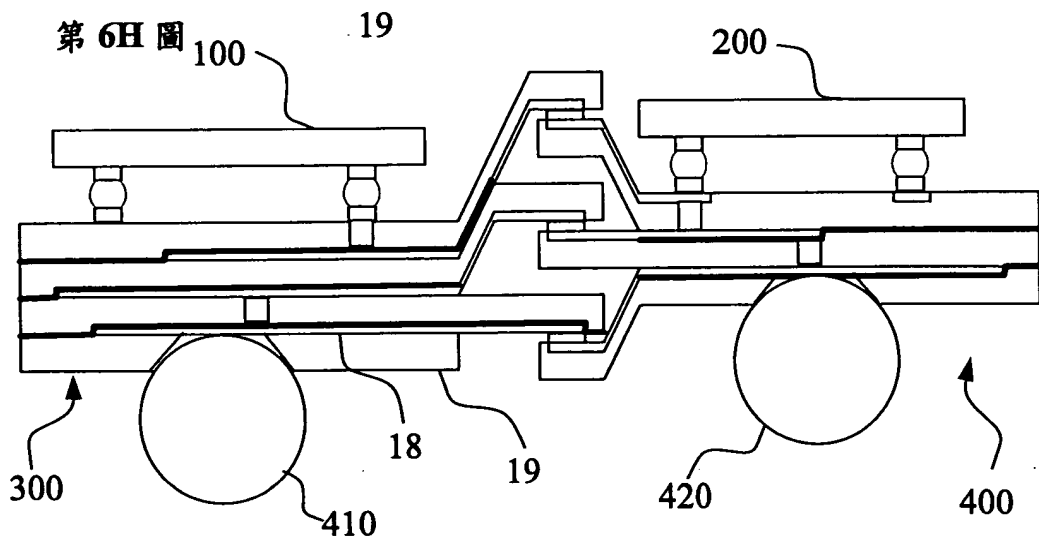
第 6F 圖



第 6G 圖



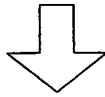
第 6H 圖



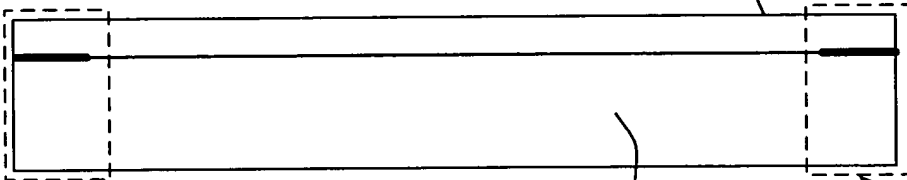
第 7A 圖



102



第 7B 圖

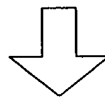


19

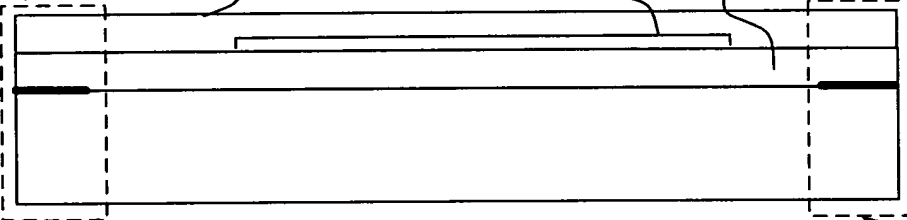
119

102

119



第 7C 圖



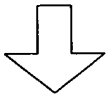
16

18

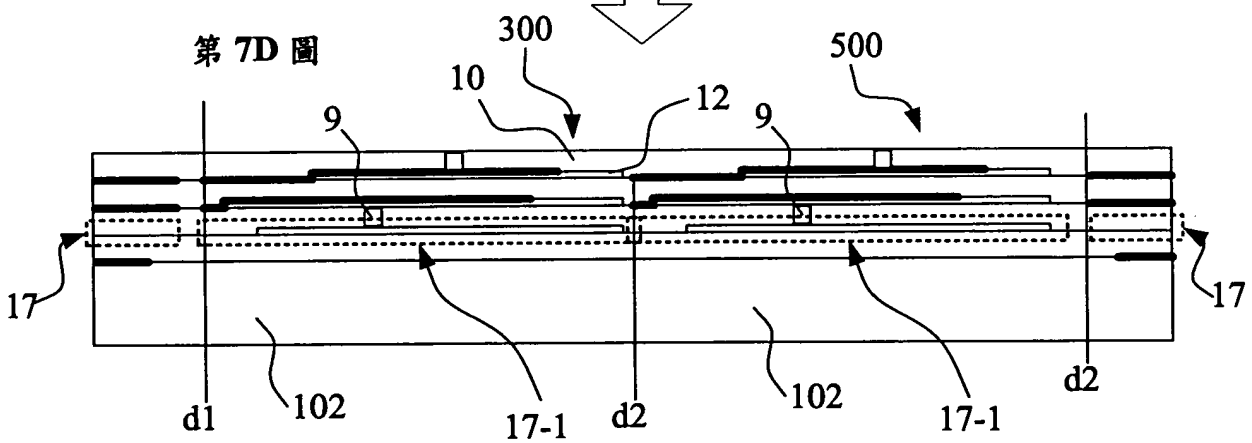
19

119

119



第 7D 圖



300

500

9

10

12

9

17

17

d1

102

17-1

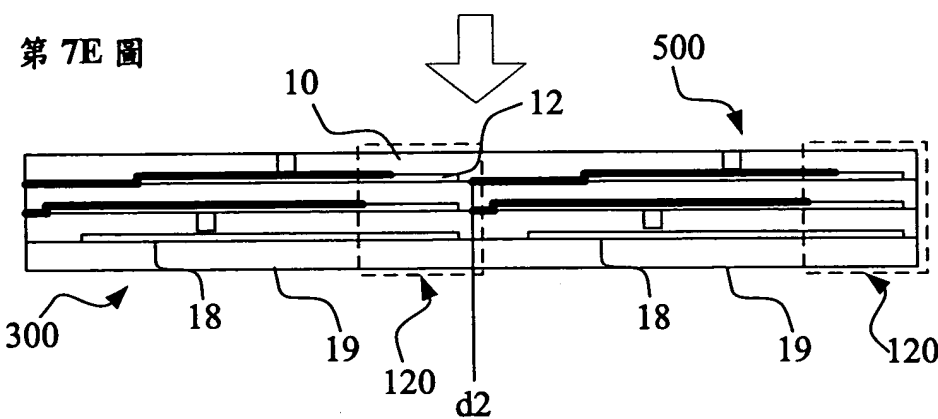
d2

102

17-1

d2

第 7E 圖



10

12

500

300

18

19

120

d2

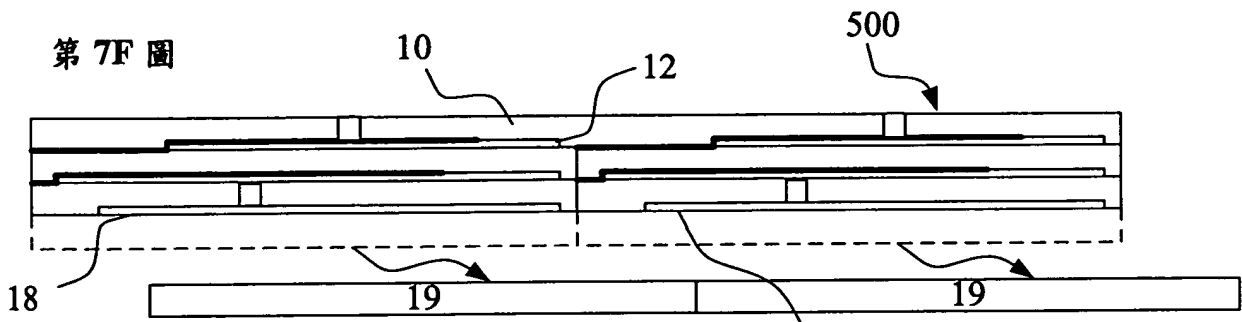
18

19

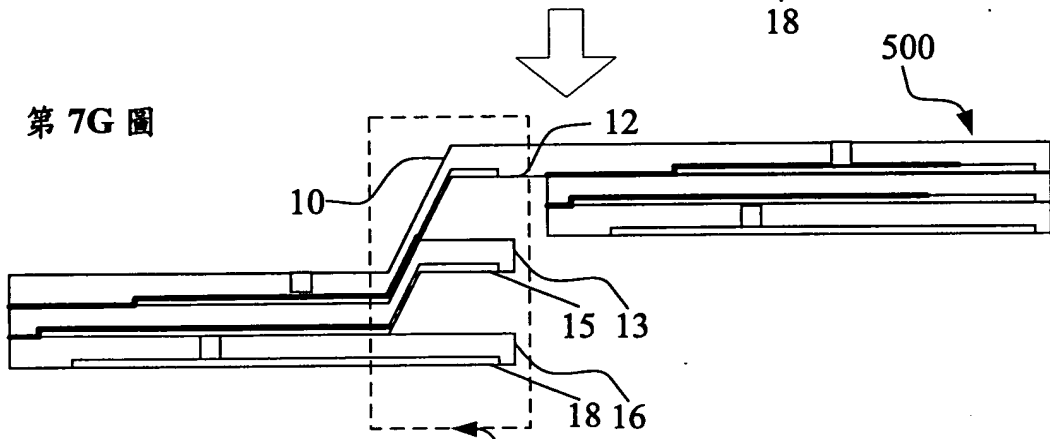
120



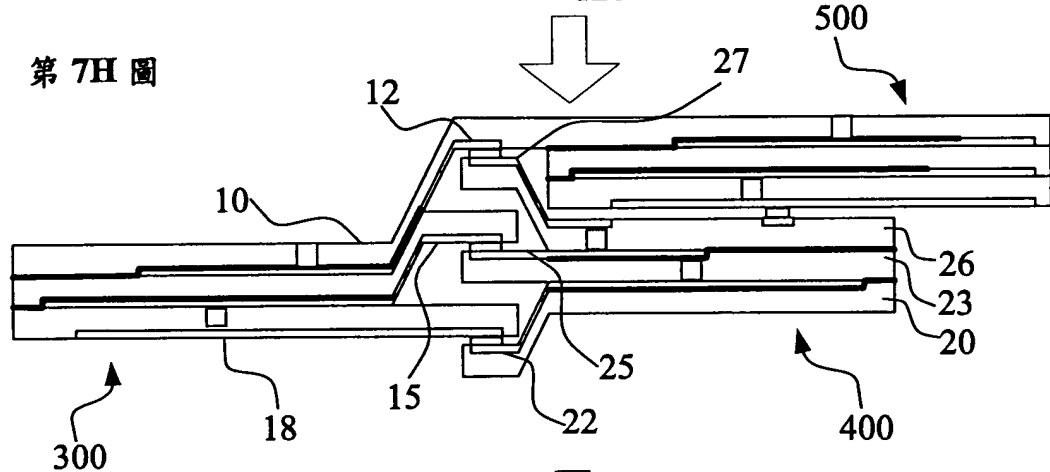
第 7F 圖



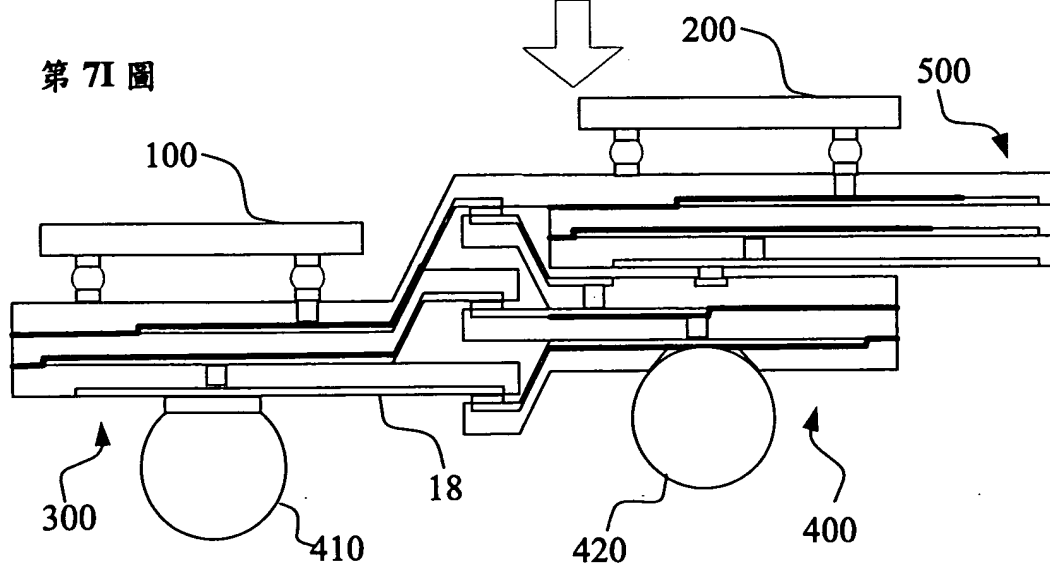
第 7G 圖

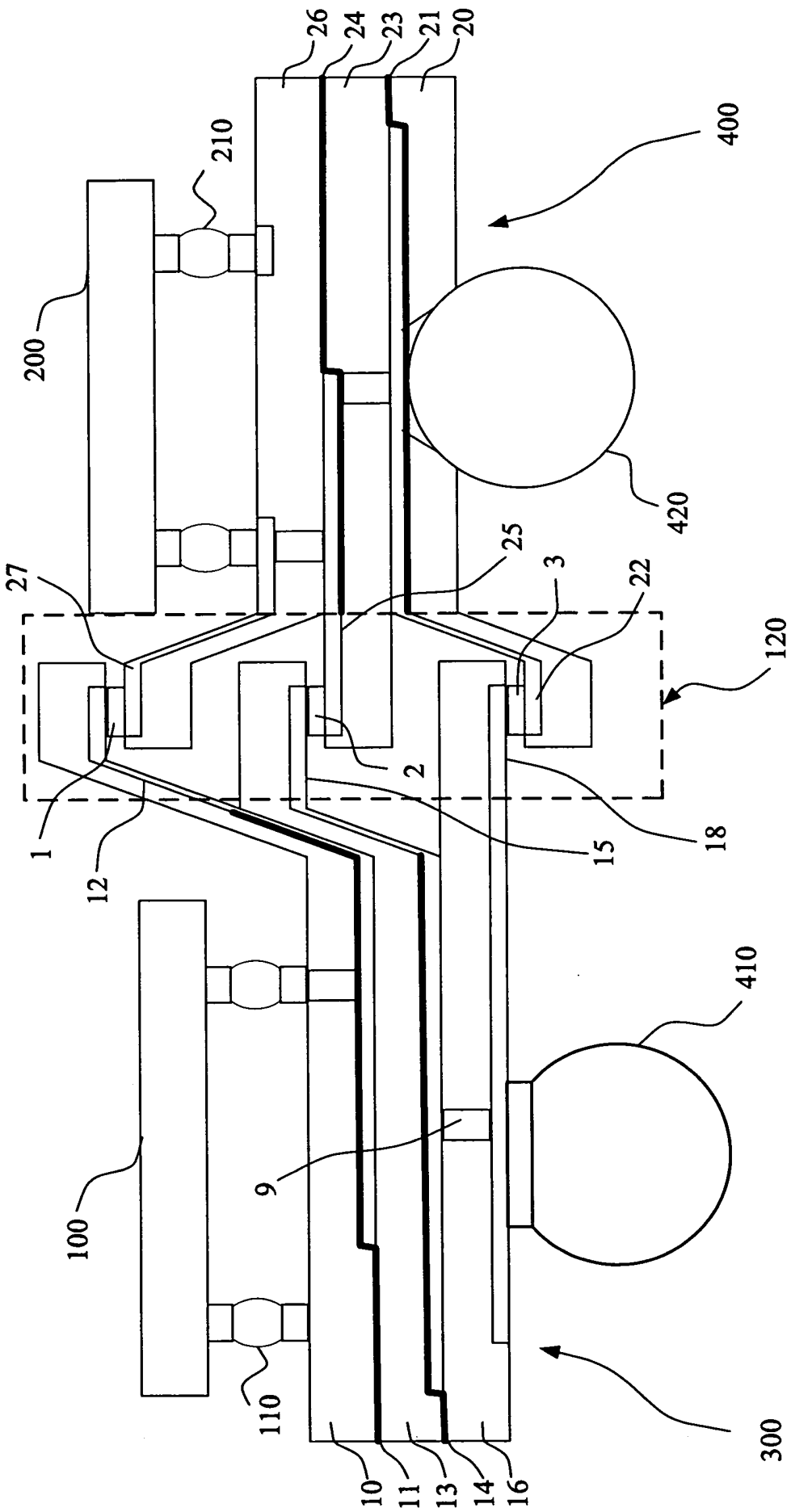


第 7H 圖

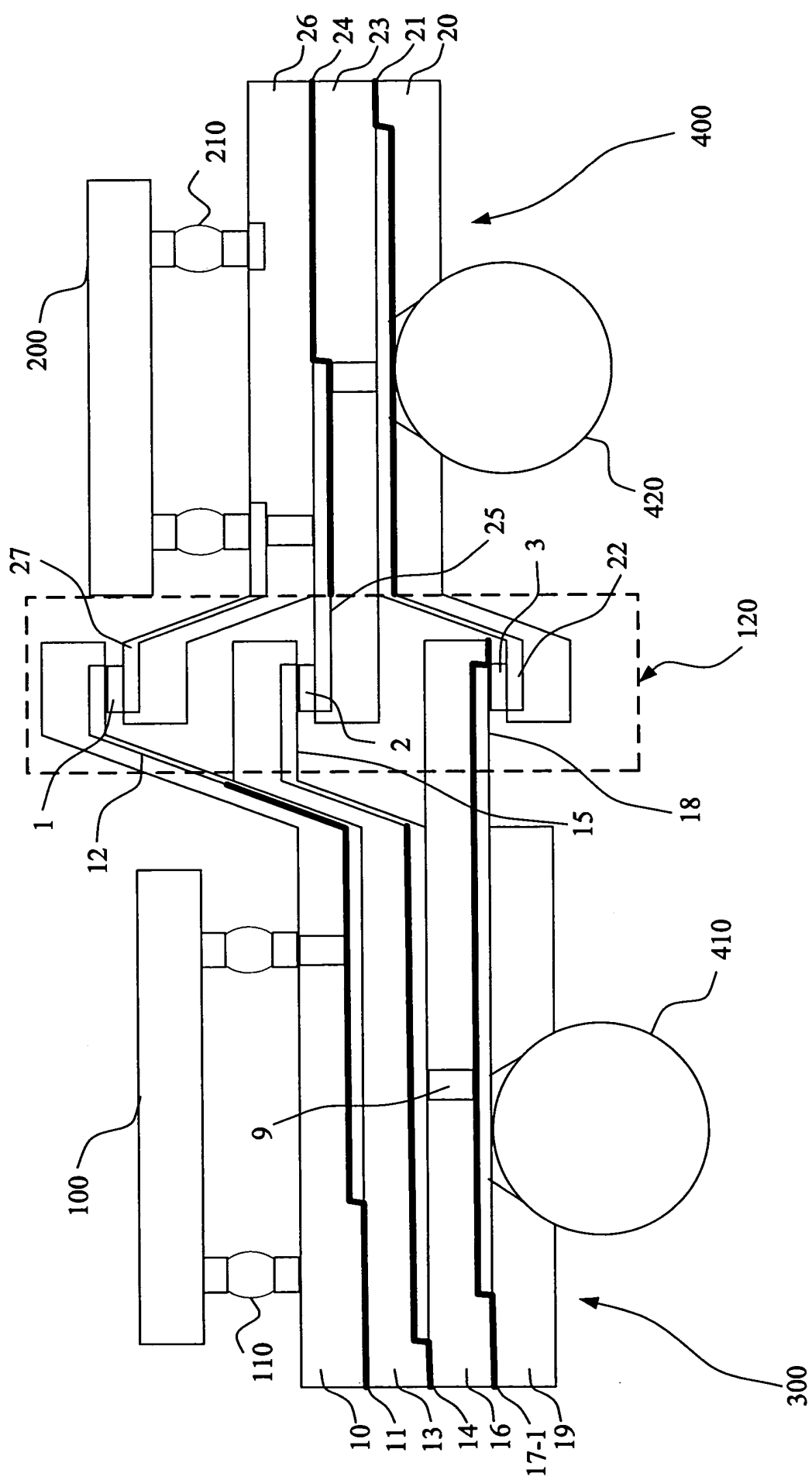


第 7I 圖





第 8 圖



第 9 圖

## 柒、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件代表符號簡單說明：

1、2、3	黏結劑	9	介層洞預定位置
10	第一介電層	11	附著強化處理之區域
12	第一金屬層	13	第一介電層
14	附著強化處理之區域	15	第一金屬層
16	第一介電層	17-1	附著強化處理之區域
18	第二金屬層	19	第一介電層
20	第二介電層	21	附著強化處理之區域
22	第二金屬層	23	第二介電層
24	附著強化處理之區域	25	第二金屬層
26	第二介電層	27	第二金屬層
100	第一晶片元件	104	介電層
110	錫球	120	連結部
200	第二晶片元件	210	錫球
300	第一多層基板	400	第二多層基板
410	錫球	420	錫球

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：