

公告本

申請日期	90 年 6 月 20 日
案 號	90114996
類 別	H01L 29/1739

A4
C4

502439

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	橫型半導體裝置
	英 文	
二、發明 創作人	姓 名	(1) 鈴木史人
	國 籍	(1) 日本
	住、居所	(1) 日本國神奈川縣川崎市幸區南加瀬二-二四- 一東芝南加瀬寮二〇七號
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 岡村正

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000 年 7 月 4 日 2000-202341 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝訂線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明背景】

本發明係關於提升由橫型 I G B T 等所代表之橫型半導體裝置之破壞耐量。

第 1 圖係表示以往橫型 I G B T 之剖面圖。

如第 1 圖所示，電介質分離基板，例如在 S O I 基板 1 0 1，分離有 N-型島領域 1 0 2。在 N-型島領域 1 0 2 內，互相離開形成有 P 型基極層 1 0 3，N 型緩衝層 1 0 4。在 P 型基極層 1 0 3 內形成有 N+源極層 1 0 5，在此 N+源極層 1 0 5 內，為能夠到達 P 型基極層 1 0 3，形成有 P+型基極接觸層 1 0 6。源極電極（有時也稱為源極配線，按，也稱射極電極，射極配線）1 0 7，係經由 P+型基極接觸層 1 0 6 以電氣方式連接於 P 型基極層 1 0 3，並且，以電氣方式連接於 N+源極層 1 0 5。又，在 N 型緩衝層 1 0 4 內，形成有 P+型汲極層 1 0 8。汲極電極（有時稱為汲極配線，按，集極電極有時稱為集極配線）1 0 9 係以電氣方式連接於 P+型汲極層 1 0 8。P 型基極層 1 0 3 之中，N-型島領域 1 0 2 與 N+源極層 1 0 5 間之部分，係 M O S 電晶體之通道（channel）。閘電極 1 1 0 係經由閘氧化膜 1 1 1，從通道上形成及至 N-型島領域 1 0 2。

這種橫型 I G B T 之動作係概略如下。

例如將汲極電極 1 0 9 成為高電位，又，將源極電極 1 0 7 成為低電位。於此狀態下，若將閘電極 1 1 0 成為 " HIGH " 電平時，通道之導電型就反相，如箭頭 1 1 2 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

示，從 N + 源極層 1 0 5 經由通道而電子將注入於 N - 型島領域 1 0 2 。此結果，將 N 型緩衝層 1 0 4 及 N - 型島領域 1 0 2 作為基極，將 P + 型汲極層 1 0 8 成為集極，將 P 型基極層 1 0 3 成為射極之 P N P 型雙極電晶體將接通 (turn on) 。藉此，橫型 I G B T 將變成 ” O N 狀態 ” 。

又，若將閘電極 1 1 0 成為 ” LOW ” 電平時，通道之導電型就恢復原狀，而停止對於 N - 型島領域 1 0 2 之電子注入，上述 P N P 型雙極電晶體將斷路 (turn off) 。藉此，橫型 I G B T 將變成 ” O F F 狀態 ” 。

在 N - 型島領域 1 0 2 表面 (主面) 上方，經由閘氧化膜 1 1 1 形成有閘電極 1 1 0 。於此閘電極 1 1 0 端部領域 1 1 3 ，將產生強電場。

並且，於橫型 I G B T ，係如箭頭 1 1 2 所示，電子將集中流動於 N - 型島領域 1 0 2 表面 (主面) 部分。亦即，電子將集中流動於閘電極 1 1 0 正下方。此結果，電流將集中於端部領域 1 1 3 正下方，將端部領域 1 1 3 為中心變成容易發生破壞，而妨礙其破壞耐量之提升。

【發明之概要】

本發明係鑑於上述情形所完成者，其目的係提供一種力求更加提升破壞耐量之橫型半導體裝置。

為了達成上述目的，於本發明之第 1 態樣之半導體裝置，其特徵為具備：具有主面之第 1 導電型之半導體基體，與在上述半導體基體，互相離開形成之第 2 導電型之第

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽³⁾)

1，第2半導體領域，與形成於上述第1半導體領域之第1導電型之第3半導體領域，與形成於上述半導體基體之主面上，分別對於上述第1，第3半導體領域以電氣方式連接之第1主電極，與形成於上述半導體基體主面上，對於上述第2半導體領域以電氣方式連接之第2主電極，與形成於上述半導體基體主面上之絕緣膜，與至少在上述半導體基體上，及在上述半導體基體與上述第3半導體領域間之上述第1半導體領域上，經由上述絕緣膜所形成之閘電極，與形成於上述閘電極之端部領域下之上述半導體基體之第2導電型之第4半導體領域。

又，本發明之第2態樣之半導體裝置，其特徵為具備：具有主面之第1導電型之半導體基體，與形成於上述半導體基體之第2導電型之第1半導體領域，與形成於上述第1半導體領域之第1導電型之第2半導體領域，與形成於上述半導體基體主面上，分別對於上述第1，第2半導體領域以電氣方式連接之第1主電極，與形成於上述半導體基體主面上，對於上述半導體基體以電氣方式連接之第2主電極，與形成於上述半導體基體主面上之絕緣膜，與至少在上述半導體基體上，及在上述半導體基體與上述第2半導體領域間之上述第1半導體領域上，經由上述絕緣膜所形成之閘電極，與形成於上述閘電極端部領域下之上述半導體基體之第2導電型之第3半導體領域。

亦即，於本發明，第1半導體基體之中，在對應於閘電極端部領域下之部分，形成第2導電型之半導體領域。

經濟部智慧財產局員工消費合作社印製

五、發明說明(4)

藉此，經由閘電極下之半導體基體，流動於第1主電極與第2主電極間之電流，可緩和集中於閘電極之端部領域下。因可緩和這種電流集中之結果，與以往之半導體裝置比較，可力求提升破壞耐量。

本發明之另外目的及益處將於下面說明，並且將由下述之一部分及實施例就可清楚，本發明之目的及益處將可由下述手段及特別指出之事項更加了解。

【發明之詳細說明】

茲將本發明之實施形態參照圖式說明如下。於此說明，所有圖式，對於共通部分標示參照符號。

(第1實施形態)

第2圖係表示關於本發明之第1實施形態之電介質分離橫型高耐壓絕緣閘型雙極電晶體之剖面圖。

如第2圖所示，橫型IGBT係形成於電介質分離基板，例如形成於分離於SOI基板1之N-型島領域2內。橫型IGBT係將第2圖中之一點鏈線框內所示基本構造（以下稱為單位單元），藉反復形成所構成。第2圖中之一點鏈線框內（單位單元1個分）之放大圖表示於第3圖。以下，注目於單位單元1個分，說明本發明實施形態之幾項如下。

如第3圖所示，形成半導體元件之半導體基體，亦即在N-型島領域2內，互相離開形成有P型基極層3，N型

五、發明說明⁽⁵⁾)

緩衝層 4。在 P 型基極層 3 內形成有 N + 型源極層 5，在此 N + 型源極層 5 內，能夠到達 P 型基極層 3，形成有 P + 型基極接觸層 6。源極電極（有時稱為源極配線，按，

I G B T 有時也稱為射極電極，射極配線）7，係經由 P + 型基極接觸層 6 以電氣方式連接於 P 型基極層 3，並且，對於 N + 型源極層 5 以電氣方式連接。又，在 N 型緩衝層 4 內形成有 P + 汲極層 8。汲極電極（稱為汲極配線，按，於 I G B T 有時也稱集極電極，集極配線）9 係對於 P + 汲極層 8 以電氣方式連接。P 型基極層 3 之中，N - 型島領域 2 與 N + 型源極層 5 間之部分，係 M O S 電晶體之通道。閘電極 10 係經由閘氧化膜 11，從通道上，形成及至 N - 型島領域 2。

並且，於關於本第 1 實施形態之橫型 I G B T，係閘電極 10 之汲極側端部領域 13 下，例如在其正下方之 N - 型島領域 2 內，形成有 P 型擴散層 14。此 P 型擴散層 14 係例如以電氣方式成浮遊狀態形成。

茲就其動作之一例說明如下。

例如將汲極電極 9 成為高電位，又，將源極電極 7 成為低電位。於此狀態下，若將閘電極 10 成為” HIGH ”電平時，通道之導電型就反相，如箭頭 12 所示，從 N + 型源極層 5 電子為經由通道注入於 N - 型島領域 2。此結果，將 N 型緩衝層 4 及 N - 型島領域 2 作為基極，將 P + 汲極層 8 作為集極，將 P 型基極層 3 作為射極之 P N P 型雙極電晶體將接通。藉此，橫型 I G B T 將變成” O N 狀態”。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明(6)

又，將閘電極 10 成爲 " LOW " 電平時，通道之導電型就恢復原狀，停止對於 N - 型島領域 2 之電子注入，上述 P N P 型雙極電晶體將斷路 (turn off) 。藉此，橫型 I G B T 將變成 " O F F 狀態 " 。

茲就其製造方法之一例說明如下。

第 4 A 圖 ~ 第 4 I 圖係將關於第 1 實施形態之橫型 I G B T ，依各製造工程所示之剖面圖。

首先，如第 4 A 圖所示，在 N - 型島領域 2 上，形成在對應於 N 型緩衝層形成領域具有窗 32 之光阻膜 (photoresist film) 31 。接著，經由窗 32 在 N - 型島領域 2 注入離子於 N 型雜質。

接著，如第 4 B 圖所示，去除光阻膜 31 後，熱處理 S O I 基板 1，擴散所注入之 N 型雜質，而形成 N 型緩衝層 4。接著，在 N - 型島領域 2 上形成具有對應於 P 型基極層形成領域之窗 34 之光阻膜 33。接著，經由窗 34 在 N - 型島領域 2 離子注入 P 型雜質。

接著，如第 4 C 圖所示，去除光阻膜 33 之後，熱處理 S O I 基板 1，擴散所注入之 P 型雜質，形成 P 型基極層 3。接著，例如使用 L O C O S 法，在 N - 型島領域 2 上，形成場氧化膜 (fieldsoxdization film) 35。

接著，如第 4 D 圖所示，在形成場氧化膜 35 之 N - 型島領域 2 上，形成具有對應於 P 型擴散層形成領域之窗 37 之光阻膜 36。接著，經由窗 37 在 N - 型島領域 2 離子注入 P 型雜質。

五、發明說明 (7)

接著，如第 4 E 圖所示，去除光阻膜 3 6 之後，熱處理 S O I 基板 1，擴散所注入之 P 型雜質，以形成 P 型擴散層 1 4。接著，熱氧化 S O I 基板 1，以形成閘氧化膜 1 1。接著，在形成有閘氧化膜 1 1 及場氧化膜 3 5 之 N - 型島領域 2 上，堆積導電性矽，以形成導電性聚矽膜。接著，形成導電性聚矽之圖案，以形成閘電極 1 0。此時，閘電極 1 0，係形成圖案使其汲極側之端部領域 1 3 位於上述 P 型擴散層 1 4 上方。

接著，如第 4 F 圖所示，在 N - 型島領域 2 上形成具有對應於 P + 型汲極層形成領域之窗 3 9 之光阻膜 3 8。接著，經由窗 3 9，在 N 型緩衝層 4，離子注入 P 型雜質。

接著，如第 4 G 圖所示，去除光阻膜 3 8 之後，熱處理 S O I 基板 1，擴散所注入之 P 型雜質，以形成 P + 汲極層 8。接著，在 N - 型島領域 2 上，形成具有對應於 P + 接觸層形成領域之窗 4 1 之光阻膜 4 0。接著，經由窗 4 1，在 P 型基極層 3 離子注入 P 型雜質。

接著，如第 4 H 圖所示，去除光阻膜 4 0 之後，熱處理 S O I 基板 1，擴散所注入之 P 型雜質，以形成 P + 型基極接觸層 6。接著，在 N - 型島領域 2 上，形成具有對應於 N + 源極層形成領域之窗 4 3 之光阻膜 4 2。接著，經由窗 4 3 在 P 型基極層 3 及 P + 型基極接觸層 6 離子注入 N 型雜質。

接著，如第 4 I 圖所示，去除光阻膜 4 2 之後，熱處理 S O I 基板 1，擴散所注入之 N 型雜質，以形成 N + 型源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽⁸⁾)

極層 5。接著，在 N-型島領域 2 上，堆積例如二氧化矽，以形成層間絕緣膜 4 4。接著，使用光刻成像法，在層間絕緣膜 4 4 分別形成到達 N+型源極層 5 及 P+型基極接觸層 6 之源極接觸孔 4 5，到達 P+汲極層 8 之汲極接觸孔 4 6，及到達閘電極 1 0 之閘接觸孔（未圖示）。

最後，如第 3 圖所示，在第 4 I 圖所示構造上，例如濺鍍鋁，以形成鋁膜。接著，形成鋁膜圖案，分別形成源極電極（或源極配線）7，汲極電極（或汲極配線）9，及未圖示之閘配線。

如以上，完成關於第 1 實施形態之橫型 I G B T。

依據這種橫型 I G B T，形成於閘電極 1 0 之汲極側端部領域 1 3 正下方之 N-型島領域 2 內，具有電氣性浮遊之 P 型擴散層 1 4。因具此 P 型擴散層 1 4 集中流動於 N-型島領域 1 0 2 表面（主面）部分之電子，係如箭頭 1 2 所示，將沿著 P 型擴散層 1 4 與 N-型島領域 2 之 P N 接合分散流動。此結果，以往，變成容易集中電流之汲極側端部領域 1 3 正下方，緩和電流之集中，就可抑制將端部領域 1 3 作為中心之破壞。藉此，於橫型 I G B T，可更加提升破壞耐量。

（第 2 實施形態）

第 5 圖係表示關於本發明第 2 實施形態之電介質分離橫型高耐壓 I G B T 之剖面圖。

如第 5 圖所示，第 2 實施形態與第 1 實施形態不同之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

東

五、發明說明⁽⁹⁾)

處，係汲極側端部領域 1 3 並非位於閘氧化膜 1 1 上，而是形成於場氧化膜 3 5 上。

像這樣即使汲極側端部領域 1 3 形成於場氧化膜 3 5 上之情形時，在汲極側端部領域 1 3 正下方之 N - 型島領域 2 內，藉形成 P 型擴散層 1 4，即使於汲極側端部領域 1 3 正下方，也可緩和電流之集中，而可抑制將端部領域 1 3 為中心之破壞。因此，與第 1 實施形態同樣，可更加力求提升破壞耐量。

(第 3 實施形態)

第 6 圖係表示關於本發明第 3 實施形態之電介質分離橫型高耐壓 M O S F E T 之剖面圖。

如第 6 圖所示，第 3 實施形態與第 1 實施形態不同之處，係在 N 型緩衝層 4 內，替代 P + 汲極層 8 形成有 N + 型汲極層 1 5。亦即，並非橫型 I G B T，而成為橫型 M O S F E T (橫型二重擴散 M O S F E T)。

茲將其動作之一例說明如下。

例如將汲極電極 9 成為高電位，又，將源極電極 7 成為低電位。於此狀態，若將閘電極 1 0 成為” HIGH ”電平時，通道之導電型就反相，而 N + 型源極層 5 與 N - 型島領域 2 以電氣方式連接。此結果，電子就從 N + 型源極層 5 向 N - 型島領域 2 流動，將 N - 型島領域 2，N 型緩衝層 4 及 N + 型汲極層 1 5 分別成為汲極，將 P 型基極層 3 成為後閘 (back gate)，將 N + 型源極層 5 成為源極 M O S F E T 就

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明⁽¹⁰⁾

接通，而橫型 MOSFET 將變成 "ON 狀態"。

又，若將閘電極 10 變成 "LOW" 電平時，通道之導電型就恢復原狀，N+型源極層 5 與 N-型島領域 2 就電氣性地分離，上述 MOSFET 就斷路，橫型 MOSFET 將變成 "OFF 狀態"。

本發明係並非只是橫型 IGBT，也可適用於橫型 MOSFET。亦即，本發明係電流為並非形成元件之半導體基體之深度方向，其平面方向，例如若沿著 N-型島領域 2 之表面（主面）流動之橫型半導體裝置時，就不會損及其效果而可適用。

以上，將本發明使用第 1～第 3 實施形態做了說明，但是本發明係並非限於這些實施形態，當實施其時，在不脫離發明之要旨之範圍可進行種種變形。

例如 N 型緩衝層 4，係此 N 型緩衝層 4 為例如抑制發生於 N 型緩衝層 4 耗盡層（depletion layer）之伸長，將源極～汲極間之破壞耐量之提升作為一個目的所裝設者。因此，只要視其需要裝設即可，若不必裝設 N 型緩衝層 4 時，就可加以省略。

又， P^+ 型基極接觸層⁶ 3，將由鋁所構成之源極電極 7，對於以矽所構成之 P 型基極層 3，以歐姆性地接觸所裝設者。因此，與 N 型緩衝層 4 同樣， P^+ 型基極接觸層⁶ 3 係視其需要裝設，不必裝設時，就可加以省略。

又，於上述實施形態，將汲極電極 9 成為高電位，又，將源極電極 7 成為低電位狀態之動作做了說明，但是，

五、發明說明⁽¹¹⁾

也可以將汲極電極 9 成為低電位，又，也可以將源極電極 7 成為高電位之狀態動作。

又，上述各實施形態係不僅可分別單獨實施，當然也可以做適當組合實施。

並且，在上述各實施形態為包括種種階段之發明，由在各實施形態所揭示之複數構成元件之適當組合，也可抽出種種階段之發明。

另外之益處及修正將說明於技術範圍。所以，本發明並非限制於個別說明及本說明書之代表性實施例。所以在不脫離本發明之技術思想之範圍可進行種種修改其係皆包括在本發明之申請專利範圍內。

圖式之簡單說明

附圖係一併說明本發明之要旨及較佳實施例之構造使其更加了解本發明之上面所說明之技術思想及下面之實施例。

第 1 圖係表示以往電介質分離型橫型耐壓 IGBT 之剖面圖。

第 2 圖係表示關於本發明第 1 實施形態之電介質分離型橫型耐壓 IGBT 之剖面圖。

第 3 圖係表示第 2 圖中之一點鏈線框內之放大圖。

第 4 A 圖，第 4 B 圖，第 4 C 圖，第 4 D 圖，第 4 E 圖，第 4 F 圖，第 4 G 圖，第 4 H 圖，及第 4 I 圖係分別表示關於本發明第 1 實施形態之電介質分離橫型高耐壓 I

五、發明說明⁽¹²⁾)

G B T 之一製造工程之剖面圖。

第 5 圖係表示關於本發明第 2 實施形態之電介質分離型橫型耐壓 I G B T 之剖面圖。

第 6 圖係表示關於本發明第 3 實施形態之電介質分離型橫型耐壓 M O S F E T 之剖面圖。

主要元件對照

- 101 S O I 基板
- 102 N⁻ 型島領域
- 103 P 型基極層
- 104 N 型緩衝層
- 105 N⁺ 型源極層
- 106 P⁺ 型源極層
- 107 源極電極
- 108 P⁺ 汲極層
- 109 汲極電極
- 110 閘電極
- 111 閘氧化膜
- 12 閘氧化膜
- 13 汲極側端部領域
- 14 P 型擴散層
- 31,33,36,38,40,42:光阻膜
- 35 場氧化膜
- 44 層間絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明⁽¹³⁾

45 源極接觸孔

46 汲極接觸孔

32,34,37,39,41,43:窗

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱：橫型半導體裝置)

本發明係揭示以橫型 I G B T 所代表之橫型半導體裝置。橫型半導體層底層，係由：N-型島領域，與在 N-型島領域互相離開所形成之 P 型基極層及 P 型汲極層，與形成於 P 型基極層之 N+型源極層，與對於 P 型基極層及 N+型源極層分別以電氣方式連接之源極電極，與對於 P 型汲極以電氣方式連接之汲極電極，與形成於 N-型島領域上之閘氧化膜及場 (field) 氧化膜，與至少 N-型島領域上，及 N-型島領域與 N+源極層 5 間之 P 型基極層上，經由閘氧化膜所形成之閘電極 1 0 所構成。並且，於本發明係在閘電極端部領域下之 N-型島領域，形成電氣性浮遊之 P 型擴散層。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1 . 一種半導體裝置，其特徵為具有：

具有主面之第 1 導電型半導體基體：

於上述半導體基體，互相離開形成之第 2 導電型之第 1，第 2 半導體領域：

形成於上述第 1 半導體領域之第 1 導電型之第 3 半導體領域：

形成於上述半導體基體之主面上，分別以電氣方式連接於上述第 1，第 3 半導體領域之第 1 主電極：

形成於上述半導體基體主面上之上述第 2 半導體領域以電氣方式連接之第 2 主電極：

形成於上述半導體基體主面上之絕緣膜：

至少上述半導體基體上，及上述半導體基體與上述第 3 半導體領域間之上述半導體領域上，經由上述絕緣膜所形成之閘電極：以及

形成於上述閘電極端部領域下之上述半導體基體之第 2 導電型之第 4 半導體領域。

2 . 如申請專利範圍第 1 項之半導體裝置，其中上述絕緣膜係具有閘絕緣膜部分，與較此閘絕緣膜部分更厚之場絕緣膜部分，上述閘電極之端部領域係配置於上述閘絕緣膜部分上。

3 . 如申請專利範圍第 1 項之半導體裝置，其中上述絕緣膜係具有閘絕緣膜部分，與較此閘絕緣膜部分更厚之場絕緣膜部分，上述閘電極之端部領域係配置於上述場絕緣膜部分上。

六、申請專利範圍

4 . 如申請專利範圍第 1 項之半導體裝置，其中上述半導體基體，係成為電介質分離基板之島領域。

5 . 如申請專利範圍第 2 項之半導體裝置，其中上述半導體基體，係成為電介質分離基板之島領域。

6 . 如申請專利範圍第 3 項之半導體裝置，其中上述半導體基體，係成為電介質分離基板之島領域。

7 . 如申請專利範圍第 1 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體作為基極，將上述第 1 半導體領域成為射極，將上述第 2 半導體領域成為集極之橫型絕緣閘型雙極電晶體。

8 . 如申請專利範圍第 2 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體作為基極，將上述第 1 半導體領域成為射極，將上述第 2 半導體領域成為集極之橫型絕緣閘型雙極電晶體。

9 . 如申請專利範圍第 3 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體作為基極，將上述第 1 半導體領域成為射極，將上述第 2 半導體領域成為集極之橫型絕緣閘型雙極電晶體。

1 0 . 如申請專利範圍第 4 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體作為基極，將上述第 1 半導體領域成為射極，將上述第 2 半導體領域成為集極之橫型絕緣閘型雙極電晶體。

1 1 . 一種半導體裝置，其特徵為具有：

具有主面之第 1 導電型半導體基體：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

形成於上述第 1 半導體之第 1 導電型之第 2 半導體領域：

形成於上述半導體基體主面上，分別以電氣方式連接於上述第 1，第 2 半導體領域之第 1 主電極：

形成於上述半導體基體主面上，以電氣方式連接於上述半導體基體之第 2 主電極：

形成於上述半導體基體主面上之絕緣膜：

至少上述半導體基體上，及上述半導體基體與上述第 2 半導體領域間之上述第 1 半導體領域上，經由上述絕緣膜所形成之閘電極：以及

形成於上述閘電極端部領域下之上述半導體基體之第 2 導電型之第 3 半導體領域。

1 2 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述絕緣膜係具有閘絕緣膜部分，與較此閘絕緣膜部分更厚場絕緣膜部分，上述閘電極端部領域，係配置於上述閘絕緣膜部分上。

1 3 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述絕緣膜係具有閘絕緣膜部分，與較此閘絕緣膜部分更厚場絕緣膜部分，上述閘電極端部領域，係配置於上述場絕緣膜部分上。

1 4 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述半導體基體係成為電介質分離基板之島領域。

1 5 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述半導體基體係成為電介質分離基板之島領域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1 6 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述半導體基體係成為電介質分離基板之島領域。

1 7 . 如申請專利範圍第 1 1 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體成為汲極，將上述第 1 半導體領域成為後閘，將上述第 2 半導體領域成為源極之橫型 M O S F E T 。

1 8 . 如申請專利範圍第 1 2 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體成為汲極，將上述第 1 半導體領域成為後閘，將上述第 2 半導體領域成為源極之橫型 M O S F E T 。

1 9 . 如申請專利範圍第 1 3 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體成為汲極，將上述第 1 半導體領域成為後閘，將上述第 2 半導體領域成為源極之橫型 M O S F E T 。

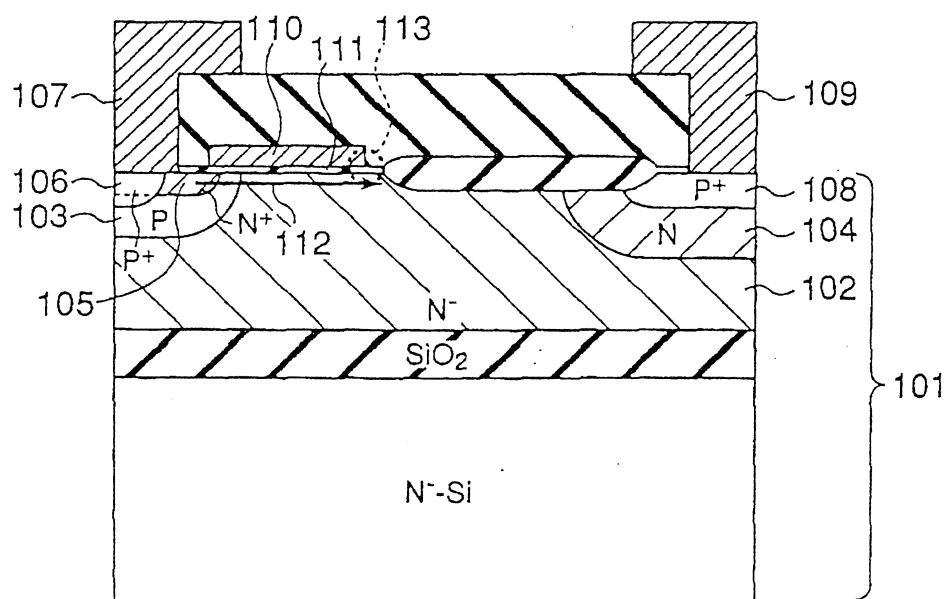
2 0 . 如申請專利範圍第 1 4 項之半導體裝置，其中上述橫型半導體裝置，係將上述半導體基體成為汲極，將上述第 1 半導體領域成為後閘，將上述第 2 半導體領域成為源極之橫型 M O S F E T 。

(請先閱讀背面之注意事項再填寫本頁)

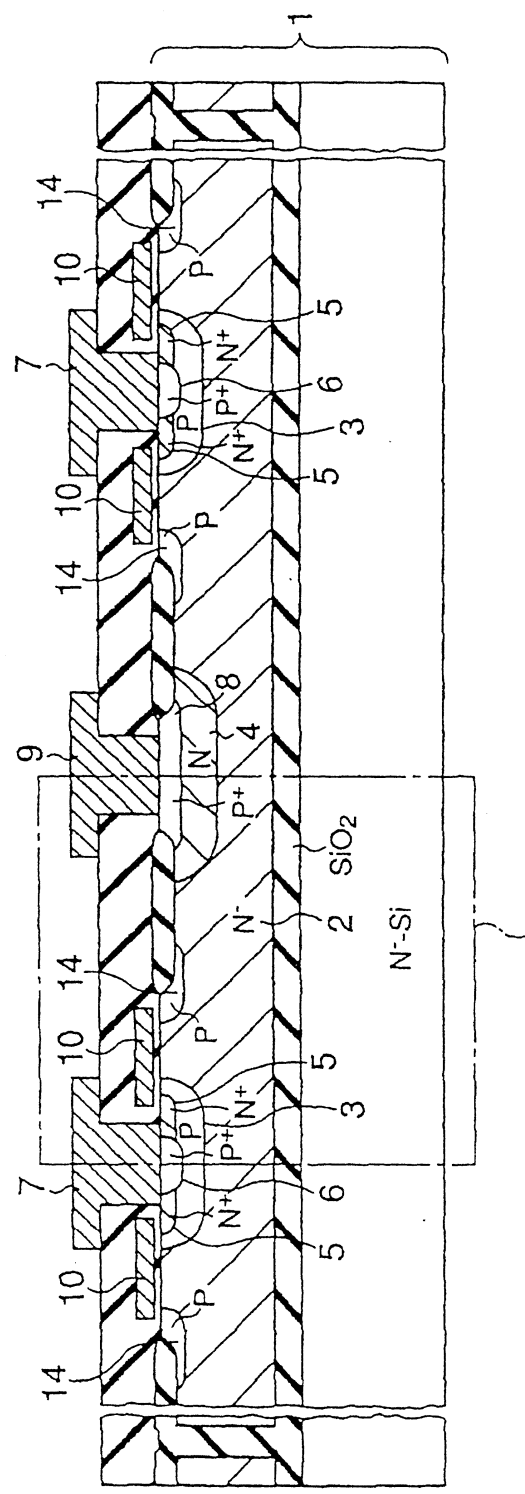
裝

訂

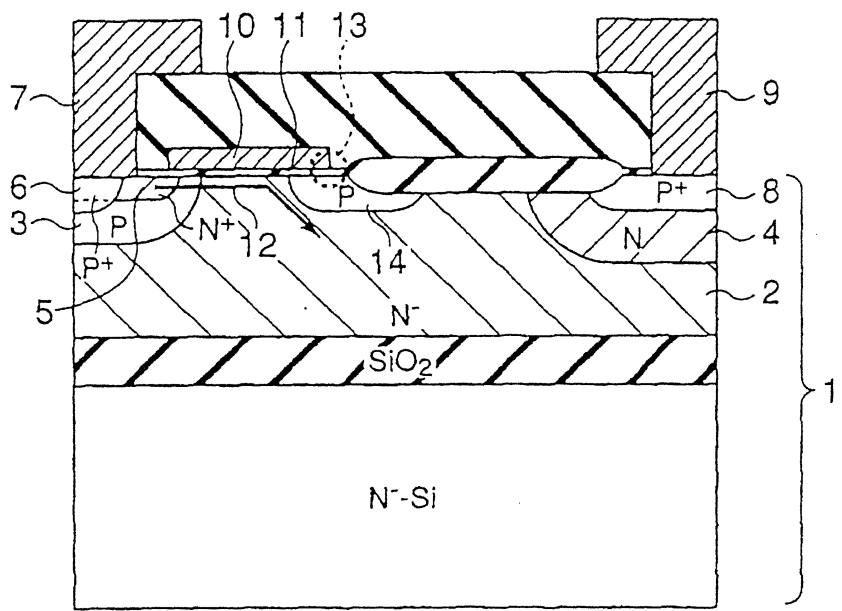
經濟部智慧財產局員工消費合作社印製



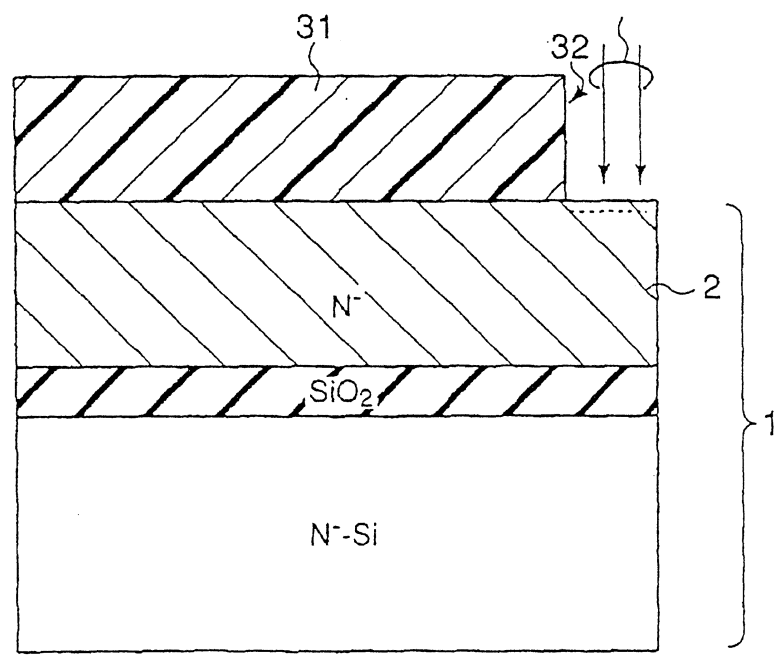
第 1 圖



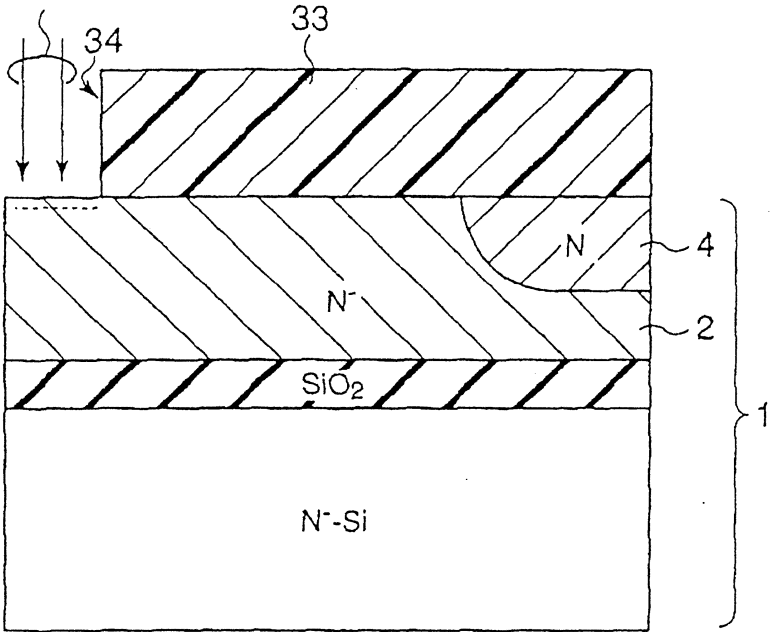
第 2 圖



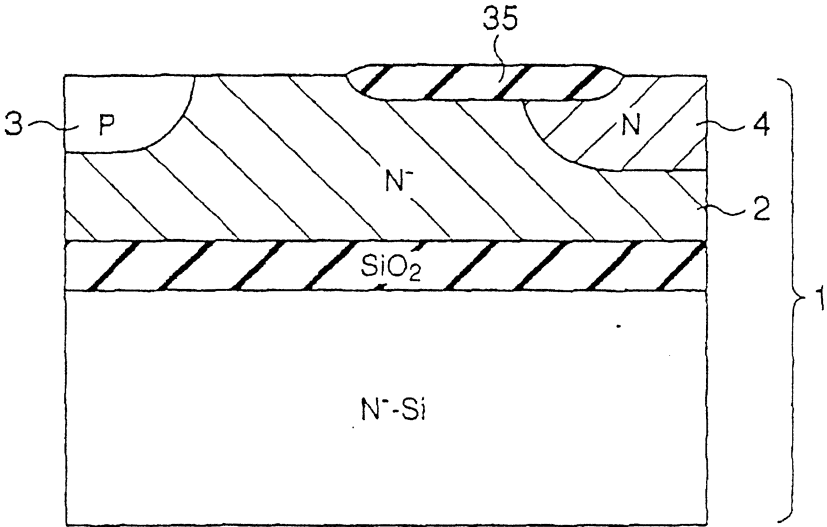
第 3 圖



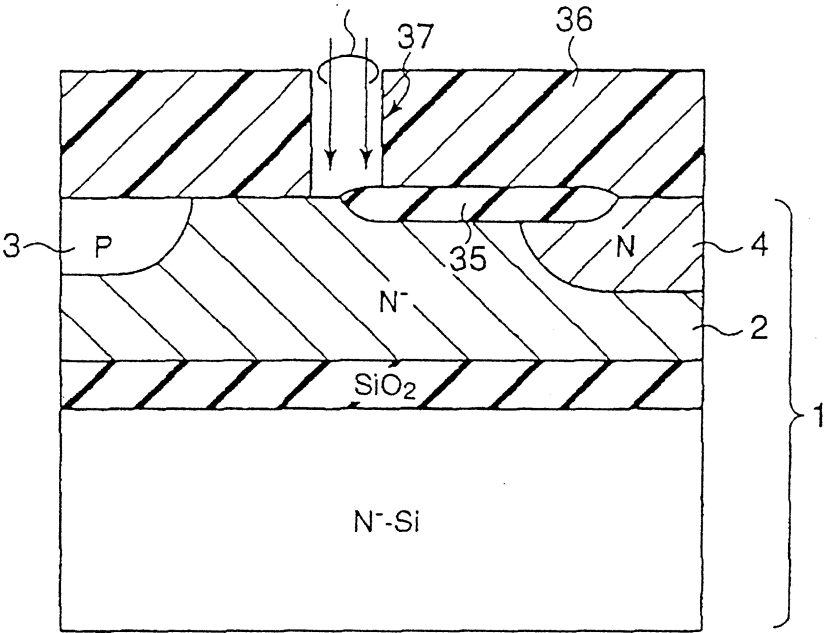
第 4A 圖



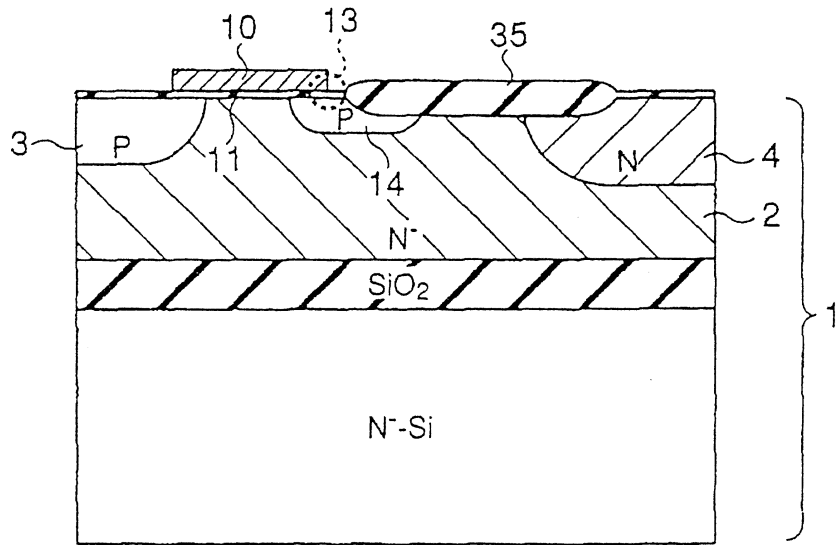
第 4B 圖



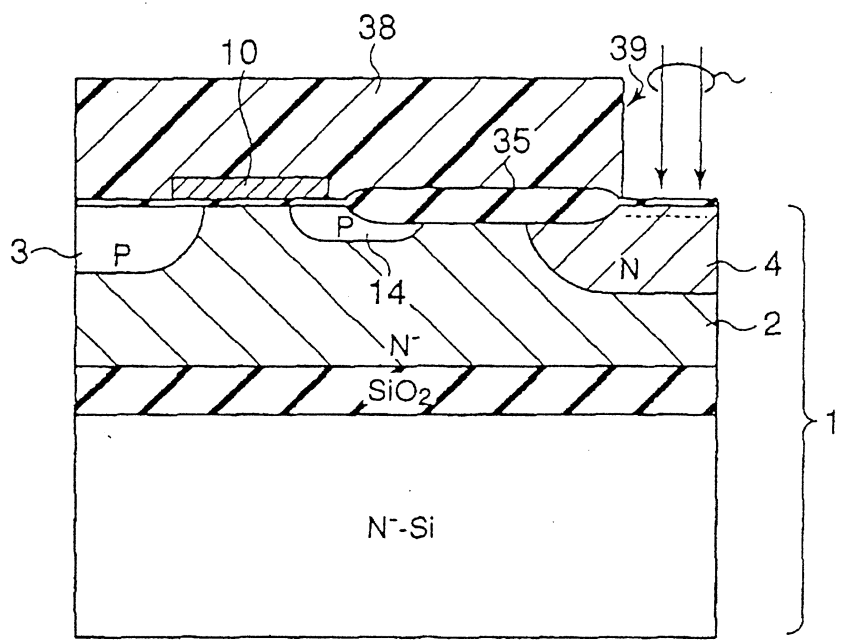
第 4C 圖



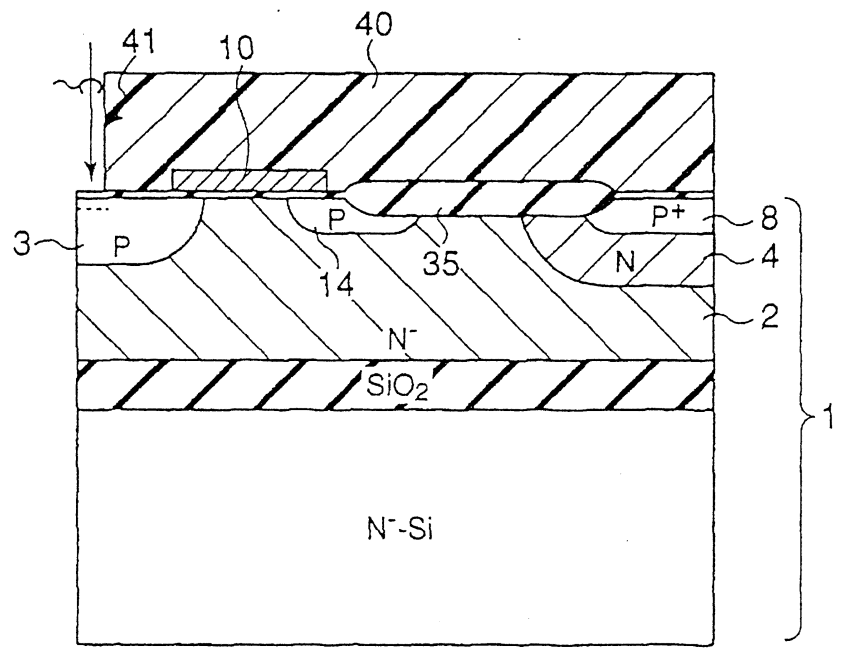
第 4D 圖



第 4E 圖



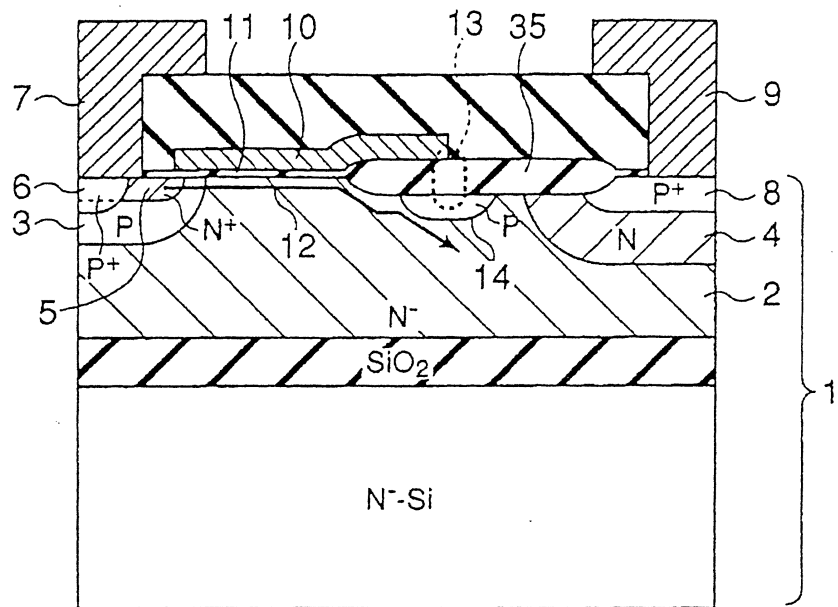
第 4F 圖



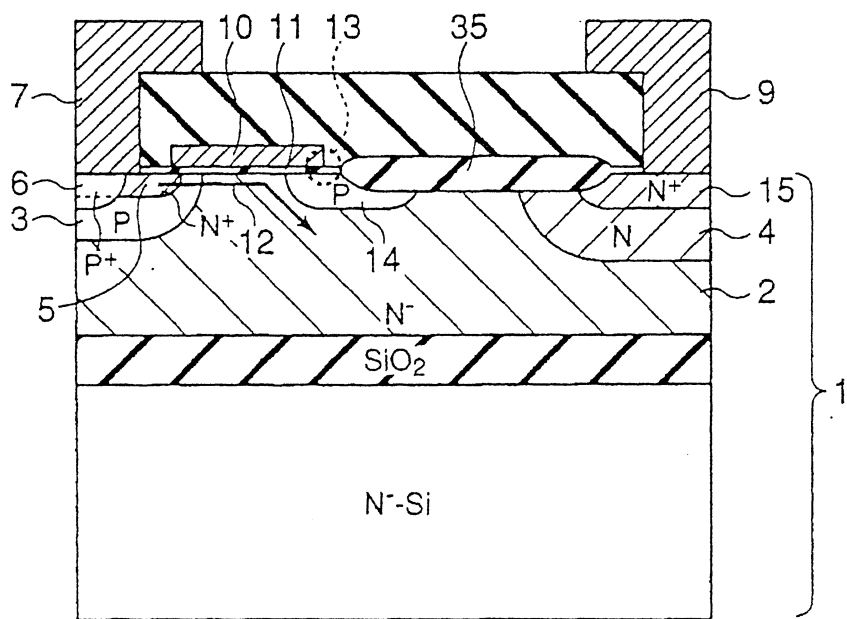
第 4G 圖



第 4I 圖



第 5 圖



第 6 圖