

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3900327号
(P3900327)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.C1.

F 1

G06F 13/38 (2006.01)
G06F 13/42 (2006.01)G06F 13/38 330A
G06F 13/42 320A

請求項の数 3 (全 21 頁)

(21) 出願番号 特願平11-88525
 (22) 出願日 平成11年3月30日(1999.3.30)
 (65) 公開番号 特開2000-285070(P2000-285070A)
 (43) 公開日 平成12年10月13日(2000.10.13)
 審査請求日 平成16年7月16日(2004.7.16)

(73) 特許権者 501285133
 川崎マイクロエレクトロニクス株式会社
 千葉県千葉市美浜区中瀬一丁目3番地
 (74) 代理人 100080159
 弁理士 渡辺 望穂
 (74) 代理人 100090217
 弁理士 三和 晴子
 (72) 発明者 大須賀 文一
 東京都千代田区内幸町2丁目2番3号

川崎製鉄株式会社東京本社
内

審査官 石井 茂和

最終頁に続く

(54) 【発明の名称】シリアルデータ転送装置

(57) 【特許請求の範囲】

【請求項1】

データを転送するためのシリアルデータラインおよび前記データを保持するクロック信号を転送するためのシリアルクロックラインを介して接続される少なくとも1つのマスタデバイスと、複数のスレーブデバイスと、論理手段とを有し、

ノーマルモードにおいて、前記マスタデバイスの1つから前記シリアルデータラインを介して前記スレーブデバイスの1つを指定する固有アドレスが転送され、当該固有アドレスを有するスレーブデバイスが第1の端子より前記シリアルデータラインにアクノリッジ信号を出力し、

ローカルモードにおいて、前記マスタデバイスの1つから前記シリアルデータラインを介して指定しようとする任意個数の前記スレーブデバイスの固有アドレスを順次転送し、当該指定された固有アドレスを有する任意個数のスレーブデバイスが前記第1の端子よりアクノリッジ信号を順次前記シリアルデータラインに出力し、前記指定された固有アドレスを有する任意個数のスレーブデバイスが前記マスタデバイスから同じデータを同時に受信したときには、前記第1の端子とは異なる第2の端子よりアクノリッジ信号を前記論理手段に各々出力し、当該論理手段は、前記指定された固有アドレスを有する任意個数のスレーブデバイスから各々出力される前記アクノリッジ信号の論理をとって前記シリアルデータラインに出力することを特徴とするシリアルデータ転送装置。

【請求項2】

前記論理手段は、前記複数のスレーブデバイスの前記第2の端子に入力端子が接続され

たORゲートであることを特徴とする請求項1に記載のシリアルデータ転送装置。

【請求項3】

データを転送するためのシリアルデータラインおよび前記データを保持するクロック信号を転送するためのシリアルクロックラインを介して少なくとも1つのマスタデバイスと接続されるスレーブデバイスであって、

前記マスタデバイスとの間で前記シリアルデータラインを介してデータを送受信する手段と、

前記マスタデバイスから前記シリアルデータラインを介して転送されるアドレス情報と当該スレーブデバイスに独自の固有アドレスとを比較する手段と、

前記データの転送モードが前記マスタデバイスとの間で1対1にデータの送受信を行うノーマルモードなのか、前記マスタデバイスから任意個数のスレーブデバイスに対して同じデータを同時に送信するローカルモードなのかを検出する手段と、

前記ノーマルモードが指定された場合、前記マスタデバイスからデータを受信したときに、第1の端子からアノリッジ信号を出力する手段と、

前記ローカルモードが指定された場合、前記マスタデバイスからデータを受信したときに、前記第1の端子とは異なる第2の端子からアノリッジ信号を出力する手段とを有することを特徴とするスレーブデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マスタデバイスとスレーブデバイスとの間でシリアルにデータの転送を行うシリアルデータ転送装置に関するものである。

【0002】

【従来の技術】

例えば、マイクロコントローラとその周辺デバイスとの間では、8ビット(1バイト)のデータを1つの単位としてデータのやり取りが行われている。シリアルデータ転送装置は、例えばIIC(I²C)-bus(Inter-IC Controlバス)(以下、単にIICバスという)に代表されるように、8ビットのデータを単位としてデータのやり取りを行うマスタデバイスと複数のスレーブデバイスとの間でシリアルにデータの転送を行うものである。

【0003】

前述のIICバスを適用するシリアルデータ転送装置では、例えばマイクロコントローラ等の制御する側のマスタデバイスと、周辺機器等の制御される側の複数のスレーブデバイスとの間は、データを転送するためのシリアルデータライン(SDA)と、データを保持するクロック信号を転送するためのシリアルクロックライン(SCL)という、プルアップ抵抗により電源に接続された2つの双方向のシリアルラインで相互に接続されている。

【0004】

ここで、シリアルデータラインは、基本的に、シリアルクロックラインがローレベルの期間に変化する。シリアルクロックラインがハイレベルの間に、シリアルデータラインがハイレベルからローレベルに変化すると、データの転送開始を指示するスタート信号(START)であることを意味し、ローレベルからハイレベルに変化すると、データの転送終了を指示するストップ信号(STOP)であることを意味する。

【0005】

マスタデバイスは、まず、1ビットのスタート信号をシリアルデータライン上に出力する。続いて、各々のスレーブデバイスにあらかじめ独自に割り当てられている7ビットの固有アドレスと、これに続くスレーブデバイスへのデータライトまたはスレーブデバイスからのデータリードを指示する1ビットのデータ制御信号とからなる8ビットのパラレルデータを、シリアルデータライン上にMSB(Most Significant Bit)側から順次シリアルに出力する。

【0006】

10

20

30

40

50

各々のスレーブデバイスでは、マスタデバイスからシリアルデータライン上に出力される8ビットのパラレルデータを、シリアルクロックラインから供給されるクロック信号に同期して順次シリアルに受信し、これを自分自身にあらかじめ割り当てられている固有アドレスと比較する。そして、自分自身の固有アドレスに一致するスレーブデバイスが、シリアルデータライン上に1ビットのアクノリッジ信号（肯定応答信号）を出力する。

【0007】

マスタデバイスは、スレーブデバイスからシリアルデータライン上に出力されたアクノリッジ信号を確認した後、スレーブデバイスへのデータライトの場合、転送すべき8ビットのパラレルデータをシリアルデータライン上に順次シリアルに出力する。アクノリッジ信号を出力したスレーブデバイスは、シリアルデータライン上にマスタデバイスから出力される8ビットのパラレルデータを順次シリアルに受信し、その後、同じく1ビットのアクノリッジ信号を出力する。

【0008】

マスタデバイスからスレーブデバイスに対しては、必要に応じて所定バイト数のデータが転送される。その後、マスタデバイスは、1ビットのストップ信号をシリアルデータライン上に出力し、スレーブデバイスは、このストップ信号を受け取ってデータの送信終了を確認する。以後同じようにして、マスタデバイスは、所望の固有アドレスを出力して、次にデータを転送すべきスレーブデバイスを順次指定してデータを転送することを繰り返し行う。

【0009】

IICバスを適用するシリアルデータ転送装置では、データを転送すべき複数のスレーブデバイスを順次アクセスする必要がある。したがって、複数の同じスレーブデバイスに対して、例えばスタート、ストップ、アボート等のスレーブデバイスに接続される複数の同じ装置を制御するための同じ制御信号等を含むデータを転送する場合であっても、複数のスレーブデバイスを同時にアクセスすることができないという問題がある。

【0010】

これを解決するために、従来のシリアルデータ転送装置では、マスタデバイスから、複数のスレーブデバイスに各々接続されている装置に制御信号を直接接続して同時に制御したり、あるいは、同時に制御することが無理な場合は、シリアルクロックラインから供給されるクロック信号の周波数を高くして、複数のスレーブデバイスにデータを転送したり、制御する時間差を小さくするなどの手法がとられている。

【0011】

しかし、制御信号をスレーブデバイスに接続されている装置に対してマスタデバイスから直接接続すると、シリアルデータラインやシリアルクロックラインの他にライン数が増大して、シリアルデータ転送のメリットが減少するし、クロック信号の周波数を高くしたとしても、同じデータを各々のスレーブデバイスに繰り返し転送するため、スレーブデバイスの数が多くなるほど長時間が必要になり、無駄が多くなるという問題点がある。

【0012】

【発明が解決しようとする課題】
本発明の目的は、前記従来技術に基づく問題点をかえりみて、マスタデバイスから任意の個数のスレーブデバイスに対して同じデータを同時に転送することができるシリアルデータ転送装置を提供することにある。

【0013】

【課題を解決するための手段】
上記目的を達成するために、本発明は、データを転送するためのシリアルデータラインおよび前記データを保持するクロック信号を転送するためのシリアルクロックラインを介して接続される少なくとも1つのマスタデバイスと、複数のスレーブデバイスと、論理手段とを有し、

ノーマルモードにおいて、前記マスタデバイスの1つから前記シリアルデータラインを介して前記スレーブデバイスの1つを指定する固有アドレスが転送され、当該固有アドレ

10

20

30

40

50

スを有するスレーブデバイスが第1の端子より前記シリアルデータラインにアクノリッジ信号を出力し、

ローカルモードにおいて、前記マスタデバイスの1つから前記シリアルデータラインを介して指定しようとする任意個数の前記スレーブデバイスの固有アドレスを順次転送し、当該指定された固有アドレスを有する任意個数のスレーブデバイスが前記第1の端子よりアクノリッジ信号を順次前記シリアルデータラインに出力し、前記指定された固有アドレスを有する任意個数のスレーブデバイスが前記マスタデバイスから同じデータを同時に受信したときには、前記第1の端子とは異なる第2の端子よりアクノリッジ信号を前記論理手段に各々出力し、当該論理手段は、前記指定された固有アドレスを有する任意個数のスレーブデバイスから各々出力される前記アクノリッジ信号の論理をとって前記シリアルデータラインに出力することを特徴とするシリアルデータ転送装置を提供するものである。

ここで、前記論理手段は、前記複数のスレーブデバイスの前記第2の端子に入力端子が接続されたORゲートであるのが好ましい。

また、本発明は、データを転送するためのシリアルデータラインおよび前記データを保持するクロック信号を転送するためのシリアルクロックラインを介して少なくとも1つのマスタデバイスと接続されるスレーブデバイスであって、

前記マスタデバイスとの間で前記シリアルデータラインを介してデータを送受信する手段と、

前記マスタデバイスから前記シリアルデータラインを介して転送されるアドレス情報と当該スレーブデバイスに独自の固有アドレスとを比較する手段と、

前記データの転送モードが前記マスタデバイスとの間で1対1にデータの送受信を行うノーマルモードなのか、前記マスタデバイスから任意個数のスレーブデバイスに対して同じデータを同時に送信するローカルモードなのかを検出する手段と、

前記ノーマルモードが指定された場合、前記マスタデバイスからデータを受信したときに、第1の端子からアクノリッジ信号を出力する手段と、

前記ローカルモードが指定された場合、前記マスタデバイスからデータを受信したときに、前記第1の端子とは異なる第2の端子からアクノリッジ信号を出力する手段とを有することを特徴とするスレーブデバイスを提供する。

【0014】

【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明のシリアルデータ転送装置を詳細に説明する。

【0015】

図1は、本発明のシリアルデータ転送装置の一実施例のシステム構成図である。同図に示すシリアルデータ転送装置10は、マスタデバイス(MASTER)12と、本発明を適用するスレーブデバイス(Slave1~3)14およびORゲート16と、従来構成のスレーブデバイス(Slave)18と、プルアップ抵抗19,20と、シリアルデータラインSDAおよびシリアルクロックラインSCLとを有する。

【0016】

ここで、シリアルデータラインSDAはデータ(制御信号を含む)を転送するためのライン、シリアルクロックラインSCLは、データを保持するクロック信号を供給するためのラインであって、それぞれプルアップ抵抗19および20を介して電源VDDに接続されている。マスタデバイス12はスレーブデバイス14を制御する側のデバイスで、そのSCL端子およびSDA端子は、各々シリアルクロックラインSCLおよびシリアルデータラインに接続されている。

【0017】

続いて、スレーブデバイス14は、マスタデバイス12により制御される側のデバイスであって、そのSCL端子およびSDA1端子は、各々シリアルクロックラインSCLおよびシリアルデータラインSDAに接続され、そのSDA2端子はいずれもORゲート16に入力されている。また、ORゲート16の出力は、オープンドレインまたはオープンコ

10

20

30

40

50

レクタの出力であって、シリアルデータライン SDA に接続されている。

【0018】

同じく、スレーブデバイス 18 は、マスタデバイス 12 により制御される側のデバイスで、その SCL 端子および SDA 端子は、各々シリアルクロックライン SCL およびシリアルデータラインに接続されている。なお、スレーブデバイス 14 および OR ゲート 16 を除く、マスタデバイス 12、スレーブデバイス 18、プルアップ抵抗 19, 20、シリアルデータライン SDA およびシリアルクロックライン SCL は従来公知の構成のものである。

【0019】

本発明のシリアルデータ転送装置 10 では、シリアルデータライン SDA およびシリアルクロックライン SCL を介して、マスタデバイス 12 と複数のスレーブデバイス 14, 18 との間でシリアルにデータの転送が行われる。詳細は後述するが、IIC バス規格に準拠してマスタデバイス 12 とスレーブデバイス 14, 18 との間で 1 対 1 にデータを転送する他、マスタデバイス 12 から任意の個数のスレーブデバイス 14 に対して同じデータを同時に送信することもできる。

【0020】

続いて、図 2 に、マスタデバイスの一実施例の構成概略図を示す。

同図に概念的に示すように、マスタデバイス 12 は、マイクロコントローラ (CPU) 22 と、シリアルクロックライン SCL を駆動するオープンドレインタイプの N 型 MOS ランジスタ (以下、NMOS という) からなる出力バッファ 24、および、シリアルデータライン SDA を駆動するオープンドレインタイプの NMOS からなる入出力バッファ 26 とを有する。

【0021】

マスタデバイス 12 では、マイクロコントローラ 22 が、あらかじめ設計されているプログラムに応じて全体の動作を制御する。そして、出力バッファ 24 により、シリアルクロックライン SCL 上にクロック信号を出力したり、入出力バッファ 26 により、転送すべきデータをシリアルデータライン SDA 上に出力する、あるいは、シリアルデータライン SDA 上に出力されている受信すべきデータを、入力バッファ 28 を介して取り込む。

【0022】

続いて、図 3 に、スレーブデバイスの一実施例のプロック構成図を示す。

スレーブデバイス 14 は本発明に特有の回路構成を有するもので、同図に示すように、フィルタ 30 と、バスコントロール回路 32 と、S/P (シリアル / パラレル) 変換回路 34 と、P/S (パラレル / シリアル) 変換回路 36 と、出力レジスタ 40 (OUTREG) と、I/O (入力 / 出力) ポート 42 と、入出力 (の出力部) バッファ 44 とを有する。

【0023】

スレーブデバイス 14 において、まず、フィルタ 30 には、シリアルクロックライン上に出力されるシリアルクロック信号 SCL、および、シリアルデータライン上に出力されるシリアルデータ信号 SDA1 が入力される。これらの信号 SCL および SDA1 はフィルタ 30 によってノイズを除去され、それぞれシリアルクロック入力信号 SCLIN およびシリアルデータ入力信号 SDAIN としてフィルタ 30 から出力される。

【0024】

フィルタ 30 から出力されるシリアルクロック入力信号 SCLIN およびシリアルデータ入力信号 SDAIN は、バスコントロール回路 32 に入力される。この他、バスコントロール回路 32 には、リセット信号 RSTL、固有アドレス信号 A0 ~ 2、S/P 変換回路 34 から出力されるパラレルデータ、および、P/S 変換回路 36 から出力されるシリアルデータが入力される。

【0025】

ここで、リセット信号 RSTL は、このスレーブデバイス 14 をリセットして初期化するもので、例えばローレベルの時に、スレーブデバイス 14 はリセットされる。本発明のシ

10

20

20

30

40

50

リアルデータ転送装置 10 では、マスタデバイス 12 からスレーブデバイス 14, 18 に対して、所望のスレーブデバイス 14, 18 を指定するために、例えば 7 ビットの固有アドレスが送信される。固有アドレス信号 A0 ~ 2 は、各々のスレーブデバイス 14 に独自の固有アドレスを設定するための信号である。

【0026】

バスコントロール回路 32 は、このスレーブデバイス 14 全体の動作を制御する。バスコントロール回路 32 からは、フィルタ 30 から入力されるシリアルデータ入力信号 SDA IN をシリアルクロック入力信号 SCL IN で順次保持して得られるシリアルデータの他、ライトクロック信号 WCLK、I/O コントロール信号 I/OCONT、シリアルデータ出力 SDA OUT、および、シリアルデータ出力 SDA 2 が出力される。

10

【0027】

ここで、ライトクロック信号 WCLK は、S/P 変換回路 34 から出力される S/P 変換後のパラレルデータを出力レジスタ 40 に保持するためのクロック信号である。

【0028】

本発明のシリアルデータ転送装置 10 では、固有アドレスに続き、スレーブデバイスへのデータライト、または、スレーブデバイスからのデータリードを指示する 1 ビットのデータ制御信号が送信される。I/O コントロール信号 I/OCONT は、このデータ制御信号の状態に応じて、スレーブデバイス 14 と、このスレーブデバイス 14 に接続される装置（以下、接続装置という）との間で、パラレルデータの入出力方向を切り替えるための信号である。

20

【0029】

データ制御信号がローレベルの時には、マスタデバイス 12 からスレーブデバイス 14, 18 へのデータライトを意味し、マスタデバイス 12 からスレーブデバイス 14, 18 を介して接続装置にデータが送信される。一方、データ制御信号がハイレベルの時には、スレーブデバイス 14, 18 からマスタデバイス 12 へのデータリードを意味し、接続装置側からスレーブデバイス 14, 18 を介してマスタデバイス 12 にデータが受信される。

【0030】

続いて、図 4 に、バスコントロール回路の一実施例のブロック構成図を示す。バスコントロール回路 32 は、デバイスアドレス検出回路 50 と、WCLK 生成回路 54 と、スタート信号 / ストップ信号 / モード検出回路 56 と、データ制御信号検出回路 58 と、SCL カウンタ 60 と、SDA 1 および SDA 2 コントローラ 62 および 64 と、シリアルデータ保持回路 66 と、コントローラ 68 とを有する。

30

【0031】

まず、コントローラ 68 は、このバスコントロール回路 32 全体の動作を制御するものである。コントローラ 68 から出力される各種の制御信号は、スタート信号 / ストップ信号 / モード検出回路 56 を除く、他のデバイスアドレス検出回路 50、WCLK 生成回路 54、データ制御信号検出回路 58、SCL カウンタ 60、SDA 1 および SDA 2 コントローラ 62 および 64、ならびに、シリアルデータ保持回路 66 に供給される。

【0032】

続いて、スタート信号 / ストップ信号 / モード検出回路 56 には、シリアルクロック入力信号 SCL IN およびシリアルデータ入力信号 SDA IN が入力される。スタート信号 / ストップ信号 / モード検出回路 56 は、データの転送開始を指示するスタート信号 (START)、データの転送終了を指示するストップ信号 (STOP) の他、後述する転送モードを検出する。スタート信号 / ストップ信号 / モード検出回路 56 による検出結果はコントローラ 68 に入力される。

40

【0033】

本発明のシリアルデータ転送装置 10 では、基本的に、シリアルデータ入力信号 SDA IN は、シリアルクロック入力信号 SCL IN がローレベルの間に変化する。スタート信号 / ストップ信号 / モード検出回路 56 は、シリアルクロック入力信号 SCL IN がハイレベルの間に、シリアルデータ入力信号 SDA IN のハイレベルからローレベルへの変化を

50

見てスタート信号を検出し、ローレベルからハイレベルへの変化を見てストップ信号を検出する。

【0034】

また、スタート信号／ストップ信号／モード検出回路56は、シリアルクロック入力信号SCLINがハイレベルの間に、シリアルデータ入力信号SDAINがハイレベルからローレベルに何回変化するかを検出して、転送モードが、IICバス規格との互換性のあるノーマルモードなのか、それとも、本発明の提案するローカルモードなのかを検出する。ローカルモードでは、まず、任意の個数のスレーブデバイス14を指定し、その後、指定した任意の個数のスレーブデバイス14に対して同じデータを同時に送信することが可能である。

10

【0035】

ここで、図5に、スタート信号検出回路の一実施例の構成回路図を示す。

同図に示すように、スタート信号検出回路70は、フリップフロップ72, 74と、ANDゲート76, 78とを有する。ANDゲート76, 78の一方の端子にはともにリセット信号RSTLが入力され、その出力は、それぞれフリップフロップ72, 74のCLR端子に入力されている。

【0036】

フリップフロップ72の1D端子にはシリアルクロック信号SCLが入力され、その反転クロック端子にはシリアルデータ信号SDAが入力されている。また、フリップフロップ72の1Q端子からの出力信号はANDゲート78の他方の端子に入力され、その1Q端子からはスタート検出信号STARTLが出力されている。同じように、フリップフロップ74の反転2D端子にはシリアルデータ信号SDAが入力され、その反転クロック端子にはシリアルクロック信号SCLが入力されている。また、フリップフロップ74の2Q端子からの出力信号はANDゲート76の他方の端子に入力されている。

20

【0037】

スタート信号検出回路70では、リセット信号RSTLがローレベルとされると、フリップフロップ72, 74はともにクリアされ、フリップフロップ72の1Q端子からの出力信号はローレベル、1Q端子からの出力信号すなわちスタート検出信号STARTLはハイレベルとなり、フリップフロップ74の2Q端子からの出力信号もハイレベルとなる。本実施例では、スタート検出信号STARTLは、ローレベルの時にスタート信号を検出したことを意味する。

30

【0038】

リセット信号RSTLがハイレベルとされた後、図6のタイミングチャートに示すように、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAがハイレベルからローレベルに変化すると、シリアルクロック信号SCLのハイレベルが、シリアルデータ信号SDAの立ち下りに同期してフリップフロップ72に保持される。この時、フリップフロップ72の1Q端子からの出力信号はハイレベル、スタート検出信号STARTLはローレベルとなる。

【0039】

フリップフロップ72の1Q端子からの出力信号がハイレベルになると、フリップフロップ74のクリアが解除される。その後、シリアルクロック信号SCLの立ち下りで、シリアルデータ信号SDAの反転信号であるハイレベルがフリップフロップ74に保持され、フリップフロップ74の2Q端子からの出力信号はローレベルとなる。続いて、ANDゲート76を介してフリップフロップ72がクリアされ、その1Q端子からの出力信号はローレベル、スタート検出信号STARTLはハイレベルとなる。さらに、ANDゲート78を介してフリップフロップ74はクリアされ、リセット後の初期状態となる。

40

【0040】

図示例のスタート信号検出回路70では、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAがハイレベルからローレベルに変化したことを検出して、スタート検出信号STARTLが、シリアルデータ信号SDAの立ち下りからシリアル

50

クロック信号 SCL の立ち下りまでの間ローレベルとなる。

【0041】

続いて、図 7 に、ストップ信号検出回路の一実施例の構成回路図を示す。

同図に示すストップ信号検出回路 80 は、フリップフロップ 82, 84 と、AND ゲート 86, 88 とを有する。AND ゲート 86, 88 の一方の端子にはともにリセット信号 RSTL が入力され、その出力は、それぞれフリップフロップ 82, 84 の CLR 端子に入力されている。

【0042】

フリップフロップ 82 の 1D 端子にはシリアルクロック信号 SCL が入力され、そのクロック端子にはシリアルデータ信号 SDA が入力されている。また、フリップフロップ 82 の 1Q 端子からの出力信号は AND ゲート 78 の他方の端子に入力され、その 1Q 端子からはストップ検出信号 STOPL が出力されている。フリップフロップ 84 の 2D 端子にはシリアルクロック信号 SCL が入力され、その反転クロック端子にはシリアルデータ信号 SDA が入力されている。また、フリップフロップ 84 の 2Q 端子からの出力信号は AND ゲート 76 の他方の端子に入力されている。そして、フリップフロップ 82, 84 のイネーブル端子 E にはともにスタート検出信号 STARTL が入力されている。

10

【0043】

ストップ検出回路 80 では、リセット信号 RSTL がローレベルとされると、フリップフロップ 82, 84 がともにクリアされ、フリップフロップ 82 の 1Q 端子からの出力信号はローレベル、1Q 端子からの出力信号すなわちストップ検出信号 STOPL はハイレベルとなり、フリップフロップ 84 の 2Q 端子からの出力信号もハイレベルとなる。本実施例では、ストップ検出信号 STOPL は、ローレベルの時にストップ信号を検出することを意味する。

20

【0044】

リセット信号 RSTL がハイレベルとされた後、図 8 のタイミングチャートに示すように、シリアルクロック信号 SCL がハイレベルの期間に、シリアルデータ信号 SDA がローレベルからハイレベルに変化すると、シリアルクロック信号 SCL のハイレベルが、シリアルデータ信号 SDA の立ち上がりに同期してフリップフロップ 82 に保持される。この時、フリップフロップ 82 の 1Q 端子からの出力信号はハイレベル、ストップ検出信号 STOPL はローレベルとなる。

30

【0045】

フリップフロップ 82 の 1Q 端子からの出力信号がハイレベルになると、フリップフロップ 84 のクリアが解除される。その後、シリアルデータ信号 SDA の立ち下りで、シリアルクロック信号 SCL のハイレベルがフリップフロップ 84 に保持され、フリップフロップ 84 の 2Q 端子からの出力信号はローレベルとなる。続いて、AND ゲート 86 を介してフリップフロップ 82 はクリアされ、その 1Q 端子からの出力信号はローレベル、ストップ検出信号 STOP はハイレベルとなる。さらに、AND ゲート 88 を介してフリップフロップ 84 はクリアされ、リセット後の初期状態となる。

【0046】

なお、シリアルデータ信号 SDA の立ち下りにより、先に述べたスタート検出信号 STARTL がローレベルとなり、これ以後、シリアルクロック信号 SCL が立ち下り、スタート検出信号 STARTL がハイレベルとなるまで、フリップフロップ 82, 84 の状態、すなわち、ストップ検出信号 STOPL の状態も変化しない。

40

【0047】

図示例のストップ信号検出回路 80 では、シリアルクロック信号 SCL がハイレベルの期間に、シリアルデータ信号 SDA がローレベルからハイレベルに変化したことを検出して、ストップ検出信号 STOPL が、シリアルデータ信号 SDA の立ち下りから、その次の立ち下りまでの間ローレベルとなる。

【0048】

続いて、図 9 に、モード検出回路の一実施例の構成回路図を示す。

50

同図に示すモード検出回路 90 は、フリップフロップ 92 と、フリップフロップ 94, 96, 98 と、AND ゲート 100 と、NAND ゲート 102, 104, 106 と、OR ゲート 108 と、フリップフロップ 110 を有する。

【0049】

フリップフロップ 92 の D 端子にはスタート検出信号 START が入力され、その反転クロック端子にはシリアルクロック信号 SCL が入力され、その PR 端子にはリセット信号 RST が入力されている。また、フリップフロップ 92 の Q 端子からの出力信号は AND ゲート 100 の一方の端子に入力されている。AND ゲート 100 の他方の端子にはリセット信号 RST が入力され、その出力はフリップフロップ 94, 96, 98 の CLR 端子に入力されている。

10

【0050】

フリップフロップ 94, 96, 98 の D 端子には、それぞれ電源、フリップフロップ 94, 96 の Q1 端子および Q2 端子からの出力信号 Q1 および Q2 が入力されている。また、フリップフロップ 94, 96, 98 の反転クロック端子にはともにシリアルデータ信号 SDA が入力され、そのイネーブル端子 E にはともにシリアルクロック信号 SCL が入力されている。また、フリップフロップ 94, 96, 98 の Q1 端子、Q2 端子、Q3 端子からの出力信号 Q1, Q2, Q3 は NAND ゲート 102, 104, 106 に各々入力されている。

【0051】

NAND ゲート 102, 104, 106 の出力は各々フリップフロップ 110 に入力され、フリップフロップ 110 からは、これらに各々対応してノーマル信号 Normal 、モード 1 信号 Mode1 およびモード 2 信号 Mode2 が output されている。また、OR ゲート 108 には、シリアルクロック信号 SCL およびスタート検出信号 START が入力され、その出力はフリップフロップ 110 の反転クロック端子に入力されている。

20

【0052】

図示例のモード検出回路 90 では、図 10 のタイミングチャートに示すように、リセット信号 RST がローレベルとされると、フリップフロップ 92 はプリセットされて、その Q 端子からの出力信号はハイレベルとなり、フリップフロップ 94, 96, 98 はともにクリアされて、その Q1, Q2, Q3 端子からの出力信号 Q1, Q2, Q3 は全てローレベルとなる。

30

【0053】

リセット信号 RST がハイレベルとされると、フリップフロップ 94, 96, 98 のクリアは解除される。その後、シリアルクロック信号 SCL がハイレベルの期間に、シリアルデータ信号 SDA がハイレベルからローレベルに変化すると、前述のスタート信号検出回路 70 によりスタート信号が検出されて、スタート検出信号 START がローレベルとなるとともに、フリップフロップ 94 の Q1 端子からの出力信号 Q1 がハイレベルとなる。

【0054】

その後、図 10 のタイミングチャートに示すように、シリアルクロック信号 SCL がハイレベルの期間に、例えばシリアルデータ信号 SDA が連続して 2 回立ち下ると、フリップフロップ 94, 96 からの出力信号 Q1, Q2 がハイレベルとなる。また、シリアルデータ信号 SDA が連続して 3 回立ち下ると、フリップフロップ 94, 96, 98 からの出力信号 Q1, Q2, Q3 が全てハイレベルとなる。

40

【0055】

これらの出力信号 Q1, Q2, Q3 は NAND ゲート 102, 104, 106 にそれぞれ入力される。そして、出力信号 Q1 がハイレベルで、かつ、出力信号 Q2 および Q3 がローレベルである時、すなわち、シリアルクロック信号 SCL がハイレベルの間に、シリアルデータ信号 SDA が 1 回だけ立ち下った場合に、NAND ゲート 102 からローレベルが出力され、NAND ゲート 104, 106 からはハイレベルが出力される。

【0056】

50

同じく、出力信号Q1およびQ2がハイレベルで、かつ、出力信号Q3がローレベルである時には、すなわち、シリアルデータ信号SDAが2回立ち下った場合には、NANDゲート104からローレベルが出力され、NANDゲート102, 106からはハイレベルが出力される。また、出力信号Q1, Q2およびQ3の全てがハイレベルの時には、すなわち、シリアルデータ端子SDAが3回立ち下った場合には、NANDゲート106の出力信号がローレベルとなり、NANDゲート102, 104の出力信号はハイレベルとなる。

【0057】

その後、スタート信号STARTLがローレベルの期間に、シリアルクロック信号SCLの立ち下りでNANDゲート102, 104, 106からの出力信号がフリップフロップ110に保持され、各々ノーマル信号NormalL、モード1信号Mode1Lおよびモード2信号Mode2Lとして出力される。

【0058】

本実施例では、ノーマル信号NormalLがローレベルとなった場合がノーマルモードであり、モード1信号Mode1Lまたはモード2信号Mode2Lがローレベルとなった場合がローカルモードであることを意味する。また、モード1信号Mode1Lがローレベルの場合が、任意の個数のスレーブデバイス14を指定するモード1であり、モード2信号Mode2Lがローレベルの場合が、マスタデバイス12から、指定した複数個のスレーブデバイス14に対して同じデータを送信するモード2である。

【0059】

前述のシリアルクロック信号SCLの立ち下りで、フリップフロップ92にスタート検出信号STARTLのローレベルが保持され、フリップフロップ94, 96, 98の出力信号Q1, Q2, Q3が初期化されて全てローレベルとなる。その後、スタート信号検出回路70の制御によってスタート検出信号STARTLがハイレベルとなり、これが次のシリアルクロック信号SCLの立ち下りでフリップフロップ92に保持されて、モード検出回路90は初期状態に戻る。

【0060】

図示例のモード信号検出回路90では、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAが何回ハイレベルからローレベルに変化したのかを検出して、ノーマル信号NormalL、モード1信号Mode1Lおよびモード2信号Mode2Lのいずれかがローレベルとなる。

【0061】

続いて、デバイスアドレス検出回路50には、シリアルクロック信号SCL、固有アドレス信号A0~2、および、S/P変換回路34から供給されるパラレルデータ(S/P変換出力)が入力される。デバイスアドレス検出回路50は、S/P変換出力(固有アドレス)と各々のスレーブデバイス14にあらかじめ設定されている固有アドレス信号A0~2とを比較する。デバイスアドレス検出回路50の比較結果はコントローラ68に入力される。

【0062】

WCLK生成回路54は、コントローラ68の制御により、データ制御信号によってマスタデバイス12からスレーブデバイス14へのデータライトが指定されている場合、前述のライトクロック信号WCLKを生成する。

【0063】

続いて、データ制御信号検出回路58には、シリアルデータ入力信号SDAINが入力される。データ制御信号検出回路58はデータ制御信号を検出し、マスタデバイス12からスレーブデバイス14, 18へのデータライトであるのか、スレーブデバイス14, 18からマスタデバイス12へのデータリードであるのかを判断して、I/Oコントロール信号I/OCONTを発生する。データのライト/リードの識別結果はコントローラ68にも入力される。

【0064】

10

20

30

40

50

SCLカウンタ60には、シリアルクロック入力信号SCLINおよびシリアルデータ入力信号SDAINが入力される。データの送受信は、例えば8ビット(1バイト)を1つの単位として転送される。このため、SCLカウンタ60は、スタート信号を基準として、シリアルクロック入力信号SCLINをカウントすることにより、データの送信および受信のタイミングを調整する。SCLカウンタ60によるカウント結果はコントローラ68に入力される。

【0065】

同じく、シリアルデータ保持回路66にも、シリアルクロック入力信号SCLINおよびシリアルデータ入力信号SDAINが入力される。シリアルデータ保持回路66は、シリアルクロック入力信号SCLINに同期して、シリアルデータ入力信号SDAINを順次保持する。シリアルデータ保持回路66に保持されたシリアルデータは、図3に示すように、S/P変換回路34に対して順次出力される。

10

【0066】

SDA1コントローラ62には、P/S変換回路36から供給されるシリアルデータ(P/S変換出力)が入力される。SDA1コントローラ62は、P/S変換回路36からP/S変換出力を受け取り、これをシリアルデータ出力信号SDAOUTとして入出力バッファ44に対して出力する。また、SDA2コントローラ64は、ローカルモードである場合に、コントローラ68の制御により適時アクノリッジ信号を出力する。

【0067】

データライト時には、バスコントロール回路32からシリアルデータが出力され、S/P変換回路34に入力される。S/P変換回路34は、バスコントロール回路32から供給されるシリアルデータを、例えば8ビットのパラレルデータに変換する。S/P変換後のパラレルデータは、出力レジスタ40の他、固有アドレス信号A0~2との比較のために、バスコントロール回路32にもフィードバックされる。

20

【0068】

続いて、出力レジスタ40は、バスコントロール回路32から入力される前述のライトクロック信号WCLKにより、S/P変換回路34から出力される、例えば8ビットのパラレルデータを保持する。出力レジスタ40から出力されるパラレルデータはI/Oポート42に入力される。

【0069】

I/Oポート42には、上記パラレルデータの他、リセット信号RSTLや、バスコントロール回路32からのI/Oコントロール信号I/OCONTが入力される。I/Oポート42は、I/Oコントロール信号I/OCONTの状態に応じて、出力レジスタ40から供給されるパラレルデータを接続装置に対して出力するか、あるいは、接続装置から供給されるパラレルデータを、次に述べるP/S変換回路36に対して出力するのかを制御する。

30

【0070】

I/Oポート42と接続装置との間は、8ビットのパラレルバスで双方向に接続されている。データリード時に接続装置から供給されるパラレルデータは、I/Oポート42からP/S変換回路36に対して出力される。

40

P/S変換回路36は、I/Oポート42から供給される8ビットのパラレルデータをシリアルデータに変換する。P/S変換回路36から出力されるシリアルデータは、前出のバスコントロール回路32に入力される。

【0071】

バスコントロール回路32は、P/S変換回路36から供給されるシリアルデータをシリアルデータ出力SDAOUTとして順次出力する。このシリアルデータ出力SDAOUTは、入出力バッファ44のインバータ46を介してNMOSS48のゲートに入力される。入出力バッファ44のNMOSS48のソースはグランドに接続され、そのドレインは、シリアルデータ信号SDA1としてシリアルデータライン上に出力される。

【0072】

50

出入力バッファ 4 4 からは、シリアルデータ信号 S D A 1 として、バスコントロール回路 3 2 から供給されるシリアルデータ出力 S D A O U T が順次出力される。なお、アクノリッジ信号は、ノーマルモードの場合には、固有アドレスによって指定される 1 つのスレーブデバイス 1 4 の S D A 1 端子またはスレーブデバイス 1 8 の S D A 端子からのみ出力され、ローカルモードの場合には、全てのスレーブデバイス 1 4 の S D A 2 端子から同時に出力される。

【 0 0 7 3 】

次に、図 1 1 に示すフローチャートを参照しながら、本発明のシリアルデータ転送装置の動作について説明する。

【 0 0 7 4 】

同図フローチャートのステップ S 1 に示すように、まず、リセット信号 R S T L がローレベルとされ、シリアルデータ転送装置 1 0 が初期化される。初期化の後、ステップ S 2 へ進み、スレーブデバイス 1 4 , 1 8 は、マスタデバイス 1 2 からスタート信号 (S T A R T) が出力されるのを検出する。なお、スレーブデバイス 1 4 , 1 8 は、スタート信号が検出されない場合 (N) 、スタート信号が検出される (Y) まで繰り返し検出を行う。スタート信号が検出されると、スタート信号検出回路 7 0 の制御により、スタート検出信号 S T A R T L がローレベルとなる。

【 0 0 7 5 】

続いて、ステップ S 3 として、モード検出回路 9 0 により、転送モードが、ノーマルモードなのかローカルモードなのかが検出される。

その結果、ノーマルモードである場合 (N) にはステップ S 4 に進み、I I C バスの規格に準拠して通常処理が行われ、マスタデバイス 1 2 とスレーブデバイス 1 4 または 1 8 との間で 1 対 1 にデータのやり取りが行われる。

【 0 0 7 6 】

一方、ローカルモードである場合 (Y) にはステップ S 5 に進み、モード 1 であるかどうかが検出される。なお、この場合、指定されるスレーブデバイスは、言うまでもなく本発明を適用するスレーブデバイス 1 4 のみである。

ここで、モード 1 ではない場合 (N) には、イリガル動作であるためステップ S 2 に戻る。モード 1 であることが検出されると (Y) 、モード検出回路 9 0 の制御により、モード 1 信号 M o d e 1 L がローレベルとなる。

【 0 0 7 7 】

その後、マスタデバイス 1 2 から全てのスレーブデバイス 1 4 に対して、固有アドレスおよびデータ制御信号 (この場合、ライトのみ) からなる 1 バイト目のデータが送信される。ステップ S 6 に示すように、各々のスレーブデバイス 1 4 は、図 4 に示す S C L カウンタ 6 0 のタイミング制御により、受信した固有アドレスと自分自身に設定されている固有アドレス信号とを比較して、自分自身が指定されているかどうかを検出する。

【 0 0 7 8 】

そして、固有アドレスとの一致が検出された場合 (Y) 、スレーブデバイス 1 4 は、ステップ S 7 に示すように、S D A 1 端子から、図 1 に示すシリアルデータライン S D A 上にローレベルのアクノリッジ信号を出力する。これを受信して、マスタデバイス 1 2 は、指定しようとするスレーブデバイス 1 4 に対応する固有アドレスおよびデータ制御信号からなる 1 バイトのデータを必要に応じて順次送信し、固有アドレスによって指定されるスレーブデバイス 1 4 からアクノリッジ信号が出力される。

【 0 0 7 9 】

以上の動作を繰り返し行うことにより、任意の個数のスレーブデバイス 1 4 を指定することができる。なお、ローカルモードの場合に 1 つのスレーブデバイス 1 4 のみを指定しても構わないが、その場合には、ノーマルモードを使用する方が好ましい。

一方、スレーブデバイス 1 4 において、最終的に、固有アドレスとの一致が検出されなかった場合 (N) 、後述するステップ S 1 4 に進む。

【 0 0 8 0 】

10

20

30

40

50

続いて、ステップ S 8 に進み、全てのスレーブデバイス 1 4 において、図 4 に示す S C L カウンタ 6 0 のタイミング制御により、データ制御信号 (R / W) が検出される。ローカルモードの場合には、任意の個数のスレーブデバイス 1 4 が同時にアクセスされるが、マスタデバイス 1 2 は全てのスレーブデバイス 1 4 から同時にデータを受信 (リード) することはできないため、データライト (W) ではない場合 (N) にはイリガル動作であるとしてステップ S 2 へ戻る。

【 0 0 8 1 】

一方、データライト (W) である場合 (Y) 、次のステップ S 9 へ進む。ステップ S 9 では、モード 2 であるかどうかの検出が行われる。

そして、モード 2 ではない場合 (N) 、すなわち、ノーマルモードやローカルモードのモード 1 が検出された場合には、リストアであるものと認識され、ステップ S 2 へ戻る。

【 0 0 8 2 】

これに対して、モード 2 が検出された場合 (Y) 、シリアルデータを順次取り込み、ステップ S 1 0 において、図 4 に示す S C L カウンタ 6 0 の制御により、8 ビット (1 バイト) のデータを受信したかどうかが検出される。この時、8 ビットのデータ入力がない場合 (N) には続くデータは存在せず、送信は終了であるからステップ S 1 3 に進む。8 ビットのデータ入力がある場合 (Y) には次のステップ S 1 1 へ進む。

【 0 0 8 3 】

ステップ S 1 1 において、指定されている全てのスレーブデバイス 1 4 の S D A 2 端子から、ローレベルのアクノリッジ信号が出力され、後述するステップ S 1 6 において出力される指定されていないスレーブデバイス 1 4 からのアクノリッジ信号と共に、図 1 に示す O R ゲート 1 6 により、シリアルデータライン S D A 上にローレベルのアクノリッジ信号が出力される。マスタデバイス 1 2 は、シリアルデータライン S D A 上のアクノリッジ信号を検出して、全てのスレーブデバイス 1 4 がデータを受信したことを確認し、次のデータを送信する。

【 0 0 8 4 】

一方、指定された任意の個数のスレーブデバイス 1 4 では、ステップ S 1 2 に示すように、図 3 に示すバスコントロール回路 3 2 によって発生されるライトクロック W C L K により、P / S 変換回路 3 4 による P / S 変換後のパラレルデータが出力レジスタ 4 0 に保持される。

【 0 0 8 5 】

そして、ステップ S 1 3 において、スレーブデバイス 1 4 はストップ信号を検出する。スレーブデバイス 1 4 によりストップ信号が検出された場合 (Y) 、ストップ信号検出回路 8 0 の制御により、ストップ検出信号 S T O P L がローレベルとされ、マスタデバイス 1 2 からスレーブデバイス 1 4 へのデータの送信は終了となる。一方、ストップ信号が検出されない場合 (N) 、マスタデバイス 1 2 からスレーブデバイス 1 4 へ送信されるデータは複数バイトであるから、ステップ S 1 0 へ戻って次の 8 ビットのデータを繰り返し受信する。

【 0 0 8 6 】

一方、ステップ S 6 において、最終的に、固有アドレスとの一致が検出されなかったスレーブデバイス 1 4 においては、ステップ S 1 4 でモード 2 が検出される。モード 2 が検出されない場合 (N) 、すなわち、ノーマルモードやローカルモードのモード 1 が検出された場合 (N) 、リストアであると認識され、ステップ S 3 へ戻る。モード 2 が検出された場合 (Y) 、S C L カウンタ 6 0 の値が 8 になっているかどうかをステップ S 1 5 で検出する。すなわち、ステップ S 6 において、固有アドレスによって指定された任意の個数のスレーブデバイス 1 4 が 8 ビットのデータを受信したかどうかを検出する。なお、指定されていないスレーブデバイス 1 4 には、マスタデバイス 1 2 から出力されるデータは受信 (保持) されない。

【 0 0 8 7 】

ここで、S C L カウンタ 6 0 の値が 8 である場合 (Y) には、ステップ S 1 6 において固

10

20

30

40

50

有アドレスによって指定されなかったスレーブデバイス14からも、固有アドレスによって指定されたスレーブデバイス14と同じタイミングで、すなわち、ステップS11で指定されたスレーブデバイス14がアクノリッジ信号を返すのと同じタイミングでSDA2端子からアクノリッジ信号が出力され、図1に示すORゲート16を介して、シリアルデータラインSDA上にローレベルのアクノリッジ信号が出力される。マスタデバイス12は、このアクノリッジ信号を受信する。

【0088】

また、SCLカウンタ60の値が8ではない場合(N)には、固有アドレスによって指定されたスレーブデバイス14に続けて送信されるデータは存在せず、送信は終了であるからステップS17に進む。ステップS17は、ステップS13の場合と同じであるから、ここでは、その繰り返しの説明は省略する。 10

【0089】

次に、図12および図13に示すタイミングチャートを参照して、本発明のシリアルデータ転送装置の動作を具体例を挙げて説明する。ここで、図12は、ローカルモードのモード1に入る場合の動作の一例を表すもので、続く、図13は、図12のタイミングチャートに続く本発明のシリアルデータ転送装置の動作を表すもので、モード1からモード2に入り、その後、ノーマルモードに入る場合の動作の一例を表している。

【0090】

まず、図12に示すように、リセット信号RSTLがローレベルとされ、装置全体が初期化される。リセット信号がハイレベルとされた後、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAを2回立ち下げる。これにより、スタート検出信号STARTLが、1回目のシリアルデータ信号SDAの立ち下りからシリアルクロック信号SCLの立ち下りまでの間ローレベルとなるとともに、モード1信号Mode1Lが、シリアルクロック信号SCLの立ち下りでローレベルとなり、ローカルモードのモード1に入る。 20

【0091】

続いて、マスタデバイス12から、固有アドレス('0100000')およびデータ制御信号(W)からなる1バイトのデータが送信される。既に述べたように、データは、シリアルクロック信号SCLがローレベルの間に変化する。図12のタイミングチャートに示すように、SCLカウンタ60の値が1~7の間は、固有アドレスのビット6~0が順次シリアルに送信され、SCLカウンタ60の値が8の時にはデータ制御信号が送信される。 30

【0092】

そして、各々のスレーブデバイス14は、固有アドレスおよびデータ制御信号からなる1バイトのデータを受信して、マスタデバイス12から送信されてきた固有アドレスと自分自身にあらかじめ設定されている固有アドレス信号とを比較し、自分自身の固有アドレス('0100000')と一致したスレーブデバイス14(図示せず)のSDA1端子から、シリアルデータラインSDA上にローレベルのアクノリッジ信号が出力され、これをマスタデバイス12は受信して確認する。

【0093】

図12のタイミングチャートでは、続いて、固有アドレス('0100001')およびデータ制御信号(W)からなる1バイトのデータが送信される。同じく、図12のタイミングチャートにSDAOUT(SDA1)で示すように、自分自身にあらかじめ設定されている固有アドレス('0100001')と一致したスレーブデバイス14からアクノリッジ信号が出力され、これをマスタデバイス12は受信して確認する。 40

【0094】

続いて、図13のタイミングチャートに示すように、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAを3回立ち下げる。これにより、スタート検出信号STARTLが、1回目のシリアルデータ信号SDAの立ち下りからシリアルクロック信号SCLの立ち下りまでの間ローレベルとなるとともに、モード2信号Mode2

Lのみがロー・レベルとなり、ローカルモードのモード2に入る。

【0095】

続いて、マスタデバイス12から1バイトのデータが送信される。図13のタイミングチャートに示すように、SCLカウンタ60の値が1~8の間は、データ(FFh)(16進数)のビット7~0が順次シリアルに送信される。

そして、全てのスレーブデバイス14のSDA2端子からアクノリッジ信号が出力され、図1に示すORゲート16を介してシリアルデータラインSDA上にロー・レベルのアクノリッジ信号が出力される。これをマスタデバイス12は受信して確認する。なお、アクノリッジ信号は、指定されているいないに係わらず、全てのスレーブデバイス14のSDA2端子から出力される。

10

【0096】

これは、指定されていないスレーブデバイス14のSDA2端子からアクノリッジ信号を出力しないと、図1に示すORゲート16からロー・レベルのアクノリッジ信号を出力することができないからである。したがって、指定されていないスレーブデバイス14のSDA2端子からも、指定されているスレーブデバイス14と同じタイミングでアクノリッジ信号を出力する必要がある。

以下同じようにして、マスタデバイス12から、指定されているスレーブデバイス14に対して同じデータが同時に送信され、スレーブデバイス14からは、データを受信した後、アクノリッジ信号が出力される。

【0097】

20

そして最後に、シリアルクロック信号SCLがハイレベルの期間に、シリアルデータ信号SDAを立ち上げる。これにより、ストップ検出信号STOPが、シリアルデータ信号SDAの立ち上がりから、その次の立ち下りまでの間ロー・レベルとなるとともに、このシリアルデータ信号SDAの立ち下りによってノーマルモードに入り、スタート検出信号STARTがロー・レベルとなる。

【0098】

本発明のシリアルデータ転送装置は、基本的に以上のようなものである。

なお、マスタデバイス12は1つ以上何個あってもよいし、スレーブデバイス14は2つ以上の複数個であれば何個であってもよい。また、本発明のシリアルデータ転送装置は、ノーマルモードではIICバス規格に準拠しているため、上記実施例にも示すように、本発明を適用するスレーブデバイスと従来構成のスレーブデバイスとを共存させて使用することができる。

30

【0099】

上記実施例では、IICバス規格との互換性を考慮して、各信号の極性や転送するデータのビット数、具体的な回路構成等を例示しているが、IICバス規格との互換性が不要であれば、本発明は上記具体例には何ら限定されない。

以上、本発明のシリアルデータ転送装置について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてよいのはもちろんである。

【0100】

40

【発明の効果】

以上詳細に説明した様に、本発明のシリアルデータ転送装置は、ノーマルモードでは、マスタデバイスからスレーブデバイスに対して固有アドレスに対応するアドレス情報を送信して、マスタデバイスとアドレス情報に一致する固有アドレスを有するスレーブデバイスとの間で1対1にデータの送受信を行い、ローカルモードでは、マスタデバイスから、指定しようとするスレーブデバイスに対応する任意の個数のアドレス情報を順次送信して、このアドレス情報に対応する任意の個数のスレーブデバイスを指定し、指定された任意の個数のスレーブデバイスに対して同じデータを同時に送信するものである。

したがって、本発明のシリアルデータ転送装置によれば、マスタデバイスと任意の複数個のスレーブデバイスとの間で同じデータを転送したい場合に、これを一度のデータ転送で

50

実現することができる。例えば、従来は3個のスレーブデバイスに同じデータを順次送信していたものが、本発明では1回の送信で済み、2回分の送信時間を削減することができる。

本発明は、例えば複数のRAM(ランダムアクセスメモリ)に同時に00h(16進数)を書き込んで、その内容をクリアする時などのように、データ量が多い場合に特に有効である。

【図面の簡単な説明】

- 【図1】 本発明のシリアルデータ転送装置の一実施例のブロック構成図である。
- 【図2】 マスタデバイスの一実施例の構成概略図である。
- 【図3】 スレーブデバイスの一実施例のブロック構成図である。 10
- 【図4】 バスコントロール回路の一実施例のブロック構成図である。
- 【図5】 スタート信号検出回路の一実施例の構成回路図である。
- 【図6】 図5に示すスタート信号検出回路の動作を表す一実施例のタイミングチャートである。
- 【図7】 ストップ信号検出回路の一実施例の構成回路図である。
- 【図8】 図7に示すストップ信号検出回路の動作を表す一実施例のタイミングチャートである。 20
- 【図9】 モード検出回路の一実施例の構成回路図である。
- 【図10】 図9に示すモード検出回路の動作を表す一実施例のタイミングチャートである。
- 【図11】 本発明のシリアルデータ転送装置の動作を表す一実施例のフローチャートである。
- 【図12】 本発明のシリアルデータ転送装置の動作を表す一実施例のタイミングチャートである。
- 【図13】 図12に示す本発明のシリアルデータ転送装置の動作の続きを表す一実施例のタイミングチャートである。

【符号の説明】

- 10 シリアルデータ転送装置
 12 マスタデバイス
 14, 18 スレーブデバイス 30
 16, 108 ORゲート
 19, 20 プルアップ抵抗
 22 マイクロコントローラ
 24 出力バッファ
 26, 44 入出力バッファ
 28 入力バッファ
 30 フィルタ
 32 バスコントロール回路
 34 S/P変換回路
 36 P/S変換回路 40
 40 出力レジスタ
 42 I/Oポート
 50 デバイスアドレス検出回路
 54 WCLK生成回路
 56 スタート信号/ストップ信号/モード検出回路
 58 データ制御信号検出回路
 60 SCLカウンタ
 62 SDA1コントローラ
 64 SDA2コントローラ
 66 シリアルデータ保持回路 50

6 8 コントローラ

7 0 スタート信号検出回路

7 2 , 7 4 , 8 2 , 8 4 , 9 2 , 9 4 , 9 6 , 9 8 , 1 1 0 フリップフロップ

7 6 , 7 8 , 8 6 , 8 8 , 1 0 0 A N D ゲート

ストップ信号検出回路 8 0

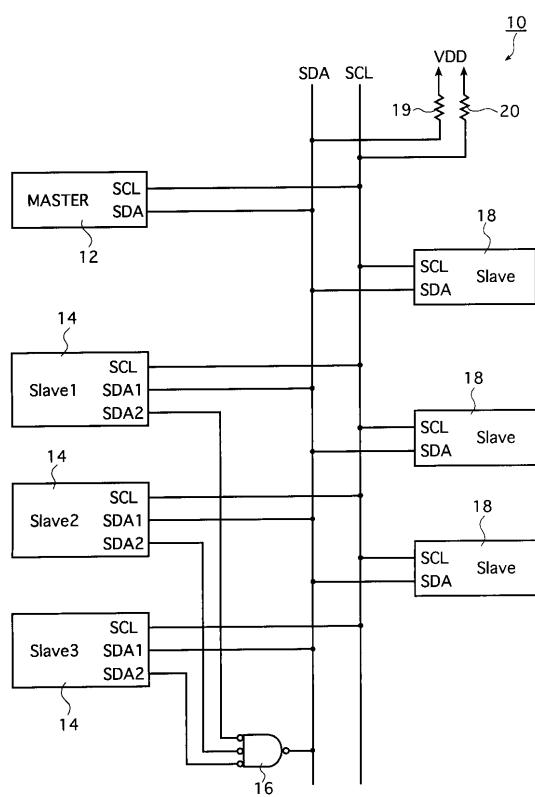
モード検出回路 9 0

1 0 2 , 1 0 4 , 1 0 6 N A N D ゲート

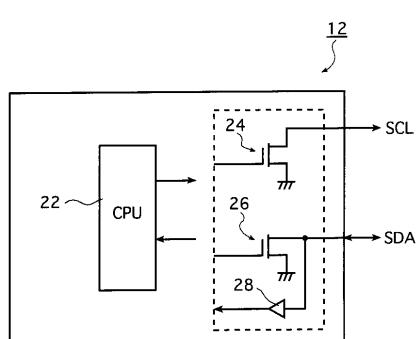
S D A シリアルデータライン

S C L シリアルクロックライン

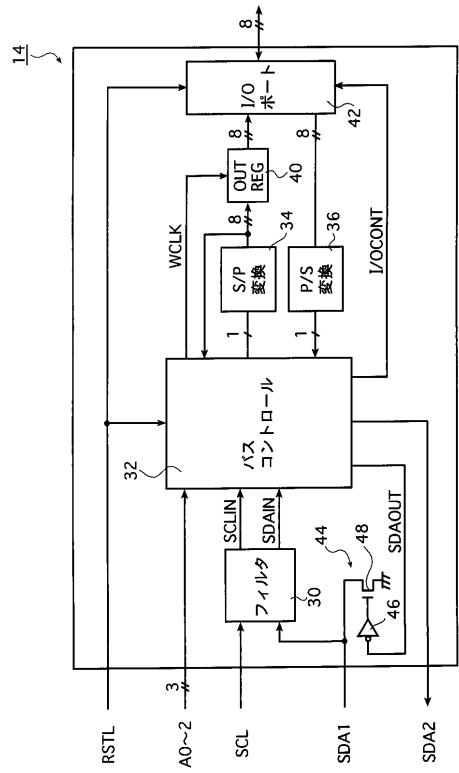
【図1】



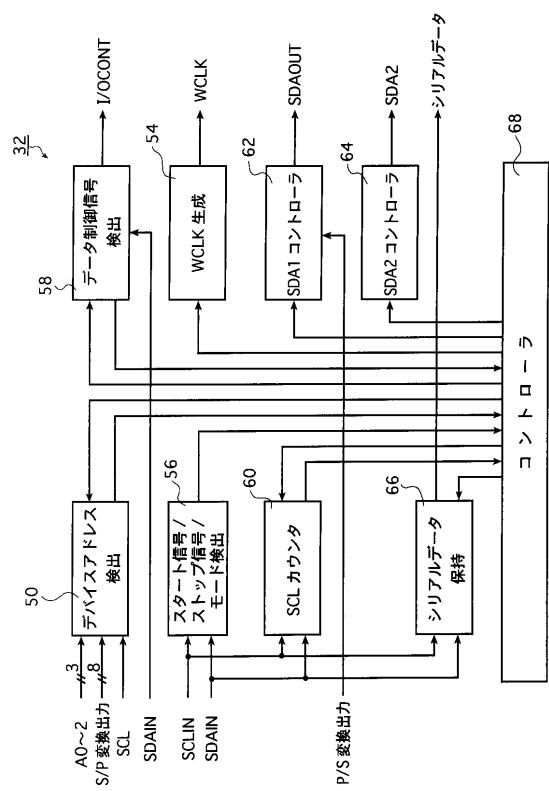
【図2】



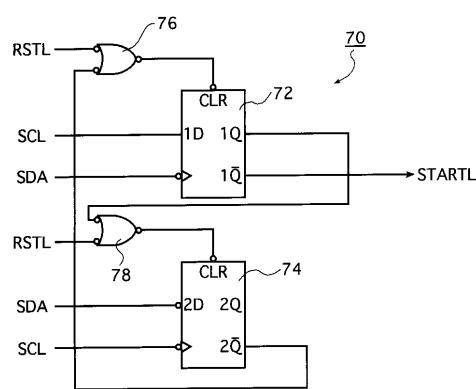
【図3】



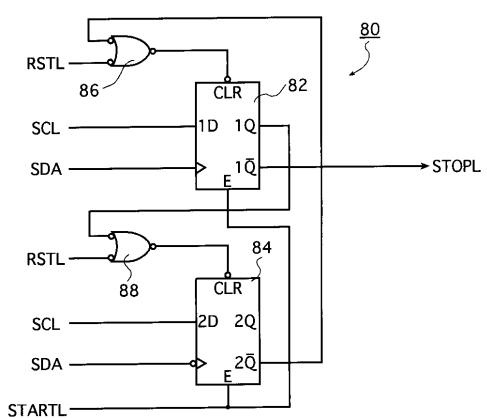
【図4】



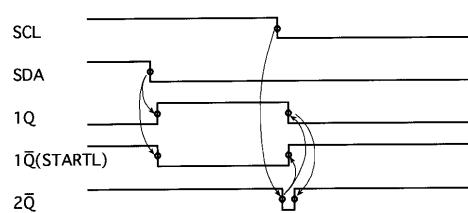
【図5】



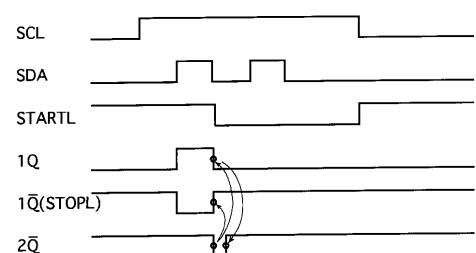
【図7】



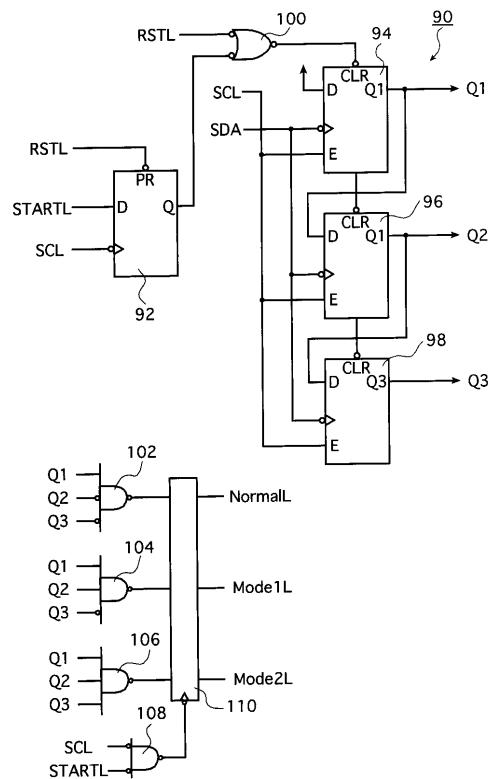
【図6】



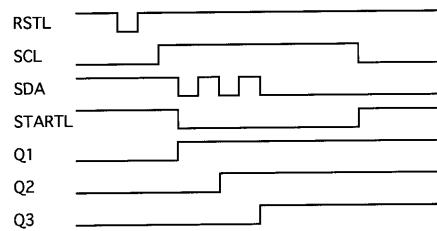
【図8】



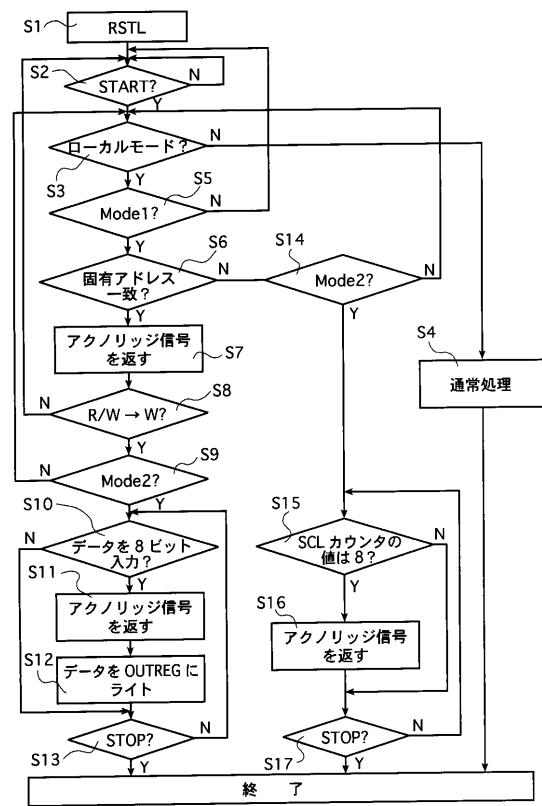
【図9】



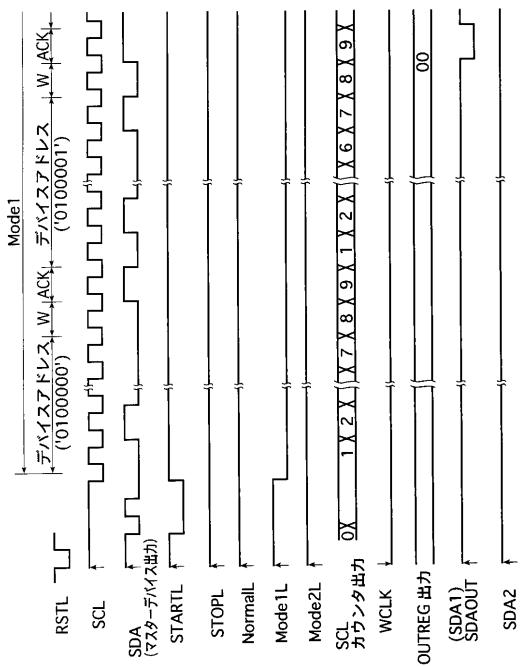
【 図 1 0 】



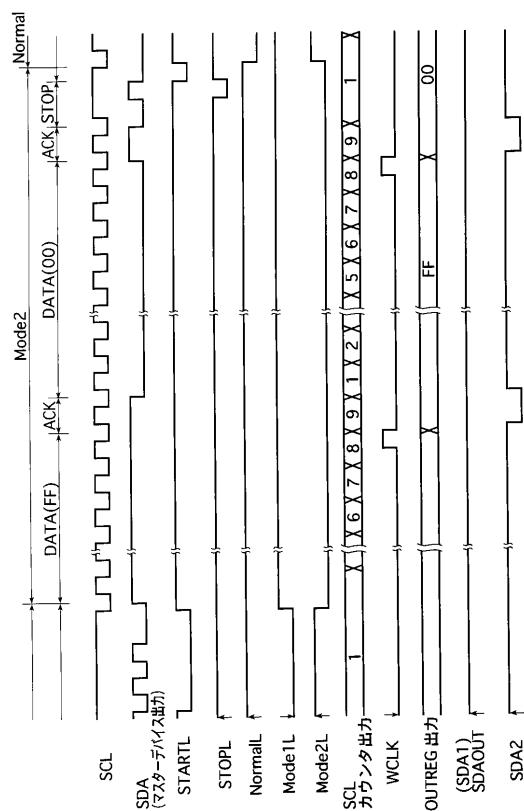
【 図 1 1 】



【図12】



【図 1 3】



フロントページの続き

(56)参考文献 特開平04-087436(JP,A)
特開平09-130412(JP,A)
特開平09-288621(JP,A)
特開平06-164595(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/38

G06F 13/42

WPI(DIALOG)