



(12) 发明专利申请

(10) 申请公布号 CN 102331733 A

(43) 申请公布日 2012.01.25

(21) 申请号 201010226013.2

(22) 申请日 2010.07.14

(71) 申请人 中国科学院沈阳计算技术研究所有  
限公司

地址 110171 辽宁省沈阳市浑南新区南屏东  
路 16 号

申请人 沈阳高精数控技术有限公司

(72) 发明人 林浒 陶耀东 王盛长

(74) 专利代理机构 沈阳科苑专利商标代理有限  
公司 21002

代理人 李晓光

(51) Int. Cl.

G05B 19/05 (2006.01)

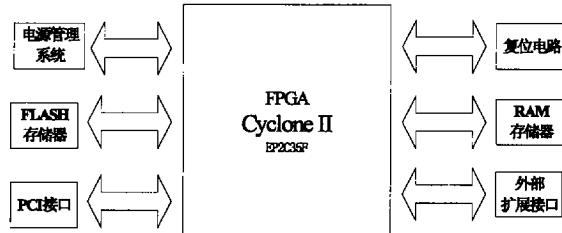
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

基于片上可编程系统的数控系统逻辑控制器  
及其实现方法

(57) 摘要

本发明涉及一种基于片上可编程系统的数控  
系统可编程逻辑控制器的实现方法,包括以下步  
骤:构造连接 FPGA 的外部电路;在 FPGA 上构造用  
于运行数控系统可编程逻辑控制器的可编程片上  
系统;在上述可编程片上系统中裁剪、移植并编  
译实时操作系统;在实时操作系统上运行可编程  
逻辑控制器,实现对外设的控制。本发明采用基于  
FPGA 的片上系统的设计,提高了可编程逻辑器的  
集成度和可靠性;采用基于 SOPC 技术,内部实现  
软核处理器用于执行 PLC 任务,提高了可编程逻  
辑控制器的处理速度,在保证灵活性的同时,降低  
了成本。



1. 一种基于片上可编程系统的数控系统可编程逻辑控制器的实现方法,其特征在于包括以下步骤:

构造连接 FPGA 的外部电路;

在 FPGA 上构造用于运行数控系统可编程逻辑控制器的可编程片上系统;

在上述可编程片上系统中裁剪、移植并编译实时操作系统;

在实时操作系统上运行可编程逻辑控制器,实现对外设的控制。

2. 按权利要求 1 所述的基于片上可编程系统的数控系统可编程逻辑控制器的实现方法,其特征在于:所述对外设的控制包括以下步骤:

开始,装置初始化,启动可编程逻辑控制器运行程序;

检验由上位机加载的目标代码,判断加载的代码内容是否正确;

如果目标代码加载正确,则根据目标代码的内容分配系统资源,初始化相应的变量,并通过索引访问系统常量表,将相应的变量进行赋值,其余没有规定初始值的变量均被赋值为 0;

循环执行目标代码程序,执行完毕的逻辑运行结果通过硬件抽象层提供的接口更新对数控系统的外部设备的控制,并记录当前状态反馈给数控系统中的上位机;

或者,如果目标代码加载不正确,则报错,反馈出错信息给数控系统中的上位机。

3. 按权利要求 2 所述的基于片上可编程系统的数控系统可编程逻辑控制器的实现方法,其特征在于:目标代码程序包括快逻辑任务和慢逻辑任务,其中快逻辑任务负责实时性要求较高的短脉冲信号处理;慢逻辑任务负责一般信号的处理。

4. 按权利要求 4 所述的基于片上可编程系统的数控系统可编程逻辑控制器的实现方法,其特征在于:所述快逻辑任务和慢逻辑任务的处理方法为:

通过调用 SOPC 系统中的计时器记录每次处理的周期时间,如果超过规定时间,则触发定时器中断,调用任务调度函数来将当前慢逻辑任务切换执行下一个快逻辑任务;

休眠慢逻辑任务,等待快逻辑任务执行完毕后慢逻辑任务被唤醒,继续该慢逻辑任务;当可编程逻辑控制器执行完逻辑任务时,将当前状态保存在双端口存储器中,并通过 PLC 通信接口模块反馈至数控系统中的上位机。

5. 一种权利要求 1 所述的基于片上可编程系统的数控系统可编程逻辑控制器,其特征在于:所述数控系统可编程逻辑控制器基于 FPGA 结构,包括:

处理器模块,通过内部交换总线与外部扩展模块、存储器接口模块、双端口存储器模块以及 PLC 通信接口模块连接;

外部扩展模块,具有各种控制接口和总线接口,用于扩展外部设备;

存储器接口模块,即三态桥模块,过内部交换总线与处理器相连,同时外接 Flash 和 SDRAM 存储器;

PLC 通信接口模块,实现可编程逻辑控制器与数控系统间的数据传输和数据的实时交互。

6. 按权利要求 5 所述的基于片上可编程系统的数控系统可编程逻辑控制器,其特征在于:还具有调试接口,通过内部交换总线与处理器模块、外部扩展模块、存储器接口模块以及 PLC 通信接口模块相连,调试接口外接开发用计算机。

7. 按权利要求 5 所述的基于片上可编程系统的数控系统可编程逻辑控制器,其特征在

于 : 所述处理器模块包括中央处理器、定时器、计时器以及中断控制器, 其中中央处理器、定时器、计时器以及中断控制器通过内部交换总线相连接, 定时器产生中断信号周期, 通过中断控制器接至中央处理器。

8. 按权利要求 5 所述的基于片上可编程系统的数控系统可编程逻辑控制器, 其特征在于 : 所述外部扩展模块包括通用 I/O 模块、USB 模块以及 LCD 模块。

9. 按权利要求 5 所述的基于片上可编程系统的数控系统可编程逻辑控制器, 其特征在于 : 双端口存储器模块和 PLC 通信接口模块共同完成与数控系统上位机的通信功能 ; 双端口存储器模块, 作为 PLC 通信接口模块的缓存, 存放上位机传输的执行代码和变量, 同时保存可编程逻辑控制器执行完逻辑状态, 并通过 PLC 通信接口模块传输给上位机。

10. 按权利要求 10 所述的基于片上可编程系统的数控系统可编程逻辑控制器, 其特征在于 : 所述双端口存储器模块为双口 RAM 存储模块, 具有两个完全独立的端口, 每个端口都有相对独立的地址、数据和控制信号, 实现与上位机进行大量的数据交换, 并进行数据缓存。

## 基于片上可编程系统的数控系统逻辑控制器及其实现方法

### 技术领域

[0001] 本发明涉及计算机数控系统逻辑控制技术,具体的说是一种基于片上可编程系统的数控系统逻辑控制器及其实现方法。

### 背景技术

[0002] 逻辑控制器 (PLC) 模块是开放式数控系统中不可缺少的重要组成部分,通过与数控系统协调配合共同完成对数控机床的控制。其中数控系统主要完成信息显示、管理调度及轨迹控制等控制工作;PLC 主要完成对诸如主轴、刀具、卡盘、液压、冷却、润滑等系统的运行控制。两者相辅相成,将数控机床的数字量信息和开关量信息很好协调起来,实现系统的正常运转和工作。

[0003] 近年来,随着电路规模越来越大,片上系统 (SOC) 已经成为 IC 设计的发展趋势,相应的也诞生了更加灵活的片上可编程系统 (SOPC) 并成为研究与开发的热点。SOPC 技术是基于大规模 FPGA (现场可编程逻辑门阵列) 构建的单片完整系统,它能够在单片 FPGA 芯片中集成精简指令集处理器、存储控制器、各种外设接口和其它用户逻辑,特别适用于设计具有复杂算法和控制逻辑的嵌入式系统。它结合了 SOC、PLD 与 FPGA 各自的优点,其灵活、高效、设计可重用特性使之成为嵌入式应用解决方案的一个重要的发展方向。

[0004] 目前,开放式数控系统的运动控制功能与 PLC 功能通常运行在同一个处理器上,成本低、集成度高。但对于下一代的开放式高性能数控系统,需要处理越来越复杂的运动控制信息,甚至集成 CAD/CAM (CAD :ComputerAided Design, 计算机辅助设计 ;CAM :computer Aided Manufacturing, 计算机辅助制造 ), 同时 PLC 处理的外部开关量信息、传感器等信息也越来越复杂, PLC 与运动控制功能在一个处理器上运行,将占用过多的 CPU 资源,影响运动控制处理速度,并且往往通过外接 FPGA 芯片来进行控制输入输出任务。

### 发明内容

[0005] 针对现有技术中数控系统逻辑控制器 (PLC) 以软件形式与数控系统运动控制等功能共同运行在同一处理器上,存在占用处理器资源,影响运动控制计算速度等缺点,本发明要解决的技术问题是提供一种能够独立处理数据、执行逻辑任务,并不占用数控系统处理器资源的基于片上可编程系统的数控系统可编程逻辑控制器及其实现方法。

[0006] 为解决上述技术问题,本发明采用的技术方案是:

[0007] 本发明一种基于片上可编程系统的数控系统可编程逻辑控制器的实现方法,其特征在于包括以下步骤:

[0008] 构造连接 FPGA 的外部电路;

[0009] 在 FPGA 上构造用于运行数控系统可编程逻辑控制器的可编程片上系统;

[0010] 在上述可编程片上系统中裁剪、移植并编译实时操作系统;

[0011] 在实时操作系统上运行可编程逻辑控制器,实现对外设的控制。

[0012] 所述对外设的控制包括以下步骤:

- [0013] 开始，装置初始化，启动可编程逻辑控制器运行程序；
- [0014] 检验由上位机加载的目标代码，判断加载的代码内容是否正确；
- [0015] 如果目标代码加载正确，则根据目标代码的内容分配系统资源，初始化相应的变量，并通过索引访问系统常量表，将相应的变量进行赋值，其余没有规定初始值的变量均被赋值为 0；
- [0016] 循环执行目标代码程序，执行完毕的逻辑运行结果通过硬件抽象层提供的接口更新对数控系统的外部设备的控制，并记录当前状态反馈给数控系统中的上位机；
- [0017] 或者，如果目标代码加载不正确，则报错，反馈出错信息给数控系统中的上位机。
- [0018] 目标代码程序包括快逻辑任务和慢逻辑任务，其中快逻辑任务负责实时性要求较高的短脉冲信号处理；慢逻辑任务负责一般信号的处理。
- [0019] 所述快逻辑任务和慢逻辑任务的处理方法为：
- [0020] 通过调用 SOPC 系统中的计时器记录每次处理的周期时间，如果超过规定时间，则触发定时器中断，调用任务调度函数来将当前慢逻辑任务切换执行下一个快逻辑任务；
- [0021] 休眠慢逻辑任务，等待快逻辑任务执行完毕后慢逻辑任务被唤醒，继续该慢逻辑任务；当可编程逻辑控制器执行完逻辑任务时，将当前状态保存在双端口存储器中，并通过 PLC 通信接口模块反馈至数控系统中的上位机。
- [0022] 本发明一种权利要求 1 所述的基于片上可编程系统的数控系统可编程逻辑控制器，基于 FPGA 结构，包括：
- [0023] 处理器模块，通过内部交换总线与外部扩展模块、存储器接口模块、双端口存储器模块以及 PLC 通信接口模块连接；
- [0024] 外部扩展模块，具有各种控制接口和总线接口，用于扩展外部设备；
- [0025] 存储器接口模块，即三态桥模块，过内部交换总线与处理器相连，同时外接 Flash 和 SDRAM 存储器；
- [0026] PLC 通信接口模块，实现可编程逻辑控制器与数控系统间的数据传输和数据的实时交互。
- [0027] 还具有调试接口，通过内部交换总线与处理器模块、外部扩展模块、存储器接口模块以及 PLC 通信接口模块相连，调试接口外接开发用计算机。
- [0028] 所述处理器模块包括中央处理器、定时器、计时器以及中断控制器，其中中央处理器、定时器、计时器以及中断控制器通过内部交换总线相连接，定时器产生中断信号周期，通过中断控制器接至中央处理器。
- [0029] 所述外部扩展模块包括通用 I/O 模块、USB 模块以及 LCD 模块。
- [0030] 双端口存储器模块和 PLC 通信接口模块共同完成与数控系统上位机的通信功能；双端口存储器模块，作为 PLC 通信接口模块的缓存，存放上位机传输的执行代码和变量，同时保存可编程逻辑控制器执行完逻辑状态，并通过 PLC 通信接口模块传输给上位机。
- [0031] 所述双端口存储器模块为双口 RAM 存储模块，具有两个完全独立的端口，每个端口都有相对独立的地址、数据和控制信号，实现与上位机进行大量的数据交换，并进行数据缓存。
- [0032] 本发明具有以下有益效果及优点：
- [0033] 1. 本发明采用基于 FPGA 的片上系统的设计，提高了可编程逻辑器的集成度和可

可靠性。

[0034] 2. 本发明采用基于 SOPC 技术, 内部实现软核处理器用于执行 PLC 任务, 提高了可编程逻辑控制器的处理速度;

[0035] 3. 采用 FPGA 实现数控系统可编程逻辑控制器, 易于与数控系统的其他需要 FPGA 的功能集成, 并可以通过替换最新的 FPGA 器件, 实现运行速度提升和功能扩展, 在保证灵活性的同时, 降低了成本。

[0036] 4. 本发明采用在一片 FPGA 上集成软核处理器, 运行原本由数控系统处理器执行的软 PLC 功能, 节约了数控系统 CPU 资源, 进而提高了数控系统运动控制等其他功能的运行效率。

## 附图说明

[0037] 图 1 为本发明中 PLC 与数控系统关系结构框图;

[0038] 图 2 为本发明基于 SOPC 的嵌入式可编程逻辑控制器的硬件结构框图;

[0039] 图 3 为本发明基于 SOPC 系统可编程逻辑控制器的 FPGA 内部架构图;

[0040] 图 4 为本发明可编程逻辑控制器软件结构框图;

[0041] 图 5 本发明方法中可编程逻辑控制器控制程序流程图。

## 具体实施方式

[0042] 如图 1 所示, 本发明可编程逻辑控制器基于嵌入式开发方式, 如果在数控系统中的 FPGA 基础上, 采用 SOPC(可编程片上系统)技术, 将原有的 PLC 功能独立, 使之运行在 FPGA 中, 同时通过数控系统内的总线(如:PCI)与系统的运动控制功能通信, 将有效解决这一问题。可编程逻辑控制器应用于数控系统上, 采用 PLC 通讯接口模块接收数控系统中的上位机(CNC)应用进程发送来的 PLC 目标代码, 存储在双端口存储器(本实施例采用双口 RAM)中, 并由可编程逻辑控制器读取双口 RAM 中的数据同时进行逻辑运算后的数据, 通过 I/O 的硬件抽象层发送给各个 I/O 设备, 并将执行结果存储在双口 RAM 中, 通过 PLC 通信模块反馈给数控系统中的上位机。本实施例中 PLC 通讯模块采用 PCI 总线, 其直接连接到数控系统内部的 PCI 总线上。

[0043] 本实施例采用上位机与下位机控制架构, 本发明为其中下位机, 其结构基于一片 FPGA(本实施例选用 Altera 公司的 Cyclone 系列芯片)集成片上系统, 与接口电路板(如图 2 所示)构成一个二级结构。设计和硬件选型遵循通用性的原则, 具有良好的二次开发调试便利性。输入输出接口按照数控系统中标准设计, 能够容易地与数控机床的电气系统连接, 与传统 PLC 硬件相比, 具有明显的性价比优势——根据不同的应用场合只需调整 FPGA 的片上系统, 添加或删除外设组件并更换对应接口电路板, 无需改动核心结构和在其上运行的软件, 这样降低开发成本, 增加了 PLC 的灵活性同时保持稳定性。

[0044] 如图 3 所示, 所述数控系统可编程逻辑控制器基于 FPGA 结构, 包括:

[0045] 处理器模块, 通过内部交换总线与外部扩展模块、存储器接口模块、双端口存储器模块以及 PLC 通信接口模块连接;(本实施例中为 PCI 接口模块);外部扩展模块, 具有各种控制接口和总线接口, 用于扩展外部设备;存储器接口模块, 即三态桥模块, 通过内部交换总线与处理器相连, 同时外接 Flash 和 SDRAM 存储器;PLC 通信接口模块(本实施例中为 PCI

接口模块），实现可编程逻辑控制器与数控系统间的数据传输和数据的实时交互。

[0046] 为了方便开发与调试，本实施例还具有调试接口，通过内部交换总线与处理器模块、外部扩展模块、存储器接口模块以及 PLC 通信接口模块相连，调试接口外接开发用计算机。

[0047] 所述处理器模块包括中央处理器、定时器、计时器以及中断控制器，其中中央处理器、定时器、计时器以及中断控制器通过内部交换总线相连接，定时器产生中断信号周期，通过中断控制器接至中央处理器；外部扩展模块包括通用 I/O 模块、USB 模块以及 LCD 模块；双端口存储器模块（双口 RAM 存储模块）和 PLC 通信接口模块（具体为 PCI 模块）共同完成与数控系统上位机的通信功能。其中双端口存储器模块，作为 PLC 通信接口模块的缓存，存放上位机传输的执行代码和变量，同时保存可编程逻辑控制器执行完逻辑状态，并通过 PCI 模块传输给上位机。

[0048] 在 FPGA 芯片中集成多个主从模块，包括：Nios II 处理器、通用外部扩展模块、中断控制器模块、双口 RAM 模块，外部 FLASH 接口，三态桥模块，JTAG UART 和 PCI 接口模块等，其中处理器通过内部唯一的 Avalon 总线将各部分模块相连，形成一个完整的片上系统。本实施例中，处理器是数控系统中的协处理器，采用 Altera 公司提供的 SOPC Builder 中定制的 Nios II 软核精简指令集处理器，实现与数控系统的逻辑处理功能，负责根据上位机下传的 PLC 目标代码进行外部设备控制处理，将目标代码放入双口 SDRAM 存储器中进行缓存，通过双口 RAM 模块读取 PLC 的通信模块中所要处理的数据，同时写回经过逻辑运算后 PLC 的当前状态并由 PLC 的通信模块反馈给数控系统。而外部 FLASH 则负责存储 PLC 运行程序与实时操作系统，同时通过三态桥模块将处理器与 FPGA 外部的 FLASH 及 SDRAM 相互连接起来，用于存放系统的数据，并且通过 FLASH 接口模块执行片外 FLASH 存储器中 PLC 运行程序。而片上集成的计时器与定时器则负责规定操作系统处理周期，并触发定时中断程序，激活 PLC 运行程序。另外，GPIO 模块定义数控系统所使用的 I/O 接口，LCD 控制器接口、USB、网络接口和一些用户自定义的外设逻辑接口等直接连接到系统内 Avalon 总线上，而 JATG 接口用于开发和调试下位机（片上可编程逻辑控制器）系统。

[0049] 本实施例中的 PLC 通信模块采用的是 PCI 接口模块用于与数控系统中的 PLC 开发系统进行通信同时也可与数控系统中的运动控制器进行数据交互，通过用户自定义 PCI 逻辑 IP 核并按照 Avalon 总线规定定义信号类型，来实现 PCI 接口的总线协议。Altera 的 PCI 编译器提供了使用 Altera 器件实现 PCI 接口设计实现，包括 32/64 位、主 / 从模式可选的 4 种类型 PCI 接口控制器 IP 核及相关测试平台，用户自定义 PCI 的 IP 核参数，用户逻辑、双口 RAM 与 PCI 总线接口逻辑设计在皆在可编程片上系统（SOPC）实现，提高系统紧耦合度，在系统升级时只需更新芯片的逻辑即可，本实例设置的 PCI 接口 IP 满足数控系统中常使用的主频为 33MHz、32 位数据线的 PCI 总线的时序要求。

[0050] 双口 RAM 模块利用 Altera 公司提供的宏来定制一个双口 RAM，双口 RAM 提供了两个完全独立的端口，每个端口都有相对独立的地址、数据和控制信号，使用双口 RAM 可以方便快速地实现与上位机进行大量的数据交换，起到了缓存数据的作用。在数控系统中，双口 RAM 可以通过 PCI 接口用以逻辑控制器与数控系统交互通信，作为数控系统中的上位机和下位机（指本发明数控系统逻辑控制器）两部分的共享存储器。

[0051] 本发明基于片上可编程系统的数控系统可编程逻辑控制器通过以下方法实现，具

体包括以下步骤：

- [0052] 构造连接 FPGA 的外部电路；
- [0053] 在 FPGA 上构造用于运行数控系统可编程逻辑控制器的可编程片上系统；
- [0054] 在上述可编程片上系统中裁剪、移植并编译实时操作系统；
- [0055] 在实时操作系统上运行可编程逻辑控制器，实现对外设的控制。
- [0056] 所述对外设的控制包括以下步骤：
  - [0057] 开始，装置初始化，启动可编程逻辑控制器运行程序，初始化 PLC 通信接口模块（本实施例为 PCI 接口模块），用来接收上位机传输的目标代码文件；
  - [0058] 检验由上位机加载的目标代码，判断加载的代码内容是否正确，通过对目标代码文件的结构进行检查，PLC 运行系统将首先确认加载代码是否以符合 PLC 目标代码规定的标识符开始，并确认版本号以及代码是否被删节；
  - [0059] 如果目标代码加载正确，则根据目标代码的内容分配系统资源，初始化相应的变量，并通过索引访问系统常量表，将相应的变量进行赋值，其余没有规定初始值的变量均被赋值为 0；
  - [0060] 循环执行目标代码程序，执行完毕的逻辑运行结果通过硬件抽象层提供的接口更新对数控系统的外部设备的控制状态，并记录当前状态反馈给数控系统中的上位机；
  - [0061] 如果目标代码加载不正确，则报错，反馈出错信息给数控系统中的上位机。
  - [0062] 目标代码程序包括快逻辑任务和慢逻辑任务，其中快逻辑任务负责实时性要求较高的短脉冲信号处理；慢逻辑任务负责一般信号的处理。
  - [0063] 如图 5 所示，所述快逻辑任务和慢逻辑任务的处理方法为：
    - [0064] 通过调用 SOPC 系统中的计时器记录每次处理的周期时间，如果达到规定时间（本实施例为 8ms），则触发定时器中断，调用任务调度函数 SchedulerTCB() 将当前慢逻辑任务切换执行下一个快逻辑任务；休眠慢逻辑任务，等待快逻辑任务执行完毕后慢逻辑任务被唤醒，继续该慢逻辑任务；因此，设定快逻辑每 8ms 执行一次，慢逻辑被分割成 n 快执行，执行周期为 (n\*8)ms；此调度函数将作如下操作：
      - [0065] 1. 首先建立两张任务列表，其中，一张任务列表记录就绪的任务队列；另一张任务列表记录等待调度的任务队列。
      - [0066] 2. 搜寻等待队列中的所有任务，查寻任务控制块中任务等待时间为 0 的任务。并将查寻到的任务根据其优先级加入到任务就绪队列中。
      - [0067] 3. 在当前没有运行任务时，如果在就绪队列中也没有需要运行的任务，则在本周期没有需要执行的任务，系统将空运行一个周期；否则，系统将在任务队列中选择优先级最高的任务队列，并从队列中选出第一个任务。4. 在当前没有运行任务时，但在就绪队列中有需要运行的任务，则在任务就绪队列中，查寻是否已经有任务的优先级不低于当前运行任务优先级。如果有这类任务，系统则需要切换任务。首先，系统将保存当前任务运行的环境，并根据当前任务的优先级，将当前的任务放到任务就绪队列中。然后，在任务队列中选择优先级最高的任务队列，并从队列中选出第一个任务。如果没有这类任务，系统则不需要任何任务切换。
      - [0068] 当可编程逻辑控制器执行完逻辑任务时，将当前状态保存在双端口存储器中，并通过 PCI 模块反馈至数控系统中的上位机。

[0069] 如图 4 所示,可编程逻辑控制的软件部分,主要包括设备层、驱动层、实时操作系统、应用程序和执行文件这几个部分构成。其中设备层包含了 UART(采用 RS-232 串口)、Flash、I/O 设备和 PLC 通信接口等。硬件抽象层 (HAL) 通过函数调用,使用设备层的接口,实现 PLC 运行系统与硬件输入输出的分离,使 PLC 能够独立与 I/O 设备,通过驱动程序实现与外部设备的连接。而实时操作系统 (OS) 中则负责内存的初始化以及连接调用硬件抽象层功能的平台,本实施例中实时操作系统采用  $\mu$  C/OS-II 实时系统。运行在操作系统上的 PLC 运行系统则包括:通信接口、运行虚拟机和内存管理三部分模块,它实现目标代码的循环执行,以实现用户程序的控制功能。各模块具体功能如下:

[0070] 1) PCI 通信接口,接收上位机或数控系统中 PLC 编译系统的目标代码,并与上位机 PLC 编译系统进行通信。

[0071] 2) 运行虚拟机,实现 PLC 目标代码中逻辑任务的循环扫描、PLC 指令的执行和输入输出缓存区的数据刷新处理。

[0072] 3) 内存管理,用来分配管理数据,由于  $\mu$  C/OS-II 实时系统缺少存储器管理单元 (MMU),并且在  $\mu$  C/OS-II 实时系统中都对应的实物理地址,因此,需要分配并管理每块数据的内存。

[0073] 4) 最后,在 PLC 运行系统中执行的是通过数控系统中的上位机中编译的 PLC 的目标代码。

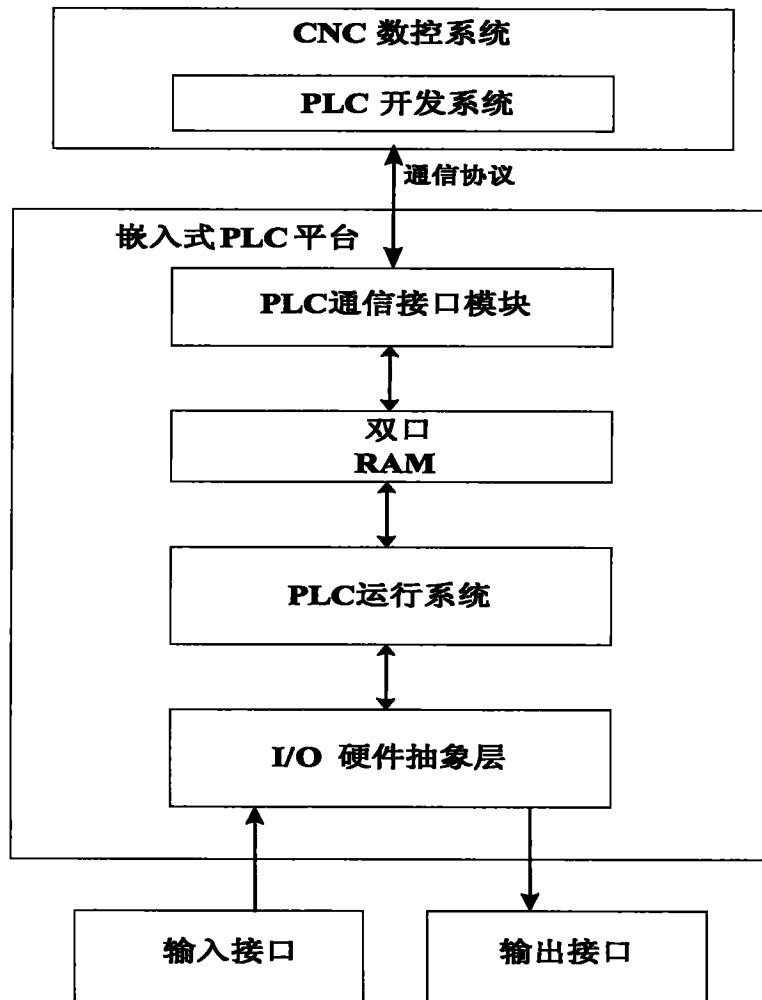


图 1

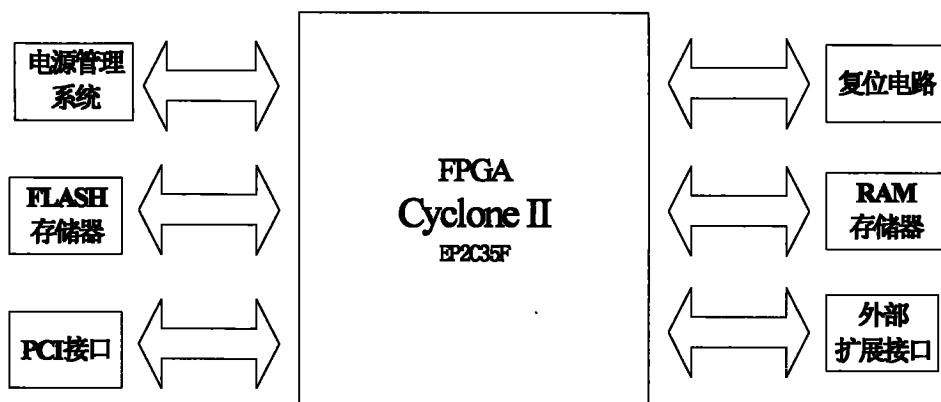


图 2

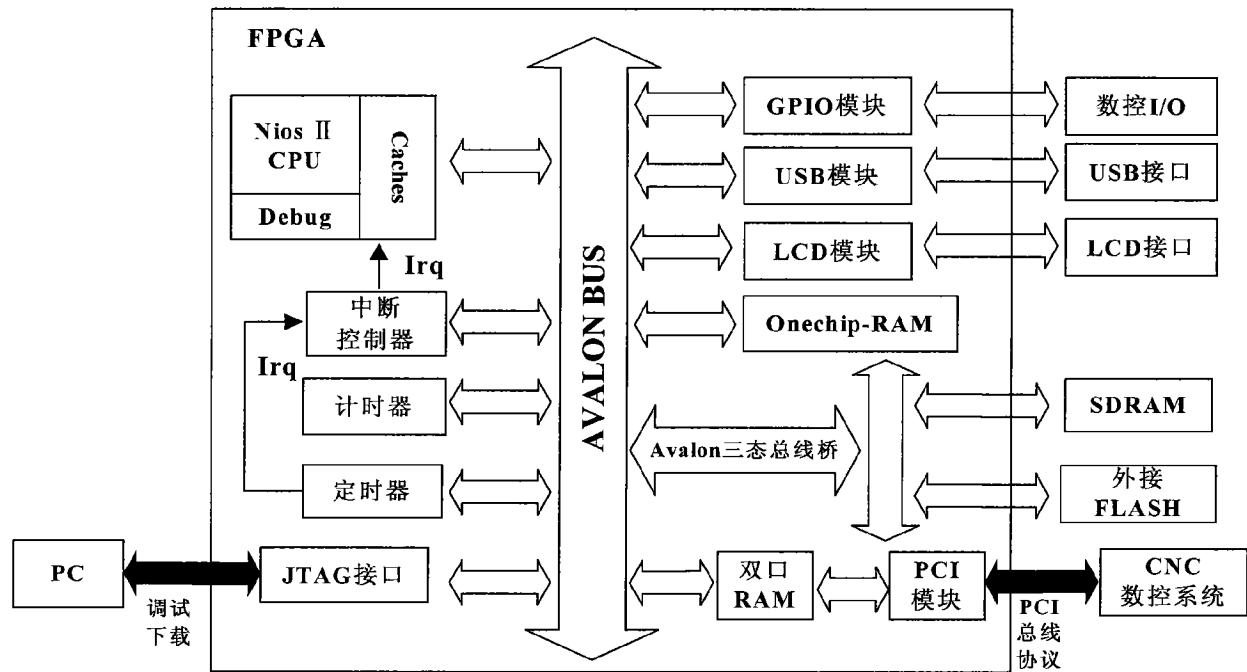


图 3

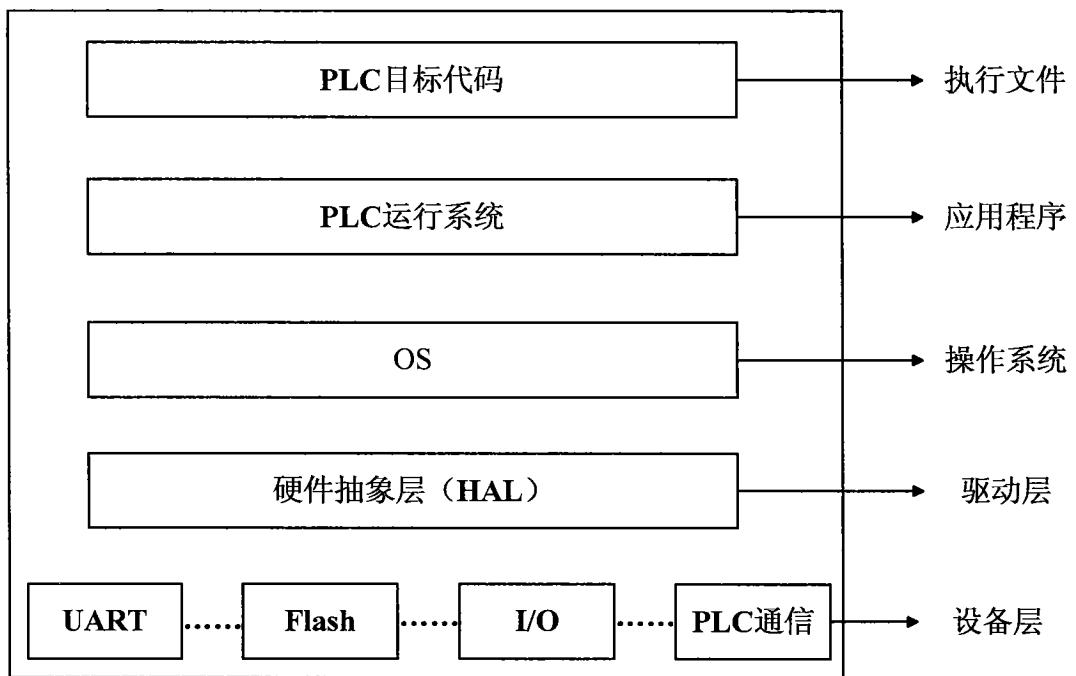


图 4

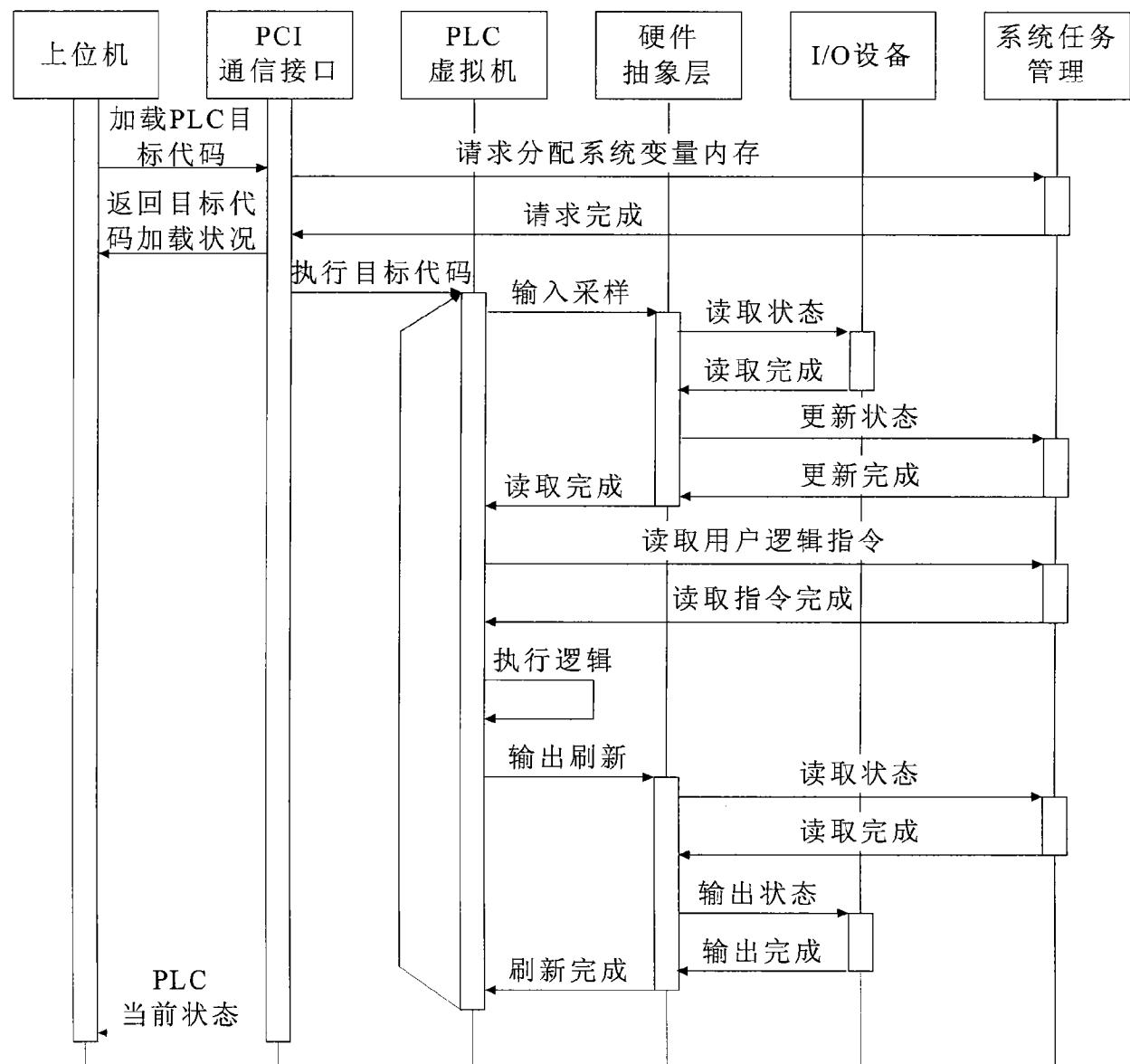


图 5