

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6980902号
(P6980902)

(45) 発行日 令和3年12月15日 (2021. 12. 15)

(24) 登録日 令和3年11月19日 (2021. 11. 19)

(51) Int. Cl.

F I

H O 1 L 27/11507 (2017. 01)

H O 1 L 27/11507

G 1 1 C 11/22 (2006. 01)

G 1 1 C 11/22 1 1 O

G 1 1 C 11/405 (2006. 01)

G 1 1 C 11/405

H O 1 L 21/8242 (2006. 01)

H O 1 L 27/108 6 7 1 A

H O 1 L 27/108 (2006. 01)

H O 1 L 27/108 6 2 1 Z

請求項の数 18 (全 30 頁)

(21) 出願番号 特願2020-511781 (P2020-511781)
 (86) (22) 出願日 平成30年8月21日 (2018. 8. 21)
 (65) 公表番号 特表2020-532862 (P2020-532862A)
 (43) 公表日 令和2年11月12日 (2020. 11. 12)
 (86) 国際出願番号 PCT/US2018/047377
 (87) 国際公開番号 W02019/046051
 (87) 国際公開日 平成31年3月7日 (2019. 3. 7)
 審査請求日 令和2年4月24日 (2020. 4. 24)
 (31) 優先権主張番号 15/691, 055
 (32) 優先日 平成29年8月30日 (2017. 8. 30)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク.
 アメリカ合衆国, アイダホ州 8 3 7 1 6
 - 9 6 3 2, ボイズ, サウス フェデラル
 ウェイ 8 0 0 0
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100106851
 弁理士 野村 泰久
 (74) 代理人 100121083
 弁理士 青木 宏義
 (74) 代理人 100138391
 弁理士 天田 昌行

最終頁に続く

(54) 【発明の名称】 遮蔽メモリアーキテクチャのための装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 のプレート線に結合された第 1 の端部と、第 1 のデジット線に結合された第 2 の端部とを有する第 1 の蓄積コンポーネントを含む第 1 のメモリセルと、

前記第 1 のデジット線とは異なる第 2 のデジット線に結合された第 1 の端部と、前記第 1 のプレート線とは異なる第 2 のプレート線に結合された第 2 の端部とを有する第 2 の蓄積コンポーネントを含む第 2 のメモリセルと、

相互に交互のプレート線及びデジット線の第 1 のセットであり、前記第 1 のプレート線及び前記第 2 のデジット線を含む前記第 1 のセットであり、前記第 2 のメモリセルの前記第 2 のデジット線は、前記第 1 のメモリセルの前記第 1 のプレート線に隣接する、前記第 1 のセットと、

相互に交互のプレート線及びデジット線の第 2 のセットであり、前記第 2 のプレート線及び前記第 1 のデジット線を含む前記第 2 のセットであり、前記第 1 のメモリセルの前記第 1 のデジット線は、前記第 2 のメモリセルの前記第 2 のプレート線に隣接する、前記第 2 のセットとを含む、装置。

【請求項 2】

第 3 のプレート線に結合された第 1 の端部と、第 3 のデジット線に結合された第 2 の端部とを有する第 3 の蓄積コンポーネントを含む第 3 のメモリセルを更に含み、

前記第 2 のメモリセルの前記第 2 のデジット線は、前記第 3 のメモリセルの前記第 3 の

10

20

プレート線に隣接する、
請求項 1 に記載の装置。

【請求項 3】

メモリセルの第 1 のレイヤと、
前記第 1、第 2、及び第 3 のメモリセルを含むメモリセルの第 2 のレイヤと
を更に含む、請求項 2 に記載の装置。

【請求項 4】

メモリセルの前記第 1 のレイヤ内に含まれる第 4 のメモリセルであり、第 4 のプレート線に結合された第 1 の端部と、第 4 のデジット線に結合された第 2 の端部とを有する第 4 の蓄積コンポーネントを含む前記第 4 のメモリセルを更に含む、

10

前記第 4 のメモリセルの前記第 4 のデジット線と、前記第 2 のメモリセルの前記第 2 のデジット線とは、共有されるデジット線に纏められる、
請求項 3 に記載の装置。

【請求項 5】

メモリセルの前記第 1 のレイヤ内に含まれる第 4 のメモリセルであり、第 4 のデジット線に結合された第 1 の端部と、第 4 のプレート線に結合された第 2 の端部とを有する第 4 の蓄積コンポーネントを含む前記第 4 のメモリセルを更に含む、

前記第 2 のメモリセルの前記第 2 のデジット線は、前記第 4 のメモリセルの前記第 4 のプレート線に隣接する、
請求項 3 に記載の装置。

20

【請求項 6】

前記第 1 のメモリセルの前記第 1 の蓄積コンポーネントの前記第 1 の端部は、第 1 の選択コンポーネントを通じて前記第 1 のプレート線に結合される、請求項 1 に記載の装置。

【請求項 7】

前記第 1 のメモリセルの前記第 1 の蓄積コンポーネントの前記第 2 の端部は、第 2 の選択コンポーネントを通じて前記第 1 のデジット線に結合される、請求項 6 に記載の装置。

【請求項 8】

前記第 1 及び第 2 の蓄積コンポーネントは誘電体コンデンサである、請求項 1 に記載の装置。

【請求項 9】

前記第 1 及び第 2 の蓄積コンポーネントは強誘電体コンデンサである、請求項 1 に記載の装置。

30

【請求項 10】

メモリセルの第 1 のレイヤと、
メモリセルの前記第 1 のレイヤの下にあるメモリセルの第 2 のレイヤと、
メモリセルの前記第 1 のレイヤ内に含まれる第 1 のメモリセルであり、プレート線に結合された第 1 の端部と、デジット線に結合された第 2 の端部とを有する蓄積コンポーネントを含む前記第 1 のメモリセルと、

メモリセルの前記第 2 のレイヤ内に含まれる第 2 のメモリセルであり、デジット線に結合された第 1 の端部と、プレート線に結合された第 2 の端部とを有する蓄積コンポーネントを含む前記第 2 のメモリセルと、

40

メモリセルの前記第 1 のレイヤ内に含まれる第 3 のメモリセルであり、デジット線に結合された第 1 の端部と、プレート線に結合された第 2 の端部とを有する蓄積コンポーネントを含む前記第 3 のメモリセルと、

メモリセルの前記第 2 のレイヤ内に含まれる第 4 のメモリセルであり、プレート線に結合された第 1 の端部と、デジット線に結合された第 2 の端部とを有する蓄積コンポーネントを含む前記第 4 のメモリセルと、

相互に交互のプレート線及びデジット線のセットと
を含み、

前記第 1 のメモリセルの前記デジット線と、前記第 2 のメモリセルの前記デジット線と

50

は、前記第 1 の及び第 2 のメモリセル間で共有されるデジット線に纏められ、
前記第 3 のメモリセルの前記プレート線と、前記第 4 のメモリセルの前記プレート線と
は、前記第 3 及び第 4 のメモリセル間で共有されるプレート線に纏められ、
プレート線とデジット線の前記セットは、前記共有されるプレート線と、前記共有され
るプレート線に隣接する前記共有されるデジット線とを含む、
装置。

【請求項 1 1】

メモリセルの前記第 1 のレイヤ内に含まれる第 5 のメモリセルであり、デジット線に結
合された第 1 の端部と、プレート線に結合された第 2 の端部とを有する蓄積コンポーネン
トを含む前記第 5 のメモリセルと、

10

メモリセルの前記第 2 のレイヤ内に含まれる第 6 のメモリセルであり、プレート線に結
合された第 1 の端部と、デジット線に結合された第 2 の端部とを有する蓄積コンポーネン
トを含む前記第 6 のメモリセルと
を含み、

前記第 5 のメモリセルの前記プレート線と、前記第 6 のメモリセルの前記プレート線と
は、前記第 5 及び第 6 のメモリセル間で共有されるプレート線に纏められ、

前記第 1 及び第 2 のメモリセルの前記共有されるデジット線は、前記第 5 及び第 6 のメ
モリセルの前記共有されるプレート線に隣接する、
請求項 1 0 に記載の装置。

【請求項 1 2】

20

前記第 1 のメモリセルの前記蓄積コンポーネントの第 2 の端部は、第 1 の選択コンポー
ネントを通じて前記デジット線に結合され、

前記第 2 のメモリセルの前記蓄積コンポーネントの第 2 の端部は、第 2 の選択コンポー
ネントを通じて前記プレート線に結合される、
請求項 1 0 に記載の装置。

【請求項 1 3】

前記第 1 のメモリセルの前記蓄積コンポーネントの第 1 の端部は、第 3 の選択コンポー
ネントを通じて前記プレート線に結合され、

前記第 2 のメモリセルの前記蓄積コンポーネントの第 1 の端部は、第 4 の選択コンポー
ネントを通じて前記デジット線に結合される、
請求項 1 2 に記載の装置。

30

【請求項 1 4】

第 1 のメモリレイヤと、

前記第 1 のメモリレイヤの下にある第 2 のメモリレイヤと、

前記第 1 のメモリレイヤ内の第 1 の蓄積コンポーネントと、前記第 2 のメモリレイヤ内
の第 2 の蓄積コンポーネントとを含むメモリセルと
を含み、

前記第 1 の蓄積コンポーネントは、プレート線に結合された第 1 の端部と、デジット線
に結合された第 2 の端部とを含み、

前記第 2 の蓄積コンポーネントは、プレート線に結合された第 1 の端部と、デジット線
に結合された第 2 の端部とを含み、

40

前記第 1 の蓄積コンポーネントの前記デジット線は、前記第 2 の蓄積コンポーネントの
前記プレート線に隣接する、
装置。

【請求項 1 5】

前記メモリセルは第 1 のメモリセルであり、前記装置は、

前記第 1 のメモリレイヤ内の第 1 の蓄積コンポーネントと、前記第 2 のメモリレイヤ内
の第 2 の蓄積コンポーネントとを含む第 2 のメモリセルを更に含み、

前記第 2 のメモリセルの前記第 1 の蓄積コンポーネントは、デジット線に結合された第
1 の端部と、プレート線に結合された第 2 の端部とを含み、

50

前記第2のメモリセルの前記第2の蓄積コンポーネントは、デジット線に結合された第1の端部と、プレート線に結合された第2の端部とを含み、

前記第1のメモリセルの前記第1の蓄積コンポーネントの前記デジット線は、前記第2のメモリセルの前記第1の蓄積コンポーネントの前記プレート線に隣接する、
請求項14に記載の装置。

【請求項16】

前記第1のメモリレイヤ内の第1の蓄積コンポーネントと、前記第2のメモリレイヤ内の第2の蓄積コンポーネントとを含む第3のメモリセルを更に含み、

前記第3のメモリセルの前記第1の蓄積コンポーネントは、デジット線に結合された第1の端部と、プレート線に結合された第2の端部とを含み、

前記第3のメモリセルの前記第2の蓄積コンポーネントは、デジット線に結合された第1の端部と、プレート線に結合された第2の端部とを含み、

前記第1のメモリセルの前記第1の蓄積コンポーネントの前記デジット線は、前記第3のメモリセルの前記第1の蓄積コンポーネントの前記プレート線に隣接する、
請求項15に記載の装置。

【請求項17】

前記第1の蓄積コンポーネントの第2の端部は、第1の選択コンポーネントを通じて前記デジット線に結合され、

前記第2の蓄積コンポーネントの第2の端部は、第2の選択コンポーネントを通じて前記デジット線に結合される、
請求項14に記載の装置。

【請求項18】

前記第1の蓄積コンポーネントの第1の端部は、第3の選択コンポーネントを通じて前記プレート線に結合され、

前記第2の蓄積コンポーネントの第1の端部は、第4の選択コンポーネントを通じて前記プレート線に結合される、
請求項17に記載の装置。

【発明の詳細な説明】

【背景技術】

【0001】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタル表示装置等の様々な電子デバイス内に情報を蓄積するために広く使用される。情報は、メモリデバイスの異なる状態をプログラムすることによって蓄積される。例えば、バイナリデバイスは、論理“1”又は論理“0”によりしばしば示される2つの状態を有する。他のシステムでは、3つ以上の状態が蓄積され得る。蓄積された情報にアクセスするために、電子デバイスは、メモリデバイス内の蓄積された情報を読み出し得、又はセンシングし得る。情報を蓄積するために、電子デバイスは、メモリデバイス内に状態を書き込み得、又はプログラムし得る。

【0002】

ランダムアクセスメモリ（RAM）、リードオンリーメモリ（ROM）、ダイナミックRAM（DRAM）、同期型ダイナミックRAM（SDRAM）、強誘電体RAM（FeRAM）、磁気RAM（MRAM）、抵抗変化RAM（RRAM）、及びフラッシュメモリ等を含む様々な種類のメモリデバイスが存在する。メモリデバイスは揮発性又は不揮発性であり得る。不揮発性メモリ、例えば、フラッシュメモリは、外部電源が存在しなくても長時間、データを蓄積し得る。揮発性メモリデバイス、例えば、DRAMは、外部電源により定期的にリフレッシュされない限り、それらの蓄積状態を時間と共に喪失し得る。バイナリメモリデバイスは、例えば、充電された又は放電されたコンデンサを含み得る。充電されたコンデンサは、しかしながら、リーク電流を通じて時間と共に放電され得、蓄積された情報の喪失をもたらす。定期的なリフレッシュなしにデータを蓄積する能力等の不揮発性メモリの特徴が利点であり得る一方で、揮発性メモリの幾つかの特徴は、高速な

10

20

30

40

50

読み出し又は書き込み速度等の性能の利点を提供し得る。

【0003】

メモリデバイスは、典型的には、メモリデバイスのセルへのアクセスを容易にする、プレート線及びセンス線等の電圧線を含む。プレート線は、一般的に、メモリセルと関連付けられた蓄積コンポーネント、例えば、コンデンサに電圧を提供する。プレート線上の電圧は、メモリアクセス動作の間、多かれ少なかれ一定であり得る。センス線もまた、蓄積コンポーネントに結合され、一般的に、メモリセルから読み出されている又はメモリセルに書き込まれている論理値を表す電圧を蓄積するように構成される。プレート線とは対照的に、センス線上の電圧は、一般的に、アクセスされたメモリセルにより蓄積されたデータに従って、メモリアクセス動作の間に変化する。

10

【0004】

従来のメモリアレイは、センス線内に存在する、変化する電圧に起因して、(複数の)線間に電氣的な干渉を生み出し得る。該干渉は、本明細書では“フリンジング(fringing)”と称され得、信号の歪と、それに続くデータの誤りをもたらす得る。このフリンジングの影響と、関連する信号の歪及びデータの誤りとを回避するための技術の必要性がある。

【発明の概要】

【0005】

遮蔽(shielded)メモリアーキテクチャのための装置及び方法が開示される。開示の側面では、装置は、プレート線に結合された第1の端部と、デジット線に結合された第2の端部とを有する蓄積コンポーネントを含む第1のメモリセルを含み、デジット線に結合された第1の端部と、プレート線に結合された第2の端部とを有する蓄積コンポーネントを含む第2のメモリセルを含む。第2のメモリセルのデジット線は、第1のメモリセルのプレート線に隣接する。

20

【0006】

開示の別の側面では、装置は、メモリセルの第1のレイヤと、メモリセルの第1のレイヤの下にあるメモリセルの第2のレイヤとを含む。装置は、メモリセルの第1のレイヤ内に含まれる第1のメモリセルと、メモリセルの第2のレイヤ内に含まれる第2のメモリセルとを更に含む。第1のメモリセルは、プレート線に結合された第1の端部と、デジット線に結合された第2の端部とを有する蓄積コンポーネントを含む。第2のメモリセルは、デジット線に結合された第1の端部と、プレート線に結合された第2の端部とを有する蓄積コンポーネントを含む。第1のメモリセルのデジット線と、第2のメモリセルのデジット線とは、共有されるデジット線に纏められる。

30

【0007】

開示の別の側面では、装置は、第1のメモリレイヤと、第1のメモリレイヤの下にある第2のメモリレイヤとを含む。装置は、第1のメモリレイヤ内の第1の蓄積コンポーネントと、第2のメモリレイヤ内の第2の蓄積コンポーネントとを含むメモリセルを更に含む。第1の蓄積コンポーネントは、プレート線に結合された第1の端部と、デジット線に結合された第2の端部とを含み、第2の蓄積コンポーネントは、プレート線に結合された第1の端部と、デジット線に結合された第2の端部とを含む。第1の蓄積コンポーネントのデジット線は、第2の蓄積コンポーネントのプレート線に隣接する。

40

【図面の簡単な説明】

【0008】

【図1】本開示の様々な実施形態に従った例示的なメモリアレイのブロック図である。

【図2A】本開示の実施形態に従ったメモリセルの列を含む例示的な回路の概略図である。

。

【図2B】開示の実施形態に従ったセンスコンポーネントの概略図である。

【図3】開示の実施形態に従ったメモリセルの単一の行を含む例示的な回路に対する一般的な回路構成の概略図である。

【図4A】図3の一般的な回路構成のより具体的な回路実装の説明である。

50

【図 4 B】図 3 の一般的な回路構成のより具体的な回路実装の説明である。

【図 4 C】開示の実施形態に従ったメモリセルを示すメモリアレイの一部の断面側面図を描写する図である。

【図 4 D】開示の実施形態に従ったメモリセルを示すメモリアレイの一部の断面側面図を描写する図である。

【図 5】開示の実施形態に従ったメモリセルの 2 つの行のスタック構成を含む例示的な回路に対する一般的な回路構成の概略図である。

【図 6 A】図 5 の一般的な回路構成のより具体的な回路実装の説明である。

【図 6 B】図 5 の一般的な回路構成のより具体的な回路実装の説明である。

【図 6 C】図 5 の一般的な回路構成のより具体的な回路実装の説明である。

10

【図 7】開示の実施形態に従ったメモリのブロック図である。

【図 8】開示の実施形態に従ったセルの 2 つの行のスタック構成を含む例示的な回路に対する一般的な回路構成の概略図である。

【図 9 A】図 8 の一般的な回路構成のより具体的な回路実装の説明である。

【図 9 B】図 8 の一般的な回路構成のより具体的な回路実装の説明である。

【図 9 C】図 8 の一般的な回路構成のより具体的な回路実装の説明である。

【図 10】本開示の様々な実施形態に従ったメモリをサポートするメモリアレイを含むメモリの一部のブロック図を説明する。

【図 11】本開示の様々な実施形態に従った強誘電体メモリをサポートするシステムを説明する。

20

【発明を実施するための形態】

【0009】

本開示は、一般的に、線間の有利な遮蔽を提供する信号線の配置を含むメモリアーキテクチャに向けられる。本明細書に開示される信号線の配置は、一般的に、メモリ内のプレート線とセンス線との交互のパターンを含む。本明細書でより詳細に説明されるように、プレート線は、一般的に、メモリセルと関連付けられた蓄積コンポーネント、例えば、コンデンサに電圧を提供する。プレート線上の電圧は、メモリセル動作の間、多かれ少なかれ一定であり得る。センス線もまた、蓄積コンポーネントに結合され、一般的に、メモリセルから読み出されている又はメモリセルに書き込まれている論理値を表す電圧を蓄積するように構成される。プレート線とは対照的に、センス線上の電圧は、一般的に、アクセスされたメモリセルにより蓄積されたデータに従って、メモリセル動作の間に変化する。

30

【0010】

開示の実施形態に従ったプレート線とセンス線との交互のパターンは、一般的に、センス線が相互に隣接する従来の配置を回避する。こうした従来の配置の例は、セルの同じ側面又は地域に沿ってルーティングされたセンス線を全てが有する、隣接するメモリセルを含む。センス線のこうした隣接は、センス線内に存在する変化する電圧に起因して、線間の電氣的な干渉を導き得る。電氣的な干渉は、隣接する線間を近接して結合することからもたらされる。該干渉は、本明細書では“フリンジング”と称され得、信号の歪と、それに続くデータの誤りをもたらし得る。プレート線をセンス線と交互にすることによって、本実施形態は、フリンジングの影響を受けやすいことがあるデータを搬送する線（センス線）に隣接して、さもなければ該線の近くに、多かれ少なかれ一定電圧を有する線（プレート線）をルーティングする。プレート線の一定電圧は、不要なフリンジングの影響を削減又は回避する、センス線への遮蔽を提供する。

40

【0011】

本開示は、異なるメモリ回路構成及びトポロジーの文脈で、プレート線と信号線との交互のパターンを説明する。幾つかの実施形態は、1 つの論理上の値を表すために 1 つの電圧を蓄積するように構成された“シングルエンド”メモリセルを参照しながら説明される。他の実施形態では、1 つの論理上の値を表すために 2 つの相補的な電圧を蓄積するように構成された“差動”メモリセルを参照しながら説明される。幾つかの実施形態は、全てのメモリセルが同じ幾何学的平面内に多かれ少なかれ配備された“平面”メモリアーキテ

50

クチャを参照しながら説明される。他の実施形態は、相互に積み重ねられた異なる平面にメモリセルが配置された“３次元”メモリアーキテクチャを参照しながら説明される。

【００１２】

開示の実施形態の十分な理解を提供するために、幾つかの詳細が以下に述べられる。しかしながら、開示の実施形態は、これらの具体的詳細なしに実践され得ることは当業者には明らかであろう。更に、本明細書に説明される本開示の具体的な実施形態は、例として提供され、本開示の範囲をこれらの具体的な実施形態に限定するために使用されるべきではない。他の実例では、開示を不必要に不明確にすることを避けるために、周知の回路、制御信号、タイミングプロトコル、及びソフトウェア動作は詳細には示されていない。

【００１３】

図１は、本開示の様々な実施形態に従った遮蔽メモリアーキテクチャをサポートする例示的なメモリアレイ１００を説明する。メモリアレイ１００は、電子メモリ装置とも称され得る。メモリアレイ１００は、異なる状態を蓄積するようにプログラム可能なメモリセル１０５を含む。各状態は、異なる論理値を表し得る。例えば、２つの状態を蓄積するメモリに対しては、論理値は、論理０及び論理１として示され得る。幾つかの場合、メモリセル１０５は、３つ以上の論理値を蓄積するように構成される。メモリセル１０５は、プログラム可能な状態を表す電荷を蓄積するために複数のコンデンサを含み得る。例えば、充電及び非充電のコンデンサは、２つの論理値を夫々表し得る。

【００１４】

読み出し及び書き込み等の動作は、適切なアクセス線１１０及びセンス線１１５を活性化又は選択することによってメモリセル１０５上で実施され得る。アクセス線１１０はワード線１１０とも称され得、センス線はデジット線とも称され得る。ワード線１１０又はデジット線１１５を活性化又は選択することは、個別の線に電圧を印加することを含み得る。ワード線１１０及びデジット線１１５は、導電材料で作られる。例えば、ワード線１１０及びデジット線１１５は、金属（銅、アルミニウム、金、タングステン等）、金属合金、ドーパされた半導体、又はその他の導電材料で作られ得る。図１の例に従えば、メモリセル１０５の各行は、ワード線WLとも称される、少なくとも１つのワード線１１０に結合される。幾つかの実施形態では、メモリセル１０５は、ワード線WL'とも称される、第２のワード線１１０に結合される。メモリセル１０５の各列は、デジット線DLとも称される、少なくとも１つのデジット線１１５に結合される。メモリセル１０５の各列は、デジット線DL'とも称される、第２のデジット線１１５にも結合され得る。個別のワード線１１０及びデジット線１１５を活性化することによって（例えば、ワード線１１０又はデジット線１１５に電圧を印加することによって）、それらの交点においてメモリセル１０５はアクセスされ得る。メモリセル１０５にアクセスすることは、メモリセル１０５を読み出すこと又は書き込むことを含み得る。ワード線１１０とデジット線１１５との交点は、メモリセルのアドレスと称され得る。

【００１５】

幾つかのアーキテクチャでは、セルの論理蓄積デバイス、例えば、コンデンサは、選択コンポーネントによってデジット線から電氣的に絶縁され得る。ワード線１１０は、選択コンポーネントに結合され得、選択コンポーネントを制御し得る。例えば、選択コンポーネントはトランジスタであってもよく、ワード線１１０は、トランジスタのゲートに結合されてもよい。幾つかの実施形態では、セルは、１つのワード線WLに結合された１つのトランジスタを含み得る。他の実施形態では、セルは、第１のワード線WLに結合された第１のトランジスタと、第２のワード線WL'に結合された第２のトランジスタとを含み得る。ワード線１１０を活性化することは、メモリセル１０５のコンデンサと、対応するデジット線１１５との間の電氣的結合又は閉回路をもたらす。デジット線は、メモリセル１０５の読み出し又は書き込みの何れかのためにその後アクセスされ得る。

【００１６】

メモリセル１０５へのアクセスは、行デコーダ１２０及び列デコーダ１３０を通じて制御され得る。幾つかの例では、行デコーダ１２０は、メモリコントローラ１４０から行ア

10

20

30

40

50

ドレスを受信し、受信した行アドレスに基づいて適切なワード線110を活性化する。同様に、列デコーダ130は、メモリコントローラ140から列アドレスを受信し、適切なデジット線115を活性化する。例えば、メモリアレイ100は、多数のワード線110と多数のデジット線115とを含み得る。したがって、ワード線110及びデジット線115を活性化することによって、それらの交点におけるメモリセル105がアクセスされ得る。

【0017】

アクセスすると、メモリセル105は、メモリセル105の蓄積状態を判定するために、センスコンポーネント125によって読み出され得又はセンシングされ得る。例えば、メモリセル105へのアクセス後、メモリセル105のコンデンサは、対応するデジット線115上に放電し得る。コンデンサの放電は、コンデンサに対してバイアスすること又は電圧を印加することに基づき得る。1つの選択コンポーネント（トランジスタ）を有する実施形態では、セルのコンデンサの放電は、デジット線DLの電圧の変化を生じさせ得、センスコンポーネント125は、メモリセル105の蓄積状態を判定するために、デジット線DLの電圧をリファレンス電圧（図示せず）と比較し得る。例えば、デジット線DLがリファレンス電圧よりも高い電圧を有する場合、センスコンポーネント125は、メモリセル105内の蓄積状態が論理1であると判定し得、逆もまた同様である。2つの選択コンポーネント（トランジスタ）を有する実施形態では、セルのコンデンサの放電は、デジット線DL及びDL'の電圧に変化を生じさせ得、それらの電圧は、メモリセル105の蓄積状態を判定するために、センスコンポーネント125によって相互にその後比較され得る。例えば、第1のデジット線DLが第2のデジット線DL'よりも高い電圧を有する場合、センスコンポーネント125は、メモリセル105内の蓄積状態が論理1であると判定し得、逆もまた同様である。

【0018】

センスコンポーネント125は、信号中の差を検出（例えば、比較）及び増幅するために、様々なトランジスタ又はアンプを含み得、増幅された差をラッチすることを含み得る。別個のセンスコンポーネント125は、第1のデジット線DL毎に提供され得る。メモリセル毎に2つの選択コンポーネントを有する実施形態では、各第1のデジット線DLは、別個のセンスコンポーネントへの結合において、第2のDL'と対にされる。メモリセル105の検出された論理状態は、出力135として、列デコーダ130を通じてその後出力され得る。

【0019】

メモリセル105は、関連するワード線110及びデジット線115を活性化することによってプログラムされ得、又は書き込まれ得る。上で論じたように、ワード線110の活性化は、（複数の）メモリセル105の対応する行をそれらの個別のデジット線115に結合する。ワード線110が活性化される間に、関連するデジット線115を制御することによって、メモリセル105は書き込まれ得、例えば、メモリセル105内に論理値が蓄積され得る。列デコーダ130は、メモリセル105に書き込まれるデータ、例えば入力135を受け入れ得る。メモリセル105は、コンデンサに渡って電圧を印加することによって書き込まれ得る。このプロセスは、以下でより詳細に論じられる。

【0020】

幾つかのメモリアーキテクチャでは、メモリセル105へのアクセスは、蓄積された論理状態を劣化又は破壊し得、元の論理状態をメモリセル105に戻すために、再書き込み（例えば、再蓄積）動作が実施され得る。例えば、コンデンサは、センシング動作の間に部分的に又は完全に放電され得、蓄積された論理状態を破壊する。そのため、センシング動作後に論理状態が再書き込みされ得る。また、ワード線110を活性化することは、行内の全てのメモリセルの放電をもたらし得る。それ故、行内の幾つかの又は全てのメモリセル105は再書き込みされる必要があり得る。

【0021】

メモリコントローラ140は、行デコーダ120、列デコーダ130、及びセンスコン

10

20

30

40

50

ポーネント125等の様々なコンポーネントを通じて、メモリセル105の動作（例えば、読み出し、書き込み、再蓄積等）を制御し得る。メモリコントローラ140は、所望のワード線110及びデジット線115を活性化するために、行及び列のアドレス信号を生成し得る。メモリコントローラ140はまた、メモリアレイ100の動作の間に使用される様々な電位を生成及び制御し得る。一般的に、本明細書で論じる印加電圧の振幅、形状、又は存続期間は、調整又は変更され得、メモリアレイ100を動作するための様々な動作に対して異なり得る。更に、メモリアレイ100内の1つの、多数の、又は全てのメモリセル105は同時にアクセスされ得る。例えば、メモリアレイ100の多数の又は全てのセルは、全てのメモリセル105又はメモリセル105のグループが単一の論理状態にセットされるリセット動作の間に同時にアクセスされ得る。

10

【0022】

メモリアレイのメモリセル105は、強誘電体メモリセル又は誘電体メモリセルの何れかであり得る。強誘電体メモリセルは、電力がオフされた場合に情報を保持する不揮発性ランダムアクセスメモリ（NVRAM）セルとして構成され得る。誘電体メモリセルは、電力が印加される限りデータを保持するダイナミックランダムアクセスメモリセル（DRAM）として構成され得る。本明細書ではNVRAMメモリセルとも称される強誘電体メモリセルは、対向するコンデンサプレート間に配備された強誘電体材料を有する1つ以上のコンデンサを含み得る。強誘電体コンデンサの電荷の異なるレベルは、異なる論理値を表し得る。本明細書ではDRAMメモリセルとも称される誘電体メモリセルは、対向するコンデンサプレート間に配備された誘電体材料を有する1つ以上のコンデンサを含み得る。誘電体コンデンサの電荷の異なるレベルは、異なる論理値を表し得る。強誘電体メモリセルは、他のメモリアーキテクチャと比較して改善された性能、例えば、定期的なリフレッシュ動作を必要としない論理値の持続的な蓄積をもたらし得る有益な特性を有し得る。誘電体メモリセルは、他のメモリアーキテクチャと比較して改善された性能、例えば、より高速のメモリアクセス動作をもたらし得る有益な特性を有し得る。

20

【0023】

図2Aは、本開示の実施形態に従ったメモリセルの列を含む例示的な回路200を説明する。図2Aは、本開示の様々な実施形態に従ったメモリセル105を含む例示的な回路200を説明する。回路200は、メモリセル105 MC(0)～MC(n)を含み、“n”はアレイのサイズに依存する、回路200は、ワード線WL(0)～WL(n)、デジット線DL、及びセンスコンポーネント125を更に含む。デジット線DLは、センスコンポーネント125のセンスノードAに結合される。メモリセル毎に1つの選択コンポーネントを有する実施形態では、センスコンポーネントのセンスノードBは、リファレンス電圧に結合され得る。メモリセル毎に2つの選択コンポーネントを有する実施形態では、回路200は、ワード線WL'(0)～WL'(n)及びデジット線DL'を更に含み得る。ここで、デジット線DL'は、センスコンポーネント125のセンスノードBに結合される。ワード線、デジット線、及びセンスコンポーネントは、図1を参照しながら説明したようなメモリセル105、ワード線110、デジット線115、及びセンスコンポーネント125の夫々例示であり得る。メモリセル105の1つの列とn個の行とが図2Aに示されているが、メモリアレイは、メモリセルの多数の列及び行をそれらが示されるように含み得る。

30

40

【0024】

メモリセル105は、コンデンサ等の論理蓄積コンポーネントと選択コンポーネント（図2Aに図示せず）とを含み得る。メモリセルMC(0)～MC(n)がNVRAMメモリセルである実施形態では、メモリセル105のコンデンサは強誘電体コンデンサであり得る。メモリセルMC(0)～MC(n)がDRAMメモリセルである実施形態では、メモリセル105のコンデンサは誘電体コンデンサであり得る。コンデンサは、デジット線DL及びDL'に結合すると放電し得る。以前に説明したように、メモリセル105のコンデンサを充電又は放電することによって、様々な状態が蓄積され得る。メモリセル105の選択コンポーネントは、個別のワード線によって活性化され得る。メモリセル毎に1

50

つの選択コンポーネントを有する実施形態では、メモリセルMC(0)~MC(n)は、個別のワード線WL(0)~WL(n)によって活性化され得る。メモリセル毎に2つの選択コンポーネントを有する実施形態では、メモリセルMC(0)~MC(n)は、個別のワード線WL(0)~WL(n)及びWL'(0)~WL'(n)によって活性化され得る。

【0025】

メモリセルMC(0)~MC(n)は、メモリセルのアクセスの間に使用され得るプレート線PLに結合され得る。他の実施形態では、プレート線PLは、プレート線PLを異なる電圧を用いて駆動する電圧ドライバに結合されるが、幾つかの実施形態では、プレート線PLは一定電圧に固定される。メモリセルMC(0)~MC(n)がDRAMメモリセルとして実装される場合、プレート線PLは一定電圧に固定され得る。メモリセルMC(0)~MC(n)がNVRAMメモリセルとして実装される場合、プレート線PLは、プレート線PLを異なる電圧を用いて駆動する電圧ドライバに結合され得る。

【0026】

メモリセル105の蓄積状態は、回路200内に表された様々な素子を動作することによって読み出され得、又はセンシングされ得る。メモリセル105は、デジット線DLと(又はデジット線DL及びDL'と)電子通信し得る。例えば、以下でより詳細に説明するように、メモリセル105のコンデンサは、メモリセル105の選択コンポーネントが不活性化された場合にデジット線DLから(又はデジット線DL及びDL'から)絶縁され得、該コンデンサは、選択コンポーネントが活性化された場合にデジット線DLに(又はデジット線DL及びDL'に)接続され得る。メモリセル105の選択コンポーネントの活性化は、メモリセル105の選択と称され得る。幾つかの場合、選択コンポーネントはトランジスタであり、その動作は、トランジスタのゲートに電圧を印加することによって制御され、該電圧の大きさは、トランジスタの閾値電圧よりも大きい。ワード線WL(又はワード線WL及びWL')は選択コンポーネントを活性化し得る。例えば、ワード線WL又はWL'に印加された電圧は、メモリセル105の選択コンポーネントのトランジスタのゲートに印加される。結果として、選択されたメモリセル105のコンデンサは、デジット線DL(又はデジット線DL及びDL')並びにDL'に夫々結合される。

【0027】

ワード線WL(0)~WL(n)(又はワード線WL(0)~WL(n)及びWL'(0)~WL'(n))は、メモリセル105 MC(0)~MC(n)の選択コンポーネントと夫々電子通信する。したがって、個別のメモリセル105 MCのワード線WL(又はワード線WL及びWL')を活性化することは、メモリセル105 MCを活性化し得る。例えば、WL(0)の活性化はメモリセルMC(0)を活性化し、WL(1)の活性化はメモリセルMC(1)を活性化する等々。

【0028】

メモリセル105によって蓄積された論理値をセンシングするために、個別のメモリセル105を活性化するためにワード線WL(又はワード線WL及びWL')がバイアスされ得、デジット線DL(又はデジット線DL及びDL')の電圧を変更するためにデジット線DL(又はデジット線DL及びDL')に電圧が印加され得る。メモリセル105の活性化は、メモリセル105のコンデンサ上に蓄積された電荷に基づいたデジット線DL(又はデジット線DL及びDL')の電圧変化を生じさせ得る。デジット線DL(又はデジット線DL及びDL')の電圧の変化は、センスコンポーネント125のセンスノードA及びB上の変化を夫々生じさせ得る。デジット線DL及びDL'のもたらされた電圧は、各メモリセル105の蓄積状態によって表される論理値を判定するために、センスコンポーネント125によって相互に比較され得る。

【0029】

NVRAMメモリセルに関しては、活性化されたメモリセル105のプレート線PLをバイアスすることは、活性化されたメモリセル105のコンデンサに渡る電圧差をもたらし得、コンデンサ上の蓄積電荷の変化を生み出し得る。蓄積電荷の変化の大きさは、各コ

ンデンサの最初の状態、例えば、蓄積された最初の状態が論理1又は論理0の何れに対応するかに依存し得る。メモリセル105の選択コンポーネントがワード線WLによって（又はワード線WL及びWL'によって）活性化された場合、プレート線PLをバイアスすることに起因する蓄積電荷の変化は、活性化されたメモリセル105のコンデンサ上に蓄積された電荷に基づいたデジット線DLの電圧に（又はデジット線DL及びDL'の電圧に）変化を生じさせ得る。DRAMメモリセルに関しては、メモリセル105を活性化することは、コンデンサ上に蓄積された電荷に、デジット線DLの電圧（又はデジット線DL及びDL'の電圧）を変化させ得る。以前に説明したように、デジット線DLのもたらされた電圧（デジット線DL及びDL'の電圧）は、メモリセル105の蓄積状態の論理値を判定するために使用され得る。

10

【0030】

センスコンポーネント125は、増幅された差をラッチングすることを含み得る、信号中の差を検出及び増幅するために様々なトランジスタ又はアンプを含み得る。センスコンポーネント125は、そのセンスノード（例えば、センスノードA及びB）の電圧を受け取って比較するセンスアンプを含み得る。メモリセル毎に1つの選択コンポーネントを有する実施形態では、センスノードBの電圧は、リファレンス電圧の影響を受け得る一方、センスノードAの電圧は、第1のデジット線DLの電圧の影響を受け得る。メモリセル毎に2つの選択コンポーネントを有する実施形態では、センスノードA及びBの電圧は、デジット線DL及びDL'の電圧に夫々影響を受け得る。センスアンプの出力（例えば、センスノードA）は、比較に基づいてより高い（例えば、正の）又はより低い（例えば、負の若しくはグラウンドの）供給電圧に駆動され得る。他のセンスノード（例えば、センスノードB）は、相補的な電圧に駆動され得る（例えば、正の供給電圧は、負の又はグラウンドの電圧に相補され、負の又はグラウンドの電圧は、正の供給電圧に相補される）。実例として、センスノードAがセンスノードBよりも高い電圧を有する場合、センスアンプは、センスノードAを正の供給電圧に駆動し得、センスノードBを負の又はグラウンドの電圧に駆動し得る。センスコンポーネント125は、センスアンプの状態（例えば、センスノードA及び／若しくはセンスノードBの電圧、並びに／又はデジット線DL及びDL'の電圧）をラッチし得、それは、メモリセル105の蓄積状態及び論理値、例えば、論理1を判定するために使用され得る。或いは、センスノードAがセンスノードBよりも低い電圧を有する場合、センスアンプは、センスノードAを負の又はグラウンドの電圧に駆動し得、センスノードBを正の供給電圧に駆動し得る。センスコンポーネント125はまた、メモリセル105の蓄積状態及び論理値、例えば、論理0を判定するために、センスアンプの状態をラッチし得る。

20

30

【0031】

蓄積状態は、メモリセル105の論理値を表し得、それは、例えば、図1に関する出力35として、列デコーダ130を通じてその後出力され得る。センスコンポーネント125がデジット線DL及びDL'を相補的な電圧にも駆動する実施形態では、読み出された元のデータ状態を再蓄積するために、メモリセル105に相補的な電圧が印加される。データを再蓄積することによって、別個の再蓄積動作は必要ない。

【0032】

特定のメモリセル105は、トランジスタ（T）及びコンデンサ（C）の様々な組み合わせを用いて実装され得る。本開示に従って任意の適切な構成が使用され得る。例えば、特定のメモリセル105は、1T1C、2T1C、2T2C、3T2C、及び4T2C等々の構成を用いて実装され得る。

40

【0033】

図2Bは、開示の実施形態に従ったセンスコンポーネント125を説明する。センスコンポーネント125は、p型電界効果トランジスタ252及び256と、n型電界効果トランジスタ262及び266とを含む。トランジスタ252及びトランジスタ262のゲートはセンスノードAに結合される。トランジスタ256及びトランジスタ266のゲートはセンスノードBに結合される。トランジスタ252及び256、並びにトランジスタ

50

262及び266はセンスアンプを表す。p型電界効果トランジスタ258は、電源（例えば、VREAD電圧電源）に結合されるように構成され、トランジスタ252及び256の共通ノードに結合される。トランジスタ258は、活性化PSA信号（例えば、活性化低論理）によって活性化される。n型電界効果トランジスタ268は、センスアンプのリファレンス電圧（例えば、グランド）に結合されるように構成され、トランジスタ262及び266の共通ノードに結合される。トランジスタ268は、活性化NSA信号（例えば、活性化高論理）によって活性化される。

【0034】

動作中、電源の電圧及びセンスアンプのリファレンス電圧にセンスアンプを結合するためのPSA及びNSA信号を活性化することによってセンスアンプは活性化される。活性化された場合、センスアンプは、センスノードA及びBの電圧を比較し、センスノードA及びBを相補的な電圧レベルに駆動する（例えば、センスノードAをVREADに、センスノードBをグランドに駆動する、又はセンスノードAをグランドに、センスノードBをVREADに駆動する）ことによって電圧差を増幅する。センスノードA及びBが相補的な電圧レベルに駆動されている場合、センスノードA及びBの電圧は、センスアンプによってラッチされ、センスアンプが不活性化されるまでラッチされたままである。

【0035】

図2Aを参照すると、メモリセル105を書き込むために、メモリセル105のコンデンサに渡って電圧が印加され得る。様々な方法が使用され得る。幾つかの例では、コンデンサをデジット線DL（又はデジット線DL及びDL'）に結合するために、選択コンポーネントはワード線WL（又はワード線WL及びWL'）を通じて夫々活性化され得る。例えば、コンデンサに渡って正又は負の電圧を印加するために、デジット線DL及びDL'の電圧を制御することによって、メモリセル105のコンデンサに渡って電圧が印加され得る。幾つかの実施形態では、例えば、デジット線DL及びDL'、並びプレート線PLを使用して、メモリセル105を書き込むために、メモリセル105のコンデンサに相補的な電圧が印加される。非限定的な例として、幾つかの実施形態では、第1の論理値をメモリセル105に書き込むために、コンデンサの一方のプレートに第1の電圧が印加され、コンデンサの他方のプレートに第1の電圧を相補する第2の電圧が印加され、第2の論理値をメモリセル105に書き込むために、コンデンサの一方のプレートに第2の電圧が印加され、コンデンサの他方のプレートに第1の電圧が印加される。

【0036】

幾つかの例では、センシング後に再蓄積動作が実施され得る。以前に論じたように、センシング動作は、メモリセル105の元の蓄積状態を劣化又は破壊し得る。センシング後、該状態はメモリセル105にライトバックされ得る。例えば、センスコンポーネント125は、メモリセル105の蓄積状態を判定し得、例えば、デジット線DL（又はデジット線DL及びDL'）を通じて同じ状態をその後ライトバックし得る。

【0037】

既に述べたように、トランジスタ（T）及びコンデンサ（C）の様々な組み合わせを用いて特定のメモリセル105が実装され得、本開示の実施形態に従って任意の適切な構成が使用され得る。例えば、特定のメモリセル105は、1T1C、2T1C、2T2C、3T2C、及び4T2C等々の構成を用いて実装され得る。更に、異なるメモリセルは、任意の組み合わせ若しくは構成及びセルタイプを用いて、相互に積み重ねられ得、又は対にされ得る。本開示の実施形態に従ったメモリセル105の動作をより具体的に説明するために、以下の論考は、2T2C及び1T1Cのメモリセルを例として非限定的に言及する。以下で論じる動作は、メモリセル105の実施形態を実装するために使用される任意のメモリセルの構成に、より一般的に適用され得る概念の具体例であると評価すべきである。

【0038】

図3は、開示の実施形態に従ったメモリセル105の単一の行を含む例示的な回路300に対する一般的な回路構成の概略図である。図3の例示的な回路は、シングルエンドメ

10

20

30

40

50

メモリセルを含む。ここで、例示的な回路300は、1つのメモリセル105内に蓄積された単一の電圧として単一の論理値を蓄積する。メモリセル105は、メモリセル105と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る少なくとも1つのワード線WLに各々結合される。例として、非限定的に、図3は、4つのメモリセル105(0)~105(3)を含むメモリセルの単一の行の一部を説明する。

【0039】

幾つかの実施形態では、メモリセル105はまた、メモリセル105と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る第2のワード線WL'に結合され得る。選択コンポーネントは、トランジスタであり得、ワード線は、トランジスタのゲートに結合され得る。幾つかの実施形態では、メモリセル105は、1つのワード線WLに結合された1つのトランジスタを含み得る。他の実施形態では、メモリセル105は、第1のワード線WLに結合された第1のトランジスタと、第2のワード線WL'に結合された第2のトランジスタとを含み得る。

【0040】

各メモリセル105は、1つのデジット線DLに結合され得る。図3には特に説明されていないが、特定のメモリセル105は、メモリセル105の列の構成要素であり得、列の各構成要素は同じデジット線DLに結合される。各メモリセル105は、メモリセル105のアクセスの間に使用されるプレート線PLに付加的に結合され得る。図3には特に説明されていないが、特定のメモリセル105は、メモリセル105の列の構成要素であり得、列の各構成要素は同じプレート線PLに結合される。

【0041】

図3の例示的な回路300は、本開示の実施形態に従ったプレート線PLとデジット線DLとの交互のパターンを含む。より具体的には、回路300のプレート線PL及びデジット線DLは、所与のデジット線DLがプレート線PLに隣接し、別のデジット線DLには隣接しないように配置される。例えば、第3のメモリセル105(2)と関連付けられたデジット線DLは、2つのプレート線PLに隣接し、何れのその他のデジット線にも隣接しない。第2のメモリセル105(1)と関連付けられたプレート線PLは、第3のメモリセル105(2)と関連付けられたデジット線DLの左に位置づけられる。第4のメモリセル105(3)と関連付けられたプレート線PLは、第3のメモリセル105(2)と関連付けられたデジット線DLの右に位置づけられる。プレート線をデジット線と交互にすることによって、図3の例示的な回路300(並びに図4A及び図4Bのそれら)は、フリンジングの影響を受けやすいことがあるデータを搬送する線(デジット線)に隣接して、さもなければ該線の近くに、多かれ少なかれ一定電圧を有する線(プレート線)をルーティングする。プレート線の一定電圧は、不要なフリンジングの影響を削減又は回避する、デジット線への遮蔽を提供する。

【0042】

図4A及び図4Bは、図3の一般的な回路構成のより具体的な回路実装404、408である。破線は、メモリセル105の凡その境界を定める。図4Aの実装では、メモリセル105の各々は、1つの選択コンポーネントT1及び1つのコンデンサC1(例えば、1T1C)を含む。図4Bの実装では、メモリセル105の各々は、2つの選択コンポーネントT1及びT2、並びに1つのコンデンサC1(例えば、2T1C)を含む。各メモリセル105のコンデンサC1は、実装に依存して、強誘電体コンデンサ又は誘電体コンデンサであり得る。メモリセル105の選択コンポーネントT1は、トランジスタ、例えば、n型電界効果トランジスタであり得る。存在する場合には、メモリセル105の選択コンポーネントT2は、トランジスタ、例えば、p型電界効果トランジスタであり得る。

【0043】

選択コンポーネントT1(又は選択コンポーネントT1及びT2)の動作は、トランジスタのゲートに電圧を印加することによって制御される。個別のワード線は、選択コンポーネントを活性化し得る。ワード線WLは、メモリセル105の選択コンポーネントT1

を活性化し得る。存在する場合には、ワード線WL'は、メモリセル105の選択コンポーネントT2を活性化し得る。

【0044】

コンデンサC1は、第1のプレート及び第2のプレートを有する。メモリセル105毎のコンデンサC1の第1及び第2のプレートは、プレート線PL及びデジット線DLに交互の仕方で結合され得る。第1及び第2のメモリセル105(0)及び105(1)に対するコンデンサC1の構成及び動作は、例として、非限定的に以下で説明される。

【0045】

第1のメモリセル105(0)では、コンデンサC1の第1のプレートは、T1選択コンポーネントを通じてプレート線PLに結合される。また、コンデンサC1の第2のプレートはデジット線DLに結合される。ワード線WL'が存在する場合、コンデンサC1の第2のプレートは、T2選択コンポーネントを通じてデジット線DLに結合される。存在しない場合、コンデンサC1の第2のプレートは、デジット線DLに直接結合され得る。

10

【0046】

第2のメモリセル105(1)では、コンデンサC1の第1のプレートは、T1選択コンポーネントを通じてデジット線DLに結合される。また、コンデンサC1の第2のプレートはプレート線PLに結合される。ワード線WL'が存在する場合、コンデンサC1の第2のプレートは、T2選択コンポーネントを通じてプレート線PLに結合される。存在しない場合、コンデンサC1の第2のプレートは、プレート線PLに直接結合され得る。

【0047】

ワード線WLによる(又はWL及びWL'による)等して第1のメモリセル105(0)が活性化される場合、コンデンサC1の第2のプレートは、デジット線DLに結合される。ワード線WLによる(又はWL及びWL'による)等して第2のメモリセル105(1)が活性化される場合、コンデンサC1の第1のプレートは、デジット線DLに結合される。

20

【0048】

以前に論じたように、デジット線DLに結合された場合、メモリセル105はアクセスされ得る。例えば、メモリセル105の蓄積状態は読み出され得、及び/又はメモリセル105は、新たな状態若しくは同じ状態を蓄積するために書き込まれ得る。メモリセル105にアクセスする(例えば、読み出す及び/又は書き込む)ために、様々な電圧は、例えば、デジット線DL及びプレート線PLを越えてコンデンサC1のプレートに印加され得る。DRAMの実施形態では、プレート線PLは一定電圧に固定され得る。NVRAMの実施形態では、プレート線PLは、プレート線PLを異なる電圧を用いて駆動する電圧ドライバに結合され得る。プレート線PLは、NVRAMの書き込み動作の異なる段階の間に、異なる電圧を用いて駆動され得る。

30

【0049】

図4C及び図4Dは、本開示の実施形態に従った回路実装に対するレイアウト図である。図4Cは、図4Aの回路実装404に対するレイアウト図を含む。図4Dは、図4Bの回路実装408に対するレイアウト図を含む。図4C及び図4Dは、開示に従ったメモリセル105の例示的な実施形態を含むメモリアレイ100の一部を説明する。

40

【0050】

メモリアレイ100の説明する領域は、デジット線DL及びプレート線PLを含む。デジット線DL及びプレート線PLは、相互に垂直方向にずれている。デジット線DL及びプレート線PLは、所与のデジット線DLがプレート線PLに隣接し、別のデジット線DLに隣接しないように、交互のパターンに配置される。デジット線DLは、(図1に示したような)センスコンポーネントに接続され得る。4つの隣接するメモリセル105(0)~105(3)が示され、こうした隣接するメモリセルは、メモリアレイ内で相互に共通の行内にある(例えば、ワード線WL及び/又はワード線WL'により表される共通の行に沿う)。メモリセル105の様々なコンポーネントを取り囲むために絶縁性材料が示されている。幾つかの実施形態では、交互の(複数の)メモリセル105は、メモリアレ

50

イの行に沿った実質的に同一のメモリセルを指し得、用語“実質的に同一”とは、製造及び測定の許容誤差の範囲内で（複数の）メモリセルが相互に同一であることを意味する。例えば、メモリセル105（0）は、メモリセル105（2）に実質的に同一であり得、メモリセル105（1）は、メモリセル105（3）に実質的に同一であり得る等々。

【0051】

デジット線DL及びプレート線PLは、基部410の上方にあって、基部410によってサポートされるように示されている。基部410は、半導体材料であり得る。図4C及び図4Dに示すように、メモリセル105は、少なくとも1つの選択コンポーネント424とコンデンサ405とを各々含む。選択コンポーネント424は、図4A及び図4Bの選択コンポーネントT1に対応し得る。コンデンサ405は、図4A及び図4BのコンデンサC1に対応し得る。図4Dに示すように、メモリセル105は、第2の選択コンポーネント420を付加的に含み得る。第2の選択コンポーネント420は、図4Bの選択コンポーネントT2に対応し得る。

10

【0052】

コンデンサ405は、第1の選択コンポーネント424に結合された第1の端部を有する垂直方向の構成で配置され得る。存在する場合には、第2の選択コンポーネント420は、コンデンサ405の第2の端部に結合され得る。コンデンサ405は、第1のプレート、セル上部430と、第2のプレート、セル底部415と、セル上部430とセル底部415との間に配備された誘電体材料432とを含む。セル上部430は、容器形状であるように示され、セル底部415は、こうした容器形状内に伸長するように示されているが、他の実施形態では、セル上部及びセル底部は、その他の構成を有し得る。実例として、セル上部及びセル底部は、平面構成を有し得る。ピラー412は、プレート線PL（メモリセル105（0）及び105（2））又はデジット線DL（メモリセル105（1）及び105（3））の何れかからコンデンサのセル上部430まで伸長する。ピラー420は、デジット線DL（メモリセル105（0）及び105（2））又はプレート線PL（メモリセル105（1）及び105（3））の何れかからコンデンサ405のセル底部415まで伸長する。

20

【0053】

選択コンポーネント424は、コンデンサ405のセル上部430まで伸長するソース／ドレイン領域414を有し、プレート線PLまで伸長するソース／ドレイン領域416を有する。選択コンポーネント424はまた、ソース／ドレイン領域414と416との間にチャンネル領域418を有する。ゲート411は、チャンネル418に沿っており、ゲート誘電体材料413によって該チャンネル領域からずらされる。ゲート411は、ワード線WL内に含まれ得る。

30

【0054】

存在する場合、選択コンポーネント420は、コンデンサ405のセル底部415まで伸長するソース／ドレイン領域444を有し、デジット線DLまで伸長するソース／ドレイン領域406を有する。選択コンポーネント420はまた、ソース／ドレイン領域444と406との間にチャンネル領域408を有する。ゲート401は、チャンネル領域407に沿っており、ゲート誘電体材料403によって該チャンネル領域からずらされる。ゲート401は、ワード線WL'内に含まれ得る。

40

【0055】

図4C及び図4Dの実施形態に示すように、メモリセル105の選択コンポーネント420及び424、並びにコンデンサ405は、垂直方向に積み重ねられ、メモリセル105がハイレベルの集積化にバック化されることを可能にし得る。

【0056】

図4C及び図4Dは、図4A及び図4Bの回路実装に対する例示的な断面図として本明細書に提供される。以下の論考は、本開示に従った付加的な回路実装を含む。簡潔にするために、更なる回路実装の論考からは付加的な図が省略されている。しかしながら、付加的な回路実装は、図4A及び図4Bに説明した回路と同様の回路で具体化されると評価す

50

べきである。

【0057】

図5は、開示の実施形態に従ったメモリセルの2つの行のスタック構成を含む例示的な回路500に対する一般的な回路構成の概略図である。図5の例示的な回路500は、シングルエンドメモリセルを含む。ここで、例示的な回路500は、1つのメモリセル内に蓄積された単一の電圧として単一の論理上の値を蓄積する。第1の行はメモリセル105を含み、第2の行はメモリセル106を含む。メモリセル105、106は、メモリセル105、106と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る、少なくとも1つのワード線WLに各々結合される。例として、非限定的に、図5は、4つのメモリセル105(0)~105(3)を含むメモリセルの第1の行の一部と、4つのメモリセル106(0)~106(3)を含むメモリセルの第2の行の一部とを説明する。

10

【0058】

幾つかの実施形態では、メモリセル105、106はまた、メモリセル105、106と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る、第2のワード線WL'に結合され得る。選択コンポーネントは、トランジスタであり得、ワード線は、トランジスタのゲートに結合され得る。幾つかの実施形態では、メモリセル105、106は、1つのワード線WLに結合された1つのトランジスタを含み得る。他の実施形態では、メモリセル105、106は、第1のワード線WLに結合された第1のトランジスタと、第2のワード線WL'に結合された第2のトランジスタとを含み得る。

20

【0059】

第1の行の各メモリセル105は、1つのデジット線DLに結合され得る。同様に、第2の行の各メモリセル106は、1つのデジット線DLに結合され得る。図5には特に説明されていないが、特定のメモリセル105、106は、メモリセル105、106の列の構成要素であり得、列の各構成要素は、同じデジット線DLに結合される。各メモリセル105、106は、メモリセル105、106のアクセスの間に使用されるプレート線PLに付加的に結合され得る。図5には特に説明されていないが、特定のメモリセル105、106は、メモリセル105、106の列の構成要素であり得、列の各構成要素は、同じプレート線PLに結合される。

30

【0060】

図5の例示的な回路500では、幾つかのプレート線PL及び幾つかのデジット線DLは、2つの隣接するメモリセル間で共有され得る。例えば、メモリセル105(0)及びメモリセル106(0)はデジット線DLを共有する。ここで、共有されるデジット線は、メモリセル105(0)又は106(0)がアクセスされている所与の適切なセンスアンプにデジット線をルーティングするスイッチを含み得る。更なる例として、メモリセル105(1)及びメモリセル106(1)はプレート線PLを共有する。ここで、共有されるプレート線PLは、メモリセル105(1)又は106(1)の何れかがアクセスされる場合と同じであり得る一定電圧を提供するので、共有されるプレート線PLと関連付けられたスイッチは省略され得る。

40

【0061】

図5の例示的な回路500は、本開示の実施形態に従ったプレート線PLとデジット線DLとの交互のパターンを含む。より具体的には、回路500のプレート線PL及びデジット線DLは、所与のデジット線DLがプレート線PLに隣接し、別のデジット線には隣接しないように配置される。例えば、第3のメモリセル105(2)及び106(2)と関連付けられた、共有されるデジット線DLは、2つのプレート線PLに隣接し、何れかその他のデジット線にも隣接しない。第2のメモリセル105(1)及び106(1)と関連付けられた、共有されるプレート線PLは、第3のメモリセル105(2)及び106(2)と関連付けられた、共有されるデジット線DLの左に位置付けられる。第4のメモリセル105(3)及び106(3)と関連付けられた、共有されるプレート線PLは

50

、第3のメモリセル105(2)及び106(2)と関連付けられた、共有されるデジタル線DLの右に位置付けられる。プレート線をデジタル線と交互にすることによって、図5の例示的な回路500(及び図6A~図6Cのそれら)は、フリンジングの影響を受けやすいことがあるデータを搬送する線(デジタル線)に隣接して、さもないと該線の近くに、多かれ少なかれ一定電圧を有する線(プレート線)をルーティングする。プレート線の一定電圧は、不要なフリンジングの影響を削減又は回避する、デジタル線への遮蔽を提供する。

【0062】

図6A~図6Cは、図5の一般的な回路構成500のより具体的な回路実装を説明する。破線は、メモリセル105、106の凡その境界を定める。図6A~図6Bの実装では、メモリセル105、106の各々は、1つの選択コンポーネントT1及び1つのコンデンサC1(例えば、1T1C)を含む。図6Cの実装では、メモリセル105、106の各々は、2つの選択コンポーネントT1及びT2、並びに1つのコンデンサC1(例えば、2T1C)を含む。各メモリセル105、106のコンデンサC1は、実装に依存して、強誘電体コンデンサ又は誘電体コンデンサであり得る。メモリセル105、106の選択コンポーネントT1は、トランジスタ、例えば、n型電界効果トランジスタであり得る。存在する場合には、メモリセル105、106の選択コンポーネントT2は、トランジスタ、例えば、p型電界効果トランジスタであり得る。

【0063】

選択コンポーネントT1(又は、選択コンポーネントT1及びT2)の動作は、トランジスタのゲートに電圧を印加することによって制御される。個別のワード線は、選択コンポーネントを活性化し得る。ワード線WLは、メモリセル105、106の選択コンポーネントT1を活性化し得る。存在する場合には、ワード線WL'は、メモリセル105、106の選択コンポーネントT2を活性化し得る。

【0064】

コンデンサC1は第1のプレート及び第2のプレートを有する。メモリセル105、106毎のコンデンサC1の第1及び第2のプレートは、プレート線PL及びデジタル線DLに交互の仕方では結合され得る。第1のメモリセル105(0)、106(0)、及び第2のメモリセル105(1)、106(1)に対するコンデンサC1の構成及び動作は、例として、非限定的に以下で説明される。

【0065】

第1の行の第1のメモリセル105(0)では、コンデンサC1の第1のプレートはプレート線PLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じて、共有されるデジタル線DLに結合される。ワード線WL'が存在する場合には、コンデンサC1の第1のプレートは、T2選択コンポーネントを通じてプレート線PLに結合される。存在しない場合には、コンデンサC1の第1のプレートは、プレート線PLに直接結合され得る。

【0066】

第1の行の第2のメモリセル105(1)では、コンデンサC1の第1のプレートはデジタル線DLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じて、共有されるプレート線PLに結合される。ワード線WL'が存在する場合には、コンデンサC1の第1のプレートは、T2選択コンポーネントを通じてデジタル線DLに結合される。存在しない場合には、コンデンサC1の第1のプレートは、デジタル線DLに直接結合され得る。

【0067】

第2の行の第1のメモリセル106(0)では、コンデンサC1の第1のプレートは、共有されるデジタル線DLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じてプレート線PLに結合される。ワード線WL'が存在する場合には、コンデンサC1の第1のプレートは、T2選択コンポーネントを通じて、共有されるデジタル線DLに結合される。存在しない場合には、コンデンサC1の第1のプレ

ートは、デジット線DLに直接結合され得る。代替的な実施形態（図6B）では、コンデンサC1の第1のプレートは、T1選択コンポーネントを通じて、共有されるデジット線DLに結合され、コンデンサC1の第2のプレートは、プレート線PLに直接結合される。

【0068】

第2の行の第2のメモリセル106（1）では、コンデンサC1の第1のプレートは、共有されるプレート線PLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じてデジット線DLに結合される。ワード線WL'が存在する場合には、コンデンサC1の第1のプレートは、T2選択コンポーネントを通じて、共有されるプレート線PLに結合される。存在しない場合には、コンデンサC1の第1のプレートは、共有されるプレート線PLに直接結合され得る。代替的な実施形態（図6B）では、コンデンサC1の第1のプレートは、T1選択コンポーネントを通じて、共有されるプレート線PLに結合され、コンデンサC1の第2のプレートは、デジット線DLに直接結合される。

10

【0069】

ワード線WLによる（又はWL及びWL'による）等して第1の行の第1のメモリセル105（0）が活性化される場合、コンデンサC1の第2のプレートはデジット線DLに結合される。ワード線WLによる（又はWL及びWL'による）等して第1の行の第2のメモリセル105（1）が活性化される場合、コンデンサC1の第1のプレートはデジット線DLに結合される。ワード線WLによる（又はWL及びWL'による）等して第2の行の第1のメモリセル106（0）が活性化される場合、コンデンサC1の第1のプレートはデジット線DLに結合される。ワード線WLによる（又はWL及びWL'による）等して第2の行の第2のメモリセル106（1）が活性化される場合、コンデンサC1の第2のプレートはデジット線DLに結合される。

20

【0070】

以前に論じたように、デジット線DLに結合された場合、メモリセル105はアクセスされ得る。例えば、メモリセル105の蓄積状態は読み出され得、及び／又はメモリセル105は、新たな状態若しくは同じ状態を蓄積するために書き込まれ得る。メモリセル105にアクセスする（例えば、読み出す及び／又は書き込む）ために、様々な電圧は、例えば、デジット線DL及びプレート線PLを越えてコンデンサC1のプレートに印加され得る。DRAMの実施形態では、プレート線PLは一定電圧に固定され得る。NVRAMの実施形態では、プレート線PLは、プレート線PLを異なる電圧を用いて駆動する電圧ドライバに結合され得る。プレート線PLは、NVRAMの書き込み動作の異なる段階の間に、異なる電圧を用いて駆動され得る。

30

【0071】

図3～図6Cと併せて上で説明したメモリの構成は、一般的に、少なくともメモリセルの単一の列内で、シングルエンドメモリセルの配置をサポートする。本開示の実施形態に従えば、図3～図6Cのメモリセルの配置の内の1つ以上を使用して、差動メモリセルの構成が実装され得る。図7に示したように、メモリは、センスアンプ712にデジット線DLの信号を各々提供する2つの“MAT”に組織化され得る。より具体的には、第1のMAT704は、センスアンプ712に第1のデジット線DL1の信号を提供する。第2のMAT708は、センスアンプに第2のデジット線DL2の信号を提供する。第1及び第2のMAT704及び708は、図3～図6Cと併せて上で説明したメモリアーキテクチャの内の何れかを含み得る。デジット線D1及びD2は、蓄積された論理値を共に表す相補的な電圧を搬送し得る。デジット線D1及びD2により提供される電圧は、第1及び第2のMAT704及び708と関連付けられたメモリセル内に蓄積された電圧に夫々対応し得る。したがって、図7に見られ得るように、差動信号を共に提供する相補的な電圧は、隣接するメモリセル内に蓄積される必要がない。むしろ、2つの電圧がメモリの異なる地域内に蓄積される分散の仕方で、相補的な電圧を蓄積することが可能である。

40

【0072】

50

図8は、開示の実施形態に従ったセルの2つの行のスタック構成を含む例示的な回路800に対する一般的な回路構成の概略図である。図8の例示的な回路800は、完全差動メモリセルの構成を実装するために使用され得る。ここで、例示的な回路800の差動メモリセル(“MC”)は、2つの異なる蓄積セル(“SC”)内に蓄積される2つの相補的な電圧として単一の論理値を蓄積する。第1の行は第1の蓄積セル804を含み、第2の行は第2の蓄積セル808を含む。第1の行の蓄積セル804は、所与のメモリセル105に対する第1の相補的な論理上の値を蓄積するために使用され得る。第2のものの蓄積セル808は、所与のメモリセル105に対する第2の相補的な論理上の値を蓄積するために使用され得る。したがって、所与のメモリセル105は、第1の行からの第1の蓄積セル804と、第2の行からの第2の蓄積セル808とを含み得る。メモリセル105は、個々の蓄積セル804、808と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る少なくとも1つのワード線WLに各々結合される。図8は、4つの蓄積セル804(0)~804(3)を含む蓄積セルの第1の行の一部と、4つの蓄積セル808(0)~808(3)を含む蓄積セルの第2の行の一部と説明する。

10

【0073】

幾つかの実施形態では、メモリセル105はまた、個々の蓄積セル804、808と関連付けられた選択コンポーネントに結合され得、及び該選択コンポーネントを制御し得る第2のワード線WL'に結合され得る。選択コンポーネントはトランジスタであり得、ワード線は、トランジスタのゲートに結合され得る。幾つかの実施形態では、蓄積セル804、808は、1つのワード線WLに結合された1つのトランジスタを含み得る。他の実施形態では、蓄積セル804、808は、第1のワード線WLに結合された第1のトランジスタと、第2のワード線WL'に結合された第2のトランジスタとを含み得る。

20

【0074】

第1の行の各蓄積セル804は1つのデジット線DLに結合され得る。同様に、第2の行の各蓄積セル808は1つのデジット線DL'に結合され得る。それらと共に、2つの対応するデジット線DL及びDL'は、所与のメモリセル105のデジット線を形成する。図8には特に説明されていないが、特定の蓄積セル804、808は、蓄積セル804、808の列の構成要素であり得、列の各構成要素は、同じデジット線DL、DL'に結合される。各蓄積セル804、808は、蓄積セル804、808のアクセスの間に使用されるプレート線PLに付加的に結合され得る。図8には特に説明されていないが、特定の蓄積セル804、808は、蓄積セル804、808の列の構成要素であり得、列の各構成要素は、同じプレート線PLに結合される。

30

【0075】

図8の例示的な回路800は、本開示の実施形態に従ったプレート線PLとデジット線DLとの交互のパターンを含む。より具体的には、回路800のプレート線PL及びデジット線DLは、所与のデジット線DLがプレート線PLに隣接し、別のデジット線DLには隣接しないように配置される。例えば、第2の行の第2の蓄積セル808(1)と関連付けられたデジット線DL'は、3つのプレート線PLに隣接し、何れのその他のデジット線にも隣接しない。第2の行の第1の蓄積セル808(0)と関連付けられたプレート線PLは、第2の行の第2の蓄積セル808(1)と関連付けられたデジット線DL'の左に位置付けられる。第2の行の第3の蓄積セル808(2)と関連付けられたプレート線PLは、第2の行の第2の蓄積セル808(1)と関連付けられたデジット線DL'の右に位置付けられる。更に、第1の行の第2の蓄積セル804(1)と関連付けられたプレート線PLは、第2の行の第2の蓄積セル808(1)と関連付けられたデジット線DL'の上方に位置付けられる。プレート線をデジット線と交互にすることによって、図8の例示的な回路800(及び図9A~図9Cのそれら)は、フリンジングの影響を受けやすいことがあるデータを搬送する線(デジット線)に隣接して、さもなければ該線の近くに、多かれ少なかれ一定電圧を有する線(プレート線)をルーティングする。プレート線の一定電圧は、不要なフリンジングの影響を削減又は回避する、デジット線への遮蔽を提

40

50

供する。

【0076】

図9A～図9Cは、図8の一般的な回路構成800のより具体的な回路実装のものである。破線は、蓄積セル804、808の凡その境界を定める。付加的な破線は、蓄積セル804、808を含むメモリセル105の凡その境界を定める。図9A～図9Bの実装では、蓄積セル804は、1つの選択コンポーネントT1及び1つのコンデンサC1を含み、蓄積セル808は、1つの選択コンポーネントT2及び1つのコンデンサC2を含む。したがって、メモリセル105は、2つの選択コンポーネントT1、T2、及び2つのコンデンサC1、C2（例えば、2T2C）を含む。図9Cの実装では、蓄積セル804は、2つの選択コンポーネントT1、T3、及び1つのコンデンサC1を含み、蓄積セル808は、2つの選択コンポーネントT2、T4、及び1つのコンデンサC2を含む。したがって、メモリセル105は、4つの選択コンポーネントT1、T2、T3、T4、及び2つのコンデンサC1、C2（例えば、4T2C）を含む。各蓄積セル804、808のコンデンサC1、C2は、実装に依存して、強誘電体コンデンサ又は誘電体コンデンサであり得る。蓄積セル804、808の選択コンポーネントT1、T2は、トランジスタ、例えば、n型電界効果トランジスタであり得る。存在する場合には、蓄積セル804、808の選択コンポーネントT3、T4は、トランジスタ、例えば、p型電界効果トランジスタであり得る。

10

【0077】

選択コンポーネントT1及びT2（又は選択コンポーネントT3及びT4）の動作は、トランジスタのゲートに電圧を印加することによって制御される。個別のワード線は、選択コンポーネントを活性化し得る。ワード線WLは、蓄積セル804、808の選択コンポーネントT1及びT2を活性化し得る。存在する場合には、ワード線WL'は、蓄積セル804、808の選択コンポーネントT3及びT4を活性化し得る。

20

【0078】

コンデンサC1及びC2は、第1のプレート及び第2のプレートを有する。蓄積セル804毎のコンデンサC1の第1及び第2のプレートは、プレート線PL及びデジット線DLに交互の仕方で結合され得る。同様に、蓄積セル808毎のコンデンサC2の第1及び第2のプレートは、プレート線PL及びデジット線DLに交互の仕方で結合され得る。（第1及び第2の蓄積セル804（0）、808（0）を含む）第1のメモリセル105（0）並びに（第1及び第2の蓄積セル804（1）、808（1）を含む）第2のメモリセル105（1）に対するコンデンサC1及びC2の構成及び動作は、例として、非限定的に以下で説明される。

30

【0079】

第1のメモリセル105（0）の第1の蓄積セル804（0）では、コンデンサC1の第1のプレートはプレート線PLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じてデジット線DLに結合される。ワード線WL'が存在する場合、コンデンサC1の第1のプレートは、T3選択コンポーネントを通じてプレート線PLに結合される。存在しない場合、コンデンサC1の第1のプレートは、プレート線PLに直接結合され得る。

40

【0080】

第1のメモリセル105（0）の第2の蓄積セル808（0）では、コンデンサC2の第1のプレートはプレート線PLに結合される。また、コンデンサC2の第2のプレートは、T2選択コンポーネントを通じてデジット線DL'に結合される。ワード線WL'が存在する場合、コンデンサC2の第1のプレートは、T4選択コンポーネントを通じてプレート線PLに結合される。存在しない場合、コンデンサC2の第1のプレートは、プレート線PLに直接結合され得る。代替的な実施形態（図9B）では、コンデンサC2の第1のプレートは、T2選択コンポーネントを通じてプレート線PLに結合され、コンデンサC2の第2のプレートはデジット線DL'に直接結合される。

【0081】

50

第2のメモリセル105(1)の第1の蓄積セル804(1)では、コンデンサC1の第1のプレートはデジタル線DLに結合される。また、コンデンサC1の第2のプレートは、T1選択コンポーネントを通じてプレート線PLに結合される。ワード線WL'が存在する場合、コンデンサC1の第1のプレートは、T3選択コンポーネントを通じてデジタル線DLに結合される。存在しない場合、コンデンサC1の第1のプレートは、デジタル線DLに直接結合され得る。

【0082】

第2のメモリセル105(1)の第2の蓄積セル808(1)では、コンデンサC2の第1のプレートはデジタル線DL'に結合される。また、コンデンサC2の第2のプレートは、T2選択コンポーネントを通じてプレート線PLに結合される。ワード線WL'が存在する場合、コンデンサC2の第1のプレートは、T4選択コンポーネントを通じてデジタル線DLに結合される。存在しない場合、コンデンサC2の第1のプレートは、デジタル線DLに直接結合され得る。代替的な実施形態(図9B)では、コンデンサC2の第1のプレートは、T2選択コンポーネントを通じてデジタル線DL'に結合され、コンデンサC2の第2のプレートはプレート線PLに直接結合される。

10

【0083】

ワード線WLによる(又はWL及びWL'による)等して第1のメモリセル105(0)が活性化される場合、コンデンサC1の第2のプレートはデジタル線DLに結合され、コンデンサC2の第2のプレートはデジタル線DL'に結合される。ワード線WLによる(又はWL及びWL'による)等して第2のメモリセル105(1)が活性化される場合、コンデンサC1の第1のプレートはデジタル線DLに結合され、コンデンサC2の第1のプレートはデジタル線DL'に結合される。

20

【0084】

以前に論じたように、デジタル線DLに結合された場合、メモリセル105はアクセスされ得る。例えば、メモリセル105の蓄積状態は読み出され得、及び/又はメモリセル105は、新たな状態若しくは同じ状態を蓄積するために書き込まれ得る。メモリセル105にアクセスする(例えば、読み出す及び/又は書き込む)ために、様々な電圧は、例えば、デジタル線DL及びプレート線PLを越えてコンデンサC1のプレートに印加され得る。DRAMの実施形態では、プレート線PLは一定電圧に固定され得る。NVRAMの実施形態では、プレート線PLは、プレート線PLを異なる電圧を用いて駆動する電圧ドライバに結合され得る。プレート線PLは、NVRAMの書き込み動作の異なる段階の間に、異なる電圧を用いて駆動され得る。

30

【0085】

1つから4つの間のトランジスタと、1つから2つのコンデンサを有するメモリセルの様々な実施形態が図1～図9Cを参照しながら開示されている。メモリセルの幾つかの実施形態におけるトランジスタは、個別の半導体ビラーから各々形成された垂直トランジスタであり得る。コンデンサC1及びC2の第1及び第2のプレートの導電材料は、例えば、様々な金属(例えば、タングステン、チタン等)、金属含有組成物(例えば、金属窒化物、金属炭化物、金属シリサイド等)、導電的にドーパされた半導体材料(例えば、導電的にドーパされたシリコン、導電的にドーパされたゲルマニウム等)等の内の1つ以上を含む任意の適切な導電材料であり得る。コンデンサC1及びC2のプレートの内の幾つか又は全ては、相互に同じ組成物を含み得、又は相互に対して異なる組成物を含み得る。

40

【0086】

本明細書で論じるNVRAMメモリセルでは、コンデンサC1及びC2は強誘電体コンデンサである。コンデンサC1及びC2の強誘電体材料は、任意の適切な組成物又は組成物の組み合わせを含み得る。幾つかの実施形態では、コンデンサの誘電材料は、強誘電体材料を含み得る。実例として、コンデンサの誘電材料は、遷移金属酸化物、ジルコニウム、酸化ジルコニウム、ハフニウム、酸化ハフニウム、チタン酸ジルコン酸鉛、酸化タンタル、及びチタン酸バリウムストロンチウムから成り、並びにシリコン、アルミニウム、ランタン、イットリウム、エルビウム、カルシウム、マグネシウム、ニオブ、ストロンチウ

50

ム、及びレアアース元素の内の1つ以上を含むドーパントをその中に有するグループから選択された1つ以上の材料を含み得、該材料から本質的に成り得、又は該材料から成り得る。幾つかの実施形態では、強誘電体材料は、相互に同じ組成物を含み得、他の実施形態では、相互に対して異なる組成物を含み得る。

【0087】

プレート線構造体PLは、例えば、様々な金属（例えば、タングステン、チタン等）、金属含有組成物（例えば、金属窒化物、金属炭化物、金属シリサイド等）、導電的にドーパされた半導体材料（例えば、導電的にドーパされたシリコン、導電的にドーパされたゲルマニウム等）等の内の1つ以上を含む任意の適切な導電材料を含み得る。

【0088】

半導体ピラーは、例えば、シリコン及びゲルマニウムの内の1つ又は両方を含む任意の適切な半導体材料を含み得る。ソース／ドレイン領域及びチャネル領域は、任意の適切なドーパントを用いてドーパされ得る。幾つかの実施形態では、ソース／ドレイン領域はn型に主としてドーパされ得、他の実施形態では、p型に主としてドーパされ得る。

【0089】

ワード線(WL及びWL')並びにデジット線(DL及びDL')は、例えば、様々な金属（例えば、タングステン、チタン等）、金属含有組成物（例えば、金属窒化物、金属炭化物、金属シリサイド等）、導電的にドーパされた半導体材料（例えば、導電的にドーパされたシリコン、導電的にドーパされたゲルマニウム等）等の内の1つ以上を含む任意の適切な導電材料を含み得る。ワード線及びデジット線は、相互に同じ組成物を含み得、又は相互に対して異なる組成物を含み得る。

【0090】

絶縁材料は、本明細書で開示されたメモリセルの様々なコンポーネントを取り囲み得る。こうした絶縁材料は、例えば、二酸化シリコン、窒化シリコン、ホウリンケイ酸塩ガラス、スピノオン誘電体等の内の1つ以上を含む任意の適切な組成物又は組成物の組み合わせを含み得る。絶縁材料は、幾つかの実施形態では単一の均質材料であり得るが、他の実施形態では、絶縁材料は、2つ以上の別々の絶縁組成物を含み得る。

【0091】

図10は、本明細書で論じられるような実施形態に従ったメモリアレイ1002を含むメモリ1000を説明する。メモリ1000は、例えば、揮発性メモリセル（例えば、DRAMメモリセル、SRAMメモリセル）、不揮発性メモリセル（例えば、フラッシュメモリセル若しくは強誘電体メモリセル）、又はメモリセルの任意のその他の幾つかの種類であり得るメモリセルのアレイ1002を含む。本明細書で説明されるように、メモリアレイ1002のセルは、所与のデジット線DLがプレート線PLに隣接し、別のデジット線DLには隣接しないような交互のパターンで配置された、デジット線DL及びプレート線PLを含み得る。メモリシステムは、デジット線DLが結合され得るセンスコンポーネント125（図1）を付加的に含む。

【0092】

メモリシステム1000は、コマンドバス1018を通じてメモリコマンドを受信し、様々なメモリ動作を実行するためにメモリシステム1000内で対応する制御信号を生成するコマンドデコーダ1006を含む。コマンドデコーダ1006は、メモリアレイ1002上で様々な動作を実施するために、コマンドバス1018に印加されたメモリコマンドに応答する。例えば、コマンドデコーダ1006は、メモリアレイ1002からデータを読み出し、メモリアレイ1002にデータを書き込むための内部制御信号を生成するために使用される。行及び列のアドレス信号は、アドレスバス1020を通じてメモリシステム1000に印加され、アドレスラッチ1010に提供される。アドレスラッチは、別個の列アドレスと別個の行アドレスとをその後出力する。

【0093】

行及び列のアドレスは、アドレスラッチ1010によって行アドレスデコーダ1022及び列アドレスデコーダ1028に夫々提供される。列アドレスデコーダ1028は、個

10

20

30

40

50

別の列アドレスに対応する、アレイ1002を通じて伸長するビット線を選択する。行アドレスデコーダ1022は、受信した行アドレスに対応する、アレイ1002内のメモリセルの個別の行を活性化するワード線ドライバ1024に接続される。受信した列アドレスに対応する、選択されたデータ線（例えば、ビット線又は複数のビット線）は、入出力データバス1040を介してデータ出力バッファ1034に読み出しデータを提供するために、読み出し／書き込み回路1030に結合される。書き込みデータは、データ入力バッファ1044及びメモリアレイ読み出し／書き込み回路1030を通じてメモリアレイ1002に印加される。

【0094】

図11は、本開示の様々な実施形態に従ったメモリをサポートするシステム1100を説明する。システム1100はデバイス1105を含み、デバイス1105は、様々なコンポーネントに接続し、又は様々なコンポーネントを物理的にサポートするためのプリント回路基板であり得、又は該プリント回路基板を含み得る。デバイス1105は、コンピュータ、ノートブックコンピュータ、ラップトップ、タブレットコンピュータ、又は携帯電話等であり得る。デバイス1105は、図1～図10を参照しながら説明したようなメモリアレイ100の一例であり得るメモリアレイ100を含む。メモリアレイ100は、図1～図10を参照しながら説明したメモリコントローラ140及びメモリセル105の例示であり得るメモリコントローラ140及びメモリセル105を含み得る。デバイス1105は、プロセッサ1110、BIOSコンポーネント1115、周辺コンポーネント1120、及び入力／出力制御コンポーネント1125をも含み得る。デバイス1105のコンポーネントは、バス1130を通じて相互に電子通信し得る。

【0095】

プロセッサ1110は、メモリコントローラ140を通じてメモリアレイ100を動作するように構成され得る。幾つかの場合、プロセッサ1110は、図1及び図10を参照しながら説明したメモリコントローラ140の機能を実施し得る。他の場合、メモリコントローラ140はプロセッサ1110に統合され得る。プロセッサ1110は、汎用プロセッサ、デジタルシグナルプロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）若しくはその他のプログラム可能論理デバイス、別々のゲート若しくはトランジスタロジック、別々のハードウェアコンポーネントであり得、又はこれらの種類のコンポーネントの組み合わせであり得る。プロセッサ1110は、様々な機能を実施し得、本明細書で説明するようにメモリアレイ100を動作し得る。プロセッサ1110は、例えば、様々な機能又はタスクをデバイス1105に実施させるためにメモリアレイ100内に蓄積されたコンピュータ可読命令を実行するように構成され得る。

【0096】

BIOSコンポーネント1115は、ファームウェアとして動作するベーシックインプットアウトプットシステム（BIOS）を含むソフトウェアコンポーネントであり得、それは、システム1100の様々なハードウェアコンポーネントを初期化し得、稼働し得る。BIOSコンポーネント1115は、プロセッサ1110と様々なコンポーネント、例えば、周辺コンポーネント1120、入力／出力制御コンポーネント1125等との間のデータの流れをも管理し得る。BIOSコンポーネント1115は、リードオンリーメモリ（ROM）、フラッシュメモリ、又は任意のその他の不揮発性メモリ内に蓄積されたプログラム又はソフトウェアを含み得る。

【0097】

周辺コンポーネント1120は、デバイス1105に統合された、任意の入力若しくは出力デバイス、又はそうしたデバイスに対するインタフェースであり得る。例示として、ディスクコントローラ、音声コントローラ、画像コントローラ、イーサネットコントローラ、モデム、ユニバーサルシリアルバス（USB）コントローラ、シリアル若しくはパラレルポート、又はペリフェラルコンポーネントインターコネクト（PCI）若しくはアクセラレーテッドグラフィックスポート（AGP）スロット等の周辺カードスロットが挙げ

られ得る。

【0098】

入力／出力制御コンポーネント1125は、プロセッサ1110と周辺コンポーネント1120、入力デバイス1135、又は出力デバイス1140との間のデータ通信を管理し得る。入力／出力制御コンポーネント1125は、デバイス1105に統合されない周辺装置をも管理し得る。幾つかの場合、入力／出力制御コンポーネント1125は、外部の周辺装置への物理的接続又はポートを表し得る。

【0099】

入力1135は、デバイス1105又はそのコンポーネントへの入力を提供する、デバイス1105の外部のデバイス又は信号を表し得る。これは、ユーザインタフェース、又は他のデバイスとのインタフェース若しくは他のデバイス間のインタフェースを含み得る。幾つかの場合、入力1135は、周辺コンポーネント1120を介してデバイス1105とインタフェースで連結する周辺装置であり得、又は入力／出力制御コンポーネント1125によって管理され得る。

10

【0100】

出力1140は、デバイス1105又はそのコンポーネントの内の何れかから出力を受信するように構成された、デバイス1105の外部のデバイス又は信号を表し得る。出力1140の例は、表示装置、音声スピーカ、プリントデバイス、別のプロセッサ、又はプリント回路基板等を含み得る。幾つかの場合、出力1140は、周辺コンポーネント1120を介してデバイス1105とインタフェースで連結する周辺装置であり得、又は入力／出力制御コンポーネント1125によって管理され得る。

20

【0101】

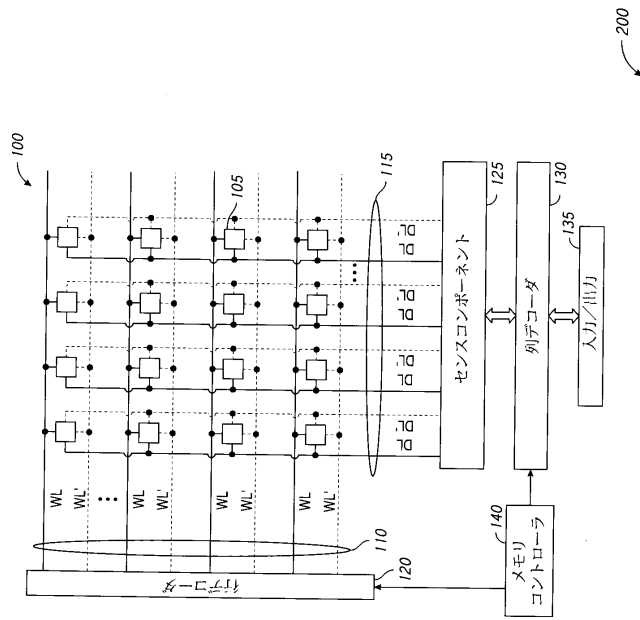
メモリコントローラ140、デバイス1105、及びメモリアレイ100のコンポーネントは、それらの機能を実行するように設計された回路で構成され得る。これは、本明細書で説明した機能を実行するように構成された様々な回路素子、例えば、導電線、トランジスタ、コンデンサ、インダクタ、抵抗器、アンプ、又はその他の能動若しくは非能動素子を含み得る。

【0102】

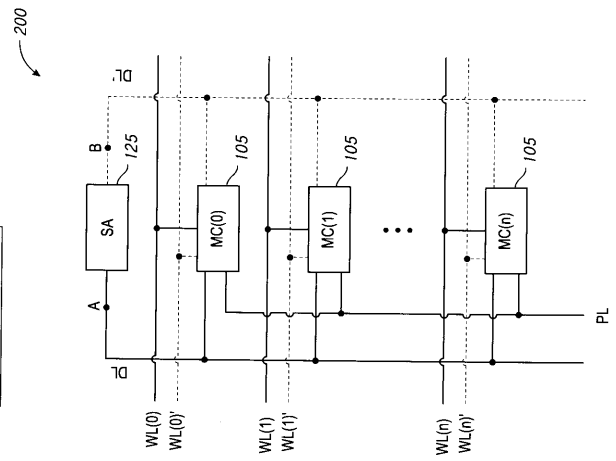
上の明細書、図面、例、及びデータは、請求項で定義されるような発明の例示的な実施形態の構造及び使用の完全な説明を提供する。主張する発明の様々な実施形態は、ある一定程度の詳細と共に、又は1つ以上の個別の実施形態を参照して上に説明されているが、当業者は、主張する発明の精神又は範囲を逸脱することなく、開示の実施形態に多くの変更をなし得る。その他の実施形態は、それ故、予期される。上の説明内に含まれ、添付の図面内に示される全ての事柄は、特定の実施形態のみを説明すると解釈され、限定的ではないことを意図する。後続の請求項で定義されるような発明の基本要素から逸脱することなく、細部又は構造の変更がなし得る。

30

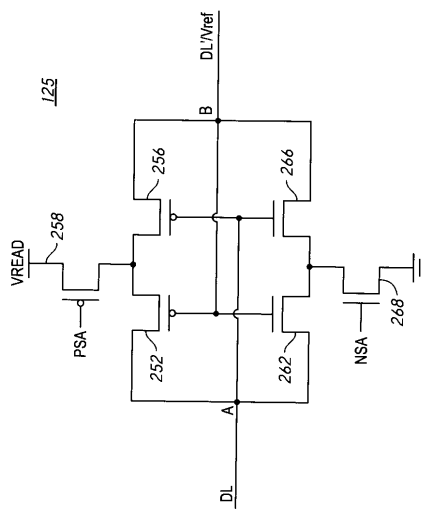
【図 1】



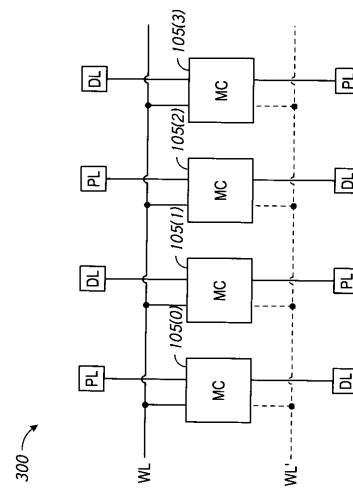
【図 2 A】



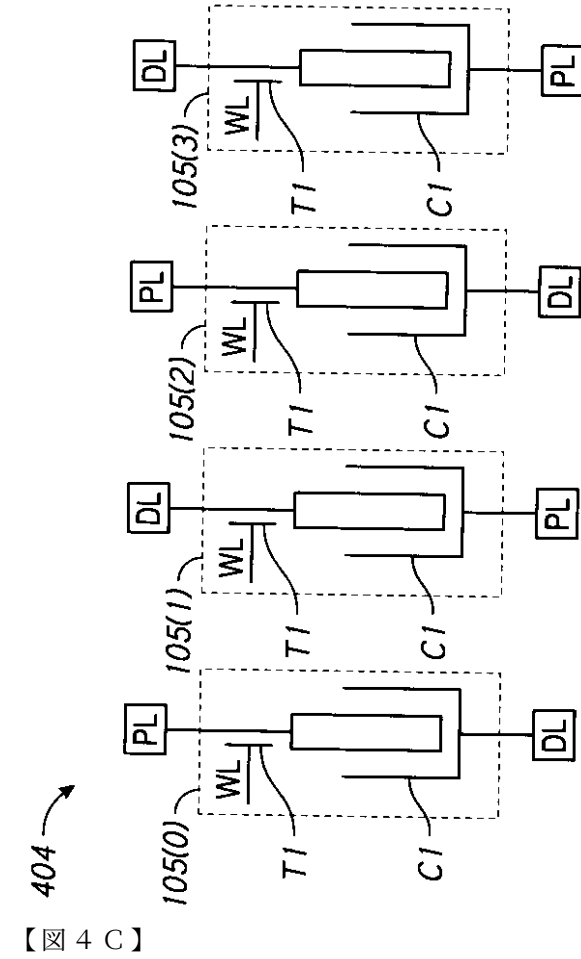
【図 2 B】



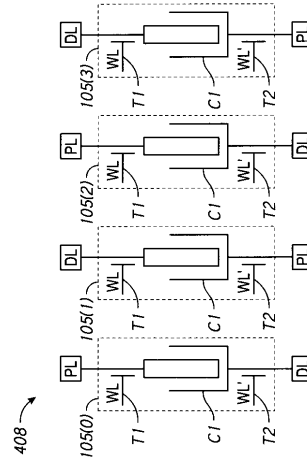
【図 3】



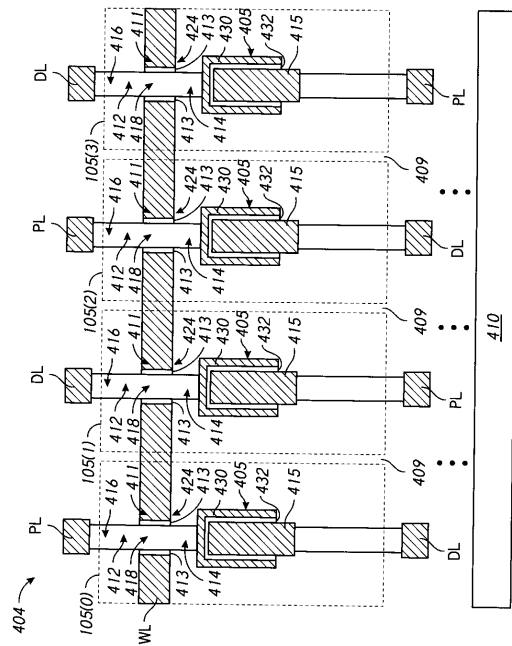
【図 4 A】



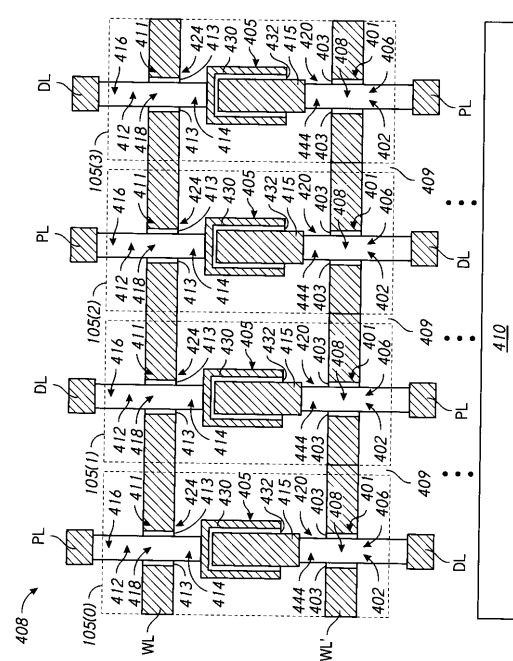
【図 4 B】



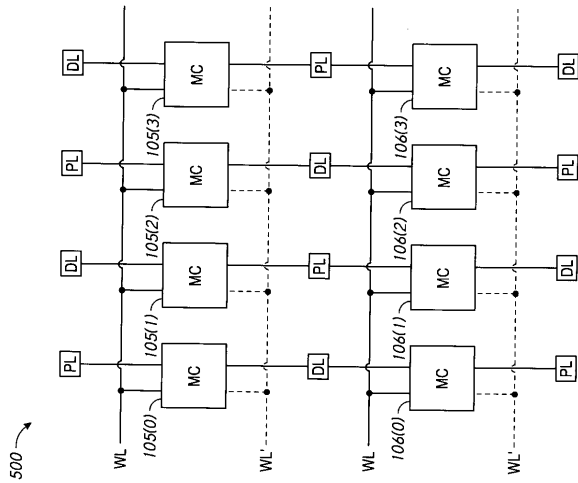
【図 4 C】



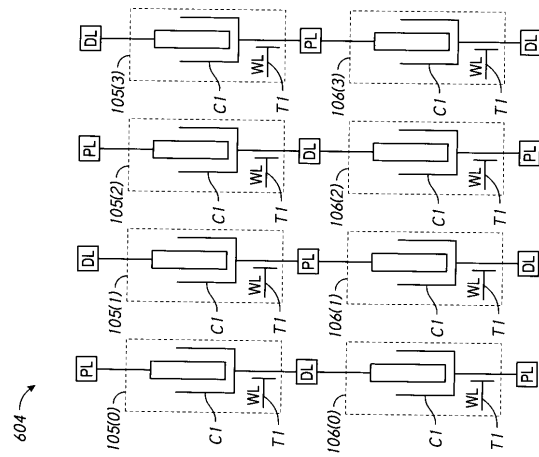
【图 4 D】



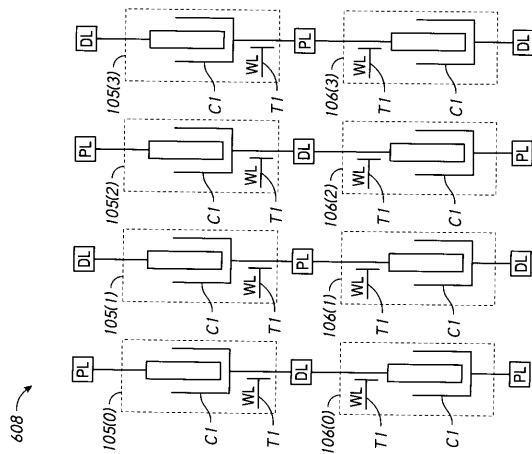
【図 5】



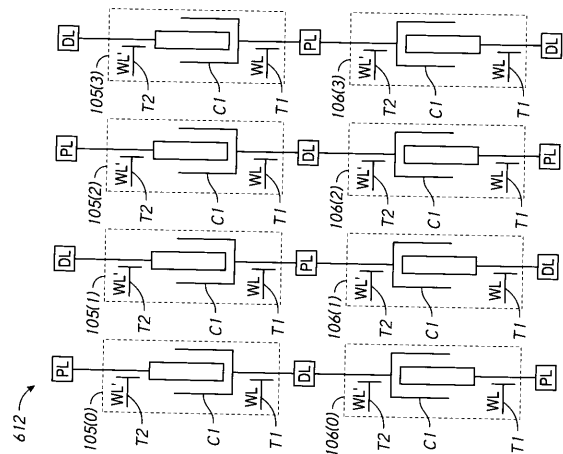
【図 6 A】



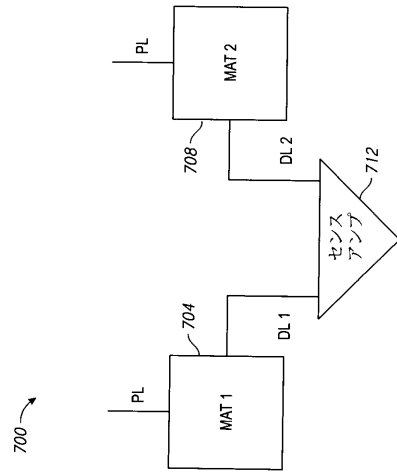
【図 6 B】



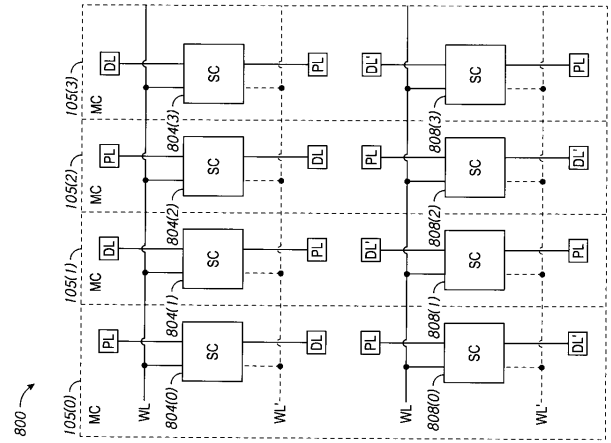
【図 6 C】



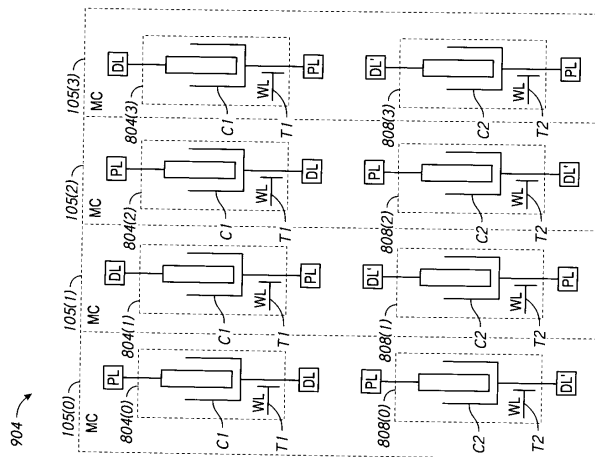
【図 7】



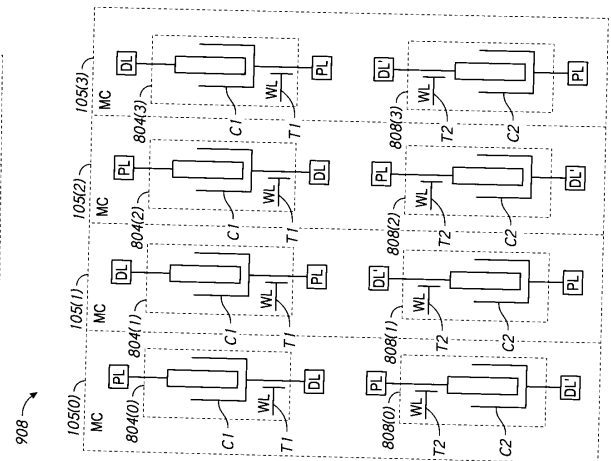
【図 8】



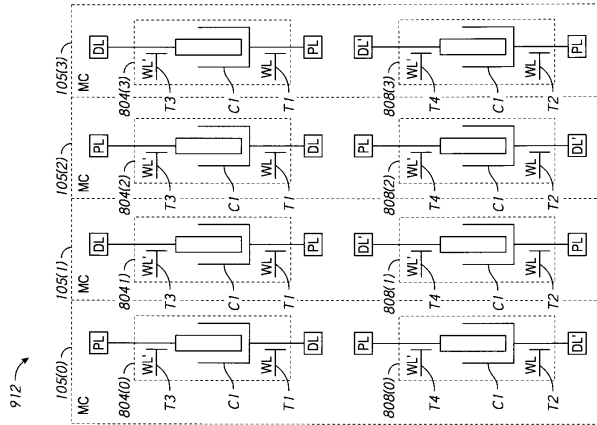
【図 9 A】



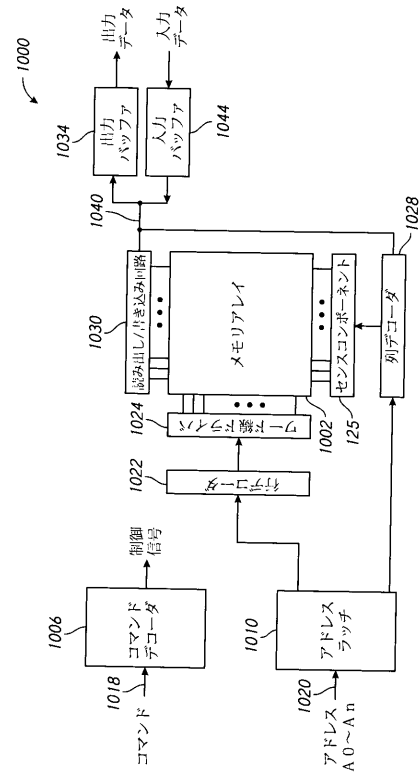
【図 9 B】



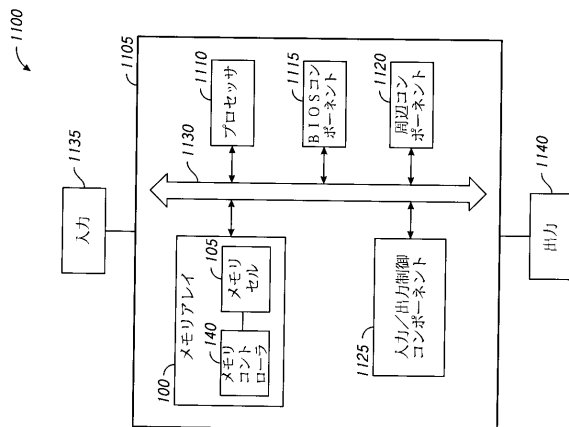
【図 9 C】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 ベデスキ, フェルディナンド
イタリア共和国, ロンバルディア州 20853, ビアッソーノ, ヴィア ポルタ ダルノルフォ
6
- (72)発明者 ディヴィンチェンツォ, ウンベルト
イタリア共和国, ロンバルディア州 24042, カプリアーテ サン ジェルヴァージオ, ヴィ
ア ローマ 40
- (72)発明者 ヴィメルカーティ, ダニエーレ
アメリカ合衆国, カリフォルニア州 95762, エル ドラド ヒルズ, オロフィーノ ドライ
ブ 7090

審査官 小山 満

- (56)参考文献 特開2005-050505 (JP, A)
特開平02-148763 (JP, A)
特開2003-142660 (JP, A)
米国特許出願公開第2005/0047191 (US, A1)
特開2003-142661 (JP, A)
特開2004-200637 (JP, A)
特開2007-227548 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/11507
H01L 27/108
G11C 11/22
G11C 11/405
H01L 21/8242