

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 6 月 13 日 (13.06.2024)



(10) 国际公布号
WO 2024/119613 A1

(51) 国际专利分类号:
G11C 29/12 (2006.01)

(21) 国际申请号: PCT/CN2023/075741

(22) 国际申请日: 2023 年 2 月 13 日 (13.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211563081.7 2022 年 12 月 7 日 (07.12.2022) CN

(71) 申请人: 长江存储科技有限责任公司
(**YANGTZE MEMORY TECHNOLOGIES CO., LTD.**)
[CN/CN]; 中国湖北省武汉市东湖新技术开发区未来三路 88 号, Hubei 430074 (CN)。

(72) 发明人: 陈腾(**CHEN, Teng**); 中国湖北省武汉市东湖新技术开发区未来三路 88 号, Hubei 430074 (CN)。 乔梁(**QIAO, Liang**); 中国湖北省武汉市东湖新技术开发区未来三路 88 号, Hubei 430074 (CN)。 栗山正男(**KURIYAMA, Masao**); 中

国湖北省武汉市东湖新技术开发区未来三路 88 号, Hubei 430074 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司(**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路 21 号中关村知识产权大厦 B 座 2 层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** MEMORY AND CONTROL METHOD THEREFOR, AND MEMORY SYSTEM

(54) 发明名称: 存储器及其控制方法、存储器系统

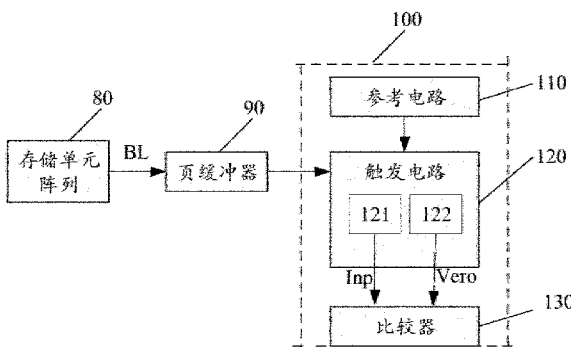


图 2A

- 80 Memory cell array
90 Page buffer
110 Reference circuit
120 Trigger circuit
130 Comparator

(57) **Abstract:** The embodiments of the present application provide a memory and a control method therefor, and a memory system. The memory comprises a memory cell array and a peripheral circuit. The peripheral circuit at least comprises: a trigger circuit, which comprises a reference signal output circuit and a failbit signal output circuit, wherein the failbit signal output circuit is configured to generate a failbit signal according to a detection signal obtained by verifying the memory, and the reference signal output circuit is configured to output a plurality of reference signals; and a comparator, which is coupled to the trigger circuit, wherein the comparator is configured to compare the failbit signal with at least one of the reference signals so as to output a verification result.

(57) 摘要: 本申请实施例提供一种存储器及其控制方法、存储器系统。所述存储器包括存储单元阵列和外围电路; 所述外围电路至少包括: 触发电路, 包括基准信号输出电路和错误位信号输出电路; 其中, 所述错误位信号输出电路被配置为: 根据对存储器进行验证得到的检测信号, 产生错误位信号; 所述基准信号输出电路被配置为: 输出多个基准信号; 比较器, 与所述触发电路耦接; 所述比较器被配置为: 比较所述错误位信号和至少一个所述基准信号, 输出验证结果。

NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

存储器及其控制方法、存储器系统

相关申请的交叉引用

本申请基于申请号为 202211563081.7、申请日为 2022 年 12 月 7 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的
5 全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体技术领域，涉及但不限于一种存储器及其控制方法、存储器系统。

背景技术

10 为了克服二维存储器件的限制，业界已经研发并大规模量产了具有三维（3D）结构的存储器件，其通过将存储器单元三维地布置在衬底之上来提高集成密度。在 3D NAND 存储器的生产制造中，需要对存储单元进行写入验证，以统计写入失败或错误的存储单元的个数，该过程被称为验证错误位计数（Verify Failbit Count, VFC）。执行 VFC 的电路相应的被称为 VFC
15 电路，VFC 电路的运行需要消耗 3D NAND 存储器的功耗且 VFC 电路占用存储器的空间，为了节省功耗并减少 VFC 的占用空间，需要对 VFC 电路进行优化设计。

申请内容

有鉴于此，本申请实施例提供了一种存储器及其控制方法、存储器系
20 统。

第一方面，本申请实施例提供了一种存储器，所述存储器包括存储单

元阵列和外围电路；所述外围电路至少包括：

触发电路，包括基准信号输出电路和错误位信号输出电路；

其中，所述错误位信号输出电路被配置为：根据对存储器进行验证得到的检测信号，产生错误位信号；

5 所述基准信号输出电路被配置为：输出至少一个基准信号；

比较器，与所述触发电路耦接；所述比较器被配置为：

比较所述错误位信号和至少一个所述基准信号，输出验证结果。

在一些实施例中，所述基准信号输出电路，包括：

多条并联的支路，每条支路包括至少一个受控开关；所述多条并联的
10 支路分别配置为输出至少一个所述基准信号。

在一些实施例中，所述受控开关被配置为：

接收到第一使能信号的所述受控开关切换为导通状态，使对应的所述支路导通并提供所述基准信号。

在一些实施例中，所述比较器包括至少两个；所述基准信号输出电路
15 包括至少两个子输出电路；每个所述子输出电路包括至少一条所述支路，
且一个所述子输出电路连接一个所述比较器，其中，所述子输出电路的个数与所述比较器的个数相同。

在一些实施例中，所述比较器的输入端连接所述触发电路，并被配置为：

20 比较所述错误位信号和一个基准信号，输出比较参数；

如果所述比较参数指示所述错误位信号大于所述基准信号，则继续比较下一个基准信号；

如果所述比较参数指示所述错误位信号小于或等于所述基准信号，则停止比较并输出所述验证结果。

25 在一些实施例中，所述外围电路中，还包括：

延时电路，与所述比较器耦接；所述延时电路被配置为：

依次接收多个第二使能信号，输出延迟信号；

根据接收到的多个所述延迟信号，分别延迟所述比较器输出的多个所述比较参数，输出延迟比较参数。

5 在一些实施例中，所述外围电路，还包括：

锁存器电路，包括多个锁存器，与所述延时电路耦接，所述锁存器配置为存储所述延迟比较参数；其中，所述所述锁存器的个数与所述基准信号的个数相同。

10 在一些实施例中，所述锁存器电路还与所述触发电路耦接，其中所述锁存器被配置为：

将所述延迟比较参数转换为锁存信号，并锁存到对应的所述锁存器中；

根据所述锁存信号，输出反馈信号；其中，所述反馈信号配置为触发所述触发电路切换待比较的所述基准信号。

在一些实施例中，所述存储器还包括：

15 码制转换电路，与所述锁存器电路耦接；所述码制转换电路被配置为：

将所述锁存信号转换为二进制码；所述二进制码配置为计算得到所述验证结果。

在一些实施例中，所述外围电路还包括：

累加器，与所述码制转换电路耦接；所述累加器被配置为：

20 累加从所述码制转换电路获得的多个所述二进制码，得到错误位计数的所述验证结果。

在一些实施例中，所述锁存器电路还被配置为：

接收重置信号，重置所述锁存信号。

在一些实施例中，所述外围电路还包括：

25 参考电路，与所述触发电路连接，并被配置为基于外部输入信号向所

述触发电路输出控制信号；所述控制信号配置为使能所述触发电路。

在一些实施例中，所述控制信号，包括第一控制信号和第二控制信号；其中，所述第一控制信号配置为使能所述基准信号输出电路输出多个所述基准信号；所述第二控制信号配置为使能所述错误位信号输出电路接收所述检测信号。

第二方面，本公开实施例还提供一种存储器的控制方法，所述控制方法应配置为所述存储器的外围电路，包括：

输出至少一个基准信号；

根据对存储器进行验证得到的检测信号，产生错误位信号；

比较所述错误位信号和至少一个所述基准信号，输出验证结果。

在一些实施例中，所述控制方法还包括：

依次接收多个第一使能信号；其中，接收到所述第一使能信号的受控开关切换为导通状态；连接开启状态的所述受控开关的支路导通并配置为提供所述基准信号。

在一些实施例中，所述比较所述错误位信号和所述多个基准信号，输出验证结果，包括：

比较所述错误位信号和一个基准信号，输出比较参数；

根据与所述比较参数对应的延迟信号，延迟所述比较参数，输出延迟比较参数；

将所述延迟比较参数转换为锁存信号，锁存到对应的锁存器中；

若所述锁存信号指示所述错误位信号大于所述基准信号，则比较所述错误位信号和下一个基准信号，直至所述延迟比较参数指示所述错误位信号小于或等于所述基准信号；

将多个锁存器中锁存的所述锁存信号分别转换为二进制码；

累加多个所述二进制码，得到配置为表示错误位计数的所述验证结果

并输出所述验证结果。

在一些实施例中，所述若所述锁存信号指示所述错误位信号大于所述基准信号，则比较所述错误位信号和下一个基准信号，包括：

所述锁存器根据所述锁存信号，输出反馈信号；

- 5 若所述反馈信号指示所述错误位信号大于所述基准信号，则向下一个所述受控开关输出的所述第一使能信号，其中，接收到所述第一使能信号的所述受控开关切换为开启状态，且触发电路产生下一个基准信号并与所述错误位信号进行比较。

在一些实施例中，所述方法还包括：

- 10 接收重置信号，重置所述锁存信号。

在一些实施例中，所述方法还包括：

基于外部输入信号，输出控制信号；其中，所述控制信号包括：配置为使能输出多个所述基准信号的第一控制信号和配置为使能接收所述检测信号的第二控制信号。

- 15 第三方面，本公开实施例提供一种存储器系统，包括：

存储器控制器，以及如上述任一实施例所述的存储器。

本申请实施例提供的存储器，利用可复用的比较器耦接触发电路，并依次比较触发电路产生的错误位信号和输出的多个基准信号。

附图说明

- 20 图 1A 为本申请实施例提供的一种示例性系统的结构示意图；

图 1B 为本申请实施例提供的一种存储器卡的结构示意图；

图 1C 为本申请实施例提供的一种固态驱动器（SSD）的结构示意图；

图 1D 和图 1E 为本申请实施例提供的一种包括存储单元阵列和外围电路的存储器的结构示意图；

- 25 图 1F 为本申请实施例提供的一种包括 VFC 电路的存储器的结构示意图

图；

图 2A 至 2C 为本申请实施例提供的一种 VFC 电路的结构示意图；

图 3 为本申请实施例提供的一种触发电路与比较器连接的结构示意图；

图 4 为本申请实施例提供的一种受控开关的结构示意图；

5 图 5 为本申请实施例提供的一种多组受控开关的结构示意图；

图 6A 和图 6B 为本申请实施例提供的一种延时电路的结构示意图；

图 6C 为本申请实施例提供的一种输入延迟比较参数的结构示意图；

图 7A 至图 7C 为本申请实施例提供的一种锁存器电路的结构示意图；

图 8 为本申请实施例提供的一种码制转换电路的结构示意图；

10 图 9 为本申请实施例提供的一种累加器的结构示意图；

图 10 为本申请实施例提供的一种锁存器的结构示意图；

图 11 为本申请实施例提供的一种 VFC 电路的控制方法步骤流程图；

图 12 为本申请实施例提供的一种 VFC 电路的时序图。

具体实施方式

15 为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

如图 1A 所示，本申请实施例示出了一种示例性系统 10，该示例性系
25 统 10 可以包括主机 20 和存储系统 30。其中，示例性系统 10 可以包括但不

限于移动电话、台式计算机、膝上型计算机、平板计算机、车辆计算机、游戏控制台、打印机、定位设备、可穿戴电子设备、智能传感器、虚拟现实（VR）设备、增强现实（AR）设备或者其中具有存储器 34 的任何其他合适的电子设备；主机 20 可以是电子设备的处理器（例如，中央处理单元（CPU））或者片上系统（SoC）（例如，应用处理器（AP））。

在本申请实施例中，主机 20 可以被配置为将数据发送到存储系统 30 或者从存储系统 30 接收数据。这里，存储系统 30 可以包括控制器 32 和一个或多个存储器 34。其中，存储器 34 可以包括但不限于 NAND 闪存（NAND Flash Memory）、垂直 NAND 闪存（Vertical NAND Flash Memory）、NOR 闪存（NOR Flash Memory）、动态随机存储器（Dynamic Random Access Memory, DRAM）、铁电随机存储器（Ferroelectric Random Access Memory, FRAM）、磁性随机存储器（Magnetoresistive Random Access Memory, MRAM）、相变随机存储器（Phase Change Random Access Memory, PCRAM）、阻变随机存储器（Resistive Random Access Memory, RRAM）、纳米随机存储器（Nano Random Access Memory, NRAM）等。

另一方面，控制器 32 可以耦合到存储器 34 和主机 20，且配置为控制存储器 34。示例性地，控制器可以被设计为配置为在低占空比环境中操作，如安全数字（SD）卡、紧凑型闪存（CF）卡、通用串行总线（USB）闪存驱动器或者配置为在诸如个人计算器、数字相机、移动电话等电子设备中使用的其他介质。在一些实施例中，控制器还可以被设计为配置为在高占空比环境 SSD 或嵌入式多媒体卡（eMMC）中操作，SSD 或 eMMC 用作诸如智能电话、平板计算机、膝上型计算机等移动设备的数据存储器以及企业存储阵列。进一步地，控制器可以管理存储器中的数据，并且与主机通信。控制器可以被配置为控制存储器读取、擦除和编程等操作；还可以被配置为管理关于存储在或要存储在存储器中的数据的各种功能，包括但不

限于坏块管理、垃圾收集、逻辑到物理地址转换、损耗均衡等；还可以被配置为处理关于从存储器读取的或者被写入到存储器中的数据的纠错码（ECC）。此外，控制器还可以执行任何其他合适的功能，例如格式化存储器，或者根据特定通信协议与外部设备（例如，图 1A 中主机 20）通信。

5 示例性地，控制器可以通过各种接口协议中的至少一种与外部设备通信，接口协议例如 USB 协议、MMC 协议、外围部件互连（PCI）协议、PCI 高速（PCI-E）协议、高级技术附件（ATA）协议、串行 ATA 协议、并行 ATA 协议、小型计算机小型接口（SCSI）协议、增强型小型磁盘接口（ESDI）协议、集成驱动电子设备（IDE）协议、Firewire 协议等。

10 在本申请实施例中，控制器和一个或多个存储器可以集成到各种类型的存储设备中，例如，包括在相同封装（例如，通用闪存存储（UFS）封装或 eMMC 封装）中。也就是说，存储系统可以实施并且封装到不同类型的终端电子产品中。如图 1B 所示，控制器 32 和单个存储器 34 可以集成到存储器卡 40 中。存储器卡 40 可以包括 PC 卡（PCMCIA，个人计算机存储器卡国际协会）、CF 卡、智能媒体（SM）卡、存储器棒、多媒体卡（MMC、RS-MMC、MMCmicro）、SD 卡（SD、miniSD、microSD、SDHC）、UFS 等。存储器卡 40 还可以包括将存储器卡 40 与主机（例如，图 1A 中的主机 20）耦合的存储器卡连接器 42。在如图 1C 中所示的另一实施例中，控制器 32 和多个存储器 34 可以集成到 SSD 50 中。SSD 50 还可以包括将 SSD 50 与主机（例如，图 1A 中的主机 20）耦合的 SSD 连接器 52。在一些实施方式中，SSD 50 的存储容量和/或操作速度大于存储器卡 40 的存储容量和/或操作速度。

需要说明的是，本申请实施例涉及的存储器可以是半导体存储器，是用半导体集成电路工艺制成的存储数据信息的固态电子器件。示例性地，

25 图 1D 为本申请实施例中一种可选的存储器 60 的示意图。其中，存储器 60

可以是图 1A 至图 1C 中的存储器 34。如图 1D 所示，存储器 60 可以由存储单元阵列 62 和耦合到存储单元阵列 62 的外围电路 64 等组成。这里，存储单元阵列可以是 NAND 闪存存储单元阵列，其中，存储单元以 NAND 存储串 66 阵列的形式提供，每个 NAND 存储串 66 在衬底（未示出）上方垂直地延伸。在一些实施例中，每个 NAND 存储串 66 可以包括串联耦合并且垂直地堆叠的多个存储单元。其中，每个存储单元以保持连续模拟值，例如，电压或电荷，其取决于在存储单元区域内捕获的电子的数量。另外，上述存储单元阵列 62 中的每个存储单元可以是包括浮栅晶体管的浮栅类型的存储单元，或者是包括电荷捕获晶体管的电荷捕获类型的存储单元。

在本申请实施例中，上述存储单元可以是具有两种可能的存储状态并且因此可以存储一位数据的单层存储单元（Single Level Cell，SLC）。例如，第一存储状态“0”可以对应于第一电压范围，并且第二存储状态“1”可以对应于第二电压范围。在另一些实施例中，每个存储单元是能够在多于四个的存储器状态中存储多于单个位的数据的多层存储单元（Multi Level Cell，MLC）。例如，MLC 可以每单元存储两位，每单元存储三位（又被称为三层存储单元（Triple Level Cell，TLC）），或者每单元存储四位（又被称为四层存储单元（Quad Level Cell，QLC））。每个 MLC 可以被编程为采取可能的标称存储值的范围。示例性地，如果每个 MLC 存储两位数据，则 MLC 可以被编程为通过将三个可能的标称存储值中的一个写入到该存储单元而从擦除状态采取三个可能的编程级中的一个。其中，第四标称存储值可以配置为擦除状态。

在本申请实施例中，上述外围电路可以通过位线（Bit Line，BL）、字线（Word Line，WL）、源极（Source Line）、源极选择栅（Source Select Gate，SSG）和漏极选择栅（Drain Select Gate，DSG）耦合到存储单元阵列。这里，外围电路可以包括任何合适的模拟、数字以及混合信号电路，以配置

为通过经由位线、字线、源极、SSG 和 DSG 将电压信号和/或电流信号施加到每个目标存储单元以及从每个目标存储单元感测电压信号和/或电流信号来促进存储单元阵列的操作。此外。外围电路还可以包括使用金属-氧化物-半导体 (MOS) 技术形成的各种类型的外围电路。示例性地, 如图 1E 所示。

5 外围电路 70 包括页缓冲器 (Page Buffer) /感测放大器 71、VFC 电路/列解码器/位线驱动器 72、行解码器/字线驱动器 73、电压发生器 74、控制逻辑单元 75、寄存器 76、接口 77 和数据总线 78。应当理解, 上述外围电路 70 可以与图 1D 中的外围电路 64 相同, 并且在另一些实施例中, 外围电路 70 还可以包括图 1E 中未示出的附加电路。

10 如图 1F 所示, 本申请实施例中示出了一种存储器中的 VFC 电路结构。其中, 存储单元阵列 80 可以通过位线与页缓冲器 90 相连接, 页缓冲器 90 和 VFC 电路 100 相连接。这里, 存储单元阵列可以包括多个存储单元 (Cell), 在经过编程操作之后, 页缓冲器输出电流信号至 VFC 电路。示例性地, 若存储单元通过了编程验证, 则对应的数据通路上没有电流信号, 或者电流
15 为 0; 若存储单元未通过编程验证, 则存储单元对应的位线支路的页缓冲器会输出对应的电流信号, 多条位线上的输出的电流信号累加起来, 则为对存储器进行验证得到的检测信号。

如图 2A 所示, 本申请实施例提供了一种存储器, 该存储器包括存储单元阵列 80 和外围电路, 外围电路至少包括 VFC 电路 100, 其中, VFC 电路
20 具体包括:

触发电路 120, 包括基准信号输出电路 121 和错误位信号输出电路 122;

其中, 所述错误位信号输出电路 122 被配置为: 根据对存储器进行验证得到的检测信号, 产生错误位信号 Vero;

所述基准信号输出电路 121 被配置为: 输出至少一个基准信号 Inp;

25 比较器 130, 与所述触发电路 120 耦接; 所述比较器 130 被配置为:

依次比较所述错误位信号 Vero 和所述多个基准信号 Inp, 得到验证结果。

在本申请实施例中, 上述 VFC 电路 100 还可以包括参考电路 110。其中, 参考电路可以配置为接收外部输入信号, 例如时钟信号、使能信号或电压电流信号, 使 VFC 电路启动验证错误位计数。

在一些实施例中, 参考电路 110 与所述触发电路 120 连接, 并被配置为基于外部输入信号向触发电路 120 输出控制信号; 该控制信号配置为使能触发电路。示例性地, 如图 2B 所示, 参考电路 110 可以包括一个比较器 111, 该比较器配置为接收外部输入信号 Vref, 并依据其大小向触发电路 120 输出使能信号, 该信号用以开启触发电路 120 中的部分控制开关, 从而起到使能触发电路 120 的作用。

示例性地, 如图 2B 所示, 参考电路 110 的输出信号配置为为 P1、P2 以及 P3 晶体管提供栅极控制信号。参考电路输出低电平时, 可以向打开 P1、P2 和 P3。此时 P1 和 P2 所在的通路导通, 产生第一控制信号 e1 和第二控制信号 e2。其中, 第一控制信号 e1 配置为使能基准信号输出电路 121 输出多个所述基准信号 Inp; 所述第二控制信号 e2 配置为使能所述错误位信号输出电路 122 接收所述检测信号 Iero。

可以理解的是, 第二控制信号 e2 使其连接的 NMOS 导通后, PB 节点可以接收到 PB 侧对应的检测信号, 从而将检测信号 Iero 对应的电压值 Vero 传递至触发电路 120 作为待比较的信号之一。第一控制信号 e1 则使能基准信号输出电路 121 开始输出第一个参考信号 Inp(1), 之后可依次继续输出不同的基准信号 Inp(i), 直至比较结束。

如图 2B 所示, 触发电路 120 的基准信号输出电路 121 可以包括多条支路 123, 配置为产生对应的多个基准信号 Inp。如图 2B 所示, 每个支路开启时可提供信号 i, 多条支路并联得到的总信号则为上述基准信号 Inp。各

支路上的开关的控制信号 E_1 、 E_2 ... E_i 等配置为触发电路 120 中多条支路 123 的开启或者关闭，可以改变总的电阻，使得产生多个不同大小的基准信号 Inp 。示例性地，若触发电路 120 中的多条支路 123 开启，则总的电阻变小，该多条支路 123 并联起来输出的总电流更大，对应的基准信号 Inp 对比
5 较器的输入电压值更小。

另一方面，触发电路 120 还可以通过其他电路与存储单元阵列耦接。如图 2B 所示，触发电路 120 通过 PB 节点与页缓冲器连接（图 2B 中仅示出 PB 节点，未示出页缓冲器），页缓冲器再连接至存储单元阵列。在对存储单元阵列中存储的数据进行验证后，可以通过页缓冲器得到相应的检测
10 信号 I_{ero} 。该检测信号 I_{ero} 中可以携带有验证数据的错误信息。因此，触发电路 120 可以接收该检测信号并产生相应的错误位信号 V_{ero} （即 PB 节点的电压）。该错误位信号 V_{ero} 会施加至触发电路 120 中与各支路 123 连接的电源端 PMOS 开关的控制极，配置为导通电源端的通路为这些支路 123 提供电流，同时作为比较器 130 的输入信号，即待比较的信号。通过比较该
15 错误位信号 V_{ero} 与不同的基准信号 Inp ，可以得出错误位信号 V_{ero} 的大小范围，该范围则可以体现出错误位数量的范围，进而可以利用比较结果确定错误位计数的验证结果。

在本申请实施例中，比较器 130 可以耦接到上述触发电路 120。如图 2C 所示，这里的比较器 130 是指对两个电压信号（错误位信号 V_{ero} 和基准
20 信号 Inp ）进行比较，以确定两个电压信号是否相等或大小关系的电路元件。其中，比较器 130 的两路输入为模拟信号，输出则为二进制信号“0”或“1”（通过低电平和高电平来表示）。在一些实施例中，需要根据二进制信号计算验证错误位的具体数量时，可以将比较器的比较结果用符号 $Ver\_out<13:0>$ 来表示。其中， $Ver\_out<13:0>$ 表示将错误位信号与 14 个不同的
25 基准信号进行比较后，得到的 14 个二进制输出信号的集合。示例性地，

若错误位信号大于基准信号，则输出 $Ver\_out<0>=1$ ；若错误位信号小于基准信号，则输出 $Ver\_out<0>=0$ 。需要说明的是，上述多个基准信号的数量需要根据实际情况确定。

图 2B 给出了本申请实施例的一种 VFC 电路的示意图，其中，触发电路 120 具有配置为产生多个基准信号 Inp ，这些基准信号 Inp 可以分时依次提供至同一比较器 130，比较器 130 则依次比较错误位信号 $Vero$ 与多个基准信号 Inp ，直至确定出错误位信号 $Vero$ 的范围。

在一些实施例中，可以先比较错误位信号 $Vero$ 与第一个基准信号 Inp ，若比较器输出结果为二进制信号“1”，则表示错误位信号大于第一个基准信号，再将错误位信号 $Vero$ 与第二个基准信号（第二个基准信号大于第一个基准信号）进行比较，直至比较器 130 的输出结果为二进制信号“0”，就可以确定错误位信号 $Vero$ 所在的电压大小范围，从而得到验证结果。因此，本申请实施例可以对不同的基准信号 Inp 复用比较器，从而减少多余电路元件的占用面积，节约存储器的空间，同时可以减少功耗，提升存储器的可靠性。

相对地，在一些实施例中，如图 3 示出的另一种 VFC 电路，该 VFC 电路的触发电路（虚线框中的部分）包括并列排布的多个与 PB 侧连接的支路以及多个输出基准信号 Inp 的支路（图 3 中示出的立体结构），并且每个支路连接一个比较器。每组支路通过一组受控开关控制，导通时输出一个基准信号 Inp 与错误位信号 $Vero$ 进行比较时，都需要采用不同的比较器。示例性地，将错误位信号与第一基准信号输入到第一比较器中，若输出的比较结果为高电平，则表示二进制信号“1”，需要将错误位信号与第二基准信号输入到与第一比较器不同的第二比较器中。相对于本申请实施例提供的如图 2B 所示的 VFC 电路中的触发电路 120，图 3 中的触发电路，每次比较过程都采用单独的比较器，会占用较大的面积；另一方面，在第二个

比较器开启的情况下，第一个比较器仍保持开启状态，这样会导致多余的功耗，从而增加器件损坏的概率。

在一些实施例中，如图 4 所示，所述基准信号输出电路 121，包括：

多条并联的支路 123，每条支路包括至少一个受控开关 410；所述多条
5 并联的支路 123 分别配置为输出所述多个基准信号。

在本申请实施例中，上述触发电路 120 可以通过多个受控开关 410 来分别控制多条支路 123 的开启，基准信号 Inp 可以是多条支路并联后的干路电流，因此，并联的总电流在数值上等于多条支路电流的总和，不同的总电流值则对应不同的基准信号 Inp 的电压值。

10 在本申请实施例中，可以通过依次开启受控开关，使得导通的支路数量依次增加，从而得到多个不同的基准信号 Inp 。可以理解的是，若开启的受控开关越多，则接入触发电路的支路数量越多，使得干路上的电流越大，输出的基准信号的电压值越小；反之亦然，若开启的受控开关越少，则接入触发电路的支路数量越少，使得干路上的电流越小，输出的基准信号的
15 电压值越大。示例性地，第一受控开关对应于第一支路的开启，第二受控开关对应于第二支路的开启，每个受控开关对应于每个支路，且受控开关和支路的数量需要根据实际生产需求确定。需要说明的是，上述受控开关包括但不限于三级管、场效应晶体管等三端器件或其他可实现开关功能的电路元件中的一种或多种。

20 在另一实施例中，上述各支路 123 上的受控开关可以具有不同的电阻值，从而导通时可以提供不同的基准信号。故这种情况可以分别依次导通不同的支路 123，且每次仅导通一条支路 123。

此外，各条支路上还可以具有另一受控开关，并且每条支路的这一受控开关均由如图 4 所示的 $e1$ 信号控制，该 $e1$ 信号可以由上述实施例中所涉
25 及的参考电路 110 触发晶体管 $P1$ 导通而得到，从而达到使能触发电路的作

用。

本申请实施例可以根据参考电路的控制信号来控制受控开关的开启或者关闭，且一个受控开关对应一个支路的开启，这样可以精准的调节基准信号的数值，从而提高比较结果的可靠性。

5 在一些实施例中，所述多个受控开关 410 被配置为：接收到第一使能信号 E_i 的所述受控开关 410 切换为导通状态，使对应的所述支路 123 导通并提供所述基准信号 Inp 。

在本申请实施例中，具体地，可以接收多个外部输入的第一使能信号 E_1 、 E_2 ... E_i ，从而控制受控开关 410 的开启或者关闭。并且，多个第一使能信号 E_1 、 E_2 ... E_i 可以依次输入到受控开关 410，即可以以一定延迟依次触发上述受控开关 410。这里，受控开关 410 可以是晶体管，第一使能信号 E_1 、 E_2 ... E_i 则为施加在晶体管控制极的电压信号。示例性地，第一使能信号可以是高电平，当对应支路接收到上述高电平的信号时，可以使得支路上的受控开关开启。

15 在另一些实施例中，上述第一使能信号 E_1 、 E_2 ... E_i 可以是上一支路 123 进行比较后的结果反馈至当前支路 123 后实现对下一支路 123 的使能，从而实现依次比较。

在一些实施例中，如图 5 所示，所述比较器 130 包括至少两个；所述基准信号输出电路 121 包括至少两个子输出电路；每个所述子输出电路包
20 括至少一条所述支路 123，且一个所述子输出电路连接一个所述比较器 130，其中，所述子输出电路的个数与所述比较器 130 的个数相同。

可以理解的是，在上述实施例中，可以分时依次比较错误位信号 $Vero$ 与多个不同的基准信号 Inp ，这样只需要一个比较器即可。在一些实施例中，为了平衡延迟时长，也可以使用多个比较器 130。也就是说，可以将上述触
25 发电路 120 中的多条支路进行分组，每组共用一个比较器 130。示例性地，

可以将待比较的基准信号 Inp 通过支路分为两组（低比特组和高比特组）或者三组（低比特组、中比特组和高比特组）。这里的组数可以根据实际验证错误位计数的精确度来确定。

如图 5 所示，触发电路 120 的多条支路可以被分成两个子输出电路，
5 包括：低比特组 510 与高比特组 520。其中，低比特组 510 可以代表错误位为 1 至 9 比特数的范围，高比特组 520 可以代表错误位为 10 至 25 比特数的范围，两组支路提供的各基准信号不同。两组支路输出的基准信号 Inp 以及错误位信号 Vero 分别输入至不同的比较器 130 中，从而可以分别得到对应的比较参数。这里，比特数的上限可以根据存储单元阵列中未通过编程验证的存储单元数量来确定。
10

需要说明的是，上述比特是指存储器的最小存储单元，即存储单元阵列中的一个存储单元存储的数据。以单层存储单元（Single Level Cell）为例，存储单元的编程状态可以是二进制信息“0”或者“1”，其中，二进制信息“1”可以表示该存储单元未进行编程或编程失败（未通过编程验证），
15 二进制信息“0”可以表示该存储单元被编程且验证通过。示例性地，编程失败的存储单元数量将会以上述比特数的形式被锁存在页缓冲器中，再通过电信号的形式被 VFC 电路统计。具体地，页缓冲器输入 VFC 电路检测信号 Iero 可以经由 VFC 电路转换为错误位信号 Vero 并与 VFC 电路内部触发电路输出的多个基准信号 Inp 依次进行对比。由于导通的支路数量不同可以提供不同的多个基准信号 Inp，因此，上述基于比特数将受控开关进行分组
20 可以直观的确定错误位数的范围。

这里，每一子输出电路复用同一个比较器。例如，受控开关可以分为第一组（低比特组）和第二组（高比特组），则第一组可以利用第一比较器来比较错误位是否处于低比特范围内，第二组可以利用第二比较器来比较
25 错误位是否处于高比特范围内。需要说明的是，这里的低比特范围和高比

特范围可以根据子输出电路的数量改变。若子输出电路越多，则子输出电路对应的错误位比特范围越小，确定的错误位数越精确，需要设置的比较器也越多；若组数越少，则对应的错误位比特范围越大，确定的错误位数越宽泛，需要设置的比较器也越少。

5 因此，本申请实施例可以设置多个子输出电路，每个子输出电路中的各条支路都复用对应的比较器来依次比较错误位信号和多个基准信号；另一方面，每次比较器可以相互独立进行比较，这样既可以减少电路元件的占用面积，节约空间，又可以提高比较效率，提高 VFC 电路的可靠性。

10 在一些实施例中，所述比较器的输入端连接所述触发电路，并被配置为：

比较所述错误位信号和一个基准信号，输出比较参数；

如果所述比较参数指示所述错误位信号大于所述基准信号，则继续比较下一个基准信号；

15 如果所述比较参数指示所述错误位信号小于或等于所述基准信号，则停止比较并输出所述验证结果。

在本申请实施例中，上述比较器可以具有至少两个输入端和一个输出端，其中，两个输入端配置为分别接收触发电路产生的错误位信号和输出的一个基准信号，一个输出端配置为输出比较后的结果，即上述比较参数。这里的比较参数可以为二进制信号“0”或“1”。示例性地，若错误位信号
20 大于所比较的基准信号，则输出二进制信号“1”，指示未通过编程验证的存储单元数量大于当前基准信号对应的比特数，需要继续下一轮的比较；若错误位信号小于或等于所比较的基准信号，则输出二进制信号“0”，指示未通过编程验证的存储单元数量已小于或等于当前基准信号对应的比特数或者位于当前基准信号对应的比特数范围内，从而可以停止比较，得到
25 对应的验证结果。

因此，本申请实施例中的比较器可以依次比较错误位信号和多个基准信号，从而逐级判断未通过编程验证的存储单元数量是否位于当前基准信号对应的比特数范围内。这样可以提高比较的效率和精度，增加 VFC 电流的可靠性。

5 在一些实施例中，如图 6A 所示，所述存储器外围电路中的 VFC 电路 100 还包括：

延时电路 140，与所述比较器 130 耦接；所述延时电路 140 被配置为：
依次接收多个第二使能信号 en ，输出延迟信号；

根据接收到的多个所述延迟信号，分别延迟所述比较器输出的多个所述比较参数，输出延迟比较参数。

在本申请实施例中，比较器可以配置为依次比较错误位信号和多个基准信号，从而实现复用，这样使得同一比较器 130 会输出多个比较参数。为了能有效区分上述多个比较参数，本申请实施例可以将比较器 130 与延时电路 140 耦接，这样可以通过施加对应的延时来进行区分。需要说明的是，如图 6B 所示，上述延时电路 140 可以在比较器 130 输出比较参数之前，接收第二使能信号 $en0 \dots en6$ 来输出对应的延迟信号 $a0 \dots a6$ 。这里的第二使能信号可以是高电平信号，配置为触发延时电路 140 输出对应的延迟信号；这里的延迟信号可以是时间 Δt 内的一段高电平信号。此外，第二使能信号 $en0 \dots en6$ 可以根据时钟信号或者其他外部信号按照预设的顺序依次提供至延迟电路 140。

本申请实施例涉及的延时电路 140 可以具有多条延时支路，这里的多条支路与上述多个比较参数相对应，即配置为延迟每一基准信号与错误位信号比较后的比较参数。另外，延时电路 140 的多条延时支路可以复用同一个延时模块，该延时模块可以分别对应每条支路的第二使能信号 $en0 \dots en6$ 输出对应的延迟信号，这样减少多余延时模块的功耗。需要说明的是，

每条延时支路设定一个延时模块，或者多条延时支路设定一个延时模块等其他的技术方案也是本申请实施例所要求保护的范围。

示例性地，如图 6C 所示，当比较器 130 输出第一比较参数 out0 时，上述延时电路 140 可以接收第二使能信号 en0，从而触发对应的延时支路产生第一延迟信号 a0，并可以通过一个与门 610 将第一比较参数 out0 延迟，
5 最终输出第一延迟比较参数 a0_1。这里，延迟单元 140 的多个输出端可以分别连接至多个与门 610，由于延迟单元 140 的多个输出端是分时输出延迟信号的，因此，最终多个与门 610 输出的延迟比较参数 a0_1 至 ax_1 也是分时输出的，这样，就可以利用同一个比较器分别对不同的基准信号进行处理，
10 分时得到各基准信号对应的比较结果，从而实现比较器的复用。

需要说明的是，上述延迟信号为高电平，若比较参数为高电平，则经过与门后的延迟比较参数也为高电平，反之，若比较参数为低电平，则经过与门后的延迟比较参数也为低电平。因此，上述延时电路不会改变比较器输出的比较参数对应的二进制信息，又可以区分多个比较参数。

15 本申请实施例中采用延时电路可以有效地区分比较器的比较参数，从而提高验证错误位计数的精度，提升产品可靠性。

在一些实施例中，如图 7A 所示，所述外围电路中，VFC 电路 100 还包括：

锁存器电路 150，包括多个锁存器，与所述延时电路 140 耦接；所述锁
20 存器配置为存储所述延迟比较参数；其中，所述锁存器的个数与所述基准信号的个数相同。

在本申请实施例中，复用的比较器会产生多个比较参数，且每个比较参数是相对独立的，需要经过延时电路延迟并计算错误位数，从而得到验证结果。因此，可以将锁存器电路与上述延时电路耦接，将多个延迟比较
25 参数锁存起来，再配置为后续的计算。这里的锁存器可以将二进制信息“0”

或“1”转换为电平信号锁存，并维持其电平状态。其中，每个延迟比较参数都可以对应于一个锁存器，从而组成了上述的锁存器电路，因此，锁存器的个数可以与基准信号的个数相同，从而使得每次比较后得到的延迟比较参数可以分别存储在单独的锁存器中。

5 在一些实施例中，所述锁存器电路还与所述触发电路耦接，其中所述锁存器被配置为：

将所述延迟比较参数转换为锁存信号，并锁存到对应的所述锁存器中；

根据所述锁存信号，输出反馈信号；其中，所述反馈信号配置为触发所述触发电路切换待比较的所述基准信号。

10 在本申请实施例中，如图 7B 所示，为上述锁存器电路 150 中的一个锁存器 151 的结构示意图。这里的锁存器 151 可以具有场效应晶体管 710 和锁存单元 720，其中，场效应晶体管 710 的控制端接收上述延迟比较参数，如 ax_1 ，即控制端连接在上述与门 610 的输出端，从而可以配置为开启锁存单元 720 实现数据的锁存。示例性地，若延迟比较参数为二进制信息“1”，
15 则在场效应晶体管 710 导通的情况下，可以将该二进制信息转换为锁存器内部的电平信号（例如高电平），并作为锁存单元 720 的输入锁存起来。示例性地，若延迟比较参数为二进制信息“1”，即高电平电压信号，使得场效应晶体管 710 导通，地电压通过场效应晶体管 710 到达锁存单元 720，锁存单元 720 对地电压信号进行反相处理，得到的锁存信号 b_0 则为高电平
20 电压信号，从而实现锁存。

进一步地，锁存单元 720 的结构可以如图 7C 所示。这里，在未锁存之前，锁存单元 720 的控制端 $Y = “1”$ 。当该延迟比较参数通过上述导通的场效应管 710 输入到锁存器后，需要锁存到对应的锁存单元 720 中。此时，该锁存单元的控制端 Y 由“1”变为“0”，由二进制信息“1”转换来的高
25 电平信号从锁存单元的另一输入端 A 输入，从而将信号锁存起来。当后续

需要上述信息时，再将控制端 Y 由“0”变为“1”，则可以取消锁存，从输出端 B 输出对应的高电平信息。

另一方面，上述锁存器可以根据锁存的电平信息输出对应的反馈信号，这里的反馈信号可以是电平信号、时钟信号或其他反馈信号。示例性地，
5 若锁存的信息为高电平，说明输入该锁存器的延迟比较参数为二进制信息“1”，进一步说明错误位电路大于当前基准信号，即错误位数未处于当前比较的比特数范围内。因此，需要根据该锁存的高电平信息输出高电平的反馈信息，并输入到与上述锁存器电路耦接的触发电路中，使得触发电路产生新的第一使能信号，配置为开启对应的受控开关，从而触发新的基准
10 信号，配置为和错误位信号进行一轮新的比较。依次循环，直到错误位信号小于或等于当前的基准信号，则锁存器中的锁存信息为低电平，对应的反馈信号也为低电平，这样使得触发电路不再产生新的第一使能信号，对应的受控开关也不再开启，进而停止比较，最终通过后续计算得到对应的验证结果。

15 本申请实施例可以通过锁存器电路锁存上述延迟比较参数，并输出反馈信号到触发电路，配置为根据该锁存信息判断是否进行下一轮比较。这样可以有效地保存延迟比较参数，减少数据丢失，并且加入反馈信号，改变了触发电路中的受控开关的开启条件，从而增加了 VFC 电路的可靠性。

在一些实施例中，如图 8 所示，所述存储器中的 VFC 电路 100 还包括：
20 码制转换电路 160，与所述锁存器电路 150 耦接；所述码制转换电路 160 被配置为：将所述锁存信号转换为二进制码；所述二进制码配置为计算得到所述验证结果。

在本申请实施例中，根据锁存器中锁存的锁存信息无法直观的表述未通过编程验证的存储单元数量，因此可以将锁存器电路与码制转换电路耦
25 接，从而将锁存信息对应的电平信号转化为更易识别的二进制码。对应的，

高电平可以转换为二进制码“1”，低电平可以转换为二进制码“0”。这样，将电信号转换为数值信号可以更加方便、简洁、直观地表达验证结果，从而提升 VFC 电流的可靠性。

在一些实施例中，如图 9 所示，所述存储器中的 VFC 电路 100 还包括：

5 累加器 170，与所述码制转换电路 160 耦接；所述累加器 170 被配置为：
累加从所述码制转换电路获得的多个所述二进制码，得到错误位计数的所述验证结果。

在本申请实施例中，将每个锁存信号转换为对应的二进制码后，还可以将上述二进制码进行累加，从而获得整个存储单元阵列的错误位数。因此，可以将上述码制转换电路与累加器耦接，这里的累加器可以采用寄存器。累加器可以在计算验证结果之前初始化，并以此将码制转换电路获得的多个二进制码累加，从而获得 VFC 电路多次比较后的错误位数量总和，最终得到错误位计数的验证结果。

在一些实施例中，所述锁存器电路 150 还被配置为：

15 接收重置信号，重置所述锁存信号。

在本申请实施例中，如图 10 所示，上述存储器电路中的每个锁存器 151 还可以包括配置为接收重置信号的场效应晶体管 730，这些场效应晶体管 730 的输入端可以是同一电路节点，即当锁存器电路接收重置信号时，该电路中的所有锁存器也将对应的接收重置信号，并将锁存单元中的锁存信息
20 重置。示例性地，一下锁存器锁存高电平，一下锁存器锁存低电平，在接收重置信号后，所有的锁存器将被重置为低电平，且锁存单元中的控制端将重置为“1”。

本申请实施例可以在参考电路输出控制信号到触发电路之后，将重置信号输入到锁存器电路，使得在锁存延迟比较参数之前保持锁存器的开启。
25 这样，改变了 VFC 电路的触发方式，并可以增加锁存信息的准确性，提高

反馈信号的精度，从而提升了存储器的可靠性。

另一方面，如图 11 所示，本申请实施例还提供了一种半导体存储器的验证错误位计数电路的控制方法，包括：

步骤 S10、输出至少一个基准信号；

5 步骤 S20、根据对存储器进行验证得到的检测信号，产生错误位信号；

步骤 S30、依次比较所述错误位信号和所述多个基准信号，得到验证结果。

在本申请实施例中，参考电路可以配置为接收外部控制信号，例如时钟信号或使能信号，使 VFC 电路启动验证错误位计数。对应的，参考电路
10 可以将外部信号转换为内部的控制信号并输出，配置为控制 VFC 电路中的对应单元输出多个基准信号。这里的多个基准信号可以通过触发电路上多个受控开关来控制，受控开关又可以根据上述参考电路的控制信号来实现开启或者关闭。因此，若开启的受控开关越多，则接入触发电路的支路数量越多，使得干路上的基准信号越大；若开启的受控开关越少，则接入触
15 发电路的支路数量越少，使得干路上的基准信号越小。

在 VFC 电路启动后，可以接收来自检测信号，并根据参考电路输出的控制信号，产生错误位信号。这里的错误位信号是页缓冲器中接收到的错误比特数所对应的电流，配置为指示存储单元阵列未通过编程验证的存储单元的数量。示例性地，存储单元阵列可以通过位线与页缓冲器耦接，若
20 存储单元未通过编程验证，则存储单元对应的位线支路的页缓冲器会输出对应的电流信号，VFC 电路通过对该电流信号进行统计，可以得到未通过编程验证的存储单元的个数并输出该个数，从而实现了验证过程中错误位的计数。需要说明的是，上述步骤 S10 和步骤 S20 是两个相互独立的步骤，在实际操作中可以依次实现，也可以同步实现。

25 最终，通过 VFC 电路中的比较器可以依次比较上述错误位信号和多个

基准信号，这样得到验证结果。需要说明的是，本申请实施例中依次进行比较可以实现比较器的复用，从而减少电路元件的占用面积，节约空间，同时可以减少功耗，提升存储器的可靠性。

在一些实施例中，所述控制方法还包括：

- 5 依次接收多个第一使能信号；其中，接收到所述第一使能信号的受控开关切换为所述导通状态；连接开启状态的所述受控开关的所述支路导通并配置为提供所述基准信号。

在本申请实施例中，VFC 电路可以根据参考电路的控制信号来接收多个第一使能信号，从而控制受控开关的开启或者关闭。并且，多个使能信号可以依次输入到受控开关，即可以以一定延迟依次触发上述受控开关。
10 需要说明的是，这里的使能信号可以作为电信号加在受控开关对应的支路上，从而控制受控开关的开启。示例性地，第一使能信号可以是高电平，当对应支路接收到上述高电平的信号时，可以使得支路上的受控开关开启。

- 15 在一些实施例中，所述依次比较所述错误位电路和所述多个基准信号，得到验证结果，包括：

比较所述错误位信号和一个基准信号，输出比较参数；

根据与所述比较参数对应的延迟信号，延迟所述比较参数，输出延迟比较参数；

将所述延迟比较参数转换为锁存信号，锁存到对应的锁存器中；

- 20 若所述锁存信号指示所述错误位信号大于所述基准信号，则比较所述错误位信号和下一个基准信号，直至所述延迟比较参数指示所述错误位信号小于或等于所述基准信号；

将多个锁存器中锁存的所述锁存信号分别转换为二进制码；

累加多个所述二进制码，得到错误位计数的所述验证结果。

- 25 在本申请实施例中，可以通过 VFC 电路中的比较器依次比较上述错误

位电路和多个基准信号。具体地，在比较错误位信号和一个基准信号后可以输出对应的比较参数，这里的比较参数可以为二进制信号“0”或“1”。

本申请实施例中的 VFC 电路可以包括延时电路配置为输出预设的延迟信号，配置为将上述比较器输出的多个比较参数延迟，从而区分开同一比较器输出的多个比较参数。这里的延迟信号可以是时间 Δt 内的一段高电平信号，当比较器输出一个比较参数时，将上述比较参数与对应的延迟信号经过一个与门，从而输出对应的延迟比较参数。示例性地，若比较参数为高电平，则经过与门后的延迟比较参数也为高电平；反之，若比较参数为低电平，则经过与门后的延迟比较参数也为低电平，这样使得上述延时电路不会改变比较器输出的比较参数对应的二进制信息。

接着，本申请实施例可以通过锁存器将上述的延迟比较参数锁存起来。这里的锁存器可以将二进制信息“0”或“1”转换为电平信号锁存，并维持其电平状态。其中，每个延迟比较参数都可以对应于一个锁存器，从而组成了 VFC 电路内部的锁存器电路。

示例性地，若错误位信号大于所比较的基准信号，则比较器输出二进制信号“1”，锁存器锁存对应的高电平，从而指示未通过编程验证的存储单元数量大于当前基准信号对应的比特数，需要继续下一轮的比较；若错误位信号小于或等于所比较的基准信号，则比较器输出二进制信号“0”，锁存器锁存对应的低电平，从而指示未通过编程验证的存储单元数量已小于或等于当前基准信号对应的比特数或者位于当前基准信号对应的比特数范围内，从而可以停止比较，并通过后续计算得到对应的验证结果。

最终，可以通过 VFC 电路中的码制转换电路将锁存器锁存的电平信号转换为更易识别的二进制码。对应的，高电平可以转换为二进制码“1”，低电平可以转换为二进制码“0”。再通过累加器在计算验证结果之前初始化，并以此将码制转换电路获得的多个二进制码累加，从而获得 VFC 电路

多次比较后的错误位数量总和，最终得到错误位计数的验证结果。

在一些实施例中，所述若所述锁存信号指示所述错误位信号大于所述基准信号，则比较所述错误位信号和下一个基准信号，包括：

所述锁存器根据所述锁存信号，输出反馈信号；

- 5 若所述反馈信号指示所述错误位信号大于所述基准信号，则向下一个所述受控开关输出所述第一使能信号；其中，接收到所述第一使能信号的所述受控开关切换为开启状态，且所述触发电路产生下一个基准信号并与所述错误位信号进行比较。

- 在本申请实施例中，示例性地，若锁存的信息为高电平，说明输入该
10 锁存器的延迟比较参数为高电平，进一步说明错误位电路大于当前基准信号，即错误位数未处于当前比较的比特数范围内。因此，需要根据该锁存的高电平信息输出高电平的反馈信息，并输入到与上述锁存器电路耦接的触发电路中，使得触发电路产生新的第一使能信号，配置为开启对应的受控开关，从而触发新的基准信号，配置为和错误位信号进行一轮新的比较。
15 依次循环，直到错误位信号小于或等于当前的基准信号，则锁存器中的锁存信息为低电平，对应的反馈信号也为低电平，这样使得触发电路不再产生新的第一使能信号，对应的受控开关也不再开启，进而停止比较，最终通过上述码制转换电路和累加器计算得到对应的验证结果。

- 在一些实施例中，如图 12 所示，为本申请实施例提供的存储器的控制
20 时序图。示例性地，在 T0 时刻，参考电路可以接收来自外部的控制信号 En_ref（总的使能信号，图中未示出）启动 VFC 电路在 T1 时刻，需要向锁存器电路施加重置信号 Rst_latch（图中未示出），使得当前锁存器保持低电平，并恢复锁存状态。接着，参考电路输出的控制信号，打开如图 4 所示的触发电路 120 中的 PMOS 管 P1、P2 以及 P3。从而产生使能信号 e1 和 e2。
25 使得触发电路 120 在 T2 时刻产生对应的错误位信号 Vero 和基准信号 Inp。

然后，位于触发电路支路 123 上的受控开关在 T3 时刻接收对应的第一使能信号 E1，同时如图 6C 所示的延时电路 140 接收对应的第二使能信号 en0。比较器 130 输出对应的第一比较参数被延时电路输出的预设延迟信号 a0 延时，从 T3 时刻延迟至 T4 时刻，输出如图 6C 所示的延迟比较参数 ax_1 (此时为 a0_1)，此时对应的延迟比较参数 a0_1 对应的二进制信息为“1”，传输到如图 7B 所示的锁存器 151 中，锁存到对应锁存器 151 中的电平信号 b_0 为高电平，该电平信号即反馈信号，并将作为下一支路 123 的第一使能信号 E2。因此，将会继续比较错误位信号与下一个基准信号。

这时，锁存器 151 输出的反馈信号 b_0 使得触发电路再次接收第一使能信号 E2，从而开启下一支路 123 的受控开关，输出下一个基准信号 Inp，此时的基准信号 Inp 已经与上一次输出的基准信号 Inp 具有不同的电压值。同步地，延时电路 140 也会触发新的第二使能信号 en1，输出预设延迟信号 a1。自此循环，直至 T6 时刻，比较器 130 输出的第一比较参数为二进制信息“0”，这样，使得对应的延迟比较参数也为“0”，对应的锁存器锁存低电平，从而导致反馈信号不再触发对应的使能信号，验证结束。后续，码制转换单元会将锁存器电路中锁存的电平信息转换为二进制码，再输入到累加器中，从而得到最终的验证结果，即本次编程中未通过验证的存储单元数量为第三基准信号对应的比特数范围。

需要说明的是，如图 12 所示的时序图是以比较 3 次后得出比较结果为例，即比较到第三次，得到的锁存器延迟比较参数 a2_1 为低电平，表示当前的错误位信号大于参考信号，此时锁存器 151 中的电平信号 b_2 为低电平，将其反馈至下一支路 123 的第一使能信号 E4 无法导通下一支路 123，故停止后续的比较，相应地，后续各锁存器存储的电平信号如 b_3 至 b_12 等也为低电平。

本申请所提供的几个方法或设备实施例中所揭露的特征，在不冲突的

情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请

5 的保护范围应以所述权利要求的保护范围为准。

权利要求书

1. 一种存储器，所述存储器包括存储单元阵列和外围电路；所述外围电路至少包括：

触发电路，包括基准信号输出电路和错误位信号输出电路；

5 其中，所述错误位信号输出电路被配置为：根据对存储器进行验证得到的检测信号，产生错误位信号；

所述基准信号输出电路被配置为：输出至少一个基准信号；

比较器，与所述触发电路耦接；所述比较器被配置为：

比较所述错误位信号和至少一个所述基准信号，输出验证结果。

10 2. 根据权利要求 1 所述的存储器，其中，所述基准信号输出电路，包括：

多条并联的支路，每条支路包括至少一个受控开关；所述多条并联的支路分别配置为输出至少一个所述基准信号。

3. 根据权利要求 2 所述的存储器，其中，所述受控开关被配置为：

15 接收到第一使能信号的所述受控开关切换为导通状态，使对应的所述支路导通并提供所述基准信号。

4. 根据权利要求 2 所述的存储器，其中，所述比较器包括至少两个；

所述基准信号输出电路包括至少两个子输出电路；每个所述子输出电路包括至少一条所述支路，且一个所述子输出电路连接一个所述比较器，其中，

20 所述子输出电路的个数与所述比较器的个数相同。

5. 根据权利要求 1 至 4 任一所述的存储器，其中，所述比较器的输入端连接所述触发电路，并被配置为：

比较所述错误位信号和一个基准信号，输出比较参数；

如果所述比较参数指示所述错误位信号大于所述基准信号，则继续比

25 较下一个基准信号；

如果所述比较参数指示所述错误位信号小于或等于所述基准信号，则停止比较并输出所述验证结果。

6. 根据权利要求 5 所述的存储器，其中，所述外围电路中，还包括：
延时电路，与所述比较器耦接；所述延时电路被配置为：

5 依次接收多个第二使能信号，输出延迟信号；

根据接收到的多个所述延迟信号，分别延迟所述比较器输出的多个所述比较参数，输出延迟比较参数。

7. 根据权利要求 6 所述的存储器，其中，所述外围电路，还包括：

10 锁存器电路，包括多个锁存器，与所述延时电路耦接，所述锁存器配置为存储所述延迟比较参数；其中，所述锁存器的个数与所述基准信号的个数相同。

8. 根据权利要求 7 所述的存储器，其中，所述锁存器电路还与所述触发电路耦接，其中所述锁存器被配置为：

将所述延迟比较参数转换为锁存信号，并锁存到对应的所述锁存器中；

15 根据所述锁存信号，输出反馈信号；其中，所述反馈信号配置为触发所述触发电路切换待比较的所述基准信号。

9. 根据权利要求 8 所述的存储器，其中，所述存储器还包括：

码制转换电路，与所述锁存器电路耦接；所述码制转换电路被配置为：

20 将所述锁存信号转换为二进制码；所述二进制码配置为计算得到所述验证结果。

10. 根据权利要求 9 所述的存储器，其中，所述外围电路还包括：

累加器，与所述码制转换电路耦接；所述累加器被配置为：

累加从所述码制转换电路获得的多个所述二进制码，得到错误位计数的所述验证结果。

25 11. 根据权利要求 8 所述的存储器，其中，所述锁存器电路还被配置为：

接收重置信号，重置所述锁存信号。

12. 根据权利要求 1 所述的存储器，其中，所述外围电路还包括：

参考电路，与所述触发电路连接，并被配置为基于外部输入信号向所述触发电路输出控制信号；所述控制信号配置为使能所述触发电路。

5 13. 根据权利要求 12 所述的存储器，其中，所述控制信号，包括第一控制信号和第二控制信号；其中，所述第一控制信号配置为使能所述基准信号输出电路输出多个所述基准信号；所述第二控制信号配置为使能所述错误位信号输出电路接收所述检测信号。

10 14. 一种存储器的控制方法，所述控制方法应配置为所述存储器的外围电路，包括：

输出至少一个基准信号；

根据对存储器进行验证得到的检测信号，产生错误位信号；

比较所述错误位信号和至少一个所述基准信号，输出验证结果。

15. 根据权利要求 14 所述的控制方法，其中，所述控制方法还包括：

15 依次接收多个第一使能信号；其中，接收到所述第一使能信号的受控开关切换为导通状态；连接开启状态的所述受控开关的支路导通并配置为提供所述基准信号。

16. 根据权利要求 15 所述的控制方法，其中，所述比较所述错误位信号和所述多个基准信号，输出验证结果，包括：

20 比较所述错误位信号和一个基准信号，输出比较参数；根据与所述比较参数对应的延迟信号，延迟所述比较参数，输出延迟比较参数；

将所述延迟比较参数转换为锁存信号，锁存到对应的锁存器中；

若所述锁存信号指示所述错误位信号大于所述基准信号，则比较所述错误位信号和下一个基准信号，直至所述延迟比较参数指示所述错误位信号小于或等于所述基准信号；将多个锁存器中锁存的所述锁存信号分别转

25

换为二进制码;

累加多个所述二进制码, 得到配置为表示错误位计数的所述验证结果并输出所述验证结果。

17. 根据权利要求 16 所述的控制方法, 其中, 所述若所述锁存信号指示所述错误位信号大于所述基准信号, 则比较所述错误位信号和下一个基准信号, 包括:

所述锁存器根据所述锁存信号, 输出反馈信号;

若所述反馈信号指示所述错误位信号大于所述基准信号, 则向下一个所述受控开关输出的所述第一使能信号, 其中, 接收到所述第一使能信号的所述受控开关切换为开启状态, 且触发电路产生下一个基准信号并与所述错误位信号进行比较。

18. 根据权利要求 16 所述的控制方法, 其中, 所述方法还包括:

接收重置信号, 重置所述锁存信号。

19. 根据权利要求 16 所述的控制方法, 其中, 所述方法还包括:

15 基于外部输入信号, 输出控制信号; 其中, 所述控制信号包括: 配置为使能输出多个所述基准信号的第一控制信号和配置为使能接收所述检测信号的第二控制信号。

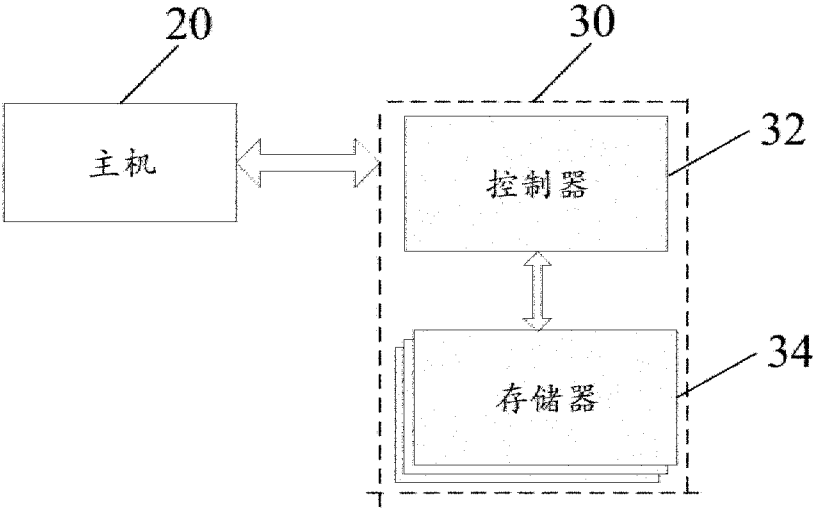
20. 一种存储器系统, 所述存储器系统包括:

存储器控制器;

20 存储器; 所述存储器包括存储单元阵列和外围电路; 所述外围电路至少包括: 触发电路和比较器; 所述触发电路包括基准信号输出电路和错误位信号输出电路; 其中, 所述错误位信号输出电路被配置为: 根据对存储器进行验证得到的检测信号, 产生错误位信号; 所述基准信号输出电路被配置为: 输出至少一个基准信号; 所述比较器, 与所述触发电路耦接; 所述比较器被配置为: 比较所述错误位信号和至少一个所述基准信号, 输出

25

验证结果。



10

图 1A

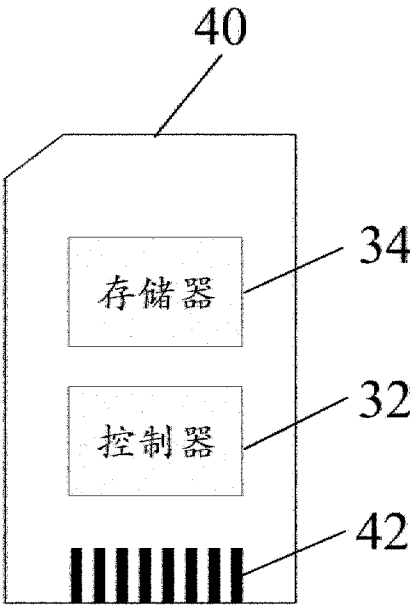


图 1B

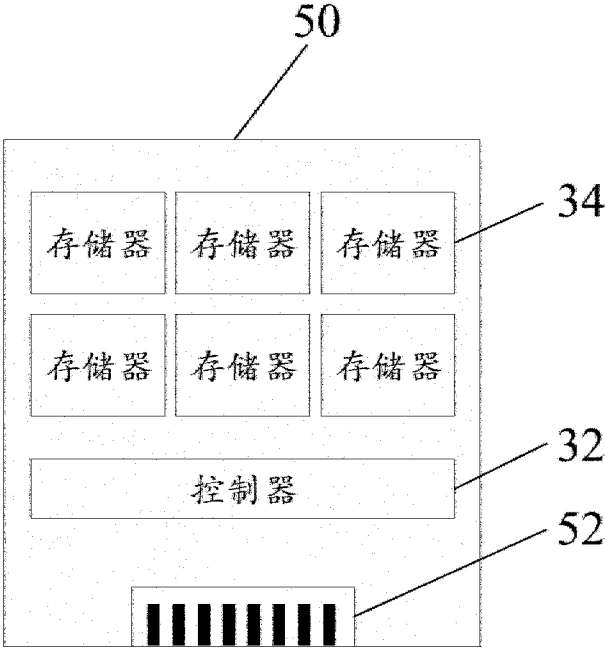
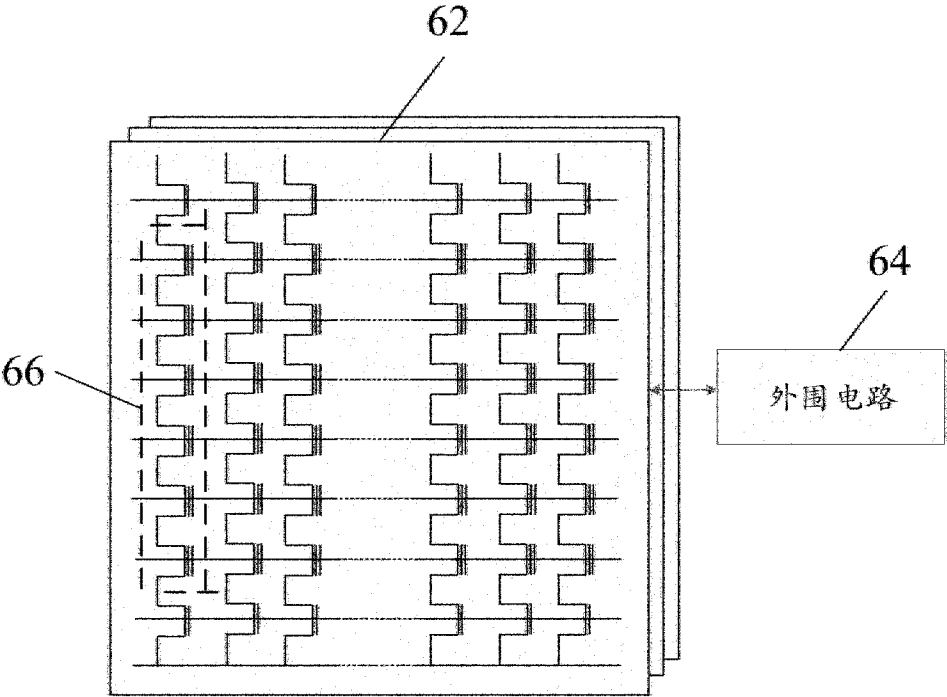
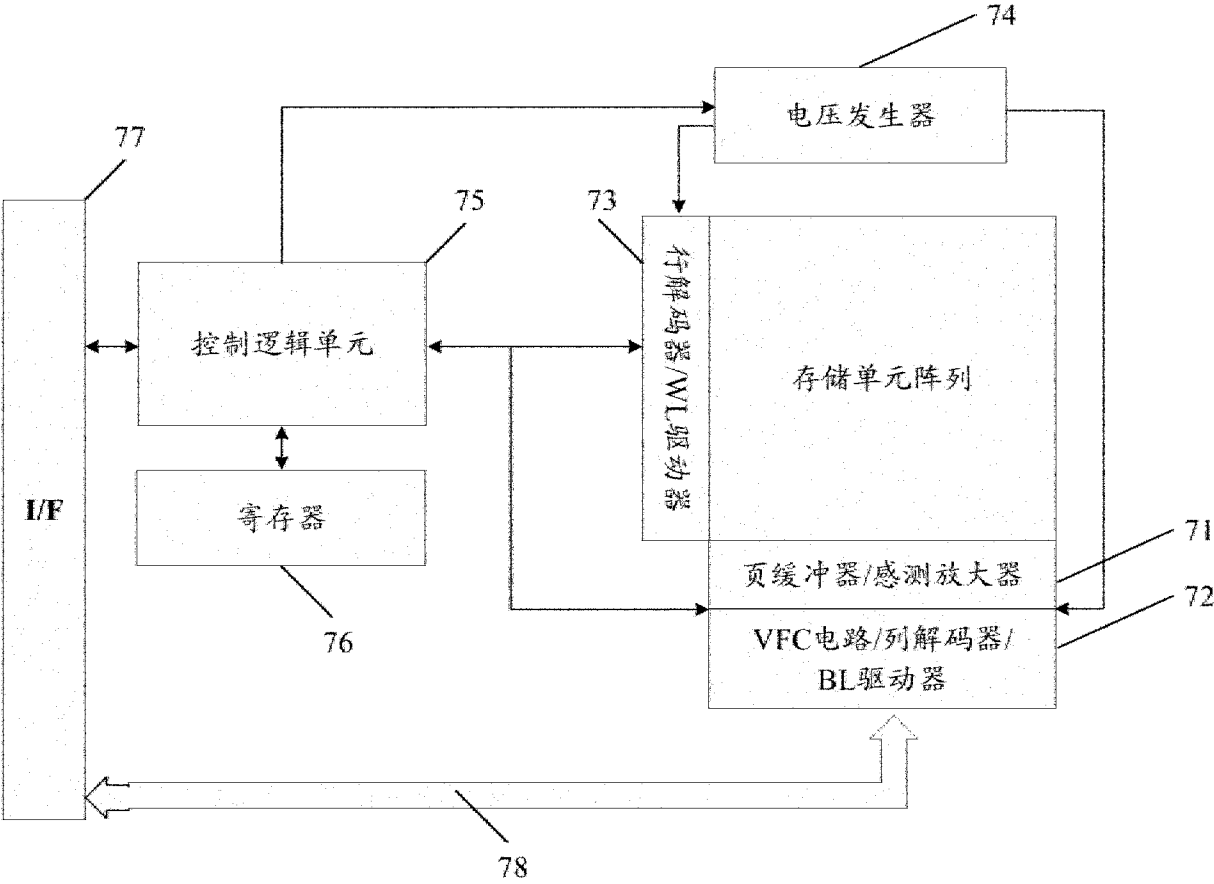


图 1C



60

图 1D



70

图 1E

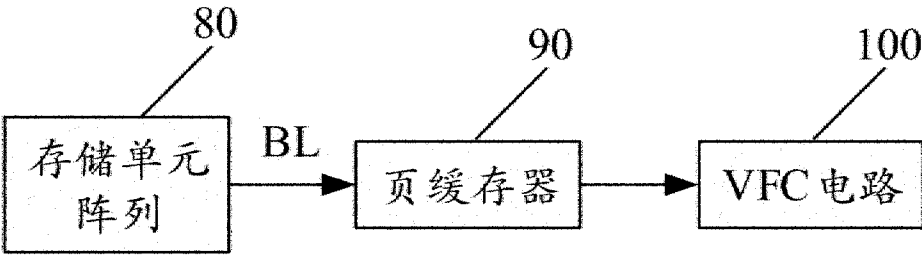


图 1F

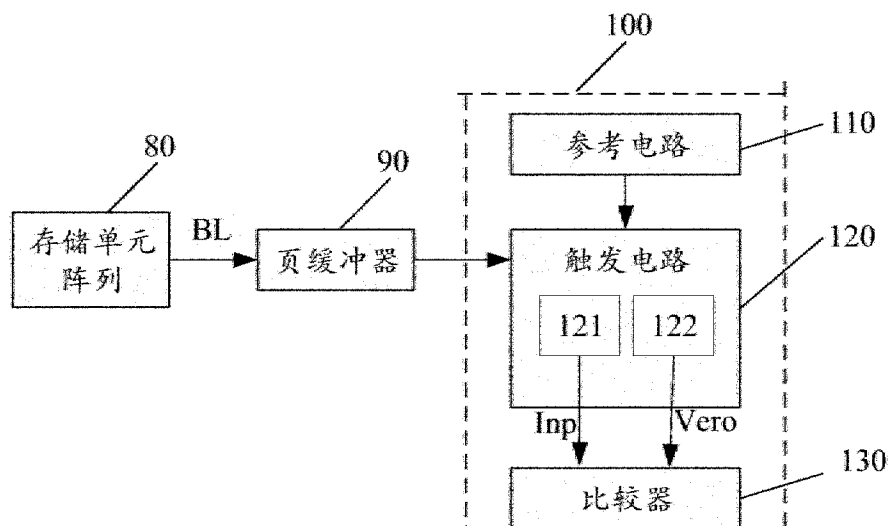


图 2A

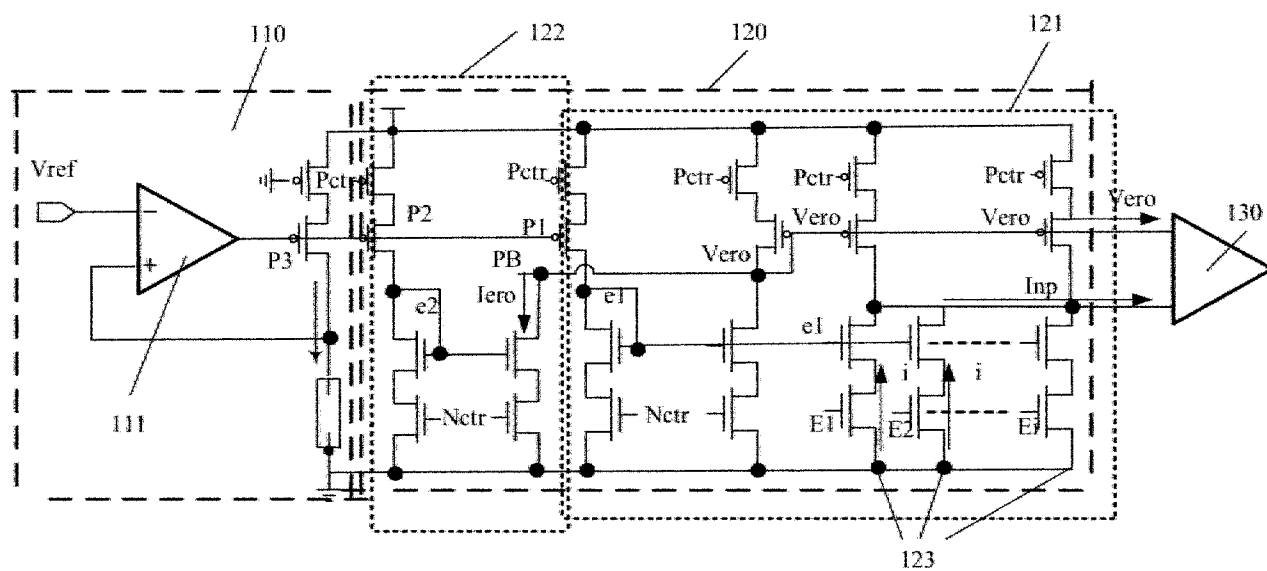


图 2B

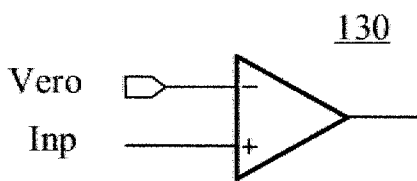


图 2C

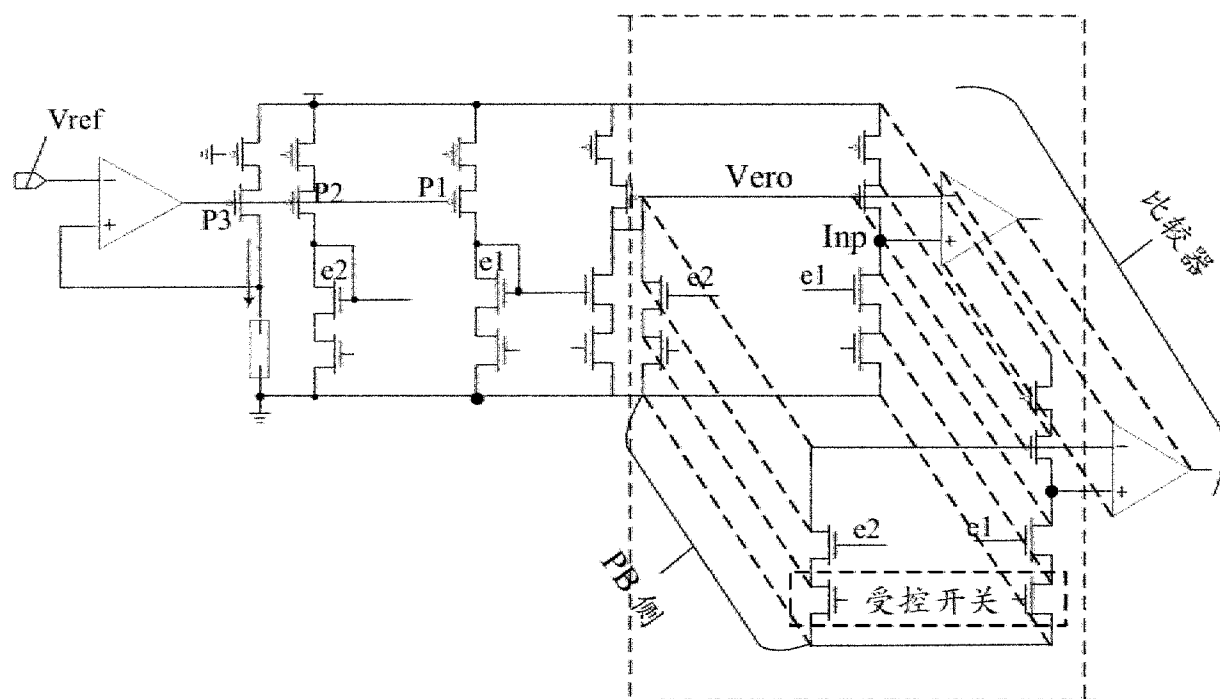


图 3

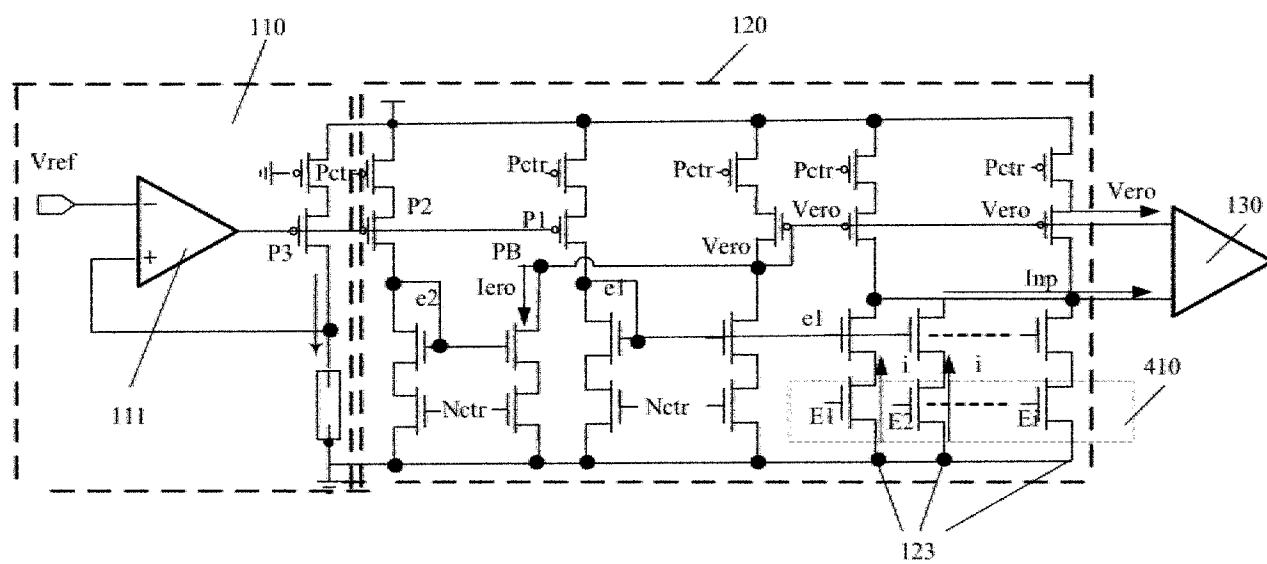


图 4

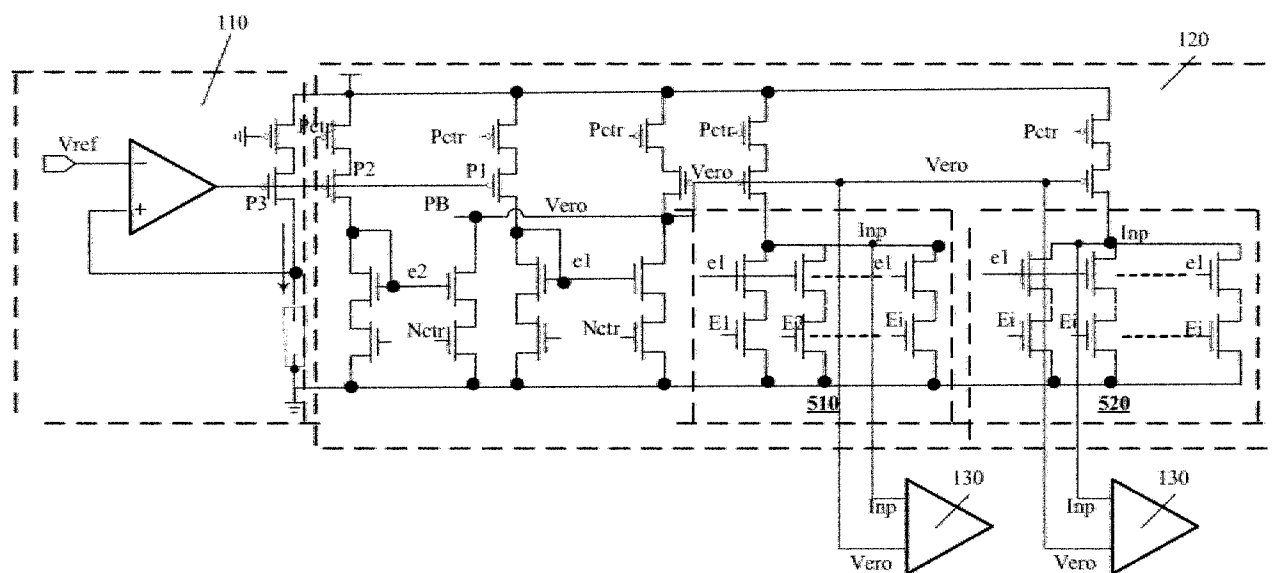


图 5

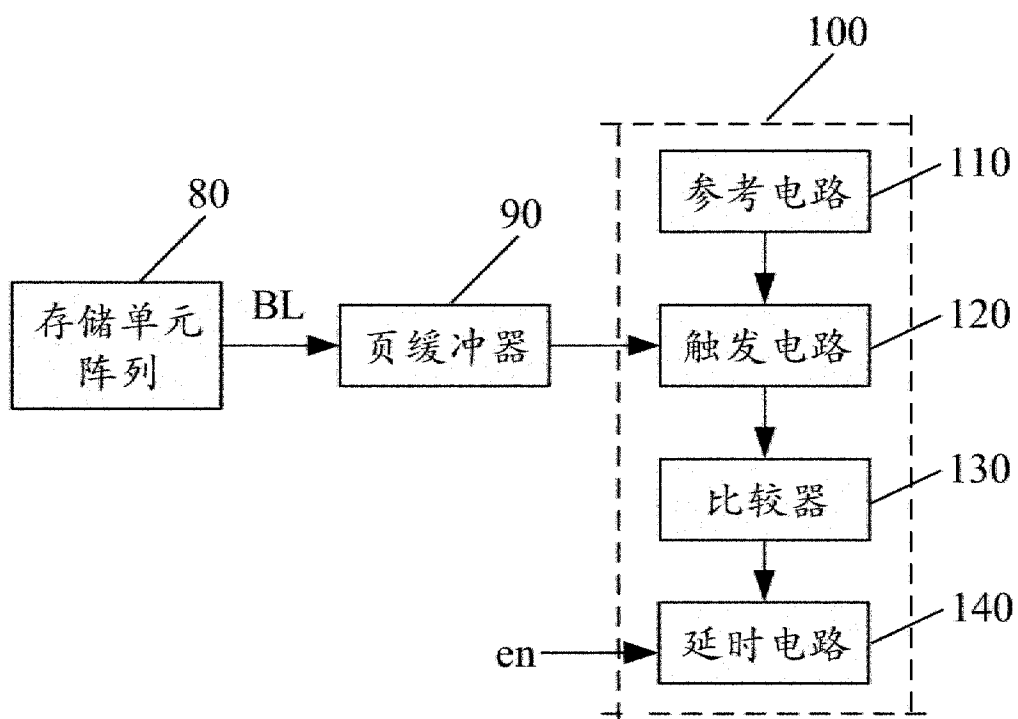


图 6A

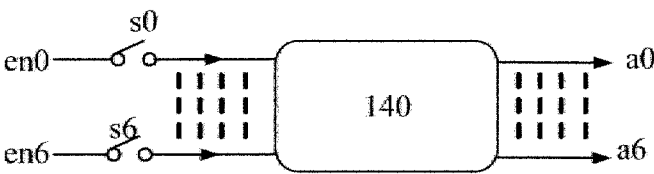


图 6B

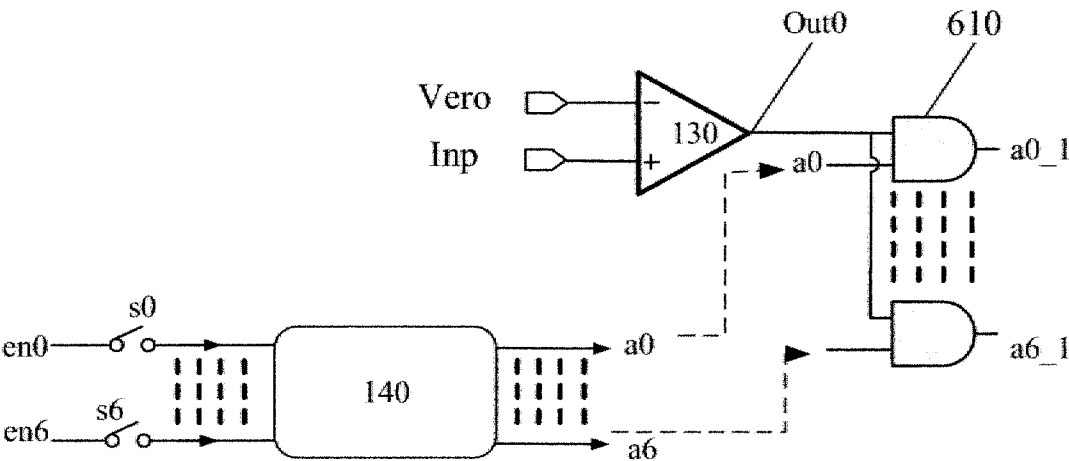


图 6C

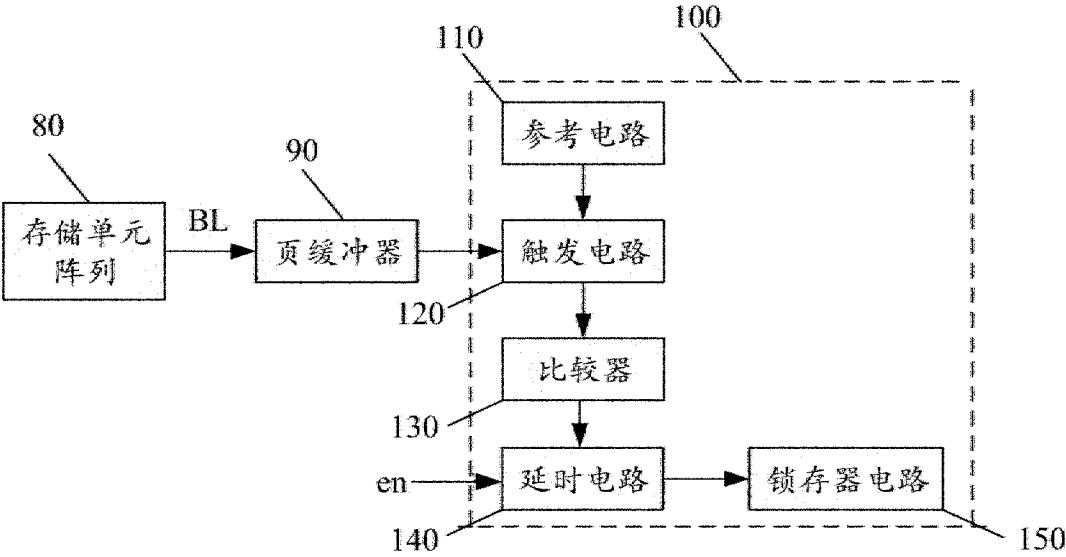


图 7A

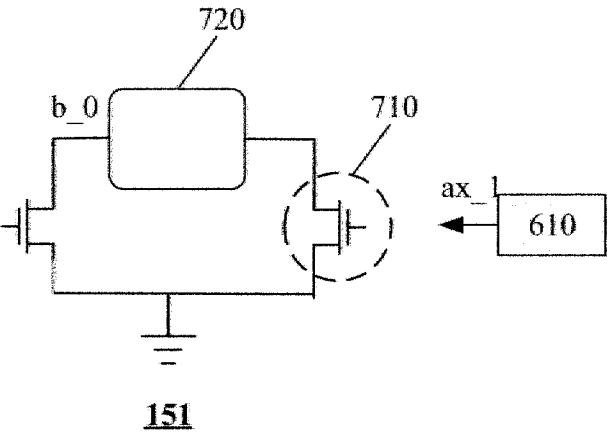


图 7B

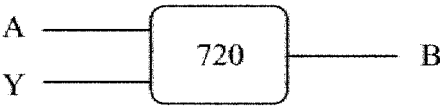


图 7C

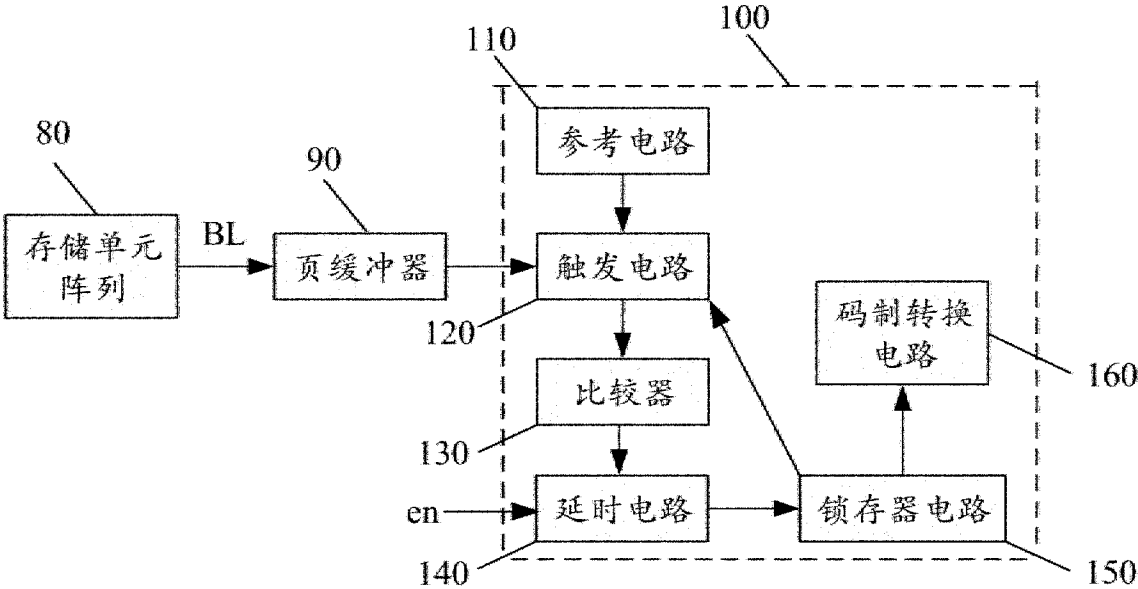


图 8

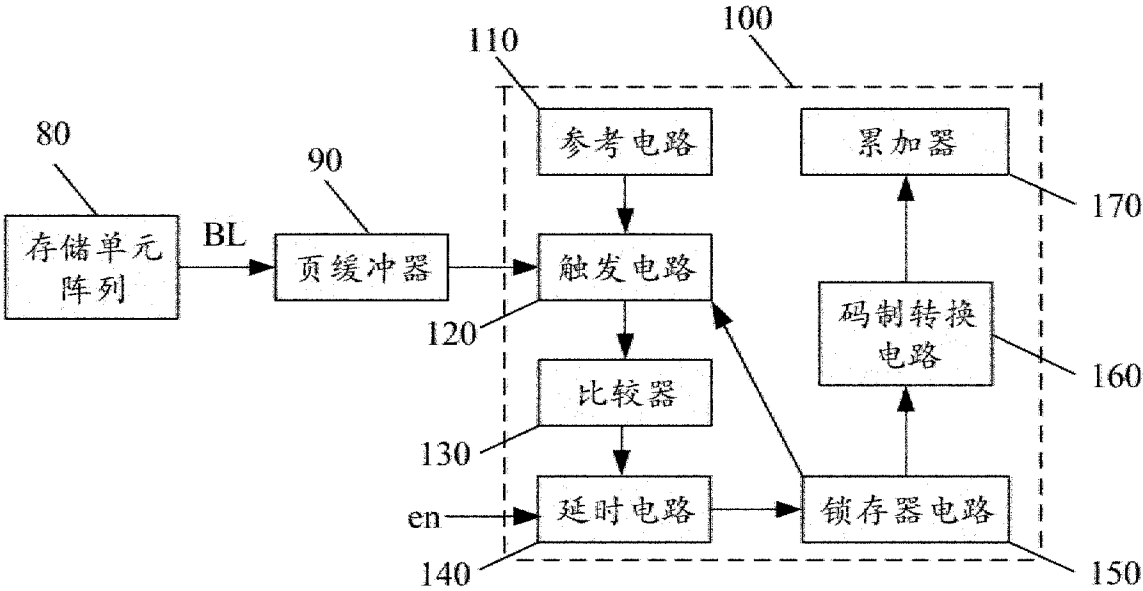


图 9

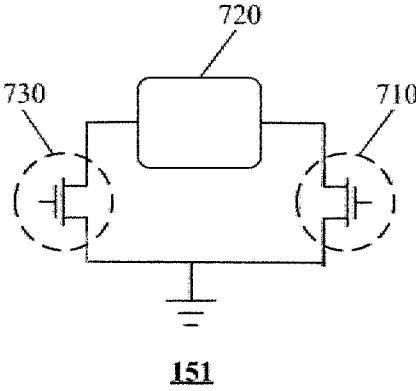


图 10

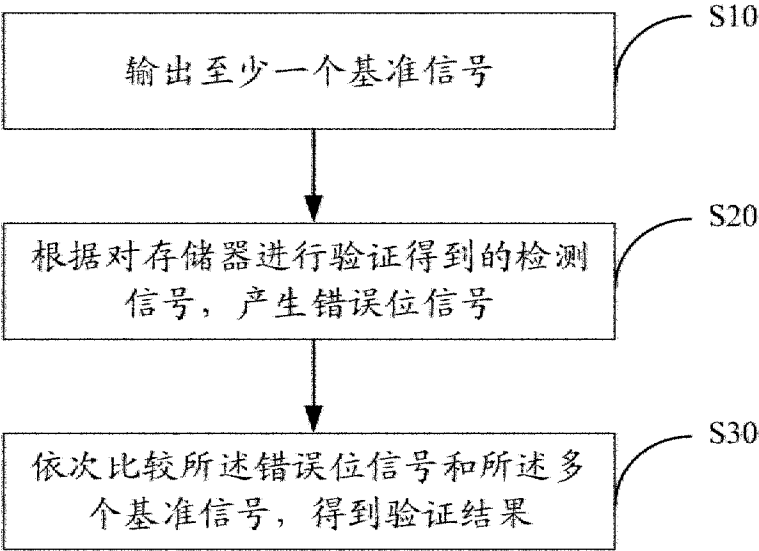


图 11

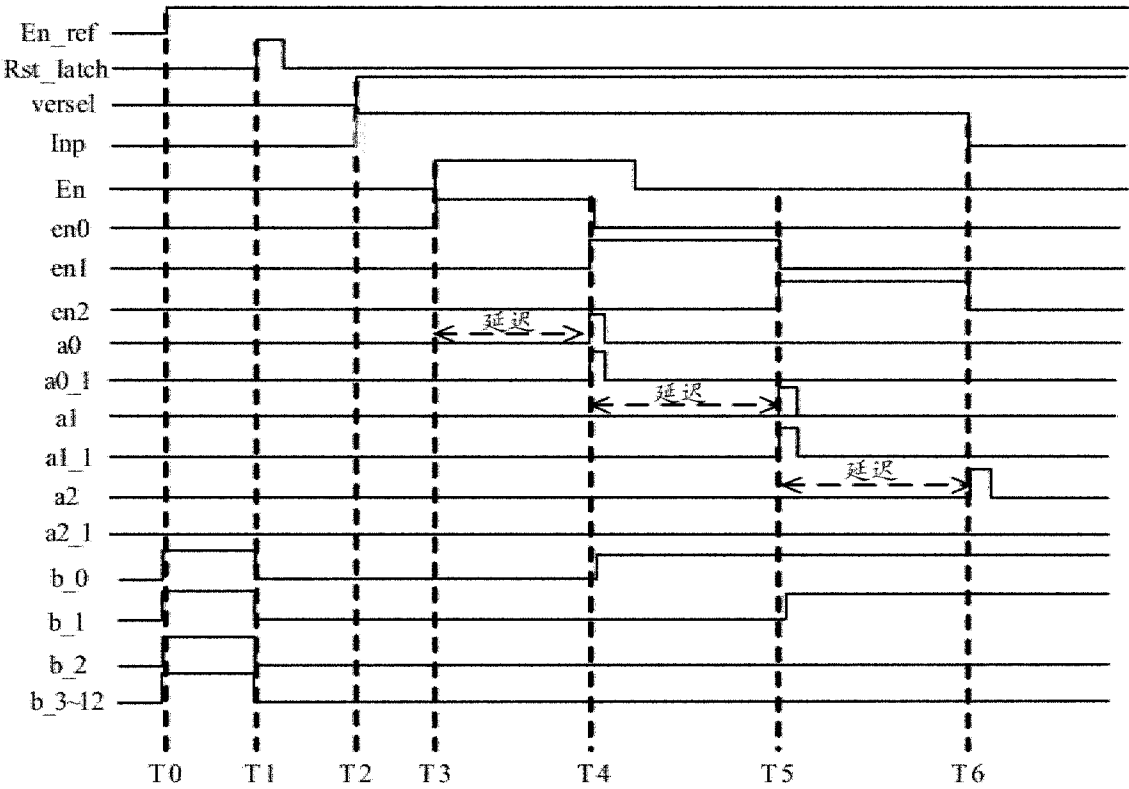


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/075741

A. CLASSIFICATION OF SUBJECT MATTER

G11C29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; EPTXT; WOTXT; USTXT; CNKI: 存储器, 外围, 电路, 触发, 基准, 信号, 错误, 输出, 验证, 检测, 比较器, 耦接, 结果, memory, peripheral, circuit, trigger, reference, signal, error, output, verification, detect, comparator, couple, result

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 112951309 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 11 June 2021 (2021-06-11) description, paragraphs 51-130	1-20
X	CN 114400041 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 26 April 2022 (2022-04-26) description, paragraphs 80-157	1-20
A	JP 2013127827 A (SAMSUNG YOKOHAMA RESEARCH INSTITUTE CO., LTD.) 27 June 2013 (2013-06-27) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 August 2023

Date of mailing of the international search report

09 August 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/075741

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	112951309	A	11 June 2021	CN 112951309 B	19 November 2023
				WO 2022194108 A1	22 September 2022
				US 2023147213 A1	11 May 2023
CN	114400041	A	26 April 2022	None	
JP	2013127827	A	27 June 2013	None	

A. 主题的分类 G11C29/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类														
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC:G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS; CNTXT; VEN; EPTXT; WOTXT; USTXT; CNKI; 存储器, 外围, 电路, 触发, 基准, 信号, 错误, 输出, 验证, 检测, 比较器, 耦接, 结果, memory, peripheral, circuit, trigger, reference, signal, error, output, verification, detect, comparator, couple, result														
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 112951309 A (长江存储科技有限责任公司) 2021年6月11日 (2021 - 06 - 11) 说明书第51-130段</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 114400041 A (长江存储科技有限责任公司) 2022年4月26日 (2022 - 04 - 26) 说明书第80-157段</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2013127827 A (SAMSUNG YOKOHAMA RES INST CO) 2013年6月27日 (2013 - 06 - 27) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 112951309 A (长江存储科技有限责任公司) 2021年6月11日 (2021 - 06 - 11) 说明书第51-130段	1-20	X	CN 114400041 A (长江存储科技有限责任公司) 2022年4月26日 (2022 - 04 - 26) 说明书第80-157段	1-20	A	JP 2013127827 A (SAMSUNG YOKOHAMA RES INST CO) 2013年6月27日 (2013 - 06 - 27) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
X	CN 112951309 A (长江存储科技有限责任公司) 2021年6月11日 (2021 - 06 - 11) 说明书第51-130段	1-20												
X	CN 114400041 A (长江存储科技有限责任公司) 2022年4月26日 (2022 - 04 - 26) 说明书第80-157段	1-20												
A	JP 2013127827 A (SAMSUNG YOKOHAMA RES INST CO) 2013年6月27日 (2013 - 06 - 27) 全文	1-20												
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。														
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
国际检索实际完成的日期 2023年8月3日		国际检索报告邮寄日期 2023年8月9日												
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 杨婷 电话号码 (+86) 020-28958953												

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/075741

检索报告引用的专利文件				公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112951309	A	2021年6月11日		CN	112951309	B	2023年11月19日
					WO	2022194108	A1	2022年9月22日
					US	2023147213	A1	2023年5月11日
CN	114400041	A	2022年4月26日		无			
JP	2013127827	A	2013年6月27日		无			