

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6611954号  
(P6611954)

(45) 発行日 令和1年11月27日(2019.11.27)

(24) 登録日 令和1年11月8日(2019.11.8)

(51) Int.Cl. F I  
**HO2M 3/28 (2006.01)** HO2M 3/28 C  
 HO2M 3/28 W

請求項の数 15 (全 23 頁)

(21) 出願番号	特願2018-539530 (P2018-539530)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86) (22) 出願日	平成29年6月22日(2017.6.22)	(74) 代理人	100094916 弁理士 村上 啓吾
(86) 国際出願番号	PCT/JP2017/022971	(74) 代理人	100073759 弁理士 大岩 増雄
(87) 国際公開番号	W02018/051603	(74) 代理人	100127672 弁理士 吉澤 憲治
(87) 国際公開日	平成30年3月22日(2018.3.22)	(74) 代理人	100088199 弁理士 竹中 考生
審査請求日	平成30年8月2日(2018.8.2)	(72) 発明者	地道 拓志 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(31) 優先権主張番号	特願2016-181160 (P2016-181160)		
(32) 優先日	平成28年9月16日(2016.9.16)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

複数のDC/DCコンバータを一次側端子を並列接続し二次側端子を直列接続し、  
上記各DC/DCコンバータは、

トランスと、

それぞれ逆並列ダイオードが接続された複数の半導体スイッチング素子を有する複数の  
レグによるブリッジ回路で構成され、上記一次側端子と上記トランスの一次巻線との間に  
接続されて、直流/交流間で電力変換する第1スイッチング回路と、

それぞれ逆並列ダイオードが接続された複数の半導体スイッチング素子を有する複数の  
レグによるブリッジ回路で構成され、上記二次側端子と上記トランスの二次巻線との間に  
接続されて、直流/交流間で電力変換する第2スイッチング回路と、

上記二次側端子に並列接続されたコンデンサと、

上記第1スイッチング回路および上記第2スイッチング回路を制御する制御回路とを備  
えた電力変換装置において、

上記第1、第2スイッチング回路の上記各レグ内の少なくとも1つの半導体スイッチング  
素子のゲート駆動回路は、該半導体スイッチング素子の故障を検知する故障検知部を有し  
、

上記制御回路は、通常運転モードと、上記第1スイッチング回路内の上記半導体スイッ  
チング素子を全てオフする保護モードと、上記第2スイッチング回路内の所定のレグ内の上  
記半導体スイッチング素子をオンして上記コンデンサを放電させる放電モードと、上記二

次側端子間を短絡させて上記コンデンサをバイパスするバイパスモードとを備え、  
上記各DC/DCコンバータにおいて、上記故障検知部が上記半導体スイッチング素子の  
上記故障を検知すると、上記制御回路は、上記通常運転モードを停止して、上記第1スイ  
ッチング回路を上記保護モードで制御すると共に、上記第2スイッチング回路を上記放電  
モードで制御した後、上記バイパスモードで制御する、  
電力変換装置。

【請求項2】

上記制御回路は、上記バイパスモードにおいて、上記第2スイッチング回路内で上記放電  
モードで用いた上記所定のレグと異なるレグ内の上記半導体スイッチング素子をオンして  
上記二次側端子間を短絡させる請求項1に記載の電力変換装置。

10

【請求項3】

上記バイパスモードにおいて、上記第2スイッチング回路で用いられる上記レグは、上記  
故障を検知された上記半導体スイッチング素子を含まない健全レグであり、該レグ内の全  
ての半導体スイッチング素子がオンする請求項2に記載の電力変換装置。

【請求項4】

上記各DC/DCコンバータは、上記コンデンサに並列接続されるバイパススイッチを備  
え、

上記制御回路は、上記バイパスモードにおいて、上記バイパススイッチを導通状態に制  
御して上記バイパススイッチを介して上記二次側端子間を短絡させる請求項1に記載の電力  
変換装置。

20

【請求項5】

上記故障は上記半導体スイッチング素子が導通状態を維持する故障であって、  
上記放電モードにおいて、上記第2スイッチング回路で用いられる上記所定のレグは上記  
故障を検知された上記半導体スイッチング素子を含み、該所定のレグ内の他の半導体スイ  
ッチング素子がオンする請求項1から請求項4のいずれか1項に記載の電力変換装置。

【請求項6】

上記放電モードにおいて、上記第2スイッチング回路内の全レグを上記所定のレグとする  
請求項4に記載の電力変換装置。

【請求項7】

上記故障検知部は、当該レグ内の2つのアームが短絡したことを上記故障として検知する  
請求項1から請求項6のいずれか1項に記載の電力変換装置。

30

【請求項8】

上記第1スイッチング回路において、上記故障検知部を有する上記ゲート駆動回路は、当  
該半導体スイッチング素子を遮断する遮断部を有する請求項7に記載の電力変換装置。

【請求項9】

上記保護モードにおいて、上記第1スイッチング回路内で上記故障が検知された半導体ス  
イッチング素子を除く全ての上記半導体スイッチング素子がオフする請求項1から請求項  
8のいずれか1項に記載の電力変換装置。

【請求項10】

上記制御回路は、上記放電モードにおいて上記コンデンサの放電が完了した後に上記バイ  
パスモードに移行する請求項1から請求項9のいずれか1項に記載の電力変換装置。

40

【請求項11】

上記第2スイッチング回路内の上記半導体スイッチング素子は防爆構造を備える請求項1  
から請求項10のいずれか1項に記載の電力変換装置。

【請求項12】

上記複数のDC/DCコンバータ内の上記各制御回路は、他のDC/DCコンバータで上  
記故障が検知されると、自身のDC/DCコンバータの上記二次側端子の端子電圧を増加  
させて、全体の出力電圧低下を補償する請求項1から請求項11のいずれか1項に記載の  
電力変換装置。

【請求項13】

50

上記複数のDC/DCコンバータ内の上記各制御回路は、他のDC/DCコンバータで上記故障が検知されると、自身のDC/DCコンバータの送電電力を増加させて、全体の送電電力低下を補償する請求項1から請求項12のいずれか1項に記載の電力変換装置。

【請求項14】

過電流が流れたときに電流を遮断する開路部が、上記第1スイッチング回路と上記一次側端子との間に設けられる請求項1から請求項13のいずれか1項に記載の電力変換装置。

【請求項15】

上記開路部は、ヒューズにて構成される請求項14に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

この発明は、複数台の絶縁型変換器を用いて直流電力を直流電力に変換する電力変換装置に関するものである。

【背景技術】

【0002】

直流電力を直流電力に変換する従来の電力変換装置として、以下に示すものが提案されている。半導体スイッチング素子を備えて直流電力と交流電力との間で電力変換する単相フルブリッジ変換器を2台使用し、各々の交流端子を変圧器を介して接続する。これにより、1次側と2次側とが絶縁されDC/DC変換が可能な電力変換装置が実現される。

また、上記単相フルブリッジ変換器の代わりに三相ブリッジ変換器を2台使用し、各々の交流端子を三相変圧器を介して接続することでも同様にDC/DC変換が可能な電力変換装置が実現される(例えば、特許文献1)。

20

【0003】

また、複数台の絶縁型変換器を用いた従来の電力変換装置として、以下に示すものが提案されている。電力変換装置は、複数の実質的に同一のパワーエレクトロニクスモジュールを備える。各パワーエレクトロニクスモジュールは、出力側を有する単相DC/ACインバータを備え、さらに入力側を有する絶縁型DC/DCコンバータを備える。各絶縁型DC/DCコンバータは、対応する単相DC/ACインバータと連続接続され、DCリンクコンデンサを共有する。複数のパワーエレクトロニクスモジュールが直列接続された構造では、いずれかの故障モジュールをバイパススイッチを用いてバイパスし、残りのモジュールを動作させる(例えば、特許文献2参照)。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許5027264号公報

【特許文献2】特表2015-527032号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記特許文献2に記載される電力変換装置では、複数台のモジュールの中で故障したモジュールをバイパススイッチでバイパスさせるため、故障発生時にも運転継続できるものである。しかしながら、複数のモジュールに上記特許文献1に記載されるような単相フルブリッジ変換器、三相ブリッジ変換器等のDC/DC変換器を用いると、バイパススイッチにより直流コンデンサが短絡されてバイパススイッチが破損する。このため、故障したDC/DC変換器をバイパスすることはできず、継続運転できないという問題点があった。

40

【0006】

この発明は、上記のような問題点を解消するために成されたものであって、複数台のDC/DCコンバータの二次側端子を直列接続した電力変換装置において、故障発生時にも停止することなく継続運転することを目的とする。

50

## 【課題を解決するための手段】

## 【0007】

この発明に係る電力変換装置は、複数のDC/DCコンバータを一次側端子を並列接続し二次側端子を直列接続する。上記各DC/DCコンバータは、トランスと、それぞれ逆並列ダイオードが接続された複数の半導体スイッチング素子を有する複数のレグによるブリッジ回路で構成され、上記一次側端子と上記トランスの一次巻線との間に接続されて、直流/交流間で電力変換する第1スイッチング回路と、それぞれ逆並列ダイオードが接続された複数の半導体スイッチング素子を有する複数のレグによるブリッジ回路で構成され、上記二次側端子と上記トランスの二次巻線との間に接続されて、直流/交流間で電力変換する第2スイッチング回路と、上記二次側端子に並列接続されたコンデンサと、上記第1スイッチング回路および上記第2スイッチング回路を制御する制御回路とを備える。

10

上記第1、第2スイッチング回路の上記各レグ内の少なくとも1つの半導体スイッチング素子のゲート駆動回路は、該半導体スイッチング素子の故障を検知する故障検知部を有する。上記制御回路は、通常運転モードと、上記第1スイッチング回路内の上記半導体スイッチング素子を全てオフする保護モードと、上記第2スイッチング回路内の所定のレグ内の上記半導体スイッチング素子をオンして上記コンデンサを放電させる放電モードと、上記二次側端子間を短絡させて上記コンデンサをバイパスするバイパスモードとを備える。上記各DC/DCコンバータにおいて、上記故障検知部が上記半導体スイッチング素子の上記故障を検知すると、上記制御回路は、上記通常運転モードを停止して、上記第1スイッチング回路を上記保護モードで制御すると共に、上記第2スイッチング回路を上記放電モードで制御した後、上記バイパスモードで制御する。

20

## 【発明の効果】

## 【0008】

この発明に係る電力変換装置によれば、故障が検知されたDC/DCコンバータにおいて、二次側端子に並列接続されたコンデンサを放電した後に二次側端子間を短絡させるため、故障したDC/DCコンバータを信頼性良くバイパスすることができ、故障発生時にも信頼性良く電力変換を継続できる。

## 【図面の簡単な説明】

## 【0009】

【図1】この発明の実施の形態1による電力変換装置の概略構成図である。

30

【図2】この発明の実施の形態1によるサブモジュールの構成例を示す回路図である。

【図3】この発明の実施の形態1によるゲート駆動回路の構成例を示す回路図である。

【図4】この発明の実施の形態1によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図5】この発明の実施の形態1によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図6】この発明の実施の形態1によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図7】この発明の実施の形態1によるサブモジュールの故障時の動作の一部を説明する回路図である。

40

【図8】この発明の実施の形態1によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図9】この発明の実施の形態2によるサブモジュールの構成を示す回路図である。

【図10】この発明の実施の形態2によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図11】この発明の実施の形態2によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図12】この発明の実施の形態2によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図13】この発明の実施の形態2によるサブモジュールの故障時の動作の一部を説明す

50

る回路図である。

【図 1 4】この発明の実施の形態 2 によるサブモジュールの別例による故障時の動作の一部を説明する回路図である。

【図 1 5】この発明の実施の形態 2 によるサブモジュールの別例による故障時の動作の一部を説明する回路図である。

【図 1 6】この発明の実施の形態 2 によるサブモジュールの別例による故障時の動作の一部を説明する回路図である。

【図 1 7】この発明の実施の形態 2 によるサブモジュールの別例による故障時の動作の一部を説明する回路図である。

【図 1 8】この発明の実施の形態 2 によるサブモジュールの別例による故障時の動作の一部を説明する回路図である。

10

【図 1 9】この発明の実施の形態 3 によるサブモジュールの構成を示す回路図である。

【図 2 0】この発明の実施の形態 3 によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図 2 1】この発明の実施の形態 3 によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図 2 2】この発明の実施の形態 3 によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図 2 3】この発明の実施の形態 3 によるサブモジュールの故障時の動作の一部を説明する回路図である。

20

【図 2 4】この発明の実施の形態 3 によるサブモジュールの故障時の動作の一部を説明する回路図である。

【図 2 5】この発明の実施の形態 3 の別例によるサブモジュールの構成を示す回路図である。

【図 2 6】この発明の実施の形態 4 によるサブモジュールの構成を示す回路図である。

【図 2 7】この発明の実施の形態 4 の別例によるサブモジュールの構成を示す回路図である。

【発明を実施するための形態】

【0010】

実施の形態 1 .

30

以下、この発明の実施の形態 1 について説明する。

図 1 は、この発明の実施の形態 1 による電力変換装置の概略構成を示す図である。図に示すように、電力変換装置 100 は、一次側直流端子 11 a、11 b と二次側直流端子 12 a、12 b との間に、DC / DC コンバータとしてのサブモジュール 10 を複数台備える。複数のサブモジュール 10 は、一次側端子 1 a、1 b が並列接続されて一次側直流端子 11 a、11 b と接続され、二次側端子 2 a、2 b が二次側直流端子 12 a、12 b 間で直列接続される。

このように電力変換装置 100 は、一次側において、サブモジュール 10 を並列接続することで、大電流の電力を取り扱うことができ、二次側において、サブモジュール 10 を直列接続することで、高電圧の電力を取り扱うことができる。そして、低電圧の直流電力を高電圧の直流電力に変換することができる。

40

なお、サブモジュール 10 の数は、複数であれば良い。

【0011】

各サブモジュール 10 は、三相トランス 3 (以下、単にトランスと称す) と、トランス 3 と一次側端子 1 a、1 b との間に接続されて直流 / 交流間で電力変換する第 1 スイッチング回路 4 と、トランス 3 と二次側端子 2 a、2 b との間に接続されて直流 / 交流間で電力変換する第 2 スイッチング回路 5 と、一次側端子 1 a、1 b に並列接続されたコンデンサ 6 と、二次側端子 2 a、2 b に並列接続されたコンデンサ 7 とを備える。各サブモジュール 10 は、さらに制御回路 20 を備え、制御回路 20 が駆動信号 21 a、21 b を生成して第 1 スイッチング回路 4 および第 2 スイッチング回路 5 を制御する。

50

各サブモジュール10は、このように構成されて一次側と二次側との間で電力変換を行う。なお、電力伝送方向については自由に制御可能である。

【0012】

この場合、各サブモジュール10の制御回路20は、各サブモジュール10の主回路構成と近接して図示したが、これに限るものではない。例えば、複数のサブモジュール10の制御回路20を集約して配置しても良い。

また、これ以後、サブモジュール10を図示する際、特に必要がない場合は、制御回路20の図示を便宜上省略する。

【0013】

図2は、サブモジュール10の詳細構成を示す回路図である。

第1スイッチング回路4は、それぞれダイオードD11~D16が逆並列接続された複数の半導体スイッチング素子Q11~Q16(以下、単にQ11~Q16あるいは半導体スイッチング素子Q1と称す)を有する三相ブリッジ回路で、各相2つの半導体スイッチング素子Q1を直列接続した3つのレグ(Q11, Q12)、(Q13, Q14)、(Q15, Q16)から成る。各レグの両端(直流端)はコンデンサ6に接続され、各レグの中間点(交流端)はトランス3の一次巻線に接続される。

第2スイッチング回路5は、それぞれダイオードD21~D26が逆並列接続された複数の半導体スイッチング素子Q21~Q26(以下、単にQ21~Q26あるいは半導体スイッチング素子Q2と称す)を有する三相ブリッジ回路で、各相2つの半導体スイッチング素子Q2を直列接続した3つのレグ(Q21, Q22)、(Q23, Q24)、(Q25, Q26)から成る。各レグの両端(直流端)はコンデンサ7に接続され、各レグの中間点(交流端)はトランス3の二次巻線に接続される。

【0014】

トランス3は、一次側、二次側にそれぞれ漏れインダクタンスを有しており、この漏れインダクタンスを用いて第1スイッチング回路4および第2スイッチング回路5は、それぞれ直流/交流間の電力変換を行う。

なお、トランス3の漏れインダクタンスのみを電力変換に使用するものに限らず、追加のインダクタンスを接続してもよい。

トランス3の巻数比は、一次側直流電圧であるコンデンサ6の電圧と、二次側直流電圧であるコンデンサ7の電圧との比率に合わせるのが好ましい。例えば、サブモジュール10の入力電圧が1kVで出力電圧が3kVの場合、トランス3の巻数比は1:3とする。

【0015】

また、第1、第2スイッチング回路4、5内の半導体スイッチング素子Q1、Q2には、IGBT(Insulated Gate Bipolar Transistor)やGCT(Gate Commutated Turn-off thyristor)、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの自己消弧型半導体スイッチング素子を使用する。なお、各半導体スイッチング素子Q1、Q2は、電流容量に応じて、複数の素子を並列に接続してもよい。

また、第2スイッチング回路5内の半導体スイッチング素子Q2は、防爆構造で構成されるのが望ましい。この防爆構造とは、半導体スイッチング素子Q2が故障、例えば爆発しても、故障により飛び散る破損片で他の半導体素子が破損するのを防止する構造である。具体的には、例えば、半導体スイッチング素子Q2の半導体モジュールを金属や樹脂などの機械的強度の強いもので覆う。

【0016】

また、コンデンサ6、7には、電解コンデンサやフィルムコンデンサなどを用いることができる。コンデンサ6、7には高周波の電流が流れるため、フィルムコンデンサを用いることで長寿命化を図ることができる。

【0017】

各半導体スイッチング素子Q1、Q2にはゲートを駆動するためのゲート駆動回路が設

10

20

30

40

50

けられる。

図3は、第1、第2スイッチング回路4、5内の半導体スイッチング素子Q1、Q2のゲート駆動回路の例である。第1スイッチング回路4内の半導体スイッチング素子Q1のゲート駆動回路30aを図3(a)に、第2スイッチング回路5内の半導体スイッチング素子Q2のゲート駆動回路30bを図3(b)に示す。

図3(a)に示すように、第1スイッチング回路4内の半導体スイッチング素子Q1のゲート駆動回路30aは、制御回路20からの駆動信号21aに基づいてゲート信号を生成する信号生成部31と、半導体スイッチング素子Q1の故障を検知する故障検知部32と、故障を検知すると半導体スイッチング素子Q1を遮断する遮断部33とを備える。

#### 【0018】

故障検知部32は、コンパレータ34と、抵抗35と、基準電圧36と、ダイオード37とを備え、半導体スイッチング素子Q1の故障に伴う短絡電流を検知する。半導体スイッチング素子Q1がオン状態の時に、そのレグ内にアーム短絡が発生すると、コンデンサ6の電圧が半導体スイッチング素子Q1の両端に印加される状態となり、コレクタ、エミッタ間の電圧は上昇する。なお、アーム短絡が発生していない場合のコレクタ、エミッタ間の電圧降下は数Vである。故障検知部32は、抵抗35とダイオード37との接続点の電位により半導体スイッチング素子Q1のコレクタ電位を検出し、コンパレータ34で基準電圧36と比較することで短絡電流を検知する。コンパレータ34の出力である検知信号40は、制御回路20に送られると共に、遮断部33に入力される。

#### 【0019】

遮断部33は、スイッチ38と抵抗39との直列回路から成り、コンパレータ34の出力である検知信号40がスイッチ38を駆動する。即ち、故障検知部32が短絡電流を検知すると検知信号40が遮断部33のスイッチ38をオンし、半導体スイッチング素子Q1が遮断される。

なお、遮断部33の抵抗39は、半導体スイッチング素子Q1を通常のオフ制御する際に用いられる抵抗(図示省略)に比べて、抵抗値を大きく設定する。これにより、遮断時に発生するサージ電圧を抑制するソフト遮断を実現できる。

#### 【0020】

上記のようなゲート駆動回路30a内の、故障検知部32および遮断部33は、一般に「アーム短絡保護」と呼ばれる機能を有する。

1つのレグにおいて、一方の半導体スイッチング素子が故障すると、その故障した半導体スイッチング素子は導通状態を継続し、他方の健全な半導体スイッチング素子がオンした際に、コンデンサを短絡してしまうことで大きな過電流が発生する。そして、このような過電流が10 $\mu$ s継続すると、健全な半導体スイッチング素子も故障して導通状態を継続し、コンデンサを短絡し続けてしまう。

「アーム短絡保護」とは、この過電流を検出することで半導体スイッチング素子の故障を検知し、健全な半導体スイッチング素子を故障する前にオフすることで、過電流から健全な半導体スイッチング素子を保護し、コンデンサの短絡状態を解消する。

#### 【0021】

また、図3(b)に示すように、第2スイッチング回路5内の半導体スイッチング素子Q2のゲート駆動回路30bは、制御回路20からの駆動信号21bに基づいてゲート信号を生成する信号生成部31と、半導体スイッチング素子Q2の故障を検知する故障検知部32とを備える。このゲート駆動回路30bは、ゲート駆動回路30aと同様の信号生成部31および故障検知部32を備えるが、遮断部33を備えない。

#### 【0022】

次に、サブモジュール10の動作について以下に説明する。

サブモジュール10内の制御回路20は、駆動信号21a、21bを生成して上記第1、第2スイッチング回路4、5内の半導体スイッチング素子Q1、Q2のオン/オフを制御することで、送電電力を制御することができる。通常運転時の制御は、例えば公知の位相シフト制御を用いる。この通常運転時の制御方法については、例えば、非特許文献「R

10

20

30

40

50

. W . A . A . De Doncker , D . M . Divan , and M . H . Kheraluwala , " A Three - phase Soft - Switched High - Power - Density dc / dc Converter for High - Power Applications " IEEE Transactions on Industry Applications , vol . 27 , no . 1 , January / February , 1991 . 」などに記載されているので、詳細な説明は省略する。

#### 【 0023 】

この実施の形態では、電力変換装置100を構成する複数のサブモジュール10の中で、一部のサブモジュール10に内在する半導体スイッチング素子が故障した異常時に、他の健全なサブモジュール10を用いて継続運転を行う。このため、以下に詳述するように、各サブモジュール10において、制御回路20が、自身のサブモジュール10内の故障を検知すると自身のサブモジュール10の入出力を全体の電力変換装置100から切り離してバイパスさせるように制御する。

10

#### 【 0024 】

制御回路20は、上述した通常運転時の制御を行う通常運転モードの他に、故障を検知した異常時の制御モードとして、第1スイッチング回路4内の半導体スイッチング素子Q1を全てオフする保護モードと、第2スイッチング回路5内の所定のレグ内の半導体スイッチング素子Q2をオンしてコンデンサ7を放電させる放電モードと、サブモジュール10の二次側端子2a、2b間を短絡させてコンデンサ7をバイパスするバイパスモードとを備える。

20

#### 【 0025 】

まず、半導体スイッチング素子Q1、Q2の故障が検知された際に求められる動作について以下に説明する。

電力変換装置100内の複数のサブモジュール10は一次側が並列接続されているので、何れかのサブモジュール10において、故障によりレグがアーム短絡してしまうと、他の健全なサブモジュール10の一次側端子1a、1bも短絡されてしまう。即ち、一次側直流端子11a、11bの端子電圧が零となって継続運転できない。

このため、故障した半導体スイッチング素子Q1、Q2を含むサブモジュール10の一次側のレグをすべて開放(オフ)することにより、一次側の入出力を全体の電力変換装置100から切り離す。即ち、故障が検知されたサブモジュール10において、制御回路20は保護モードにより、第1スイッチング回路4内の第1半導体スイッチング素子Q1を全てオフする。なお、故障によりオフできずにオン状態を継続する半導体スイッチング素子Q1は、他の半導体スイッチング素子Q1がオフすることにより電流が遮断される。

30

#### 【 0026 】

また、電力変換装置100内の複数のサブモジュール10は二次側が直列接続されている。故障したサブモジュール10内の二次側のコンデンサ7の電圧は制御不能となるため、この二次側端子2a、2bが直列接続された状態では、他の健全なサブモジュール10を用いて継続運転できない。

このため、故障したサブモジュール10の二次側端子2a、2b間を短絡してコンデンサ7をバイパスさせることにより、二次側の入出力を全体の電力変換装置100から切り離す。但し、以下に示すように、コンデンサ7をバイパスさせるのに先立って、コンデンサ7を放電させる。

40

#### 【 0027 】

故障した半導体スイッチング素子Q1、Q2を含むサブモジュール10において、制御回路20は、コンデンサ7をバイパスさせるのに先立って、放電モードによりサブモジュール10の第2スイッチング回路5を制御する。即ち、第2スイッチング回路5内の所定のレグ(以下、放電レグと称す)内の半導体スイッチング素子Q2をオンして、放電レグを介してコンデンサ7を放電させる。放電レグ内の両アームの半導体スイッチング素子Q2を強制的にオンすることで、コンデンサ7を短絡して放電する。放電レグ以外の半導体

50



スイッチング素子Q 2はオフ状態を維持する。

この際、コンデンサ7の蓄積エネルギーはすべて放電レグ内の半導体スイッチング素子Q 2に流入するため、半導体スイッチング素子Q 2は爆発する可能性がある。上述したように、第2スイッチング回路5内の半導体スイッチング素子Q 2に防爆構造を採用することで、他の素子および部品が破損するのが防止できる。

なお、放電レグには、故障した半導体スイッチング素子Q 2を含まない健全レグを用いるが、放電に用いた後には故障する。

#### 【0028】

そして、コンデンサ7の放電が完了した後、制御回路20は、バイパスモードによりサブモジュール10の第2スイッチング回路5を制御する。即ち、第2スイッチング回路5 10  
内で、放電レグと異なるレグ（以下、バイパスレグと称す）内の半導体スイッチング素子Q 2をオンして、バイパスレグを介して二次側端子2 a、2 b間を短絡させてコンデンサ7をバイパスする。バイパスレグ内の両アームの半導体スイッチング素子Q 2を強制的にオンすることで、二次側端子2 a、2 b間を短絡させる。なお、バイパスレグには、故障した半導体スイッチング素子Q 2を含まない健全レグを用いる。放電レグは、放電モードで用いた後に故障するため、バイパスモードでは用いない。

#### 【0029】

この場合、電力変換装置100全体として送電動作を継続し続けるために、バイパスレグ内の両アームの半導体スイッチング素子Q 2はオン状態を継続する必要がある。そのため、第2スイッチング回路5の半導体スイッチング素子Q 2のゲート駆動回路30 bに与えられる駆動電源は、放電されるコンデンサ7からの所謂自己給電ではなく、他の電源から供給する。 20

例えば、故障したサブモジュール10の第2スイッチング回路5の駆動電源を、近接する他のサブモジュール10の二次側のコンデンサ7から供給してもよい。この場合、故障したサブモジュール10の第2スイッチング回路5のゲート駆動回路30 bの電位と、近接する他のサブモジュール10のコンデンサ7の電位が近いので、電源回路を低い絶縁で実現することができる。

あるいは、故障したサブモジュール10の第2スイッチング回路5の駆動電源を、同じサブモジュール10内の一次側のコンデンサ6から供給してもよい。この場合、電源回路は一次側と二次側との電位差の絶縁が必要とされるが、一次側のコンデンサ6には常に電圧が印加されているので、信頼性を高めることができる。 30

#### 【0030】

次に、サブモジュール10に内在する半導体スイッチング素子が故障した際の、一連の動作を図4～図8に基づいて説明する。なお、図中、半導体スイッチング素子上のx印はその素子が故障している状態を示す。

通常運転モードでサブモジュール10が動作中に、第1スイッチング回路4内のQ 1 1が故障すると（図4）、Q 1 1と直列接続されるQ 1 2のゲート駆動回路30 aの故障検知部32が短絡電流を検知して検知信号40を制御回路20に送信すると共に、Q 1 2はオフ動作（ソフト遮断）に移行する（図5）。

制御回路20は、検知信号40を受信してサブモジュール10は故障したと判断し、全ての半導体スイッチング素子Q 1、Q 2をオフ状態に制御する（図6）。なお、この場合、一旦、一次側および二次側の全ての半導体スイッチング素子Q 1、Q 2をオフ状態に制御しているが、この制御は省略しても良い。 40

#### 【0031】

次に、制御回路20は、第1スイッチング回路4を保護モード、即ち、全ての半導体スイッチング素子Q 1をオフ状態に制御し、第2スイッチング回路5では、放電モード、即ち、放電レグ（Q 2 1，Q 2 2）のQ 2 1、Q 2 2をオン状態に制御し、他の半導体スイッチング素子Q 2をオフ状態に制御する。これにより、コンデンサ7は放電レグ（Q 2 1，Q 2 2）を通る放電経路i Aにより放電される（図7）。なお、放電レグは、第2スイッチング回路5内の故障していないレグであれば、どのレグを用いても良い。 50

コンデンサ7の放電が完了すると、制御回路20は、第1スイッチング回路4では保護モードを継続させ、第2スイッチング回路5では、バイパスモードに移行し、即ち、バイパスレグ(Q23, Q24)のQ23、Q24をオン状態に制御する。これにより、二次側端子2a、2bはバイパスレグ(Q23, Q24)を通るバイパス経路BPにより短絡されコンデンサ7はバイパスされる(図8)。なお、バイパスレグは、第2スイッチング回路5内の故障していないレグを用いる。放電レグは放電に用いた後に故障するため、バイパスレグには用いない。

#### 【0032】

なお、サブモジュール10が1台故障すると、その二次側端子2a、2bの直流電圧はゼロとなり、電力も送電できない。このため、サブモジュール10が故障した際は、他の健全なサブモジュール10が故障したサブモジュール10の出力電圧あるいは送電電力を補うように動作する。

10

例えば、サブモジュール10の合計台数をn台、故障したサブモジュール10の合計台数をm( $m < n$ )台とすると、電力変換装置100の二次側直流端子12a、12bの端子電圧は、故障がない場合に対して $(n - m) / n$ 倍になり、電力変換装置100の送電電力も、故障がない場合に対して $(n - m) / n$ 倍になる。このため、m台のサブモジュール10が故障した際には、他の健全な $(n - m)$ 台のサブモジュール10は、それぞれ二次側端子2a、2bの電圧指令値を $n / (n - m)$ 倍に制御する、あるいは、それぞれの電力指令値を $n / (n - m)$ 倍に制御する。これにより、電力変換装置100は所望の運転を継続できる。

20

#### 【0033】

図4～図8では、第1スイッチング回路4内の半導体スイッチング素子Q1が故障した場合について説明したが、第2スイッチング回路5内の半導体スイッチング素子Q2が故障した場合は、故障した半導体スイッチング素子Q2に直列接続された半導体スイッチング素子Q2をオフ動作(ソフト遮断)させる動作(図5参照)がない点が異なる。

またこの場合、バイパスレグについては必ず健全レグを用いるが、放電レグについては、故障した半導体スイッチング素子Q2を含むレグを用いることも可能である。半導体スイッチング素子の故障の多くの場合は、オン状態を継続するものであり、その場合、故障した半導体スイッチング素子Q2を含むレグを放電レグに用いることができる。

#### 【0034】

以上のように、この実施の形態では、サブモジュール10内でゲート駆動回路30a、30bの故障検知部32が半導体スイッチング素子Q1、Q2の故障を検知すると、制御回路20は、通常運転モードを停止して、第1スイッチング回路4を保護モードで制御すると共に、第2スイッチング回路5を放電モードで制御した後、バイパスモードで制御する。これにより、サブモジュール10の入出力を全体の電力変換装置100から信頼性良く切り離してバイパスさせるように制御する事ができ、電力変換装置100は、残りの健全なサブモジュール10による継続運転が可能になる。

30

#### 【0035】

なお、第1、第2スイッチング回路4、5の各レグ内の少なくとも1つの半導体スイッチング素子Q1、Q2において、ゲート駆動回路が故障検知部32を備えていれば、そのレグにおける短絡電流を検知することができる。

40

また、上記実施の形態では、故障検知部32は短絡電流を検知する例を示したが、半導体スイッチング素子Q1、Q2にオン信号が入力してもオンしない故障等、他の故障も検知でき、同様の効果を得られる。

#### 【0036】

実施の形態2.

次に、この発明の実施の形態2について説明する。

上記実施の形態1では、三相ブリッジ回路から成る第1、第2スイッチング回路4、5を有するサブモジュール10を用いたが、この実施の形態2では、サブモジュールの第1、第2スイッチング回路に単相フルブリッジ回路を用いる。

50

## 【 0 0 3 7 】

図 9 は、この実施の形態 2 の電力変換装置 1 0 0 内のサブモジュール 1 0 a の詳細構成を示す回路図である。

各サブモジュール 1 0 a は、単相のトランス 3 a と、トランス 3 a と一次側端子 1 a、1 b との間に接続されて直流 / 交流間で電力変換する第 1 スwitching 回路 4 a と、トランス 3 a と二次側端子 2 a、2 b との間に接続されて直流 / 交流間で電力変換する第 2 スwitching 回路 5 a と、一次側端子 1 a、1 b に並列接続されたコンデンサ 6 と、二次側端子 2 a、2 b に並列接続されたコンデンサ 7 とを備える。各サブモジュール 1 0 a は、さらに制御回路 2 0 a を備え、制御回路 2 0 a が駆動信号 2 1 a、2 1 b を生成して第 1 スwitching 回路 4 a および第 2 スwitching 回路 5 a を制御する。

10

これ以後、サブモジュール 1 0 a を図示する際、特に必要がない場合は、制御回路 2 0 a の図示を便宜上省略する。

## 【 0 0 3 8 】

第 1 スwitching 回路 4 a は、それぞれダイオード D 1 1 ~ D 1 4 が逆並列接続された複数の半導体スitching 素子 Q 1 1 ~ Q 1 4 (以下、単に Q 1 1 ~ Q 1 4 あるいは半導体スitching 素子 Q 1 と称す) を有する単相フルブリッジ回路で、各相 2 つの半導体スitching 素子 Q 1 を直列接続した 2 つのレグ (Q 1 1, Q 1 2)、(Q 1 3, Q 1 4) から成る。各レグの両端 (直流端) はコンデンサ 6 に接続され、各レグの中間点 (交流端) はトランス 3 a の一次巻線に接続される。また、各半導体スitching 素子 Q 1 のゲート駆動回路 3 0 a は、上記実施の形態 1 と同様の構成とする。

20

第 2 スwitching 回路 5 a は、それぞれダイオード D 2 1 ~ D 2 4 が逆並列接続された複数の半導体スitching 素子 Q 2 1 ~ Q 2 4 (以下、単に Q 2 1 ~ Q 2 4 あるいは半導体スitching 素子 Q 2 と称す) を有する単相フルブリッジ回路で、各相 2 つの半導体スitching 素子 Q 2 を直列接続した 2 つのレグ (Q 2 1, Q 2 2)、(Q 2 3, Q 2 4) から成る。各レグの両端 (直流端) はコンデンサ 7 に接続され、各レグの中間点 (交流端) はトランス 3 a の二次巻線に接続される。また、各半導体スitching 素子 Q 2 のゲート駆動回路 3 0 b は、上記実施の形態 1 と同様の構成とする。

その他の構成は、上記実施の形態 1 と同様である。

## 【 0 0 3 9 】

この場合も、トランス 3 a の漏れインダクタンスを用いて第 1 スwitching 回路 4 a および第 2 スwitching 回路 5 a は、それぞれ直流 / 交流間の電力変換を行い、サブモジュール 1 0 a は、一次側と二次側との間で電力変換を行う。なお、電力伝送方向については自由に制御可能である。また、第 2 スwitching 回路 5 内の半導体スitching 素子 Q 2 は、防爆構造で構成されるのが望ましい。

30

## 【 0 0 4 0 】

上記実施の形態 1 と同様に、制御回路 2 0 a は、通常運転モードの他に、故障を検知した異常時の制御モードとして、第 1 スwitching 回路 4 a 内の半導体スitching 素子 Q 1 を全てオフする保護モードと、第 2 スwitching 回路 5 a 内の放電レグ内の半導体スitching 素子 Q 2 をオンしてコンデンサ 7 を放電させる放電モードと、第 2 スwitching 回路 5 a 内のバイパスレグ内の半導体スitching 素子 Q 2 をオンして二次側端子 2 a、2 b 間を短絡させてコンデンサ 7 をバイパスするバイパスモードとを備える。

40

## 【 0 0 4 1 】

サブモジュール 1 0 a に内在する第 2 スwitching 回路 5 a 内の半導体スitching 素子 Q 2 が故障した際の、一連の動作を図 1 0 ~ 図 1 3 に基づいて説明する。

通常運転モードでサブモジュール 1 0 a が動作中に、第 2 スwitching 回路 5 a 内の Q 2 1 が故障すると (図 1 0)、Q 2 1 と直列接続される Q 2 2 がオン状態に移行すると、Q 2 2 のゲート駆動回路 3 0 b の故障検知部 3 2 が短絡電流を検知して検知信号 4 0 を制御回路 2 0 a に送信する。そして、コンデンサ 7 は Q 2 1、Q 2 2 を介して放電を開始する。そして、この Q 2 1、Q 2 2 から成るレグ (Q 2 1, Q 2 2) が放電レグとなる (図 1 1)。

50

## 【 0 0 4 2 】

制御回路 2 0 a は、検知信号 4 0 を受信してサブモジュール 1 0 a は故障したと判断し、第 1 スイッチング回路 4 a を保護モード、即ち、全ての半導体スイッチング素子 Q 1 をオフ状態に制御し、第 2 スイッチング回路 5 a では、放電モード、即ち、放電レグ ( Q 2 1 , Q 2 2 ) の Q 2 1 , Q 2 2 をオン状態に制御し、他の半導体スイッチング素子 Q 2 をオフ状態に制御する。これにより、コンデンサ 7 は放電レグ ( Q 2 1 , Q 2 2 ) を通る放電経路 i A により放電される ( 図 1 2 ) 。

コンデンサ 7 の放電が完了すると、制御回路 2 0 a は、第 1 スイッチング回路 4 a では保護モードを継続させ、第 2 スイッチング回路 5 a では、バイパスモードに移行し、即ち、バイパスレグ ( Q 2 3 , Q 2 4 ) の Q 2 3 , Q 2 4 をオン状態に制御する。これにより、二次側端子 2 a , 2 b はバイパスレグ ( Q 2 3 , Q 2 4 ) を通るバイパス経路 B P により短絡されコンデンサ 7 はバイパスされる ( 図 1 3 ) 。なお、バイパスレグは、第 2 スイッチング回路 5 内の健全レグ、即ち放電レグとは異なるレグを用いる。

10

## 【 0 0 4 3 】

次に、サブモジュール 1 0 a に内在する第 1 スイッチング回路 4 a 内の半導体スイッチング素子 Q 1 が故障した際の、一連の動作を図 1 4 ~ 図 1 8 に基づいて説明する。

通常運転モードでサブモジュール 1 0 a が動作中に、第 1 スイッチング回路 4 a 内の Q 1 1 が故障すると ( 図 1 4 ) 、 Q 1 1 と直列接続される Q 1 2 のゲート駆動回路 3 0 a の故障検知部 3 2 が短絡電流を検知して検知信号 4 0 を制御回路 2 0 a に送信すると共に、Q 1 2 はオフ動作 ( ソフト遮断 ) に移行する ( 図 1 5 ) 。

20

制御回路 2 0 a は、検知信号 4 0 を受信してサブモジュール 1 0 a は故障したと判断し、全ての半導体スイッチング素子 Q 1 , Q 2 をオフ状態に制御する ( 図 1 6 ) 。なお、この場合、一旦、一次側および二次側の全ての半導体スイッチング素子 Q 1 , Q 2 をオフ状態に制御しているが、この制御は省略しても良い。

## 【 0 0 4 4 】

次に、制御回路 2 0 a は、第 1 スイッチング回路 4 a を保護モード、即ち、全ての半導体スイッチング素子 Q 1 をオフ状態に制御し、第 2 スイッチング回路 5 a では、放電モード、即ち、放電レグ ( Q 2 1 , Q 2 2 ) の Q 2 1 , Q 2 2 をオン状態に制御し、他の半導体スイッチング素子 Q 2 をオフ状態に制御する。これにより、コンデンサ 7 は放電レグ ( Q 2 1 , Q 2 2 ) を通る放電経路 i A により放電される ( 図 1 7 ) 。なお、放電レグは、第 2 スイッチング回路 5 a 内の故障していないレグであれば、どのレグを用いても良い。

30

コンデンサ 7 の放電が完了すると、制御回路 2 0 a は、第 1 スイッチング回路 4 a では保護モードを継続させ、第 2 スイッチング回路 5 a では、バイパスモードに移行し、即ち、バイパスレグ ( Q 2 3 , Q 2 4 ) の Q 2 3 , Q 2 4 をオン状態に制御する。これにより、二次側端子 2 a , 2 b はバイパスレグ ( Q 2 3 , Q 2 4 ) を通るバイパス経路 B P により短絡されコンデンサ 7 はバイパスされる ( 図 1 8 ) 。なお、バイパスレグは、第 2 スイッチング回路 5 a 内の健全レグ、即ち放電レグとは異なるレグを用いる。

## 【 0 0 4 5 】

以上のように、この実施の形態においても、サブモジュール 1 0 a 内でゲート駆動回路 3 0 a , 3 0 b の故障検知部 3 2 が半導体スイッチング素子 Q 1 , Q 2 の故障を検知すると、制御回路 2 0 a は、通常運転モードを停止して、第 1 スイッチング回路 4 a を保護モードで制御すると共に、第 2 スイッチング回路 5 a を放電モードで制御した後、バイパスモードで制御する。これにより、サブモジュール 1 0 a の入出力を全体の電力変換装置 1 0 0 から信頼性良く切り離してバイパスさせるように制御する事ができ、電力変換装置 1 0 0 は、残りの健全なサブモジュール 1 0 a による継続運転が可能になる。

40

## 【 0 0 4 6 】

なお、この実施の形態においても、サブモジュール 1 0 a が故障した際は、上記実施の形態 1 と同様に、他の健全なサブモジュール 1 0 a が故障したサブモジュール 1 0 a の出力電圧あるいは送電電力を補うように動作する。これにより、電力変換装置 1 0 0 は所望の運転を継続できる。

50

## 【 0 0 4 7 】

実施の形態 3 .

次に、この発明の実施の形態 3 について説明する。

この実施の形態 3 では、各サブモジュールが、二次側端子 2 a、2 b を短絡させて二次側のコンデンサ 7 をバイパスするバイパススイッチを備える。

図 19 は、この実施の形態 3 の電力変換装置 100 内のサブモジュール 10 b の詳細構成を示す回路図である。

図に示すように、各サブモジュール 10 b は、上記実施の形態 2 と同様のトランス 3 a と、第 1、第 2 スイッチング回路 4 a、5 a と、コンデンサ 6、7 とを備え、さらに、二次側のコンデンサ 7 に並列接続されるバイパススイッチ 8 を備える。このバイパススイッチ 8 は導通状態でラッチするような機械スイッチを用いる。

各サブモジュール 10 b は、さらに制御回路 20 b を備え、制御回路 20 b は、駆動信号 21 a、21 b を生成して第 1 スイッチング回路 4 a および第 2 スイッチング回路 5 a を制御すると共に、制御信号 21 c を生成してバイパススイッチ 8 の導通状態を制御する。

その他の構成は、上記実施の形態 2 と同様である。

これ以後、サブモジュール 10 b を図示する際、特に必要がない場合は、制御回路 20 b の図示を便宜上省略する。

## 【 0 0 4 8 】

上記実施の形態 2 と同様に、制御回路 20 b は、通常運転モードの他に、故障を検知した異常時の制御モードとして、第 1 スイッチング回路 4 a 内の半導体スイッチング素子 Q1 を全てオフする保護モードと、第 2 スイッチング回路 5 a 内の放電レグ内の半導体スイッチング素子 Q2 をオンしてコンデンサ 7 を放電させる放電モードと、二次側端子 2 a、2 b 間を短絡させてコンデンサ 7 をバイパスするバイパスモードとを備える。この場合、バイパスモードは、バイパススイッチ 8 を導通状態に制御して、バイパススイッチ 8 を介して二次側端子 2 a、2 b 間を短絡させてコンデンサ 7 をバイパスする。

## 【 0 0 4 9 】

次に、サブモジュール 10 b に内在する第 1 スイッチング回路 4 a 内の半導体スイッチング素子 Q1 が故障した際の、一連の動作を図 20 ~ 図 24 に基づいて説明する。

通常運転モードでサブモジュール 10 b が動作中に、第 1 スイッチング回路 4 a 内の Q11 が故障すると(図 20)、Q11 と直列接続される Q12 のゲート駆動回路 30 a の故障検知部 32 が短絡電流を検知して検知信号 40 を制御回路 20 b に送信すると共に、Q12 はオフ動作(ソフト遮断)に移行する(図 21)。

制御回路 20 b は、検知信号 40 を受信してサブモジュール 10 b は故障したと判断し、全ての半導体スイッチング素子 Q1、Q2 をオフ状態に制御する(図 22)。なお、この場合、一旦、一次側および二次側の全ての半導体スイッチング素子 Q1、Q2 をオフ状態に制御しているが、この制御は省略しても良い。

## 【 0 0 5 0 】

次に、制御回路 20 b は、第 1 スイッチング回路 4 a を保護モード、即ち、全ての半導体スイッチング素子 Q1 をオフ状態に制御し、第 2 スイッチング回路 5 a では、放電モード、即ち、放電レグ内の半導体スイッチング素子 Q2 をオン状態に制御する。この場合、第 2 スイッチング回路 5 a の全てのレグ(この場合、2 つのレグ)を放電レグとして、半導体スイッチング素子 Q2 をオン状態に制御する。これにより、コンデンサ 7 は 2 つの放電レグ(Q21、Q22)、(Q23、Q24)を通る放電経路 i A により放電される(図 23)。

コンデンサ 7 の放電が完了すると、制御回路 20 b は、第 1 スイッチング回路 4 a では保護モードを継続させ、第 2 スイッチング回路 5 a では、バイパスモードに移行し、即ち、バイパススイッチ 8 を導通状態に制御する。これにより、二次側端子 2 a、2 b はバイパススイッチ 8 を通るバイパス経路 B P により短絡されコンデンサ 7 はバイパスされる(図 24)。

10

20

30

40

50

## 【 0 0 5 1 】

以上のように、この実施の形態においても、サブモジュール 1 0 b 内でゲート駆動回路 3 0 a、3 0 b の故障検知部 3 2 が半導体スイッチング素子 Q 1、Q 2 の故障を検知すると、制御回路 2 0 b は、通常運転モードを停止して、第 1 スwitchング回路 4 a を保護モードで制御すると共に、第 2 スwitchング回路 5 a を放電モードで制御した後、バイパスモードで制御する。これにより、サブモジュール 1 0 b の入出力を全体の電力変換装置 1 0 0 から信頼性良く切り離してバイパスさせるように制御する事ができ、電力変換装置 1 0 0 は、残りの健全なサブモジュール 1 0 b による継続運転が可能になる。

## 【 0 0 5 2 】

また、この実施の形態では、バイパススイッチ 8 を備えて、バイパスモードでの制御の際、二次側端子 2 a、2 b はバイパススイッチ 8 を通るバイパス経路 B P により短絡される。バイパススイッチ 8 には、導通状態でラッチするような機械スイッチを用いるため、継続した電源供給は不要となる。このため、半導体スイッチング素子 Q 2 によるバイパスレグを用いる上記実施の形態 1、2 の場合のように、故障後もゲート駆動回路 3 0 b への継続した電源供給を要することがなく、より信頼性の高い電力変換装置 1 0 0 を実現することができる。

10

## 【 0 0 5 3 】

また、バイパススイッチ 8 にてコンデンサ 7 をバイパスするため、放電モードでの制御の際に、第 2 スwitchング回路 5 a の全てのレグを放電レグとして用いる事ができる。このように、複数の放電レグを介してコンデンサ 7 を放電するため、各半導体スイッチング素子 Q 2 の電力負担が軽減し、各半導体スイッチング素子 Q 2 の防爆耐量を低減することができる。

20

## 【 0 0 5 4 】

なお、この実施の形態においても、サブモジュール 1 0 b が故障した際は、上記実施の形態 1、2 と同様に、他の健全なサブモジュール 1 0 b が故障したサブモジュール 1 0 b の出力電圧あるいは送電電力を補うように動作する。これにより、電力変換装置 1 0 0 は所望の運転を継続できる。

## 【 0 0 5 5 】

また、上記実施の形態 1 で示したサブモジュール 1 0 にも、バイパススイッチ 8 を同様に適用できる。図 2 5 は、この実施の形態 3 の別例によるサブモジュール 1 0 c の詳細構成を示す回路図である。サブモジュール 1 0 c は、上記実施の形態 1 と同様のトランス 3 と、第 1、第 2 スwitchング回路 4、5 と、コンデンサ 6、7 とを備え、さらに、二次側のコンデンサ 7 に並列接続されるバイパススイッチ 8 を備える。また、サブモジュール 1 0 c は、さらに制御回路 2 0 c を備え、制御回路 2 0 c は、駆動信号 2 1 a、2 1 b を生成して第 1 スwitchング回路 4 および第 2 スwitchング回路 5 を制御すると共に、制御信号 2 1 c を生成してバイパススイッチ 8 の導通状態を制御する。

30

この場合も、上記実施の形態 3 と同様の効果を得ることができる。

## 【 0 0 5 6 】

実施の形態 4 .

次に、この発明の実施の形態 4 について説明する。

40

図 2 6 は、この実施の形態 4 の電力変換装置 1 0 0 内のサブモジュール 1 0 d の詳細構成を示す回路図である。実施の形態 4 は、先に説明した実施の形態 3 に類似しており、以下、実施の形態 3 に対する実施の形態 4 の相違点を中心に説明する。

## 【 0 0 5 7 】

実施の形態 4 では、第 1 スwitchング回路 4 と一次側端子 1 a との間に開路部 5 5 を有する。具体的には、図 2 6 に示すように、開路部 5 5 はコンデンサ 6 と一次側端子 1 a との間に接続される。開路部 5 5 は、ヒューズを用いる構成を図示したが、遮断器を用いる構成であっても良い。開路部 5 5 は、2 つの一次側端子 1 a、1 b のうち少なくともいずれか一方側に設けられる。

## 【 0 0 5 8 】

50

前述した実施の形態 1 ~ 実施の形態 3 では、第 1 スイッチング回路 4 内のいずれか 1 つの半導体スイッチング素子 Q 1 が故障すると、アーム短絡保護によって、健全な半導体スイッチング素子 Q 1 を故障する前にオフ状態とし、これによって過電流から健全な半導体スイッチング素子 Q 1 を保護する。これによって短絡状態を解消する。しかし、第 1 スイッチング回路 4 内において 2 つ以上の半導体スイッチング素子 Q 1 が同時に故障した場合、およびアーム短絡保護が機能しなかった場合には、コンデンサ 6 の短絡状態を解消できない。

【 0 0 5 9 】

実施の形態 4 では、コンデンサ 6 と一次側端子 1 a との間に、過電流が生じたときに電流を遮断する開路部 5 5 を設ける。開路部 5 5 が設けられることによって、過電流の発生時に第 1 スイッチング回路 4 は、一次側端子 1 a、1 b から切り離される。これによって、第 1 スイッチング回路 4 内において 2 つ以上の半導体スイッチング素子 Q 1 が同時に故障した場合、およびアーム短絡保護が機能しなかった場合においても、確実に過電流が流れる短絡状態を解消することができる。

10

【 0 0 6 0 】

実施の形態 4 は、実施の形態 3 に類似するものとしたけれども、実施の形態 1 および実施の形態 2 のいずれにも、開路部 5 5 の構成を適用することは可能である。その場合にも、実施の形態 4 と同様の効果を得ることができる。

【 0 0 6 1 】

図 2 7 は、この発明の実施の形態 4 の別例における、電力変換装置 1 0 0 内のサブモジュール 1 0 e の詳細構成を示す回路図である。図 2 7 に示すように開路部 5 5 は、第 1 スイッチング回路 4 とコンデンサ 6 との間に接続しても良い。また、実施の形態 4 において、第 1 スイッチング回路 4 は三相ブリッジ回路として説明したけれども、実施の形態 2 のようにサブモジュール 1 0 d、1 0 e に単相フルブリッジ回路を用いても良い。また実施の形態 4 ではバイパススイッチ 8 を備える構成としたけれども、バイパススイッチ 8 を備えていない実施の形態 1 と同様の構成とすることも可能である。単相フルブリッジ回路を用いる場合にも、また第 2 スイッチング回路 5 から二次側端子 2 a、2 b までを実施の形態 1 と同様の構成とする場合にも、開路部 5 5 を設けることによって実施の形態 4 と同様の効果が得られる。

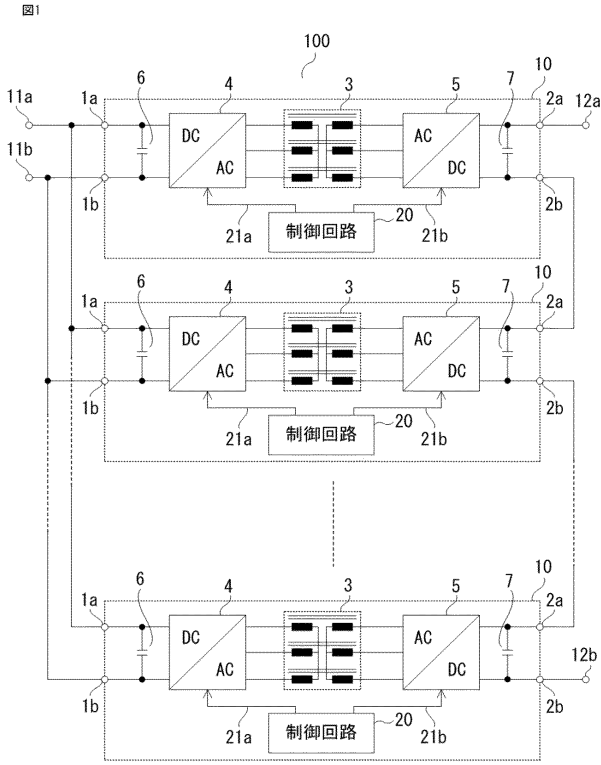
20

【 0 0 6 2 】

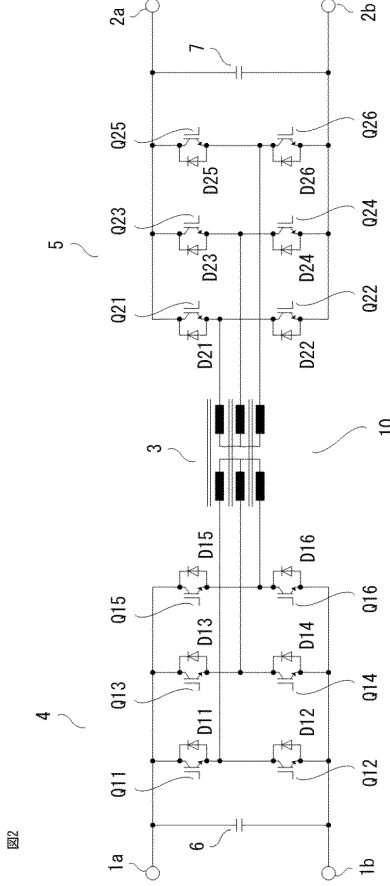
なお、この発明は、発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

30

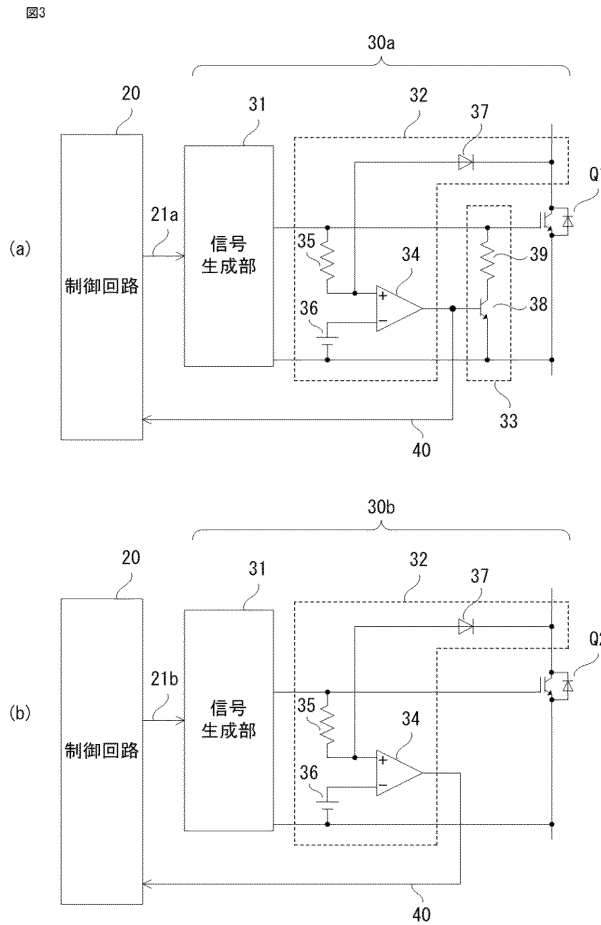
【図1】



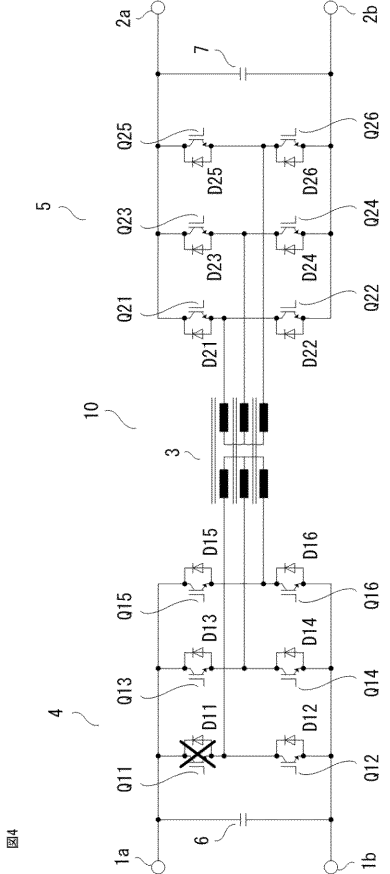
【図2】



【図3】

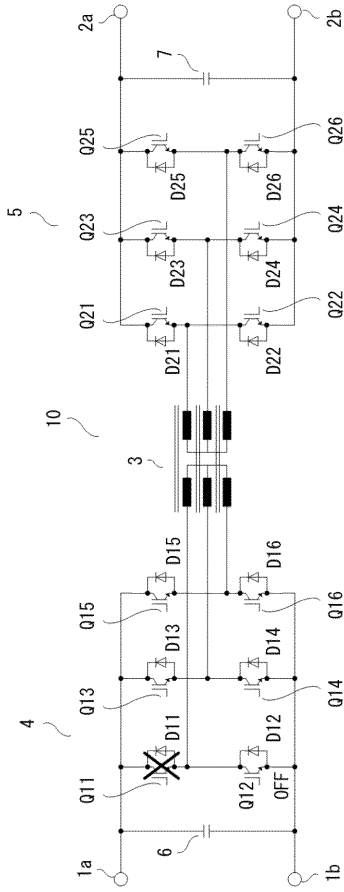


【図4】





【図5】



【図7】

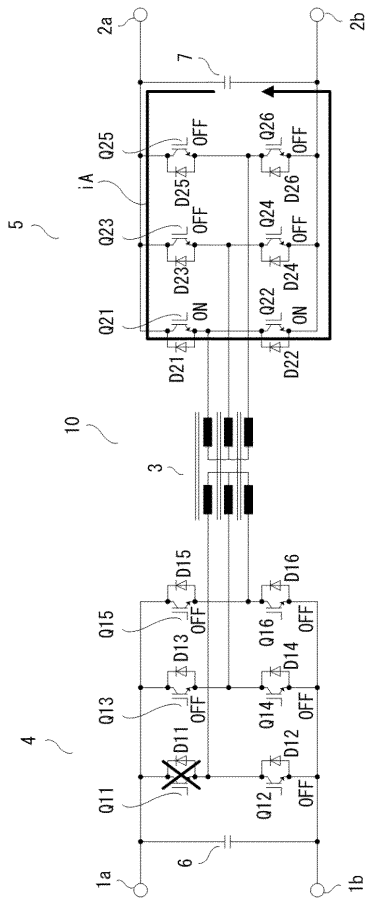


図7

【図6】

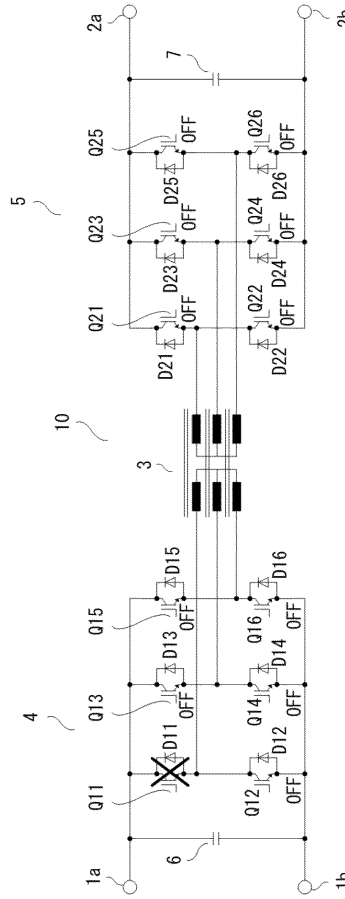


図6

【図8】

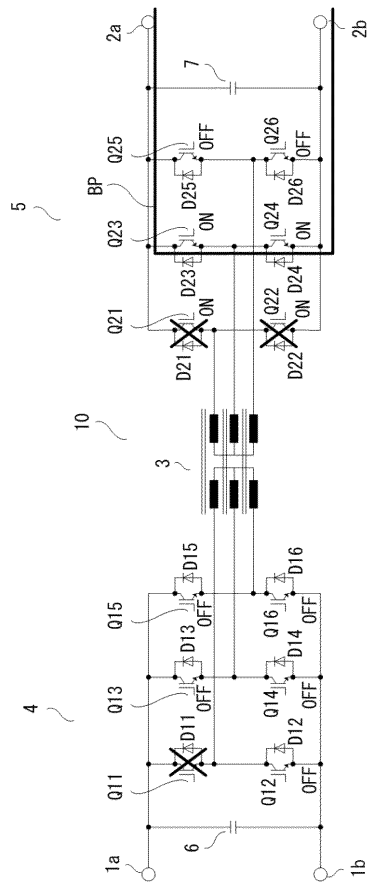
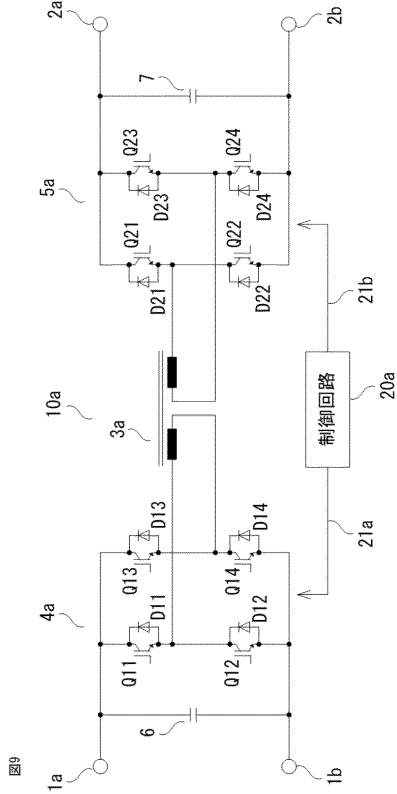
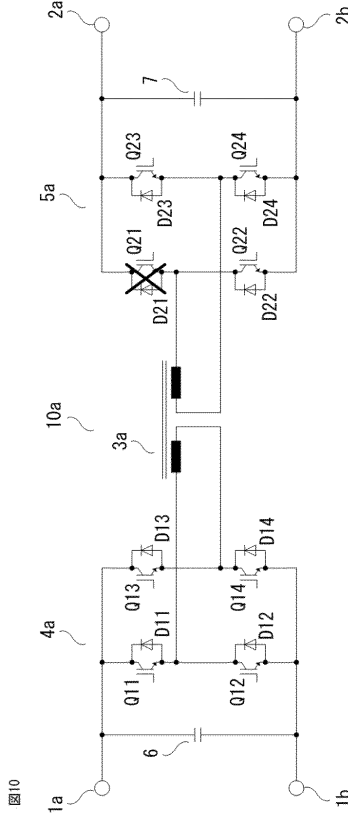


図8

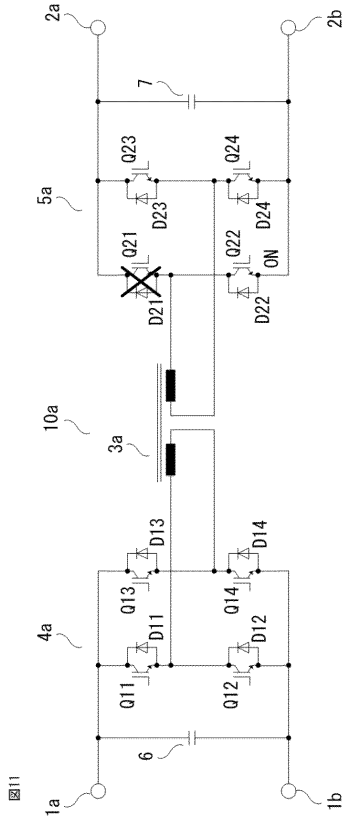
【 図 9 】



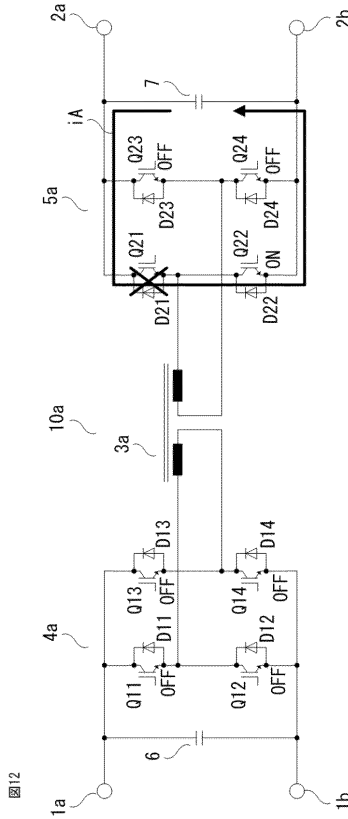
【 図 10 】



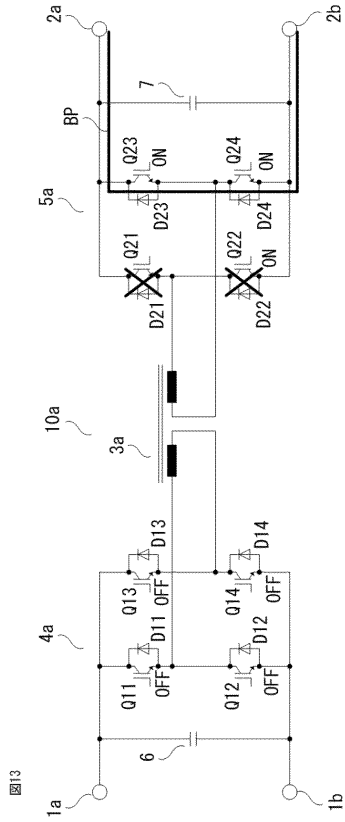
【 図 11 】



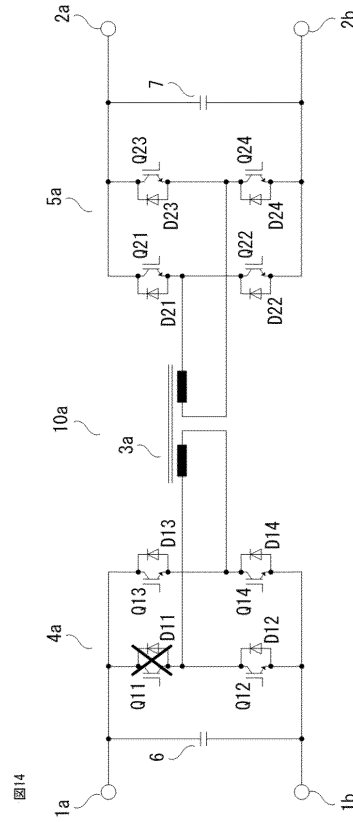
【 図 12 】



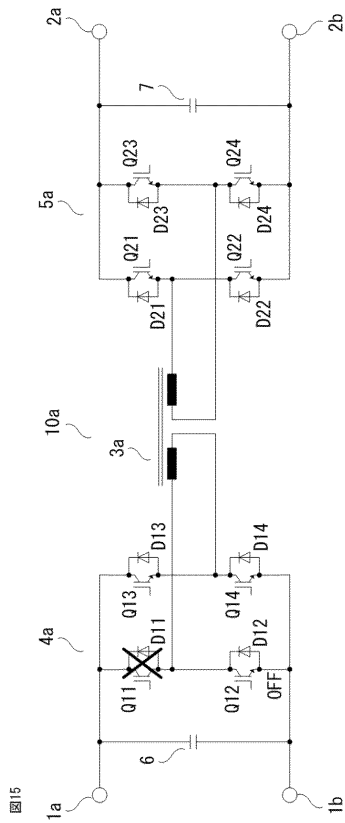
【図13】



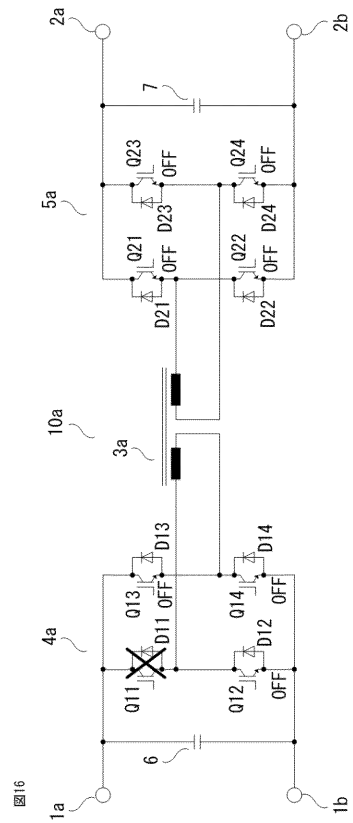
【図14】



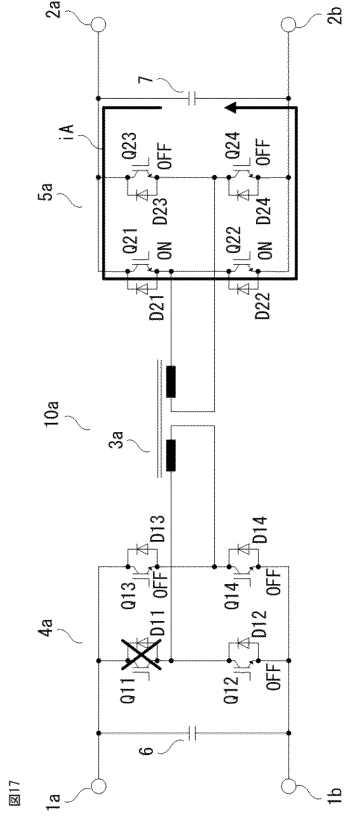
【図15】



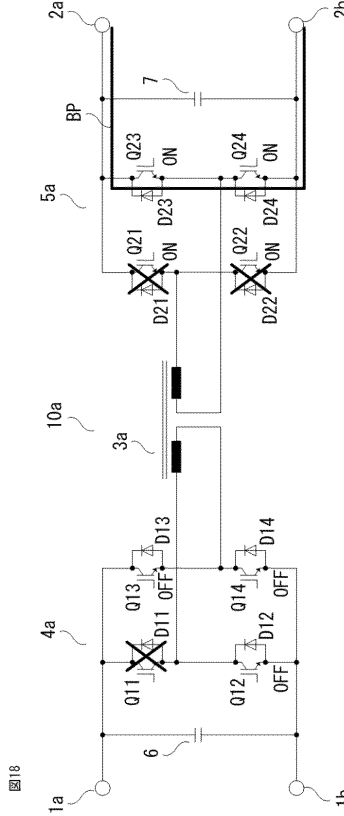
【図16】



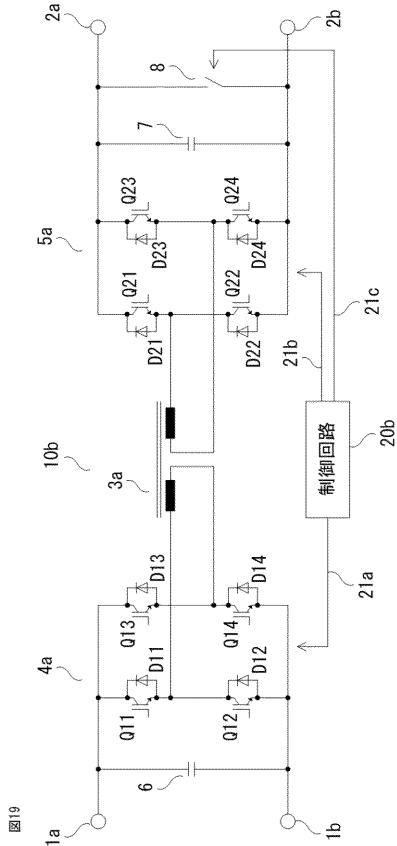
【 17 】



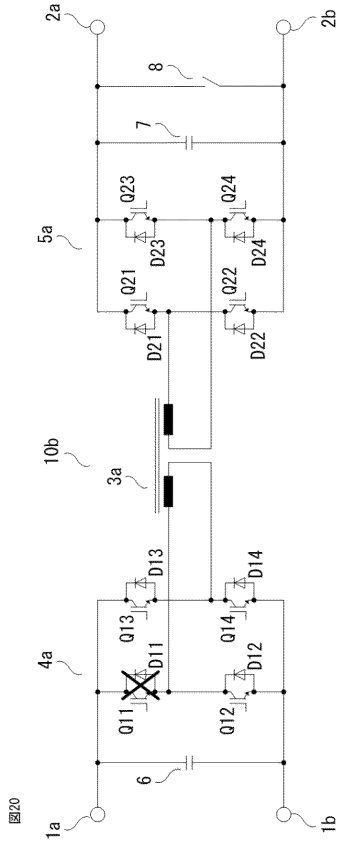
【 18 】



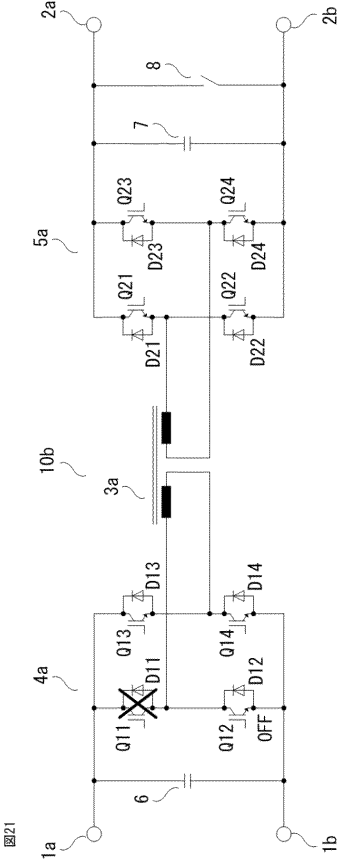
【 19 】



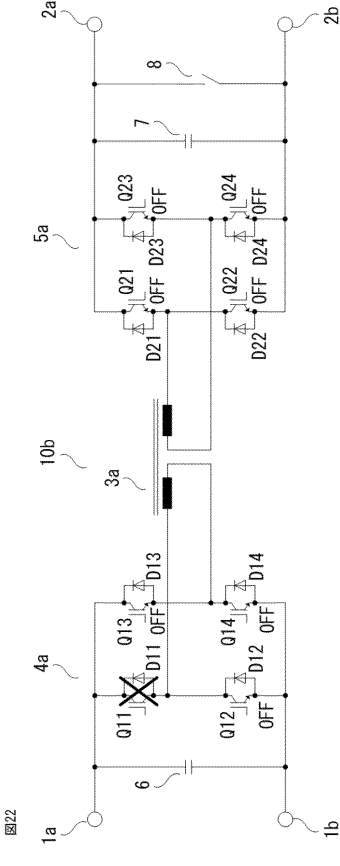
【 20 】



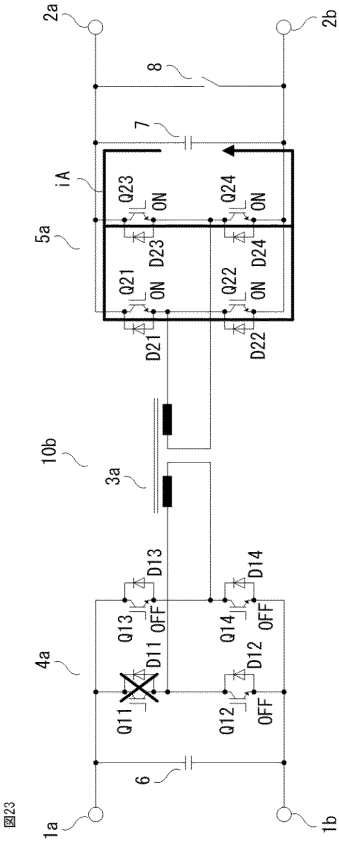
【図21】



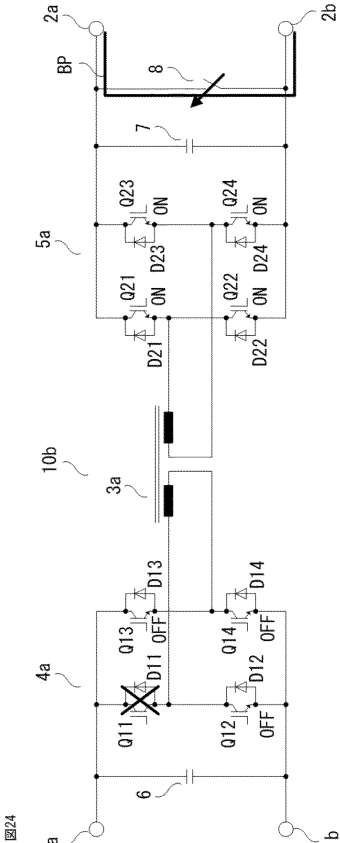
【図22】



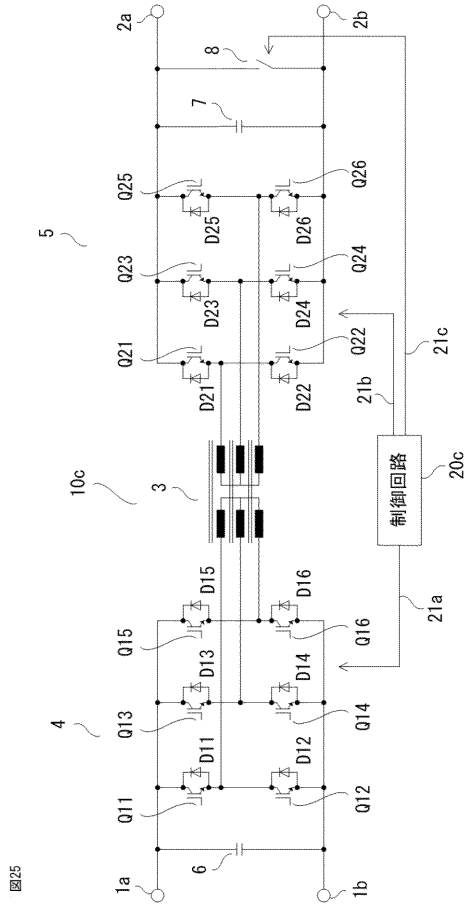
【図23】



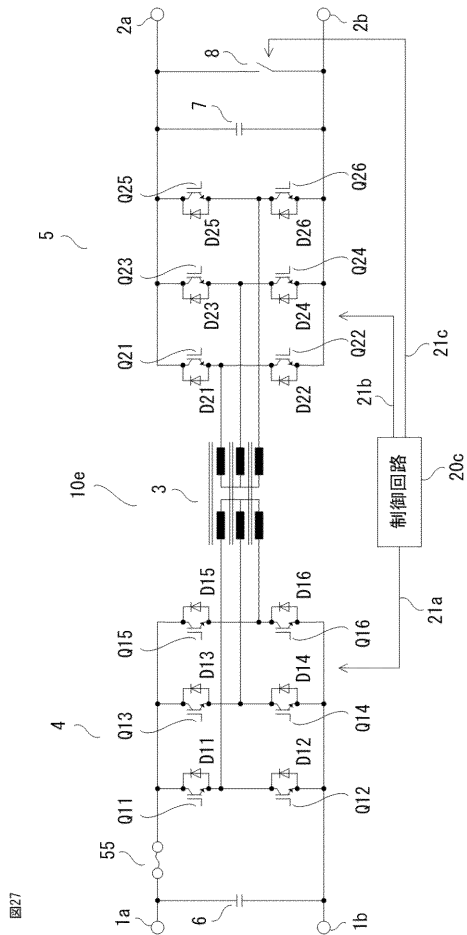
【図24】



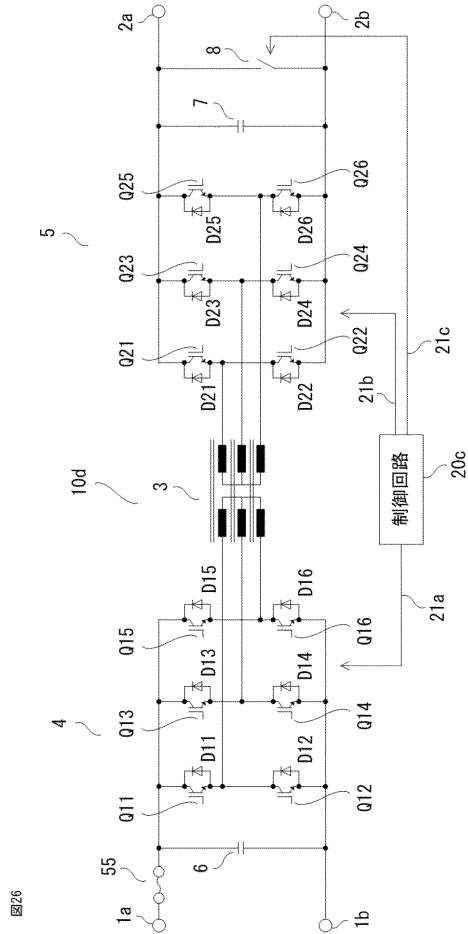
【 図 25 】



【 図 27 】



【 図 26 】



## フロントページの続き

- (72)発明者 ゴルタウ ニルス  
マティオイストリート 10, 52074 アーヘン, ジャーマニー アール ダブリュー テ  
ィー エイチ アーヘン ユニバーシティー
- (72)発明者 カイマーク ムラット  
マティオイストリート 10, 52074 アーヘン, ジャーマニー アール ダブリュー テ  
ィー エイチ アーヘン ユニバーシティー
- (72)発明者 デ ドンカー リック  
マティオイストリート 10, 52074 アーヘン, ジャーマニー アール ダブリュー テ  
ィー エイチ アーヘン ユニバーシティー

審査官 小林 秀和

- (56)参考文献 特開2002-359975(JP, A)  
特開2015-220962(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H02M 3/28