[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 9/46
G06F 13/14

[12] 发明专利说明书

[21] ZL 专利号 95194686.2

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111789C

[22] 申请日 1995.12.6 [21] 申请号 95194686.2
[30] 优先权
[32] 1994.12.7 [33] US [31] 08/351,637
[86] 国际申请 PCT/US95/15824 1995.12.6
[87] 国际公布 WO96/18150 英 1996.6.13
[85] 进入国家阶段日期 1997.2.20
[71] 专利权人 英特尔公司
地址 美国加利福尼亚州
[72] 发明人 J·卡尔达奇 赵圣洙
N·B·彼得森 T·R·莱恩
J·M·乔希 N·桑格
审查员 杨 蕊

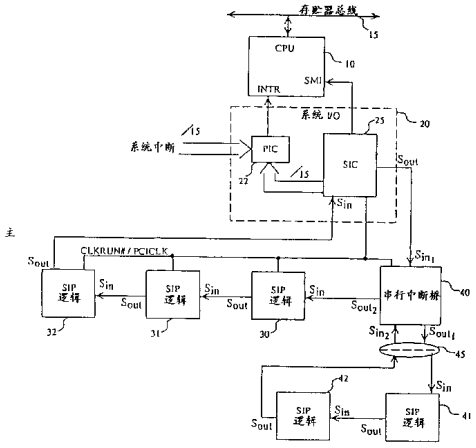
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 王 勇 邹光新

权利要求书 3 页 说明书 11 页 附图 5 页

[54] 发明名称 采用串行中断总线协议的计算机系统、外设和中断处理法

[57] 摘要

一种串行中断总线协议，其中，在一计算机系统中的任意数量的外设可以发送任意预定中断信号到系统的中断控制器(22)而不需要一用于每个可能中断的专用针。 在所述串行中断总线上的每个外设包括用于通过可能的中断状态而循环的状态机逻辑。 这些外设形成一菊花链，此链的起始和终止点为一串行中断控制器(25)，此控制器跟随象系统外设一样的状态机逻辑前进。 当此串行中断控制器(25)接收一有效信号时，它根据中断控制器状态机逻辑的中断状态确定将哪个中断信号提供给系统的中断控制器(22)。 在辅助串行中断总线上的外设(41，42)可以通过一系统中断桥(40)而与主系统中断总线上的外设(30，31，32)形成一菊花链，象系统外设一样，其中的系统中断桥(40)也包括用于跟随相同的状态图的状态机逻辑。



ISSN1008-4274

1.一种计算机系统，包括:

一个中央处理单元（CPU），用于响应一中断未决信号而执行一中断服务程序;

一外设中断控制器（PIC），耦合成以便响应多个可能的中断请求信号中的任意之一而将所述中断未决信号提供给所述CPU;

一串行中断控制器，耦合到所述PIC，用于产生与一接收的串行中断请求信号相对应的所述多个可能的中断请求信号中适当的一个；以及

第一多个串行中断外设，每个串行中断外设（SIP）互连,其中至少一个串行中断外设与所述串行中断控制器相连，其中所述第一多个串行中断外设中的每一个可以请求由所述串行中断控制器产生所述多个可能中断请求信号中的一个或多个，所述第一多个串行中断外设中的每一个包括用于将所述串行中断信号提供给所述串行中断控制器的协议逻辑。

2.权利要求1所述的计算机系统，其中所述多个串行中断外设中的每一个包括一串行中断输入针和一串行中断输出针，其中的多个串行中断外设被互连，使得用一串行中断外设的串行中断输出针提供其输出到其后的串行中断外设的串行中断输入针的方式而形成一串行中断外设链。

3.权利要求2所述的计算机系统，其中所述串行中断控制器还包括一串行中断输入针和一串行中断输出针，其中所述串行中断控制器的串行中断输出针将其输出提供给在所述串行中断链中的第一串行中断外设的串行中断输入针，所述串行中断控制器的所述串行中断输入针从所述串行中断链的最后一个外设的串行中断输出针接收其输入。

4.权利要求3所述的计算机系统还包括一个位于所述串行中断链上的串行中断桥，用于耦合所述串行中断链中的第二多个串行中断外设。

5.权利要求4所述的计算机系统还包括一连接站，其中所述第二多个串行中断外设包括与所述连接站相关的外设。

6.如权利要求5所述的计算机系统，其中所述的串行中断桥包括:

一第一串行中断输入针，用于从所述串行中断控制器接收一串行

中断信号；

一第一串行中断输出针，用于将所述的串行中断信号传送到所述第二多个串行中断外设中的第一个；

一第二串行中断输入针，用于从所述第二多个串行中断外设中的最后一个接收所述串行中断信号；以及

一第二串行中断输出针，用于将所述的串行中断信号传送到所述第一多个串行中断外设中的第一个。

7.权利要求3所述的计算机系统，其中所述多个串行中断外设和所述串行中断控制器中的每一个都包含串行中断协议逻辑，此逻辑用于跟随一预定状态图以便通过所述串行中断链传送中断信号。

8.权利要求7所述的计算机系统，其中所述的串行中断控制器和所述第一多个串行中断外设耦合成以便接收一个用于定时所述协议逻辑的公共时钟信号。

9.一种用于计算机系统中的外设，其中所述的计算机系统包括一中央处理单元（CPU），一外设中断控制器用于响应多个可能中断请求信号的其中之一而向所述CPU通知一未决中断，以及一串行中断控制器，用于响应一接收的串行中断信号而将所述中断请求信号提供给所述外设中断控制器，所述外设包括：

串行中断协议逻辑，用于与一串行中断总线通信；

一串行中断输入针耦合到所述串行中断协议逻辑，此输入针用于耦合所述外设到所述串行中断总线以接收串行中断输入信号；以及

一串行中断输出针耦合到所述串行中断协议逻辑，此输出针用于耦合所述外设到所述串行中断总线以通过所述串行中断总线传送串行中断信号，

其中所述串行中断协议逻辑控制所述串行中断输出针，使得所述多个可能中断请求中的任意一个可以通过所述串行中断输出针传送。

10.权利要求9所述的外设，其中所述的串行中断控制器和所述串行中断协议逻辑中的每一个都包括串行中断处理逻辑，此逻辑用于跟随一预定状态图以便通过所述串行中断输入和串行中断输出针传送中断。

11.权利要求9所述的外设，还包括一个用于接收一定时信号的时钟针，此定时信号用于串行中断协议逻辑到所述串行中断控制器的同

步。

12. 一种由在串行中断总线上实现的外设处理中断的方法，包括下列步骤：

在一第一时钟周期期间从一串行中断输入针上接收一串行中断信号；

在一第二时钟周期期间通过一串行中断输出针发送所述串行中断信号；以及

在一对应于所需的中断状态的时钟周期期间从所述串行中断输出针上确立一有效信号。

采用串行中断总线协议的计算机系统、外设和中断处理法

发明背景

1.发明领域

本发明涉及计算机系统外设连接，更具体地，本发明涉及利用一串行外设中断总线处理计算机系统中的多个可能的中断。

2.技术背景

在计算机工业中，一个已广泛接受的用于个人计算机的系统结构为 AT 系统设计。采用这种结构的较早的系统包括用 ISA 总线协议实现的系统总线，后来则采用 EISA 总线协议。这种协议定义了十五个不同的系统中断，以便系统内部各部件使用。这些中断被指定为 IRQ0 至 IRQ15，其中的一个 IRQ 信号，例如，IRQ2，专门用于系统的可编程中断控制器（PIC）机制。

上述的采用 ISA 或 EISA 总线协议中断机制的计算机系统通常包含一个中断控制器，此中断控制器接收各种 IRQ 信号，并且作为响应而提供一信号到系统的中央处理单元（CPU）以指示一未决中断的存在。CPU 响应当前的中断信号而向该中断控制器确认此中断信号，随后所述中断控制器提供一代码向量到 CPU，以便执行适当的中断服务程序（ISR）。公知的一个这样的中断控制器是 Intel8259 外设中断控制器（PIC）。在一个实施例中，所述中断控制器能够接收八个不同的 IRQ 信号。为了支持整个范围的 IRQ 信号[0:15]，第一 PIC 接收 IRQ8－15 并产生一中断信号输出以响应之。与来自其它部件的另外七个输入一起，所述第一 PIC 的输出作为 IRQ2 的输入提供给第二 PIC。所述第二 PIC 将其输出提供给 CPU。这样，两个八 IRQ 输入的 PIC 链接在一起，从而在系统内提供十五个可能的 IRQ 信号。

上述中断信号协议具有一些不幸的缺点。一些计算机系统的部件被指定提供一特定 IRQ 输出到系统 PIC，而另一些部件可自由地配置多个可能的 IRQ 信号。在常规外设设计方法中，对于设备可能使用的每个中断，这将需要一个单独的针，最多可能达到十五个针，以便引导 15 个可能的 ISA IRQ 中断信号。每个针将驱动一单独信号线到系统 PIC，

以便用于当一个中断需要服务时用信号通知 CPU．除了增加实现外设的成本外，这还增加了外设互连的复杂性和尺寸．最近以来，这已经与计算机系统、特别是便携式和笔记本一类的系统尺寸的减小有较大的关系．因此，本发明的一个目的是减小可配置多个中断的外设的复杂性和针的需求．

发明概述

从前面可知，计算机系统的结构可以以这样的一种方式增强，这种方式就是，在仍然遵守多针中断协议的同时减小实现外设的成本和外设针的要求．因此，本发明的一个目的是提供一种用于实现一串行总线协议的方法和装置，其中的总线协议允许系统外设或部件配置成用于产生任意预定的中断信号而不需要用于每个可能中断信号的专用针．特别地，本发明的一个目的是提供一种协议，用于在一串行中断总线上实现的外设通过使用两个针来产生任意 IRQ 信号，这两个针根据本发明的协议传送信号．

在本发明的一个实施例中，一计算机系统实现为具有一个主串行中断总线和一个辅助串行中断总线．所述串行中断总线不但提供一时钟信号到连接在总线上的外设，而且还通过在总线上实现的外设链提供传送的中断信号．在此实施例中说明的主和辅助串行中断总线强调了本发明在有时连接在连接站（ docking station ）上的笔记本计算机中应用的适应能力．在本实施例中，所述主串行中断总线用于与便携式计算机有关的外设，而与辅助串行中断总线有关的外设与所述连接站有关．这也用于说明一串行中断桥部件的功能性，其中的总线桥用于将辅助中断总线的外设包含在下面将要讨论的串行中断外设链中．

上述实施例中的计算机结构包括一个外设中断控制器（ PIC ）机构，此 PIC 用于当一未决中断需要服务时向系统处理单元发信号．根据 ISA 或 EISA 总线中断协议．此外设中断控制器机构作为输入接收十五个可能的 IRQ 信号，此 PIC 机构从一个驱动所述串行中断总线的串行中断控制器（ SIC ）接收这些 IRQ 信号．

根据本发明的这个实施例，计算机系统中的每个外设仅需要拿出两根针用于中断信号．每个外设有一个串行输出针（ Sout ）和一个串行输入针（ Sin ）．所述串行中断控制器也有一个 Sout 针耦合到所述串行总线上的第一外设的 Sin 针（或者如果其中之一实现为用于可能的连接

目的则耦合到串行中断桥（ SIB ））．所述第一外设（或所述 SIB ）的 Sout 针耦合到一串行外设链上的下一外设的 Sin 针．然后，其 Sout 针又在所述串行总线提供的外设线上顺序地耦合到下一个 Sin 针．在所述链的最后一个外设的 Sout 针耦合到所述中断控制器的 Sin 针．

在一个实现桥的计算机系统的实施例中， SIB 采用四个针．此 SIB 有一个接收 SIC 的 Sout 针的输出的第一 Sin 针．此 SIB 还有两个 Sout 针．所述桥的第一 Sout 针将其信号驱动到在所述辅助串行中断总线上提供的第一外设的 Sin 针。象上面已经描述的主串行中断总线的外设那样，所述辅助总线的外设以同样的方式通过其 Sout 和 Sin 针链接起来．最后一个外设和所述辅助总线的 Sout 针驱动第二 Sin 输入到 SIB．然后 SIB 驱动其第二 Sout 信号到所述主总线的第一外设的 Sin 针，因此，在系统中就有效地将所有辅助总线外设加到系统中主总线外设的菊花链上。

在本发明的一个实施例中，其中的辅助总线表示一个连接站外设总线，仅当系统被连接时此辅助总线才变成活动的，否则仅使用主总线。在后一种情况下，所述桥转送串行中断信号到主总线的第一外设。

在所述串行中断总线上使用的每个外设中都包含有串行中断外设（ SIP ）逻辑。每个 SIP 逻辑和 SIC 采用相同的时钟计时。每个都有用于跟踪一状态图的逻辑，此状态图在一个时钟周期内循环通过每个可能的 IRQ 中断状态。在所述串行链上的每个外设保持领先其后面的外设一个状态。当一外设需要发送一特定 IRQ 信号到系统 PIC 时，仅当其在 SIP 逻辑状态机的相应 IRQ 状态时，此外设才通过其 Sin 针发送一有效信号出去。在所述链上的每个外设将通过其输出 Sout 转送在其 Sin 上接收的任何信号。在一个实施例中位于系统 I/O 控制器中的 SIC 包括用于运行象 SIP 逻辑一样的状态机的状态机逻辑。因此，当一有效信号从所述串行链上的最后一个外设转送到 SIC 时，便使 SIC 知道哪一个 IRQ 信号需要被提供给系统 PIC．这就为一计算机系统中的任意数量的外设产生任何可能的系统 IRQ 中断信号而不需要用于每一中断的专用针提供了一种机构。而且，由于在保证 SIC 将发送适当的 IRQ 信号给系统 PIC 的情况下，多个外设能够以相同的 IRQ 状态发送一有效信号，因而允许多个 IRQ 的共享。

在本发明的一个实施例中，采取措施使得 SIC 直接提供一系统管理

中断（ SMI ）到系统 CPU 而绕过系统 PIC．每个外设的 SIP 逻辑和每个 SIC 逻辑包括用于产生系统管理中断（ SMI ）的一个状态．

附图简述

从下面的详细描述中，本发明的目的、特性和优点将变得明白，其中：

图 1 是实现根据本发明的一个实施例的所述串行中断总线协议的一计算机系统结构的方框图．

图 2 是与实现在根据本发明的串行中断总线上的每个外设有关的串行中断逻辑实现的一个状态图．

图 3 是一个时序图，显示了通过一串行中断链的中断针信号状态．

图 4 是一个时序图，用于一外设或桥启动所述总线时钟以发送中断．

图 5 是根据本发明而用于串行中断外设的一个广义状态图．

本发明的详细描述

本发明提供了一种用于在采用串行中断总线的计算机系统中的一中断信号协议的方法和装置．在下面的详细描述中，描述了计算机系统的一个实施例，它包括与可连接的便携式计算机及与便携式计算机和连接站关联的外设部件兼容的主和辅助串行中断总线．可以理解的是，这是用于解释的目的而不是一种限定，本发明也可采用其中最好是提供一串行中断总线的其它计算机系统来实现本发明的优点．

在整个详细描述中，为了对本发明提供透彻的理解，下面采用了大量具体的细节，诸如特定信号名称、总线协议和计算机结构类型等．可以理解的是，对于具有现有技术中的普通技能的人员，不采用这些具体细节也能实现本发明．在其它情况下，为了避免使本发明的主题模糊不清，一些公知部件、结构和技术没有进行详细的描述．特别地，本发明的一些功能将根据状态图逻辑和时序图描述，而这些状态图逻辑和时序图可由不同类型的逻辑电路实现．本领域的普通技术人员可以理解的是，本发明的所述功能可由各种技术实现，这些技术包括但不限于应用专用的集成电路（ ASIC ）、诸如 PAL 和 PLD 的可编程逻辑器件或者专用逻辑电路．另外，在有些情况下，在下面的详细描述中标识的信号名称描述为在一种状态中是活动的，而在另一种状态中则是不活动的．当然，本发明的教导也同样适用于相反情况．

现在参见图 1，其中说明了可体现本发明的一个计算机结构。图 1 中的计算机系统结构的说明为的是强调其分层中断结构。对本发明不起作用或未包括在本发明中的所述计算机系统的许多部件未示出。可以看到，计算机系统包括一个耦合到存贮器总线 15 以便与其存贮器系统（未示出）通信的中央处理单元（ CPU ） 10 。可以看到，所述 CPU10 从系统 I/O 控制器 20 接收两个控制信号。它们标识为到 CPU 的 INTR 中断信号和系统管理中断（ SMI ）。如以下的进一步详细描述那样，到 CPU 的 INTR 信号是来自所述系统的外设中断控制器机构（ PIC ） 22 的常规信号，当一系统部件需要 CPU 执行一中断服务程序（ ISR ）时，此 PIC22 通知 CPU10 。

在本发明的一个实施例中， CPU10 是根据 Intel Microprocessor Architecture (Intel 微处理器结构)设计的一微处理器。这种结构支持一种称为系统管理模式（ SMM ）的操作模式。对于系统管理模式的支持，在某些情况下 CPU 必须从系统的各种外设接收一个称为系统管理中断（ SMI ）的特殊中断。因此可以看到，所述计算机结构的 CPU10 既接收用于系统管理中断处理的 SMI 中断，又接收常规 INTR 中断信号。

系统 I/O 控制器 20 包括用于计算机系统的所述外设中断控制器（ PIC ）机构 22 。如上所述，它可以用两个 Intel 8259PIC 配置，这样可以接收来自不同的系统部件的十五个可能的 IRQ 信号，并且作为响应而提供 INTR 信号到 CPU10 。在一些替换实施例中，也可采用其它的 PIC 机构而完成相同的功能性。系统 I/O 控制器 20 还包括本发明的串行中断控制器（ SIC ） 25 。如下面将进一步详述的那样， SIC25 采用本发明的串行中断协议，用于检测来自系统外设的特定 IRQ 请求并提供适当的 IRQ 输入信号到系统 PIC22 。当采用本发明协议的系统外设之一表示需要一系统管理中断时， SIC25 还提供 SMI 中断信号到 CPU10 。PIC22 还被耦合成以便从其它系统部件，诸如在所述计算机系统的母板上或者通过独立于所述串行中断总线的另一机构而提供的那些部件接收 IRQ 信号。

根据本发明的所述实施例，所述串行中断总线表示为用于耦合计算机系统的外设 30 、 31 和 32 的一主串行中断总线。还有一个用于耦合外设 41 和 42 的辅助串行中断总线。可以想象的是，本发明适合用于便携式计算机系统中，所述便携式计算机系统可以通过一个连接站连接。

此连接站举例说明为连接 45 . 本发明的串行中断协议用于处理一些中断信号，这些中断信号由所述便携或计算机系统板上的诸如外设 30 、31 、 32 等的外设和与所述连接站相关的诸如外设 41 、 42 等的外设产生。对于图 1 中所示的主和辅助串行中断总线，可以看到它们将通过一串行中断桥 40 组合，这一点下面将进一步描述.

与所述串行中断总线协议相关的每个外设、串行中断控制器和串行中断桥接收时钟信号 PCICLK 和 CLKRUN # . 下面将参照图 3 、 4 的时序图进一步描述根据本发明的一个实施例的信号传输的实际时序.

实现本发明的串行中断总线协议的系统外设仅需要两个专用针以用于其操作. 这两个针指定为 Sout 和 Sin . 对于串行中断控制器 25 也是如此. 本发明的这些外设链接在一起，使得来自 SIC25 的 Sout 信号用于所述串行中断链的第一外设（或桥）的 Sin 信号. 此链上的最后一个外设 32 从所述链上的倒数第二个外设 31 的 Sout 针接收其 Sin 信号. 此链上的最后一个外设驱动其 Sout 针到 SIC25 的 Sin 针.

当采用一串行中断桥（ SIB ） 40 时，它包括两个 Sin 针和两个 Sout 针. 其 Sin1 针接收来自 SIC25 的 Sout 的信号. 当计算机系统通过连接站 45 连接时，所述串行中断桥提供一 Sout1 信号到所述辅助串行中断总线的第一外设 41 的输入 Sin . 在所述辅助中断总线上的外设以与主串行中断总线上的外设相同的方式链接在一起. 辅助串行中断总线的最后一个外设 42 驱动其 Sout 信号到 SIB40 的 Sin2 针. SIB40 有一 Sout2 针被耦合以驱动一信号到主串行中断总线的第一外设 30 的输入 Sin . 当系统中有一个桥但没有连接时， SIB40 通过其 Sout2 针发送在其 Sin1 针上接收的信号而忽略当连接时将耦合到所述辅助串行中断总线的那些针.

在图 1 中，不同的外设 30 、 31 、 32 、 41 和 42 没有根据其类型来标识. 任意外设部件都可用于本发明的串行中断总线上. 图中仅说明了安装在每个外设中的串行中断外设（ SIP ）逻辑. 要理解的是，当需要一中断服务时系统中的每个外设可以指定不同的 IRQ 信号. 此外，可以理解的是，一些外设可以被配置成请求不同的 IRQ 输入，以便提供给系统 PIC22 . 每个外设的 SIP 逻辑， SIB40 和 SIC25 将包含状态机逻辑，以便沿着图 2 所示的状态图进行. 根据本发明的协议，每个外设的 SIP 逻辑通过其 Sout 针传送在前面的时钟周期从其 Sin 针接收的信号

值，根据本发明的一个实施例，将假定 Sin 信号为逻辑低时有效．当然，在一个替换实施例中也可以反过来．

当在所述串行中断总线上没有外设需要中断服务时，每个 Sout 针上拉到逻辑高状态．所述任意给定外设的状态机逻辑最初位于停止状态 220．当一外设，诸如外设 32 的 SIP 逻辑在其输入针 Sin 接收到一有效值（ Sin 下拉为低）时，所述 SIP 逻辑转换到开始消息状态 200．此外设然后通过其 Sout 针发送一有效信号到此链上的下一外设的 Sin 针．在外设 32 的情况中，它传送一有效信号 Sin 到 SIC25．这将使得 SIC25 在其状态机逻辑中转换到开始消息状态 200．这时，在串行链中位于其后的外设已经在其状态机中前进一个状态而到达 SMI 状态 201．

如果外设 32，即在串行中断链上的最后一个外设，当其位于 SMI 状态 201 时从其输入针 Sin 接收一有效值时，它在下一时钟周期的上升沿传送此有效信号到 SIC25 的 Sin 针．如果 SIC25 在其状态机逻辑位于 SMI 状态 201 时从其 Sin 针接收一有效信号，那么它将传送一中断信号到 CPU10 的系统管理中断（ SMI ）输入．这就允许 CPU10 立即处理系统管理中断．

如上所述，在所述串行中断总线的外设链中的每个外设包括状态机逻辑，此状态机逻辑沿着图 2 所示的状态图前进．当不处于停止状态 220 时，每个外设的状态机在其状态图的每个状态中保持一个时钟周期．根据在此外设的 Sin 针上首次接收的一有效值而产生从停止状态 220 到开始消息状态 200 的转换．除了当此外设位于一个想驱动一有效中断的状态时以外，每个外设继续通过其 Sout 针发送在前面的时钟周期从其 Sin 针上接收的信号．因此，可以看到的是，在所述串行中断链中，每个外设的 SIP 逻辑处于紧靠其前面的一个外设的提前一个状态．

当一外设希望发出一特定 IRQ 信号时，它仅仅需要做的是，当其位于图 2 的状态图的相应 IRQ 状态时通过其 Sout 针提供一有效信号．外设在其 Sout 针上的所有其它输出将为在其 Sin 针上接收的值．例如，如图 1 所示，如果外设 30 需要发送一 IRQ12 信号以便由 CPU10 提供服务，那么，当其状态机逻辑位于 IRQ12 状态 213 时，它将通过其 Sout 针发送一有效信号．这时，外设 31 将处于 IRQ11 状态 212，而外设 32 将处于 IRQ10 状态 211．类似地，这时 SIC25 将处于 IRQ9 状态 210．在 SIP 逻辑 30 通过其 Sout 针传送一有效信号后的一个时钟周期， SIP

逻辑 31 将处于 IRQ12 状态 213 并通过其 Sin 针接收一有效信号. 另外，外设 32 仍将落后外设 31 一个状态并且处于 IRQ11 状态 212，而同时 SIC25 处于 IRQ10 状态 211. 这个信号将以这种方式继续传送，使得当其被 SIC25 接收时，SIC25 将处于 IRQ12 状态 213. 因此，根据在三个时钟周期之前由 SIP 逻辑 30 的 Sout 针输出的一有效信号，SIC25 将能够检测哪一个 IRQ 信号，即 IRQ12 应被提供给系统 PIC22. 这样，在所述计算机系统中，对于所述串行中断总线上的每个外设，仅需要两根针用于传送可能的任意数量的 IRQ 中断.

上述的中断信号传输原理也适用于一个通过一连接单元 45 连接的便携式计算机系统. 在这种情况下，所述串行中断桥（SIB）40 开始工作. SIB40 包括状态机逻辑，此状态机逻辑也跟随由图 2 的状态图所示的相同状态机前进. 当 SIB40 通过其 Sin 接收其第一个有效信号时，它从停止状态 220 转换到开始消息状态 200. 然后，假设此桥有效地连接到一辅助串行中断总线，那么它将通过其 Sout1 针在下一时钟周期发送一有效信号到所述辅助串行中断总线链上的第一个外设，在本例的情况下此第一个外设具有 SIP 逻辑 41. SIB40 然后将转换到 SMI 状态 201. 当 SIB40 位于 SMI 状态 201 时，所述第一个外设已经转换到开始消息状态 200.

从开始消息状态 200，外设 41 传送开始消息激活信号到所述辅助串行中断总线的下一个外设的 SIP 逻辑 42. 如上所述，辅助串行中断总线上的最后一个外设通过 SIB40 的第二输入 Sin2 传送其输出 Sout，然后此输出通过 SIB40 的输出针 Sout2 传送到主串行中断总线上的第一个外设 30 的第一个输入针 Sin. 这样，本发明的串行中断总线协议能够实现多级链接串行中断总线，其中每个总线具有多个串行中断外设，这些外设通过一系列串行中断桥而被耦合.

这些串行中断外设将形成一个逻辑链，使得在适当的状态中发送的中断将由 SIC25 在相应状态检测而通知系统 PIC22. 这与系统中包含的外设和桥的数量无关. 还可以看到的是，本发明的协议允许被配置的多个外设产生同样的 IRQ 信号. 因此，如果一个外设希望发一个有效 IRQ13 信号，并且此链上的另一外设已经发了一个有效 IRQ13 信号，那么，第二个外设可有效地采取相同的行动：当其位于 IRQ13 状态 214 时通过其 Sout 针发送一有效信号.

图 3 是说明上述协议在没有串行中断桥的系统中的一个时序图. 第一外设在第一时间间隔从所述停止状态转换到所述开始消息状态，然后通过所述链上其余的外设级联直至在相应数量的时钟周期后到达所述串行中断控制器 25 为止. 本发明的另一个优点是，所述 SIC 不需要知道外设产生的中断是否为一边沿触发或电平敏感中断，本发明允许由一外设的 SIP 逻辑进行中断信号的边沿－电平转换.

本发明的一特定实施例中，其中的外设自动预定为定时到 PCICLK 信号上运行，并且如果当发送一有效 CLKRUN # 信号时它是停止的，那么它就已经作出反应来重新启动 PCICLK . 因此，仅需要两个附加的针就可支持本发明的串行中断总线协议. 应该注意的是，所述实施中的状态图和 SIP 逻辑忽略了位于 IRQ1 和 IRQ3 状态之间的 IRQ2 状态. 这是因为在常规的 IRQ 实现中，如前面所述的那样， IRQ2 专门用于耦合两个 8 输入中断控制器的级联通道. 当然，这也是可替换的并且 IRQ2 状态包括在本发明的替换实施例中.

在所述状态图中的每个状态代表一个时钟序列并与 PCICLK 信号同步. 因此，整个状态机是同步的. 但是，一个状态，即停止状态却依赖于一异步事件，即 Sin 到激活状态的首次转换. 这就允许所有的外设相对于同一时钟周期同步. 所述停止状态有两个主要功能： 1)通过一个起始位（开始消息激活信号）的产生而同步所述串行中断总线协议序列；以及 2)允许任意串行中断机构根据一有效中断的确定而同步产生一停止中止事件（ stop break event ）（ CLKRUN #)以重新启动 PCICLK （如果已停止）.

在每次通过了所述协议状态机后，每个设备终止于所述停止状态，并且在转换到所述开始消息状态之前等待在其输入 Sin 上的下一个有效指示. 注意，由于所述总线是串行的. 因此，每个设备的 SIP 逻辑将在其前面的 SIP 逻辑已经接收所述开始序列后的一个周期接收此序列. 因此，对于所有外设，所述开始转换不会发生于同一时刻，而是以一脉动形式在所述外设链上传下去.

图 4 说明了当 PCICLK 停止时一串行中断请求是如何启动的. 在这种情况下，当一个外设采样到 PCICLK 信号已经停止时，它通过驱动 CLKRUN # 信号变为有效而启动周期. 根据常规的 CLKRUN # 定义，此外设保持 CLKRUN # 信号为低直至其看到两个 PCICLK 为止. 根据

此定义， CLKRUN #信号将由时钟控制逻辑保持为低直至时钟停止为止。一旦数据针 Sin 被采样为有效，则进入所述开始状态。注意，除非所有串行中断外设都位于停止状态 220， SIC25 的责任是监视 PCICLK 没有停止。当能够保证所有的设备将位于停止状态时，通过仅让 CLKRUN #保持高达四个时钟周期即可实现这一点。当 SIC 位于停止状态并还没有启动新的消息时，它保证所有外设位于停止状态。

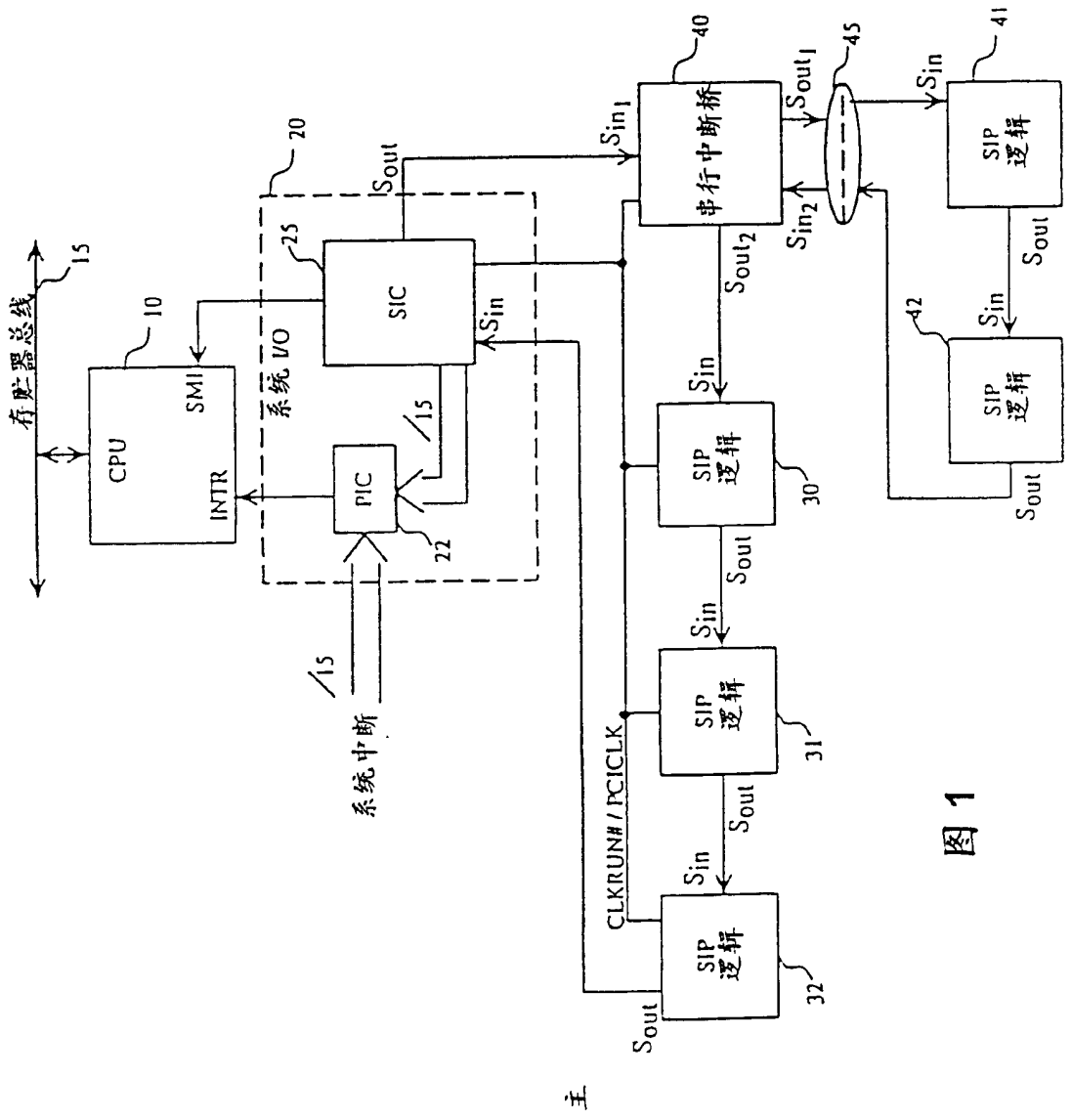
对本发明的一个附加改进能够消除一电平中断请求产生一虚假中断请求的可能性。这可能会因一中断服务程序清除在一 I/O 设备中的一中断请求并且然后发生一中断结束（ EOI ）到系统 PIC 而引起。但是，由于通过所述串行总线链的 IRQ 的串行化，如果在 IRQ 被更新之前发生了 EOI，那么就会产生一个虚假中断。产生它的原因是，当发生 EOI 时， PIC 根据仍然有效的一电平敏感 IRQ 产生一中断到处理器，但是它后来被撤销（ de-asserted ），因为最终到达的串行消息撤销 IRQ 。在这种情况下， PIC 将返回一中断向量到处理器以表示一虚假中断。虽然这不是致命的，但是，如果它每秒钟产生 4000 次时将影响性能。

为了避免这一问题， SIC25 将拦截 EOI 周期（特定或非特定）以便在中断服务程序中延迟中断信号的复位，直至 SIC 已经从特定 IRQ 不再发信号的 SIP 中得到更新为止。这就需要当 SIC 下一次到达所述特定 IRQ 状态时，具有一次完整地通过所述串行链，而在其中 SIC 没有接收到激活信号。当一 EOI 周期产生时，所述 SIC 将终止此周期并跟踪总线协议状态机。这就防止了当请求外设实际上已经撤销了一 IRQ 信号时 PIC 发出此 IRQ 信号。

图 5 是一个一般化的状态图，它通常可用于实现本发明。它是图 2 的状态机图的概括。用于状态机逻辑的初始状态是停止状态 500，其中，只要到相关 SIP 逻辑的 Sin 不被确立（ asserted ），其状态机逻辑就保持。一旦此 SIP 逻辑收到一有效的 Sin 信号，则 SIP 逻辑状态机就转换到所述开始消息状态 501 并在其中保持一个时钟周期。接下来，状态机逻辑从所述开始消息状态 501 到达 INT - 1 中断状态 502，并且在与一特定中断协议有关的预定数量的中断后终止于 INT - N 状态 510 。状态机逻辑然后转换回到停止状态 500，并在其中保持到下一个有效信号 Sin 的确立。

上面所述的机构用于实现一串行中断总线，其中的外设可以发出与

一给定中断协议相关的预定数量的可能中断的其中的任意一个。虽然本发明已经根据各个实施例进行了描述，但是可以理解的是，在不脱离本发明的精神和范围的情况下，本领域的技术人员可以作出各种修改和变换。因此，本发明应根据其后的权利要求进行判断。



存贮器总线
15
10
CPU
SMI
INTR
系统 I/O
20
25
SIC
PIC
22
/15
系统中断
Sout
Sin
Sin1
Sout1
Sin2
Sout2
40
串行中断桥
45
41
SIP 逻辑
42
30
31
32
CLKRUN# / PCICLK
主

图 1

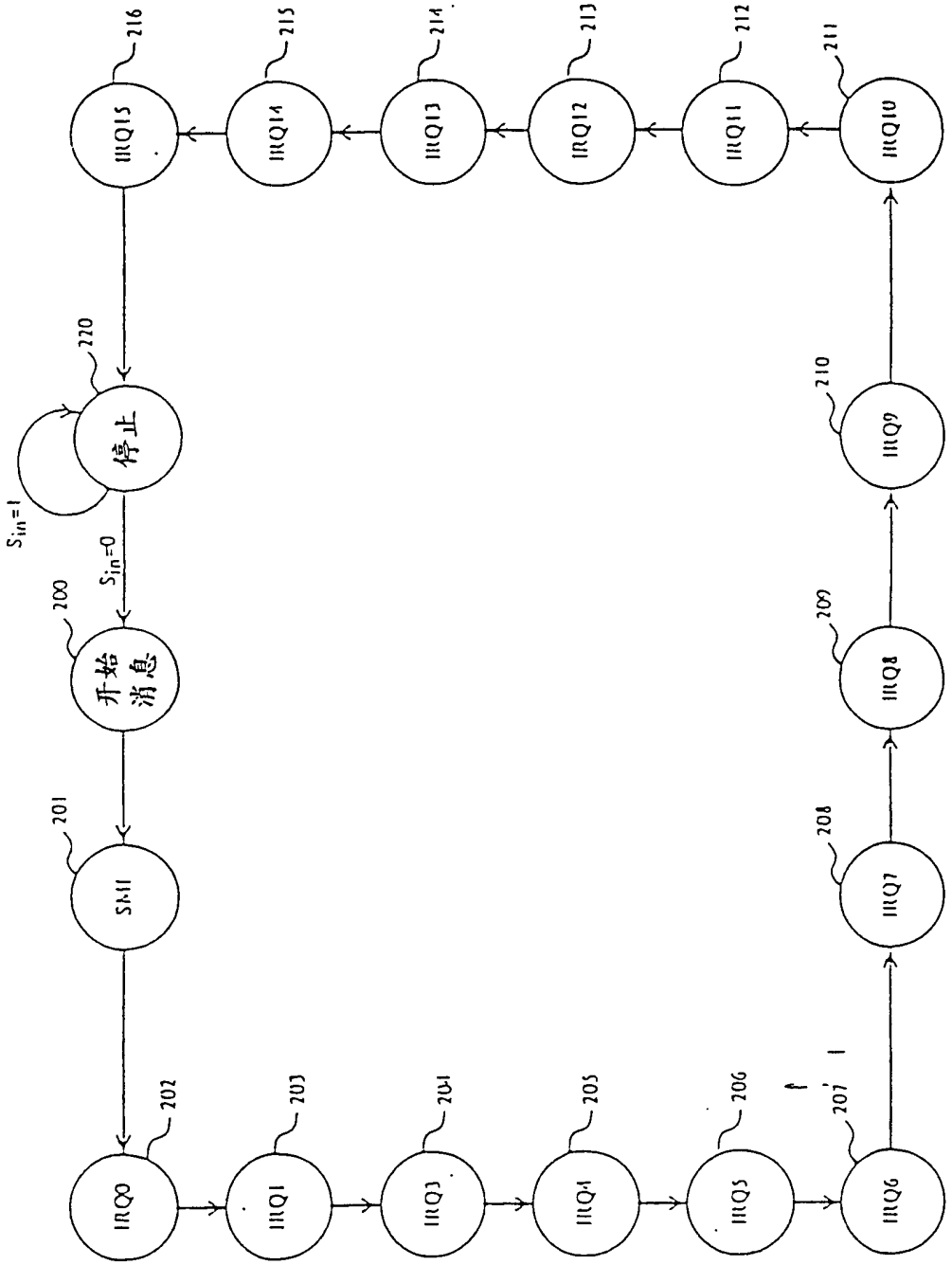

IRQ0
IRQ1
IRQ3
IRQ4
IRQ5
IRQ6
IRQ7
IRQ8
IRQ9
IRQ10
IRQ11
IRQ12
IRQ13
IRQ14
IRQ15
SM1
开始消息
停止
$S_{in}=0$
$S_{in}=1$
200
201
202
203
204
205
206
207
208
209
210
211
212
213
214
215
216
220

图 2

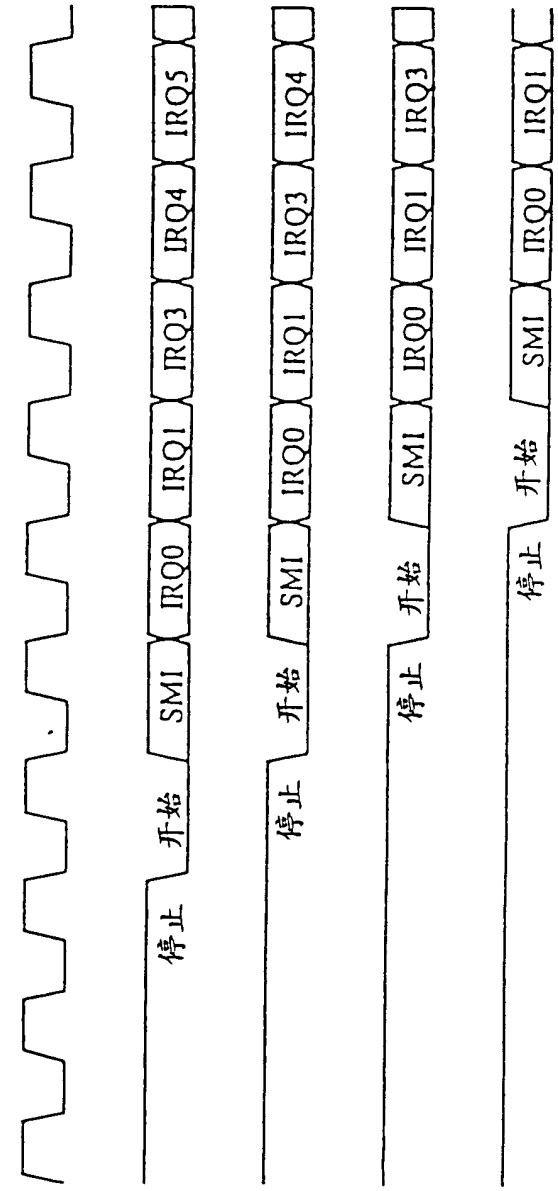

PCICLK
S_{in} (SIP1)
S_{in} (SIP2)
S_{in} (SIP3)
S_{in} (SIC)
停止
开始
SMI
IRQ0
IRQ1
IRQ3
IRQ4
IRQ5
停止
开始
SMI
IRQ0
IRQ1
IRQ3
IRQ4
停止
开始
SMI
IRQ0
IRQ1
IRQ3
停止
开始
SMI
IRQ0
IRQ1

图 3

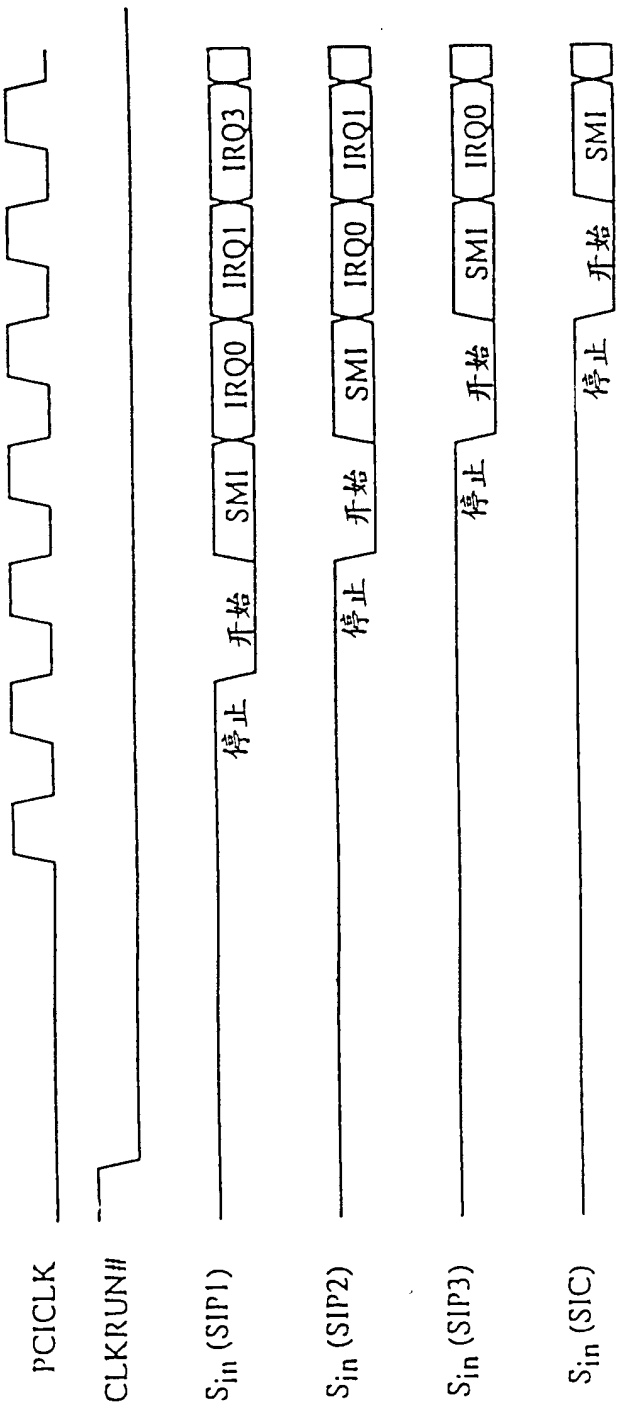

PCICLK
CLKRUN#
S_{in} (SIP1)
S_{in} (SIP2)
S_{in} (SIP3)
S_{in} (SIC)
停止
开始
SMI
IRQ0
IRQ1
IRQ3
停止
开始
SMI
IRQ0
IRQ1
停止
开始
SMI
IRQ0
停止
开始
SMI

图 4

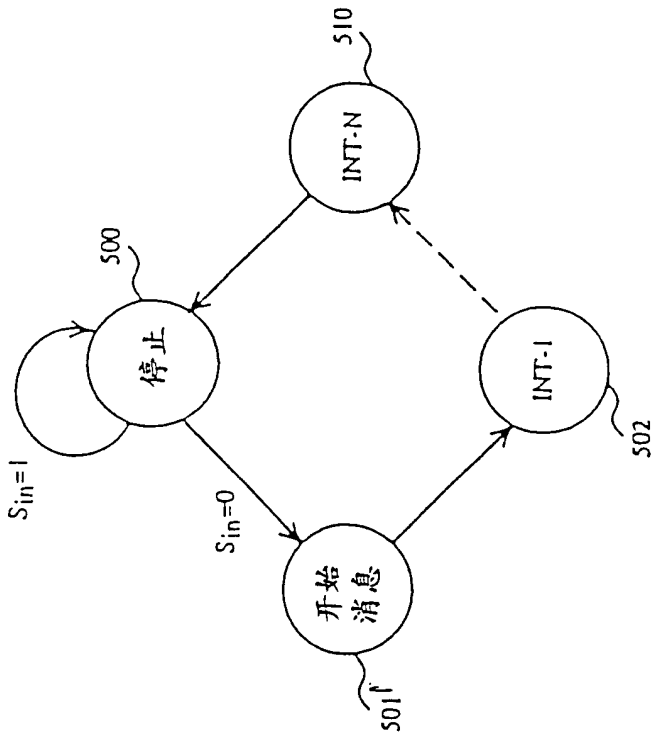


图 5