[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G06F 13/40
G06F 1/32

[12]发明专利说明书

[21] ZL 专利号 95192051.0

[45]授权公告日 2002 年 7 月 10 日

[11]授权公告号 CN 1087453C

[22]申请日 1995.11.8
[21]申请号 95192051.0
[30]优先权
[32]1994.12.2 [33]EP [31]94203510.6
[86]国际申请 PCT/IB95/00975 1995.11.8
[87]国际公布 WO96/17305 英 1996.6.6
[85]进入国家阶段日期 1996.9.10
[73]专利权人 皇家菲利浦电子有限公司
地址 荷兰艾恩德霍芬
[72]发明人 H·舒特
[56]参考文献

EP 0549165	1993. 6.30	H03K17/94
US 3832489	1974. 8.27	H04L25/20

审查员 王京霞

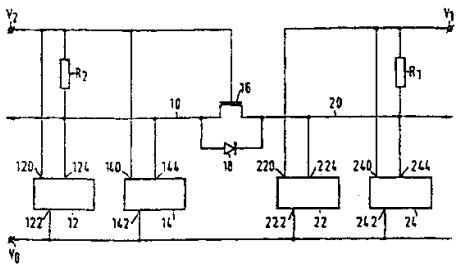
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 董江雄 傅 康

权利要求书 2 页 说明书 8 页 附图页数 3 页

[54]发明名称 包括数据通信总线的电路

[57]摘要

信息施加到处于线连逻辑功能的一条总线上,总线上的电位或被下 拉到地电位,或保持在电源电位。总线中的数据线路被分成两部分,它 们通过主电流沟道晶体管互连。两部分使用不同的电源电压。晶体管的 控制电极与最低的电源电压相连。当两部分的任一部分被下拉时,晶体 管变为导通。当两部分的任一部分不被下拉时,晶体管不导通。



ISSN1008-4274

权 利 要 求 书

1. 一种包括具有支配电平和退后电平的通信总线的电路，多个子电路（12，14，22，24）与所述通信总线相连，当其中一个子电路以支配方式驱动总线时，所述总线具有一支配电平，而当所有子电路以退后方式驱动总线时，所述总线具有一退后电平，所述总线包括通过中继器接口（16）互连的第一总线线路（20）和第二总线线路（10），所述第一总线线路（20）和第二总线线路（10）中的每一条具有至少一个子电路与之相连，所述中继器接口（16）用来提供第一总线线路（20）和第二总线线路（10）上电位逻辑对应的电平，其特征在于所述第一总线线路（20）和第二总线线路（10）具有不同的电源电压（V2，V1）和用于向所述第一总线线路（20）和第二总线线路（10）提供不同退后电平的装置（R1， R2），所述中继器接口（16）包括一个连接在第一总线线路（20）和第二总线线路（10）之间的开关元件，用于根据处于支配电平的第一总线线路（20）和/或第二总线线路（10）上的电位，提供所述第一总线线路（20）和第二总线线路（10）之间的导通连接，以及根据处于退后电平的第一总线线路（20）和/或第二总线线路（10）上的电位，提供第一总线线路（20）和第二总线线路（10）之间的隔离连接.

2. 如权利要求 1 的电路，其特征在于所述开关元件包括具有一个主电流沟道和一个控制电极的晶体管（16），通过与不同的电源电压（V2，V1）中最小的一个电压（V2）相耦合的主电流沟道和控制电极，所述第一总线线路（20）和第二总线线路（10）之间的连接得以延伸.

3. 如权利要求 2 的电路，其特征在于晶体管是 N 沟道常截止型 IGFET 或 MOSFET.

4. 如权利要求 3 的电路，其特征在于晶体管的基底与晶体管主电流沟道中的一个电极相连，所述晶体管与第二总线线路（10）相连.

5. 如权利要求 1 的电路，其特征在于它还包括与所述第二总线（10）的电源电压（V2）串联的开关装置（30），用于中断向所述第二总线线路（10）供电和向所述子电路或与第二总线线路（10）相连的子电路（12，14）供电，以及用于将所述第二总线的电压减小到至少与支配电平相对应的一个电平.

6. 如权利要求 5 的电路，其特征在于与所述第一总线线路（20）相连的所述子电路（22，24）中的至少一个电路（22）具有一个与所述开关装置（30）的一个控制输入端相耦合的输出端，用于控制所述开关装置（30）的导通状态。

7. 如权利要求 5 或 6 的电路，其特征在于它还包括一个第三总线线路（44），在没有对支配电平驱动的情况下，将所述第三总线线路（44）驱动到一退后电平的装置（R3），将所述第二总线线路（10）与第三总线线路（44）相耦合的开关元件（16），以及具有与所述的开关元件（16）的功能相同的另一个开关元件（46），用于将第三总线线路（44）与第一总线线路（20）相耦合。

说　明　书

包括数据通信总线的电路

本发明涉及一种包括具有支配电平和退后电平的通信总线的电路，多个子电路与通信总线相连，当其中一个子电路以支配方式驱动总线时，总线具有一支配电平，而当所有子电路以退后方式驱动总线时，总线具有一退后电平，总线包括通过中继器接口互连的第一总线线路和第二总线线路，第一总线线路和第二总线线路中的每一条具有至少一个子电路与之相连，中继器接口用来提供第一总线线路和第二总线线路上电位逻辑对应的电平.

这种电路可以从 Philips Semiconductors 出版的“IC20 Data Handbook 1994”的第四部分了解到. 这一出版物描述了一种数据通信总线（I2C 总线）和中继器接口（82B715 IC）.

包括 I2C 总线的电路中的子电路通过总线线路（SDA 线路）通信. 子电路连同这一总线线路构成线连“与”电路. 于是每个子电路可以将总线线路上的电位下拉到低电位，即“支配”电平. 如果没有子电路将线路上的电位下拉，那么总线线路上的电位呈现高电位，即“退后”电平.

上述情况适用于数据通信和仲裁. 在数据通信的情况下，一个子电路作为发送机，一个（或多个）子电路作为接收机. 通过交替地将总线线路上的电位驱动到其支配电平并且再将它释放，发送机控制总线线路上的电位. 出现这种现象的瞬间取决于将要发送的数据. 接收机在连续的瞬间检测总线线路上的电位，并从中得到发送的数据.

每个子电路可以作为一个发送机. 这是因为只要其它电路不驱动总线线路到其支配电平，每个子电路就可以控制总线线路上的电位. 此外，每个子电路也可以作为一个接收机. 于是通过总线线路就可以实现在各种子电路对之间进行通信.

仲裁用来当数据通信时，由于其它子电路不希望地驱动总线线路到支配状态，确保发送机未受干扰. 因此，通过仲裁阶段，优先进行数据通信.

在仲裁阶段，允许希望控制总线线路的各个子电路将总线线路上的电位驱动到支配电平. 在仲裁阶段，这些子电路还将再次释放总线

线路上的电位，并且接着检测该电位。连续的支配电平表示另一个子电路希望控制总线线路。然后，检测这一情况的子电路解除仲裁，并且使总线线路上的电位不受约束。

中继器接口用来进行两条总线线路之间的透明互连。一些子电路与每条总线线路相连。中继器接口确保当从每个单独的子电路的角度来看，好象所有其它子电路只与一条总线线路相连。

这意味着，如果单独的子电路将与之相连的总线线路上的电位驱动到支配电平，那么中继器接口确保其它总线线路上的电位也呈现支配电平。如果没有子电路驱动其总线线路到支配电平，那么在两条总线线路上的电位呈现退后电平。

总线特别是用来在不同的集成电路中的子电路之间进行通信。希望在一个电路结构中使用几个这样的集成电路，即使当所述集成电路是用不同的电源电压工作的。特别希望能够在以第一电源电压工作的第一集成电路中的子电路和不适用第一电源电压的第二集成电路中的子电路之间进行数据交换。

在已知的电路中，必须使所有的子电路都以总线线路上的相同的退后电平和相同的支配电平工作。这些电平对应于电源端的电位，并由此而来。因此，如果这些子电路中的一个以一种电源电压工作，而该电源电压却不适用于其它子电路，那么通过不同的集成电路中的子电路之间的总线进行数据通信是不可能的。

这一问题原则上可以通过选择支配电平与退后电平之间的差值，使之小于以最高电源电压工作的集成电路的电源端上的电位之间的差值来加以解决。然而，这将意味着必须特别设计这些集成电路，以便与其它集成电路进行通信。

此外，从节约能量的观点来看，希望当不需要一部分子电路时，可以停止向这些子电路供电。然而对其它子电路之间的数据通信而言，总线线路上的电位的改变将仍是可能的。这些电位的改变将损坏停止供电的子电路，或者这些子电路将妨碍总线线路上的电位改变。

本发明的一个主要目的是提供一种电路，其中包括在以不同电源电压工作的不同集成电路中的子电路之间进行数据通信是可能的。

根据本发明的电路，第一总线线路和第二总线线路具有不同的电源电压和用于向第一总线线路和第二总线线路提供不同退后电平的

装置，中继器接口包括一个连接在第一总线线路和第二总线线路之间的开关元件，用于根据处于支配电平的第一总线线路和/或第二总线线路上的电位，提供第一总线线路和第二总线线路之间的导通连接，以及根据处于退后电平的第一总线线路和/或第二总线线路上的电位，提供第一总线线路和第二总线线路之间的隔离连接．由于没有子电路将任何总线线路上的电位驱动到支配电平，所以当总线线路的电位处于退后电平时总线线路相互隔离．于是总线线路上的电位可以假定是相应的退后电平．因此，需要比较高的退后电平的子电路可以与第一总线线路相连．仅处于比较低的退后电平的子电路可以与第二总线线路相连．

如果子电路中的一个将其总线线路上的电位驱动到支配电平，那么另一条总线线路上的电位也将通过接口电路驱动到支配电平．然后可以如通常那样进行数据通信和仲裁，而不管相关的子电路是否与总线线路相连．

根据本发明的一个实施例，开关元件包括具有一个主电流沟道和一个控制电极的晶体管，通过与不同的电源电压中最小的一个电压相耦合的主电流沟道和控制电极，第一总线线路和第二总线线路之间的连接得以延伸．采用晶体管可以非常简单地实现中继器接口．

根据本发明的另一个实施例，其特征在于晶体管是N沟道常截止型 IGFET 或 MOSFET．于是简单地实现了基准电位．

根据本发明的电路的一个实施例，其特征在于它还包括与第二总线的电源电压串联的开关装置，用于中断向第二总线供电和向子电路或与第二总线线路相连的子电路供电，以及用于将第二总线的电压减小到至少与支配电平相对应的一个电平．通过切断基准电位以及向与第二总线线路相连的子电路供电，节省了能量，子电路不会受到损坏，或者不会干扰其它子电路的工作．

本发明的再一个实施例，其特征在于与第一总线线路相连的子电路中的至少一个电路具有一个与开关装置的一个控制输入端相耦合的输出端，用于控制开关装置的导通状态．

本发明的再一个实施例，其特征在于它还包括一个第三总线线路，在没有对支配电平驱动的情况下，将第三总线线路驱动到一退后电平的装置，将第二总线线路与第三总线线路相耦合的开关元件，以

及具有与开关元件的功能相同的另一个开关元件，用于将第三总线线路与第一总线线路相耦合。于是，与第一总线线路相连的子电路和/或与第二总线线路相连的子电路可以按需要不工作，并且相互独立。

下面将参照附图详细地描述本发明的这些实施例和其它实施例以及它们的特征。

图 1 表示根据本发明的电路的第一实施例，

图 2 表示根据本发明的电路的第二实施例，

图 3 表示根据本发明的电路的第三实施例，以及

图 4 表示根据本发明的电路的第四实施例。

图 1 表示根据本发明的电路的第一实施例。该电路包括第一总线线路 20 和第二总线线路 10。

例如，两个子电路 22、24 通过相应的总线接口输出端 224、244 与第一总线线路 20 相连。子电路 22 包括两个电源输入端 220、222，子电路 24 包括两个电源输入端 240、242，它们分别与第一和第二电源端 V0 和 V1 相连。第二电源端 V1 通过电阻元件 R1 与第一总线线路 20 相连。

例如，两个子电路 12、14 通过相应的总线接口输出端 124、144 与第二总线线路 10 相连。子电路 12 包括两个电源输入端 120、122，子电路 14 包括两个电源输入端 140、142，它们分别与第一电源端 V0 和第三电源端 V2 相连。第三电源端 V2 通过电阻元件 R2 与第二总线线路 10 相连。

第一和第二总线线路 20、10 是通过晶体管 16 即表示为 N 沟道 FET 的沟道互连的。该晶体管的控制电极与第三电源端 V2 相连。二极管 18 与晶体管 16 的沟道并联。当晶体管 16 是 MOSFET（或更一般的是 IGFET）时，它的基底（backgate）（衬底）最好与其源极相连。结果，基底—漏极二极管将与晶体管 16 的沟道并联。这由二极管 18 表示。

工作时间，第一电源电压 VA = V1—V0 施加在第一和第二电源端 V0、V1 之间。在第一和第三电源端 V0、V2 之间施加第二电源电压 VB = V2—V0。第一电源电压 VA 高于第二电源电压 VB；这些电压分别是例如 5V 和 3.3V（±10%）。

晶体管 16 例如是 N 沟道增强型场效应晶体管，当其栅极（与第三电源端相连）上的电位等于其源极（与第二总线线路 10 相连）上的电位，并小于其漏极（与第一总线线路 20 相连）上的电位时，该晶体管的沟道不导通．仅当源极和/或漏极上的电位大于比栅极上的电位小的一个阈值电压 VT（例如 1.5V）时，沟道才导通．

因此，只要没有子电路建立起到达第一电源端的导通通道，第一总线线路20上的电位将是高于第一电源端V0上的电位的第一电源电压 VA，而第二总线线路 10 上的电位将是高于第一电源端 V0 上的电位的第二电源电压 VB．所以，第二总线线路 10 上的电位低于第一总线线路 20 上的电位（低于电源电压是 5V 和 3.3V 的情况，例如是 1.7V），并等于晶体管 16 的栅极上的电位．

当一个子电路（例如子电路 12）在第二总线线路 10 和第一电源端 V0 之间建立起导通通路时，第二总线线路 10 上的电位将被下拉到第一电源端 V0 上的电位．结果，晶体管 16 的源极上的电位将低于栅极上的电位，所低的量足以使晶体管 16 的沟道导通．结果，第一总线线路 20 上的电位也被下拉到第一电源端 V0 上的电位．

当建立导通通路的子电路 12 再次中断所述通路时，在电阻元件 R1、R2 的影响下，总线线路 10、20 上的电位被再次上拉（当然只要没有其它子电路在总线线路 10、20 和第一电源端 V0 之间建立起导通连接）．然后晶体管 16 的沟道保持导通，直到第二总线线路 10 上的电位增加到这样的程度，即它小于晶体管 16 的栅极上的电位以下的一个阈值电压 VT．接下来，晶体管 16 的沟道关断，第一和第二总线线路 20、10 上的电位以一种独立的方式进一步增加，直到第一总线线路 20 上的电位再次达到第二电源端 V1 上的电位，第二总线线路 10 上的电位再次达到第三电源端 V2 上的电位．

当一个子电路（例如子电路 22）在第一总线线路 20 和第一电源端 V0 之间建立起导通通路时，发生类似的情况：第二总线线路 10 上的电位通过第一总线线路 20 将被下拉．当晶体管的基底与其源极相连时，二极管 18 将开始导通，将第二总线线路 10 下拉．由于二极管 18 的影响，漏极上的电位不能下降到比源极上的电位低许多．当然，假如当第一总线线路 20 上的电位下降，低于晶体管 16 的栅极上的电位，足以使晶体管 16 的沟道导通时，第二总线线路 10 上的电位也被

下拉，那么晶体管 16 的基底也将被保持在其自身的电位，例如 V0.

当几个子电路同时在总线线路 10、20 中的一条和第一电源端 V0 之间建立起导通通路时，总线线路 10、20 二者都将被拉到第一电源端 V0 的电位. 因此，该电位对应于总线线路 10、20 上的支配电平. 第二和第三电源端的电位分别对应于第一总线线路 20 和第二总线线路 10 上的退后电平.

因此，该电路利用总线的支配状态和退后状态（借助于线连逻辑电路），适合于在子电路 12、14、22、24 之间进行数据通信. 电路和这种通信的协议的例子涉及到上面例如在 Philips Semiconductors 出版的“IC20 Data Handbook 1994”的第四部分中描述的 I2C 总线，该出版物在此作为参考. 该部分还包括子电路的一些例子. I2C 总线利用数据线 SDA 和时钟线 SCL，二者都借助于支配/退后状态加以控制.

图 2 表示根据本发明的与 I2C 总线一起使用的电路. 此处，图 1 的第一总线线路 20 被两条线路 SDA1 和 SCL1 代替，每条线路通过相应的电阻元件 R5、R6 与第二电源端 V1 相连. 图 1 的第二总线线路 10 被两条导线 SDA2 和 SCL2 代替，每条线路通过相应的电阻元件 R3、R4 与第三电源端 V2 相连. 线路 SDA1、SCL1 分别通过晶体管 58、59 的沟道与线路 SDA2、SCL2 相连. 晶体管 58、59 的栅极与第三电源端 V2 相连. 子电路 54、56 与线路 SDA1、SCL1 相连. 子电路 50、52 与线路 SDA2、SCL2 相连. 为了清楚起见，子电路 50、52、54、56 的电源输入端已经省略.

与晶体管 58 相连的每条线路 SDA1、SDA2 的工作方式与图 1 中的总线线路 10、20 相同. 与晶体管 59 相连的线路 SCL1 和 SCL2 也与之相同. 这些线路的逻辑上的使用在所引用的“Data Handbook”中有说明.

本发明不限于 I2C 总线，而是可用其它总线，例如并行总线或点对点的连接.

图 3 表示根据本发明的再一个实施例. 该图与图 1 之间存在的对应部分和相应的部件用相应的参考号表示. 与图 1 的不同之处在于在第三电源端 V2 一侧和电阻元件 R2、晶体管 16 的栅极及与第二总线线路 10 相连的子电路 12、14 的电源输入端 120、140 一侧之间插入

了开关电路 30. 其中一个与第一总线线路 20 相连的子电路（22）具有控制输出端，它与开关电路 30 的控制输入端相连.

开关电路 30 的作用是在不必干扰数据通信的情况下，减小与第二总线线路 10 相连的子电路 12、14 的电源电压. 开关电路的第一实施例具有两种状态: 导通状态和非导通状态. 在导通状态下，开关电路 30 使第三电源端 V2 上的电位通过. 在该导通状态下，子电路 12、14 和第二总线线路 10 的工作状况与结合图 1 所述的相同.

在非导通状态，晶体管 16 的栅极上的电位、第二总线线路 10 上的电位和子电路 12、14 的电源输入端 120、140 的电位基本等于第一电源端 V0 上的电位. 于是子电路 12、14 不起作用，晶体管 16 截止. 结果节省了电能，而与第一总线线路 20 相连并如通常那样供电的子电路 22、24 可以如通常那样进行通信，不会受第二总线线路 10 的干扰，这是因为晶体管 16 将电路的不起作用部分与第一总线线路 20 隔离的缘故.

显然，对子电路 12、14 和晶体管 16 的栅极以及第二总线线路 10 集中中断供电可以以各种方式进行; 不必象图 3 所示那样为了清楚起见将这些元件直接相互连接.

开关电路 30 最好由与第一总线线路 20 相连的子电路 22 控制. 于是，在第一总线线路 20 的控制下，第二总线线路可以被接通和切断. 然而，也可以借助于中央控制单元（未示出）或手动操作开关来使开关电路 30 导通和关断.

开关电路 30 的另一实施例用来根据一个控制信号向晶体管 16 的栅极、第二总线线路 10 和子电路 12、14 的电源输入端 120、140 提供处于中间状态的减小的电位（第三电源端 V2 和第一电源端 V0 之间的电位）. 这样，子电路 12、14 可以被切换到低电能模式（一种可能的较低模式），并仍通过总线线路 10、20 与其它子电路 22、24 通信.

图 4 表示根据本发明的电路的再一个实施例. 图 4 与图 3 类似，相应的部件以相应的参考号表示.

第三总线线路 44 插入第一和第二总线线路 20、10 之间. 第三总线线路 44 通过晶体管 46 与第一总线线路 20 相连. 二极管 48 与所述沟道并联. 第三总线线路 44 通过晶体管 16 的沟道与第二总线线路

10 相连. 第三总线线路 44 通过电阻元件 R3 与第四电源端 V3 相连.

晶体管 46 的栅极与和第一总线线路 20 相连的子电路 22、24 的电源输入端 220、240 相连. 该栅极还通过电阻元件 R1 与第一总线线路 20 相连. 该栅极通过第一开关元件 42 与第二电源端 V1 相连.

与第二总线线路 10 相连的子电路 12、14 可以被驱动到低(无)功耗状态, 和/或与第一总线线路 20 相连的子电路 22、24 可以被驱动到低(无)功耗状态. 接受电能的子电路 12、14、22、24 可以相互进行通信. 在一侧的第一和第二总线线路 20、10 上的电位与在另一侧的第三总线线路 44 上的电位之间建立起一种关系. 这一关系与结合图 1 描述并存在于一侧的第二总线线路 10 与另一侧的第一总线线路 20 之间的电位关系类似.

此外, 通过与经晶体管 16 形成的连接类似的连接, 任意数目的总线线路可以与第三总线线路相连. 然后每条总线线路可以和与之相连的子电路一起, 在与其它总线线路无关的情况下, 被接通和切断. 此外, 另外的总线线路可以以类似的方式与第一和第二总线线路相连.

虽然在 NMOS 场效应晶体管 16 的基础上对本发明进行了描述, 但是很显然, 在不脱离本发明的范围的前提下可采用其它类型的晶体管或其它开关元件. 只要当总线处于退后状态时该开关元件关断, 而当电路处于支配状态时该开关元件导通就可以了. 电阻元件例如可以采用电阻器, 但是也可以采用在无支配驱动的情况下, 能够确保总线线路上的电位呈现一个预定电位的其它部件, 例如负载晶体管.

说　明　书　附　图

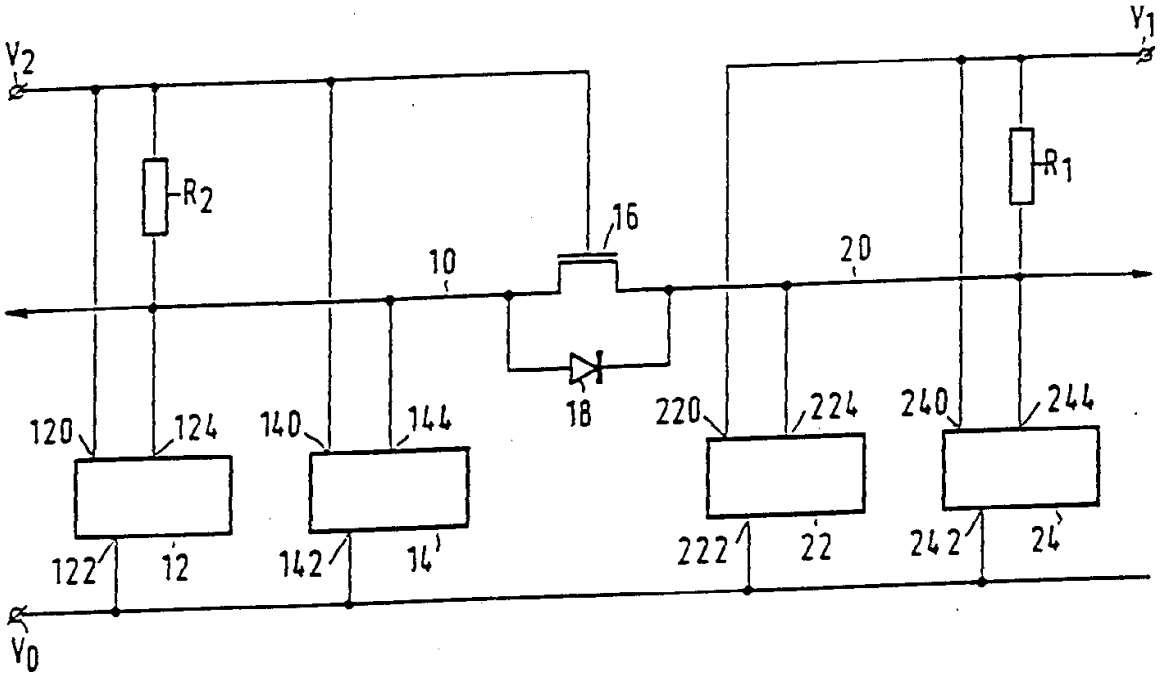

V2
V1
R2
R1
16
10
20
18
120
124
140
144
220
224
240
244
122
12
142
14
222
22
242
24
V0

图 1

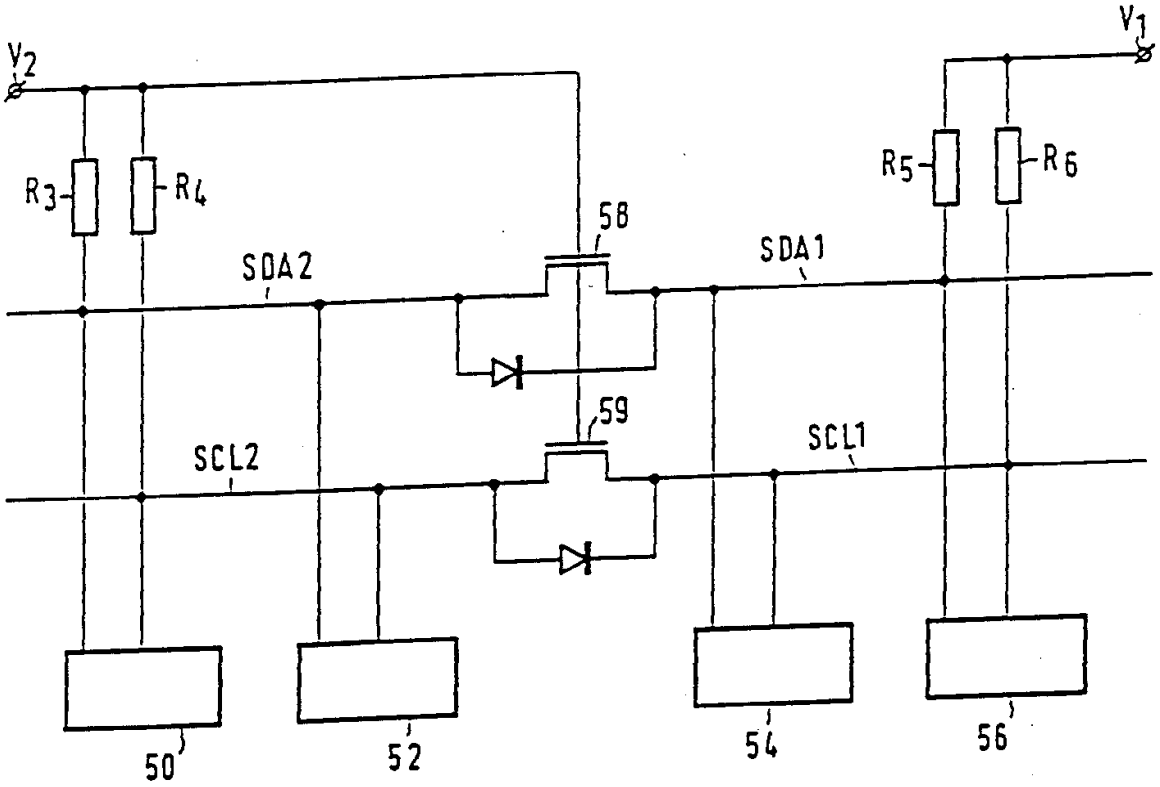

V2
V1
R3
R4
R5
R6
58
SDA2
SDA1
59
SCL2
SCL1
50
52
54
56

图 2

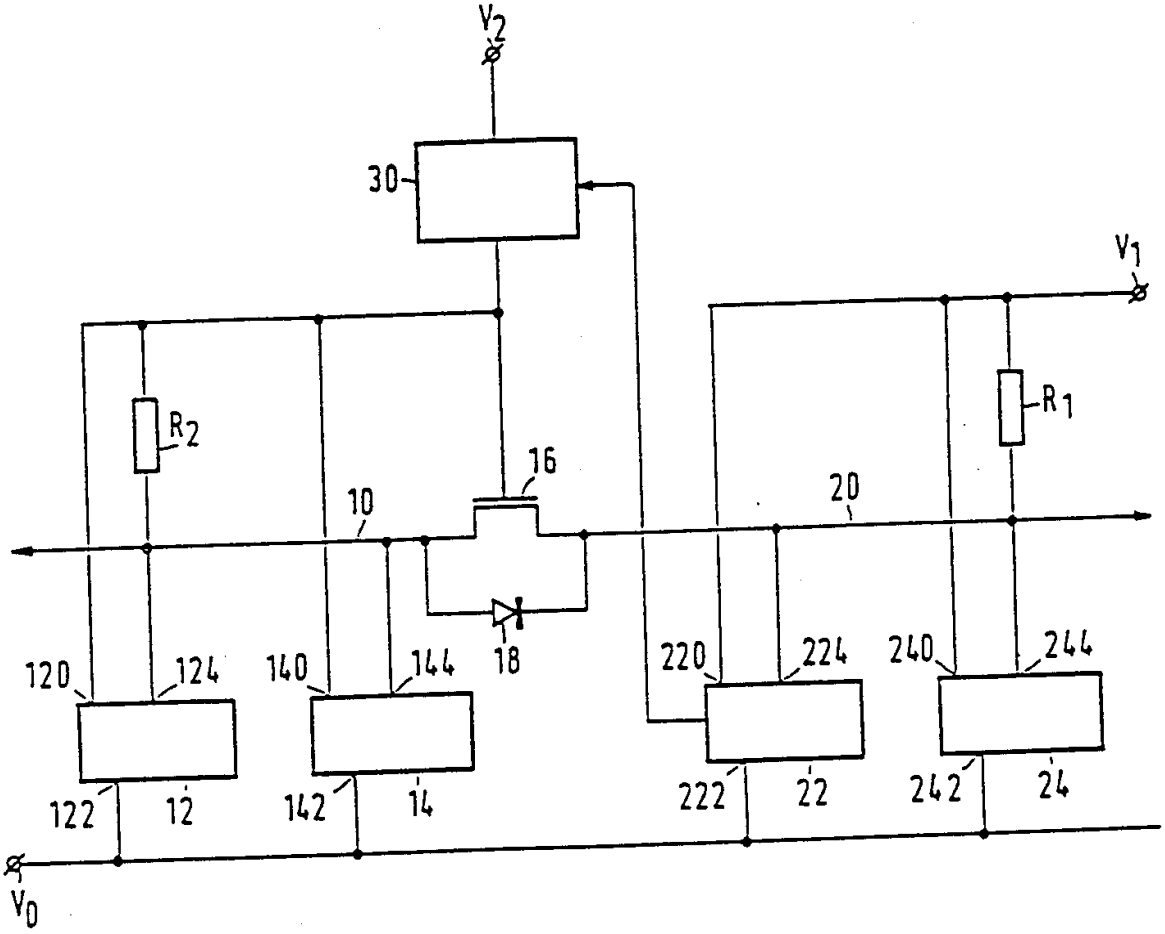

V2
30
V1
R2
R1
16
10
20
18
120
124
140
144
220
224
240
244
122
12
142
14
222
22
242
24
V0

图 3

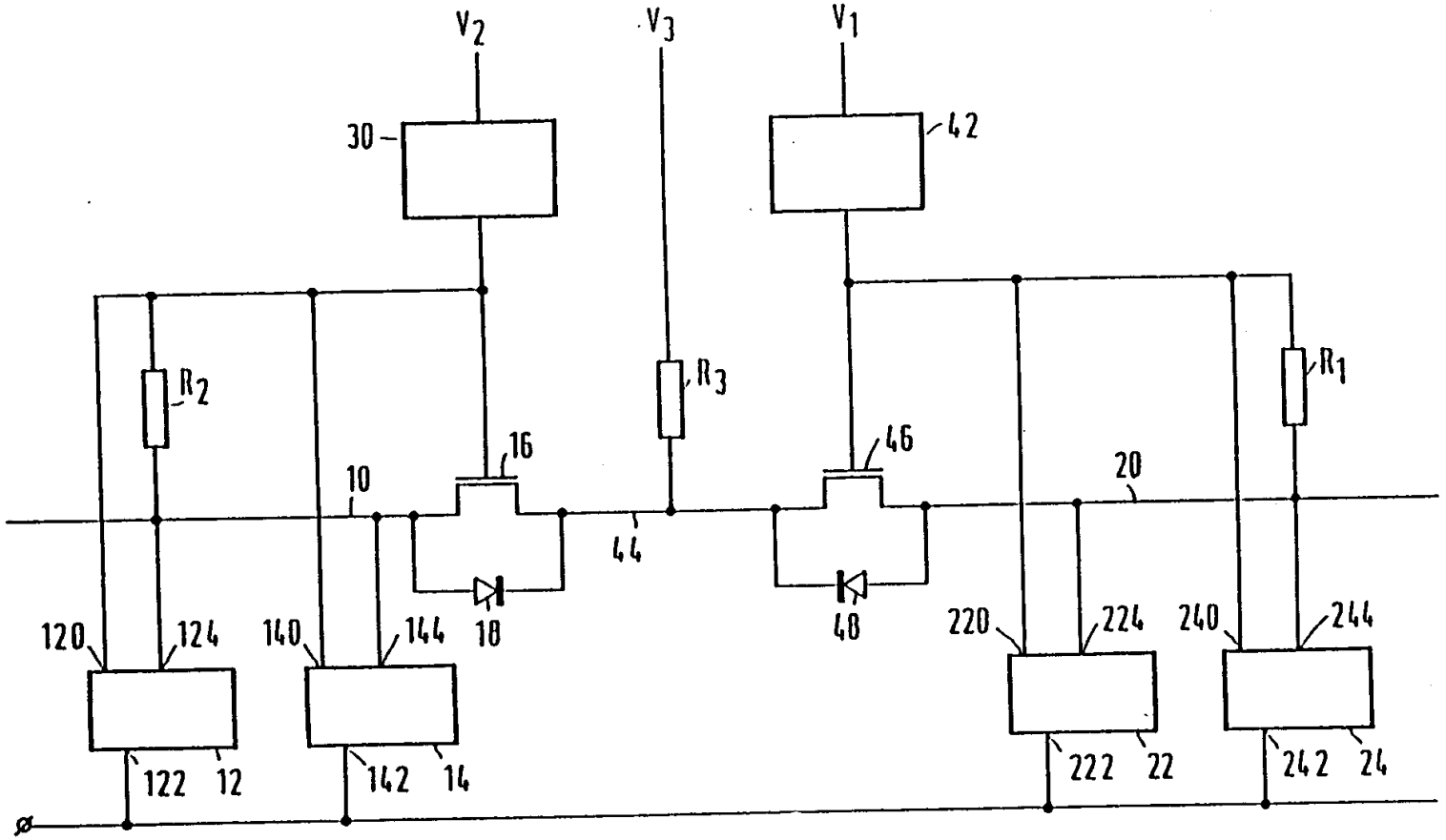

V2
V3
V1
30
42
R2
R3
R1
16
46
10
20
44
18
48
120
124
140
144
220
224
240
244
122
12
142
14
222
22
242
24

图 4