

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G06F 13/38	(45) 공고일자 2000년09월 15일	(11) 등록번호 10-0265218	(24) 등록일자 2000년06월 12일
(21) 출원번호 10-1992-0018958	(65) 공개번호 특1993-0008647	(43) 공개일자 1993년05월 21일	
(22) 출원일자 1992년10월 15일			
(30) 우선권주장 778,575 1991년10월 17일 미국(US)			
(73) 특허권자 인텔 코오퍼레이션 피터 엔. 데트킨			
(72) 발명자 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200 제임스 더블유. 코너리			
	미합중국 오레곤 알로하 사우드웨스트 195 플레이스 7543 로버트 알. 버틀러		
	미합중국 오레곤 레이크 오스웨고 에프 풋힐 드라이브 5056 피. 오. 박스 884		
(74) 대리인 정진상, 장용식			

심사관 : 오홍수

(54) 마이크로프로세서 2급하기(2배) 코어 설계

요약

마이크로프로세서는 버스속도 또는 그 속도의 배수에서 선택적으로 동작한다. 마이크로프로세서는 마이크로프로세서내의 동작을 위한 클럭신호와 버스상의 데이터 전송동작을 위한 버스클럭신호를 발생시키는 위상동기루프를 포함한다.

본 발명은 마이크로프로세서코어가 번지/데이터버스와 동일한 주파수 또는 2배의 주파수에서 동작할 수 있게 해준다.

대표도

도1

명세서

[발명의 명칭]

마이크로프로세서 2 × (2배) 코어 설계

[도면의 간단한 설명]

제1도는 컴퓨터시스템 아키텍처의 설명이다.

제2도는 본 발명의 본 바람직한 실시예중의 마이크로프로세서의 블록 다이어그램이다.

제3도는 본 발명의 본 바람직한 실시예중의 클럭발진기(clock generator)의 회로구성도이다.

제4도는 본 발명의 본 바람직한 실시예중의 클럭발진기에 의해 발생된 타이밍신호를 설명한다.

[발명의 상세한 설명]

[발명의 분야]

본 발명은 디지털컴퓨터내의 마이크로프로세서의 속도에 관한 것이고, 더 자세히는, 마이크로프로세서 코어가 번지/데이터버스로의 다수의 입력클럭 주파수에서 선택적으로 동작할 수 있게 하는 것에 관한 것이다.

[발명의 배경]

전형적으로, 컴퓨터시스템은 마이크로프로세서, 버스, 및 다른 주변장치를 포함한다. 마이크로프로세서는 컴퓨터시스템내에서 데이터에 대하여 논리연산을 실행시킨다. 마이크로프로세서와 주변장치는 버스를 사용하여 데이터, 번지 및 제어신호를 전송한다. 주변장치는 저장장치, 입/출력(I/O) 장치등이다. 일반적으로 컴퓨터 시스템내의 모든 것들은 동일한 주파수(즉, 사이클 종류)에서 동작한다.

마이크로프로세서는 데이터처리를 위한 코어유니트를 가진다.

코어는 중앙처리장치(CPU), 캐시메모리 등으로 구성된다. 마이크로프로세서는 버스제어기를 사용한 버스

와 통신한다. 컴퓨터시스템의 모든 동작이 동일한 주파수에서 일어나기 때문에, 코어에 의해서 수행된 논리연산은 컴퓨터버스상의 데이터, 번지 및 제어신호의 전송시의 주파수와 동일한 주파수에서 수행된다. 버스제어기는 버스에 대한 제어신호를 발생시킴으로써 이 타이밍을 보장한다.

코어유닛에 의해 수행되는 임의의 논리연산(산술연산 같은)은 완료되기 위해서 다중사이클을 필요로 한다. 이 다중사이클 연산의 완료과정중에, 버스는 유휴(idle)상태에 있게 된다. 본 발명은 코어유닛이 버스보다 빠른 속도로 동작할 수 있게 한다. 이렇게 함으로, 버스는 더욱 자주 데이터를 전송하는데 사용된다. 그러므로, 버스유휴상태는 최소화되고 연산은 더욱 빨리 수행될 수 있다.

보다 빠른 속도로 동작하기 위해 마이크로프로세서를 변경할때, 컴퓨터시스템의 나머지에 대한 변경을 최소화하는 방향으로 수정하는 것이 유리하다.

이런식으로, 새로운 마이크로프로세서는 임의의 다른 시스템하드웨어를 변경하지 않고(즉, 보드를 완전히 재설계하지 않고) 단지 컴퓨터시스템내로 삽입되면 된다.

또한, 새로운 구성요소를 사용하지 않고도 컴퓨터시스템을 개량하여 선제한 컴퓨터 응용프로그램을 사용할 수 있도록 하드웨어 변경을 최소로 하고, 그것에 의하여 막대한 지출을 피하게 하는 것이 유익한 일이다.

이러한 요구를 만족시키기 위하여, 본 발명은 버스속도 및 버스보다 빠른 속도 모두에서 동작될 수 있는 마이크로프로세서를 제공한다.

본 발명은 버스의 타이밍명세(specification)가 양쪽모드에서 동일하게 유지되게 한다. 이런식으로, 전체 컴퓨터시스템에 대한 변화가 최소화한다.

종래기술에 대한 본 발명의 장점은 아주 작은 설계변경만으로서 다수의 버스 주파수에서 코어를 동작시킬 수 있도록 마이크로프로세서 설계를 수정할 수 있게 하는 것이다. 이것은 설계시간을 막대하게 줄여준다.

더우기, 이 기술을 사용하여 대다수의 버스제어로직(대략 99%)이 설계될 수 있다(동작이 버스속도만으로 이루어진다고 가정하면), 또한, 이 기법에는 단일 본드 패드(bond pad)가 고속동작 및 저속동작모드 사이에서 선택할 수 있게 해주는 선택로직이 추가된다. 그러므로, 이 단일 다이(die) 설계는 선택로직패드의 와이어 본드(wire bond) 프로그램을 사용하여 다수의 마이크로프로세서 종류의 요구를 충족시키는데 사용될 수 있다.

[발명의 요약]

버스속도 또는 버스보다 빠른 속도에서 선택적으로 동작하는 마이크로프로세서가 기술된다. 마이크로프로세서는 마이크로프로세서 코어의 동작을 클럭하는 코어클럭신호와 컴퓨터버스상의 데이터전송을 클럭하는 버스클럭신호 둘다를 발생시키는 클럭발진기를 포함한다. 스위치가 클럭발진기에 연결되어 마이크로프로세서를 정상모드에서 고속모드로 또 그 반대로 전환시킨다. 정상모드에서, 마이크로 프로세서는 버스와 동일한 주파수에서 동작한다. 고속모드에서, 마이크로프로세서는 버스주파수의 배수의 주파수에서 동작한다. 본 바람직한 실시예에서, 마이크로 프로세서는 고속모드에서 2배의 주파수에서 동작한다.

또한 마이크로프로세서는 컴퓨터시스템을 데이터의 조작 및 연산을 수행하는 코어유닛과 버스클럭신호에 응답하여 버스위로 데이터를 보내는 버스제어기를 포함한다.

본 바람직한 실시예에서, 클럭발진기는 4× 위상동기루프이다.

이 위상동기루프는 펄스소멸(swallow) 회로를 사용하여 고속모드동안 클럭신호를 하나씩 걸러서 선별한다. 이렇게 하여 버스클럭신호는 코어클럭신호의 1/2주파수로 발생하게 된다. 본 바람직한 실시예중에서, 펄스소멸회로는 2분할회로와 함께 사용된 AND게이트이다.

본 발명은 또한 버스제어기내의 홀드오프(holdoff) 신호를 발생시키는 홀드오프신호 발생기를 포함한다. 홀드오프신호는, 신호가 고속모드에서 선별되었을때, 버스 제어기가 정상모드동안 발생하는 자체의 정규 사이클변환을 수행하지 못하도록 막는다.

번지데이터버스와 동일한 주파수 또는 보다 빠른 주파수에서 선택적으로 동작하는 마이크로프로세서가 기술된다. 다음 설명에서, 본 발명의 완전한 이해를 제공하기 위하여, 신호와 게이트등의 특정숫자와 같은 수많은 세부명세가 밝혀진다.

그러나, 기술분야의 전문가는 이런 세부사항이 없어도 본 발명을 실행시킬 수 있다는 것은 명백하다. 다른 경우, 종래의 컴퓨터 조작과 구성요소들은 본 발명을 모호하게 하지 않기 위하여 자세하게 설명되어 있지는 않다.

[본 발명의 컴퓨터시스템의 개관]

먼저 제1도를 참조하면, 본 발명의 개략적인 컴퓨터시스템이 블럭다이어그램형태로 도시된다. 제1도는 본 발명의 컴퓨터시스템의 전체적인 설명을 유용하게 제공하지만, 시스템의 수많은 세부사항들이 도시되지 않았다는 것을 알 수 있다.

본 발명의 공개에 필요한 정도의 좀더 상세한 사항이 이 명세서에 제공된 다른 도면에 관련되어 밝혀진다. 더우기, 본 발명은 바람직한 실시예에 관하여 기술된다; 당해 분야의 보통의 지식을 가진 자가 생각할 수 있는 또다른 실시예는 하기에 진술되는 특허청구범위의 범위내에 속한다고 간주된다.

제1도에 설명되는 것처럼, 본 발명의 바람직한 실시예에 의해 이용되는 컴퓨터 시스템은 일반적으로 정보를 전달하는 버스 또는 다른 통신수단(101), 버스(101)와 연결되어 정보를 처리하는 처리수단(102), 버스(101)와 연결되어 상기 처리수단(102)에 대한 명령어와 정보를 저장하는 임의접근메모리(RAM) 또는

다른 동적저장장치(104)(통상 주메모리로 언급되는), 버스(101)와 연결되어 상기 처리수단(102)에 대한 명령어와 정적정보를 저장하는 판독전용메모리(ROM) 또는 다른 정적저장장치(106), 상기 버스(101)에 연결되어 명령어와 정보를 저장하는 자기디스크 및 디스크드라이브와 같은 데이터저장장치(107), 버스(101)에 연결되어 컴퓨터사용자에게 정보를 디스플레이하는 음극선관, 액정크리스탈 디스플레이 등과 같은 디스플레이장치(121), 버스(101)에 연결되어 상기 프로세서(102)로 명령어선택과 정보를 전달하고 커서이동을 제어하는 문자 및 다른 키를 포함하는 문자입력장치(122)로 구성되어 있다. 최종적으로 시스템을 컴퓨터의 화상을 시각적으로 표현해주는 플로터나 프린터같은 하드카피장치(123)를 포함한다. 하드카피장치(123)는 프로세서(102), 주메모리(104), 정적메모리(106) 및 대용량저장장치(107)와 버스(101)를 통하여 연결되어 있다.

물론, 본 발명을 구현하고 사용하는데 상기의 모든 구성요소가 필요하고 포함되는 것은 아니다. 예를 들어, 어떤 구현예에서는 시스템에 정보를 입력하는 키보드 및 커서제어장치가 필요치 않을 수 있다. 다른 구현예에서는 정보를 디스플레이 하는 디스플레이장치가 필요치 않을 수 있다.

[본 발명의 마이크로프로세서의 개관]

제2도는 본 발명의 바람직한 실시예에 사용된 마이크로프로세서(프로세서 200)의 블럭다이어그램을 도시한다. 프로세서(200)는 금속산화반도체(MOS) 공정을 사용한 집적회로로서 바람직하게 제조되었다. 프로세서(200)는 데이터를 처리하는 코어 유닛(210), 컴퓨터시스템(제1도)의 버스와 함께 프로세서(200)의 통신을 제어하는 버스제어기(200), 및 프로세서(200)용의 내부동작주파수와 기본타이밍을 제공하는 클럭발전기(230)로 구성되어 있다.

본 바람직한 실시예에서, 코어유닛(210)는 컴퓨터시스템내의 버스속도의 1 또는 2배의 속도에서 선택적으로 동작한다. 코어유닛(210)는 데이터값을 유지하고 기억하는 레지스터(211), 연속적인 명령어(메모리로부터 인출된)를 해석하여 코어 유닛(210)가 수행해야 되는 연산을 결정하는 명령어해독기(212), 및 레지스터(211)에 포함된 양에 관하여 가산, 보수, 비교, 시프트, 이동등의 명령된 연산을 수행하는 산술논리연산 유닛(ALU)(213)로 구성된다.

더우기, 코어유닛(210)는 실행되는 프로그램내의 현재위치를 추적하는 프로그램 카운트(214)를 포함한다. 정상적으로, 프로그램카운트(214)는 각 명령후에 증가된다. 그러나, '점프'나 '분기'명령후에 새로운 값을 얻을 수 있다.

스택포인터(215)와 플래그(216)(올림수(carry), 제로, 부호(sign)은 조건부분기를 위하여 검사되는 상태정보를 포함한다. 캐시메모리(217)는 보다 빠른 액세스를 위하여 메모리로부터 최근에 인출된 값을 유지한다.

이러한 특정장치들의 조작용은 종래의 기술이다.

클럭발전기(230)는 컴퓨터시스템의 버스 및 프로세서(200)의 동작을 위한 클럭신호를 발생시킨다. 코어클럭신호와 버스클럭신호 모두를 위한 분리된 클럭신호 발전기들이 사용될 수 있다. 본 발명의 본 바람직한 실시예에서, 클럭발전기(230)는 버스주파수의 1배(1x) 또는 2배(2x)에서 선택적으로 코어클럭신호를 만들어낸다. 그러나, 본 발명의 사상은 버스클럭신호의 다른 배수의 주파수에서 코어클럭신호를 만드는데 이용될 수 있다.

코어클럭신호는 코어유닛(210)와 버스제어기(220)에 의해 수행되는 연산을 클럭한다. 본 바람직한 실시예에서, 발생된 코어클럭신호는 위상 1(PH1)과 위상 2(PH2)이다. 버스클럭신호는 컴퓨터시스템 버스상에서 일어나는 데이터의 전송시간을 맞춘다. 데이터전송은 두가지 클럭위상으로 나타난다.

출력위상동안, 데이터는 버스상에서 내보내지고, 입력위상동안은 버스로부터 프로세서(200)내로 들어간다. 본 바람직한 실시예에서, 출력 및 입력위상에 대응하여 클럭발전기(230)에 의해 발생된 버스클럭신호는 각각 CLKOUT 및 CLKIN이다.

본 바람직한 실시예에서, 2x 코어클럭신호는 66MHZ의 주파수에서, 그리고 1x 코어신호는 33MHZ의 주파수에서 만들어진다. 이 코어클럭신호는 코어유닛(210)(제2도) 및 버스제어기(220)(제2도)의 동작을 제어한다. 그러므로, 본 바람직한 실시예의 2x 모드동안, 코어유닛(210)와 버스제어기(220)는 66MHZ로 동작한다. 단지 버스제어기(220)의 작은 부분만이 버스가 33MHZ로 동작중이라는 것을 인식한다.

1x 모드동안, 버스클럭신호(CLKOUT 및 CLKIN)는 코어클럭신호(PH1 및 PH2)(작은 지연을 제외하면)와 동일하다. 본 바람직한 실시예에서, 모든 신호들의 주파수는 33MHZ이다. 2x 모드동안, 버스클럭신호(CLKOUT 및 CLKIN)는 각각의 코어클럭신호(PH1 및 PH2)와 하나 걸러쿵씩 동기된 1/4듀티(duty)사이클의 33MHZ 클럭신호이다. 버스제어기(220)내로 들어가서 버스의 전체적인 동작속도를 결정하는 이러한 동기된 버스클럭신호의 주파수는 코어클럭신호 주파수의 1/2이기 때문에, 버스는 1/2주파수에서 동작한다.

본 발명의 본 바람직한 실시예에서, 클럭발전기(230)는 입력클럭신호(CLK)와 선택신호(SELECT)를 수신한다. CLK신호는 컴퓨터시스템의 외부클럭신호이다. 모든 외부타이밍파라미터는 CLK의 상승에지에 관하여 명기되어 있다.

본 바람직한 실시예에서, CLK는 33MHZ 신호이다. SELECT신호는 클럭발전기(230)에 의해 코어클럭신호가 발생되는 주파수를 지시한다. 본 바람직한 실시예에서, SELECT는 클럭발생수단에 의해 발생된 코어클럭신호가 버스클럭신호 주파수의 1 또는 2배의 주파수라는 것을 가리킨다. SELECT신호는 본 바람직한 실시예의 본드 옵션으로부터 얻어진다.

이 선택능력으로 인해 단일타이는 선택로직본드패드의 와이어본드 프로그래밍을 사용한 다수의 마이크로프로세서 종류의 요구를 충족시킬 수 있다.

버스제어기(220)는 컴퓨터시스템버스(제1도)와 프로세서(200) 사이의 데이터전송을 제어한다. 2x 모드코

어위상(PH1과 PH2)의 최초위상 고(高) 기간이 1×모드버스클럭신호(CLKOUT 와 CLKIN)에 의해 사용되고, 버스클럭신호의 위상은 2×코어클럭신호의 시작 및 종료에 맞추어지므로, 1/2속도버스를 구동하는 회로는 최소화된다.

코어유닛(210)가 버스속도의 2배에서 동작할때, 버스제어기(220)는 구(舊) 사이클 시작점에서 구사이클 종료점으로 변환을 시도한다. 이것을 막기 위하여, 버스제어기(220)는 홀드오프신호를 발생시킨다. 홀드오프신호는 버스제어기의 버스상태를 재정의한다. 버스클럭신호는 대기상태를 사용하여 1×사이클 시작점의 시작 및 1×사이클 종료점의 종료로부터 오프셋된다. 이것은 타이밍이 동일하도록 해준다. 그러므로, 본 발명에서는 2×모드에서 프로세서(200)를 컴퓨터시스템 버스와 인터페이스시키기 위하여 추가적인 출력구동기와 입력래치들이 요구되지는 않는다.

홀드오프신호는 홀드오프발생기(221)에 의해 발생된다.

홀드오프발생기(221)는 CLKOUT신호에 두개의 지연위상을 추가함으로써 홀드오프신호를 발생시킨다. 이것은 버스제어기(220)가 너무 이르게 변환하지 않게 한다. 홀드오프발생기는 SELECT신호를 사용하여 가동한다. AND게이트는 SELECT신호를 수신하고 프로세서(200)가 1×모드에 있을때 논리제로 출력을 한다.

이 논리제로출력은 홀드오프발생기(221)를 작동중지시킨다.

[본 발명의 클럭발전기의 개관]

본 발명의 본 바람직한 실시예에서, 클럭발전기는 제3도에 도시된 것과 같이, 위상동기루프(PLL)(300)이다. PLL(300)은 코어클럭신호(PH1와 PH2) 및 버스클럭신호(CLKOUT와 CLKIN) 양쪽 모두를 발생시킨다. 본 바람직한 실시예에서, PLL(300)은 버스클럭신호의 1배 또는 2배의 주파수에서 코어클럭신호를 발생시키는 4×위상동기루프이다.

제3도를 참조하면, PLL(300)은 입력버퍼(301a 및 b), 주파수위상검출기(302), 충전펌프(303), 루프필터(304), 전압제어 오실레이터(oscillator)(VCO)(305), 2분할회로(306), 지연(307a-d 및 312), D플립플롭(308), OR게이트(309), AND게이트(310a 및 b 그리고 311), 인버터(313), 그리고 PH2/PH1회로(314)로 구성되어 있다.

입력버퍼(301a와 b)는 입력상의 신호를 버퍼하고 역전된 형태로 신호를 출력한다. 버퍼의 목적은 입력신호의 포지티브에지(positive edge)를 정렬시키어 주파수위상 검출기(302)가 두 신호사이의 위상차를 결정할 수 있게 하는데 있다.

위상검출기(302)는 단지 버퍼된 신호의 네가티브에지(negative edge)만을 시험한다. 입력버퍼(301a)의 입력은 입력클럭(CLK)에 연결되어 있다.

본 바람직한 실시예에서, CLK는 외부클럭소스로부터 프로세서로의 33MHZ 입력이다. 버퍼(301a)의 출력은 주파수 위상검출기(302)의 RefCLK입력에 연결되어 있다. 입력버퍼(301b)의 입력은 지연(312)에 연결되어 있다. 입력은 PLL(300)에 대한 피드백신호를 나타낸다. 버퍼(301b)의 출력은 주파수 위상검출기(306)의 피드백 입력에 연결되어 있다.

위상검출기(302)는 입력버퍼(301a 와 b)로부터 입력주파수를 비교하고 신호들사이의 측정된 위상차인 출력을 발생시킨다. 위상검출기(302)는 두개의 출력을 가지고 있다. ADJUP출력은 충전펌프(303)의 입력들 중 하나에 연결되어 있다.

ADJDW출력은 충전펌프(303)의 다른 입력에 연결되어 있다.

ADJUP 및 ADJDWN출력은 피드백신호의 에지가 CLK신호의 에지에 각각 뒤지거나 앞설때 발생된다.

충전펌프(303)는, VCO(305)의 VCNTL입력과 루프필터(304)에 연결되어 있다.

충전펌프(303)는 충전 또는 방전전류를 발생시키고 위상검출기(302)로부터의 ADJUP 또는 ADJDWN펄스에 각각 응답하여 루프필터(304)의 용량성소자에 그 전류를 공급한다. 이 전류는 루프필터(304)의 용량성소자를 충전 또는 방전시키어 제어전압을 발생시킨다. 제어전압은 피드백신호와 CLK신호의 입력주파수 사이의 차이의 한도를 가리킨다. 제어전압은 VCO(305)의 VCNTL입력에 연결되어 있다.

VCO(305)는 제어전압과 작동가능신호(EN)를 수신하고 VCOUNT를 만들어낸다.

VCO(305)의 VCOUNT출력은 2분할(306)의 CLK입력에 연결되어 있다.

VCO(305)는 컴퓨터시스템에 동력이 공급되었을때 작동될 수 있다. 작동가능할때, VCO(305)는 제어전압에 응답하여 VCOUNT주파수를 발생시킨다. CLK신호의 주파수가 피드백신호의 주파수와 동일하지 않다면, VCO(305)에 의해 발생된 주파수는 CLK신호의 주파수쪽으로 편향된다.

2분할(306)은 두개의 출력(PA와 PB)을 만들어낸다. 이러한 출력들은 VCO(305)의 출력 VCOUNT주파수의 1/2이고 겹치지 않는 펄스들이다.

출력(PA와 PB)은 지연(307b와 d)에 각각 연결되어 있다.

본 바람직한 실시예에서, 지연(307b와 d)은 인버터로 구성되어 있다.

지연(307b)의 출력은 지연(307a), AND게이트(310a)의 입력중하나, D플립-플롭(308)로의 클럭입력, 및 인버터(313)의 입력에 연결되어 있다.

지연(307d)의 출력은 지연(307c)의 입력과 AND게이트(310b)의 입력중 하나에 연결되어 있다.

본 바람직한 실시예에서 지연(307a와 c)은 인버터로 구성되어 있다.

지연(307a)의 출력은 PH1/PH2회로(314)의 EPH2입력에 연결되어 있다.

지연(307c)의 출력은 PH1/PH2회로(314)의 EPH1입력에 연결되어 있다.

D플립플롭(308)은 지연(307b)을 통하여 버퍼된 2분할(306)의 PA출력신호에 의해 클럭되는 것에 응답하여 출력(Q)을 발생시킨다. Q출력은 D플립플롭(308)의 입력(D)에 연결되어 있다. D 플립플롭(308)의 출력은 OR게이트(309)로의 입력중의 하나에 연결되어 있다. OR게이트(309)로의 다른 입력은 MODE신호에 연결되어 있다. 본 바람직한 실시예에서, MODE신호는 클럭발진기(300)가 버스클럭 신호주파수의 1배(1×) 또는 2배(2×)주파수의 코어클럭신호를 만들어내는지 여부를 지시한다. OR게이트(309)의 출력은 AND게이트(310a와 310b)의 다른 입력들에 연결되어 있다. AND게이트(310b)의 출력은 CLKOUT신호이다.

AND게이트(310a)의 출력은 AND게이트(311)의 입력중의 하나에 연결되어 있다.

AND게이트(311)의 다른 입력은 인버터(313)의 출력에 연결되어 있다.

AND게이트(311)의 출력은 CLKIN신호이다. AND게이트(311)의 출력은 또한 지연(312)의 입력에 연결되어 있다. 본 바람직한 실시예에서, 지연(312)은 일련의 인버터들로 구성되어 있다. 지연(312)의 출력은 역전되어 버퍼(301b)의 입력에 연결된다.

PH1/PH2회로(314)는 입력으로서 EPH2와 EPH1을 수신하고 코어클럭위상 2신호(PH2)와 코어클럭위상 1신호(PH1)를 만들어낸다. 제3도를 참조하면, EPH2입력을 인버터(314f)의 입력과 PNP 트랜지스터(314a)의 게이트에 연결되어 있다. 트랜지스터(314a)의 소스는 Vcc에 연결되어 있다.

트랜지스터(314a)의 드레인은 PNP트랜지스터(314b)의 게이트, 트랜지스터(314d)의 드레인 및 트랜지스터의 소스에 연결되어 있다. 트랜지스터(314d)의 게이트는 Vcc에 연결되어 있고, 소스는 PH1출력에 연결되어 있다. 트랜지스터(314c)의 게이트는 그라운드에 연결되어 있고 그것의 드레인은 PH1출력에 연결되어 있다. 트랜지스터(314b)의 소스는 Vcc에 연결되어 있고 그것의 드레인은 PH2출력과 npn트랜지스터(314e)의 드레인에 연결되어 있다.

트랜지스터(314e)의 소스는 그라운드에 연결되어 있다. 트랜지스터(314e)의 게이트는 인버터(314f)의 출력에 연결되어 있다.

EPH1입력은 인버터(314i)의 입력과 PNP트랜지스터(314g)의 게이트에 연결되어 있다. 트랜지스터(314g)의 소스는 Vcc에 연결되어 있다. 트랜지스터(314g)의 드레인은 PNP트랜지스터(314h)의 게이트, 트랜지스터(314j)의 드레인 및 트랜지스터(314i)의 소스에 연결되어 있다. 트랜지스터(314j)의 게이트는 Vcc에 연결되어 있고, 소스는 PH2출력에 연결되어 있다. 트랜지스터(314i)의 게이트는 그라운드에 연결되어 있고 그것의 드레인은 PH2출력에 연결되어 있다.

트랜지스터(314h)의 소스는 Vcc에 연결되어 있고 그것의 드레인은 PH1출력과 NPN트랜지스터(313k)의 드레인에 연결되어 있다. 트랜지스터(314k)의 게이트는 인버터(314l)의 출력에 연결되어 있다. 트랜지스터(314k)의 소스는 그라운드에 연결되어 있다. 회로(314)의 목적은 PH2와 PH1 신호들이 겹치지 않게 하는데 있다. 기능상으로, 회로(314)는 한 신호가 고(高)상태에 이르기전에 다른 신호를 저(低)상태가 되게 한다. 이것을 구현하는 기술은 종래의 것이다.

[본 발명의 동작]

본 바람직한 실시예에서, PLL(300)은 입력(CLK)신호에 응답하여 코어클럭신호(PH1과 PH2), 및 버스클럭신호(CLKIN과 CLKOUT)를 만들어낸다.

CLK신호는 프로세서(200)의 클럭발진기(230)내로 들어온다(제2도).

신호는 입력버퍼(301a)에 의해 버퍼되고 버퍼피드백신호(또한 버퍼된)와 함께 위상검출기(302)로 들어간다. 위상검출기(302)는 상향조정(ADJUP) 하향조정(ADJDWN)신호를 출력한다. 충전펌프(303)는 신호를 수신하고 충전 또는 방전전류를 발생시키고 그것을 루프필터(304)의 용량성소자로 공급한다.

이 전류는 루프필터(304)의 용량성소자를 충전 또는 방전시키어 제어전압을 발생시킨다. 발생된 제어전압은 VCO(305)의 VCNTL입력에 연결된다.

제어전압은 VCO(305)의 출력을 구동한다. 제어전압이 증가하면, VCO(305)에 의한 주파수출력이 상승하게 된다. 제어전압이 감소하면, VCO(305)에 의한 주파수출력이 하강하게 된다. VCO(305)의 출력은 2분할(306)내로 입력된다.

2분할(306)은 VCO(305)의 출력주파수를 분할하여 두개의 출력(PA와 PB)을 만들어내고, 그중에서 CLK신호의 모든 상승에지는 출력신호의 상승과 하강에지 둘다를 만들어낸다. 이러한 출력들은 VCO(305)의 VCOUNT출력주파수의 1/2주파수이고 겹치지 않는 펄스들이다.

PA와 PB신호들은 각각 코어클럭위상 2(PH2), 및 위상 1(PH1)신호에 대한 구동기이다. PA신호는 지연(307b와 307a)에 의해 지연되고 그 후에 회로(314)의 EPH2입력내로 입력된다. PB출력신호는 지연(307d)에 의해 지연되고 그 후에 입력(EPH1)으로 회로(314)내에 입력된다. 회로(314)의 출력은 코어클럭신호(PH2와 PH1)이다.

PA출력(본질적으로 지연(307b)으로부터의 출력인 PH2신호)은 AND 게이트(310a와 311)및 지연(312)을 통하여 PLL(300)에 대한 피드백신호를 만들어낸다.

피드백신호는 PLL(300)에 의해 만들어진 CLKIN신호이다.

AND게이트(310a)는 피드백신호를 OR게이트(309)로부터의 입력에 따라 통과시키거나 '소멸' 시킨다. 2× 모드동안, AND게이트(310a)(및 AND게이트(310b))는 클럭신호를 하나 걸러냄씩 선별한다. 그러므로, AND 게이트(311)내로 입력되는 피드백신호는 피드백신호(즉, 2× 모드동안의 PH2 코어클럭신호)의 주파수의

1/2이다. 인버터(313)는 AND게이트(311)로의 다른 입력이고, PH1 신호(지연(307d)에 의해 버퍼된 2분할(306)의 PB출력으로부터의)가 저(低)상태에 있을때 피드백신호가 AND게이트(311)를 통과할 수 있게 한다. 이것은 코어클럭신호와 버스클럭신호 사이의 적당한 타이밍을 보장한다.

AND게이트(311)의 출력은 CLKIN신호이다. 1× 모드동안, 피드백신호는 AND게이트(310a)를 통과할 수 있으므로, CLKIN신호는 PH2코어클럭신호와 동일한 주파수를 가진다. 2× 모드동안, 피드백신호의 펄스가 하나씩 걸러져 선별되므로, CLKIN신호는 PH2코어클럭신호의 1/2주파수를 가진다.

또한 AND게이트(310b)에 의한 출력으로서 CLKOUT신호와 PH1코어클럭신호 사이에서 동일한 관계가 성립한다.

CLKIN신호(즉, 피드백신호)는 지연(312)에 의해 지연되고 입력버퍼(301b)에 의해 PLL(300)으로 피드백된다. 2× 모드에서, 피드백주파수는 입력 CLK신호주파수의 1/2이기 때문에, 충전펌프(303)와 루프필터(304)는 CLK와 CLKIN신호의 주파수들 사이의 큰 차이를 보상하기 위하여 더 많은 전압을 만들어 낸다.

생산된 다량의 제어전압은 VC0(305)가 보다 높은 주파수를 발생시키게 한다.

305로부터 보다 높은 주파수는 보다 높은 PH1 및 PH2 코어클럭신호를 생산한다. 이 방법으로, 본 발명에 의해 코어클럭신호(PH1 및 PH2)는 CLK신호의 2배(2×) 주파수에서 발생된다.

AND게이트(310a)의 동작은 OR게이트(309)의 출력에 의해 제어된다.

모드(MODE)신호상의 능동(active high)은 PLL(300)을 1×모드로 전환하고 비능동(active low)은 PLL(300)을 2×모드로 전환한다. 그러므로, PLL이 1×모드에 있을때 OR게이트(309)의 출력은 항상 논리 1이다. 그러므로, 피드백신호는 선별되지 않은 상태에서 AND게이트(310a)를 통과한다. 더우기, PH1신호는 CLKOUT신호로서 AND게이트(310b)를 통과한다. 이 상태에서, CLKOUT와 CLKIN신호는 PH1 및 PH2 코어클럭신호와 동일한 주파수를 가진다. 그러므로, 버스(제1도)는 코어유닛(210)(제2도)와 동일한 주파수에서 동작한다.

PLL이 2×모드로 전환될때, OR게이트(309)의 출력은 D플립플롭(308)의 출력에 의해 결정된다. D플립플롭(308)의 출력이 논리 1일때, 논리 1은 AND게이트(310a)에 나타나서 피드백신호가 통과되게 된다. D플립플롭(308)의 출력이 논리 0일때, 논리 0은 AND게이트(310a)에 나타나고, AND게이트(310a)는 피드백신호를 선별하고, 그것에 의하여 신호가 게이트를 통과하지 못하게 막는다.

더우기, D플립플롭(308)의 출력이 논리 0일때, AND게이트(310b)는 CLKOUT신호의 출력을 선별한다.

D플립플롭(308)은 제2의 2분할로서 추가된다. D플립플롭(308)은 추가되어 위상이 임계경로에 있지 않게 한다. 지연(307b)의 출력은 D플립플롭(308)을 클럭한다. 그러므로, 지연(307b)의 출력의 하나 걸러킴씩의 클럭펄스는 D플립플롭(308)으로부터 논리 1출력을 만들어낸다. 그러므로, PLL(300)이 2×모드에 있을때 지연(307b)의 출력의 하나 걸러킴씩의 클럭펄스는 OR게이트(309)로부터 논리 1출력을 만들어, 피드백신호가 AND게이트(310a)를 통과하지 못하게 한다.

더우기, 이 상태에서 AND게이트(310a)는 PH1신호가 CLKOUT신호로서 게이트를 통과하지 못하게 막는다. 그러므로, CLKOUT와 CLKIN신호 모두는 신호펄스의 1/2이 선별되었기 때문에 PH1신호와 PH2신호의 1/2주파수를 가진다.

그러나, 그것들이 1/2주파수임에도 불구하고, 버스클럭신호(CLKIN과 CLKOUT)의 상승 및 하강에지가 코어클럭신호(PH2와 PH1)의 재상승 및 하강에지에 각각 맞추어져 있기 때문에 신호의 타이밍은 정확하게 동일하다. 이렇게 하여 코어유닛(210)(제2도)는 타이밍의 변경없이 버스속도의 2배에서 동작할 수 있게 된다.

제4도에서는 1×모드중에 본 바람직한 실시예중의 PLL(300)에 의해 발생된 타이밍신호가 도시된다. 제4도를 참조하면, 입력클럭신호(CLK)가 도시된다.

CLR신호는 외부로부터의 33MHZ 1×입력이다. PH1과 PH2는 각각 PH2/PH1회로(314)로부터 출력된 33MHZ 코어클럭위상1 및 위상2 클럭신호이다.

CLKOUT와 CLKIN 신호는 또한 하나 걸러킴씩의 PH1 및 PH2 코어클럭신호에 각각 동기된 33MHZ 버스클럭신호이다.

제4도는 또한 1×모드중에 본 발명의 컴퓨터시스템에 대한 버스상태를 도시한다. 버스사이클은 CLKOUT신호가 고(高)상태로 변화하여 컴퓨터시스템 버스상으로 번지들이 보내지는 T1에서 시작한다. 버스제어기(220)는 그 후 T1의 PH2 코어클럭신호동안 T1에서 T2로 변환시키는 로직을 사용한다.

T2의 시작점에서, 사이클이 기록사이클이면 CLKOUT신호가 고상태로 변화할때 데이터는 컴퓨터시스템 버스상으로 보내진다. 그렇지 않으면, CLKOUT 고상태동안 아무것도 발생하지 않는다. T2동안, 데이터는 CLKIN위상동안 컴퓨터시스템 버스로부터 돌아온다. 데이터가 양호하다는 것을 준비신호가 가리킨다면 그 데이터를 사용한다. 이 상태에서, 버스제어기(220)는 사이클종류에 따라 새로운 T2, 새로운 T1 또는 유희상태로 변환될 수 있다.

2×모드동안 본 바람직한 실시예의 PLL(300)에 의해 발생된 타이밍신호가 제 5도에 도시된다. 제5도를 참조하면, 입력클럭신호(CLK)가 도시된다.

CLK신호는 외부로부터의 33MHZ 1×입력이다. PH1과 PH2는 PH2/PH1회로(314)로부터 각각 출력된 66MHZ 코어클럭위상1 및 위상2 클럭신호이다.

CLKOUT및 CLKIN신호는 하나 걸러킴씩의 PH1과 PH2코어클럭신호 각각에 동기된 1/4듀티사이클의 33MHZ 버

스클록신호이다.

제5도는 또한 본 발명의 컴퓨터시스템에 대한 버스상태를 도시한다.

버스사이클은 CLKOUT신호가 고상태로 변환되어 번지가 컴퓨터시스템 버스상에 보내지는 T1번지에서 시작한다. T1이 두가지 상태(T1번지와 T1종료)로 분할되는 것에 주목해야 한다. 이렇게 함으로써, T1번지 상태동안 버스제어기(220)의 상태기구가 T1상태라는 것을 인식치 못하므로 T1에 효과적으로 대기사이클이 추가된다. T1종료에서, 버스제어기는 T1상태라는 것을 결정한다.

그 후 버스제어기(220)는 T1종료의 PH2코어클록신호동안 T1에서 T2로 변환하는 로직을 사용한다. T2의 시작점에서, 데이터는 사이클이 기록사이클이라면 CLKOUT신호가 고상태로 변화할때 컴퓨터시스템 버스상에 보내진다.

그렇지 않으면 CLKOUT고상태동안 아무것도 발생하지 않는다.

T2종료동안, 데이터는 CLKIN위상동안 컴퓨터시스템 버스로부터 돌아온다.

준비신호가 데이터의 양호함을 가리키면 그 데이터를 사용한다. 이 상태에서, 버스제어기(220)는 사이클 종류에 따라 새로운 T2, 새로운 T1, 또는 유휴상태로 변환할 수 있다.

진술한 설명을 읽은후 당해분야의 전문가에게는 본 발명의 많은 수정과 변경이 있을 수 있으므로, 설명을 위하여 기술되고 도시된 특정 실시예를 제한적으로 간주해서는 않된다는 것은 이해될 수 있다. 그러므로, 바람직한 실시예의 세부사항에 대한 참조는 본 발명에 필수적인 것으로 간주된 특징만을 기술한 특허청구범위의 범위를 제한하여서는 않된다.

컴퓨터시스템 버스와 동일한 주파수 또는 배수의 주파수에서 선택적으로 동작하는 마이크로프로세서가 설명되었다.

(57) 청구의 범위

청구항 1

(2차정정) 제1주파수에서 적어도 하나의 버스클록신호에 따라 동작하는 버스를 구비한 컴퓨터 시스템에서 사용하는 집적회로에 있어서, 제1주파수보다 더욱 빠른 제2주파수에서 적어도 하나의 코어클록신호를 발생하고, 상기 적어도 하나의 버스클록신호의 클록펄스폭과 길이가 동일한 클록펄스폭을 가지는 클록발생기; 클록발생기에 연결되어 상기 적어도 하나의 코어클록신호에 응답하여 동작하는 코어; 및 클록발생기, 코어, 및 버스에 연결되고, 코어와 버스제어기가 상기 적어도 하나의 클록신호의 클록속도로 동작하는 동안 상기 적어도 하나의 버스클록신호에 따라 코어와 버스간에 데이터를 전송하는 버스제어기;를 포함하는 것을 특징으로 하는 집적회로.

청구항 2

(2차정정) 제1항에 있어서, 상기 제2주파수는 상기 제1주파수의 정수배인 것을 특징으로 하는 집적회로.

청구항 3

(정정) 제2항에 있어서, 상기 정수배가 2인 경우에, 상기 적어도 하나의 코어클록신호의 제2주파수는 2배의 제1주파수의 2배인 것을 특징으로 하는 집적회로.

청구항 4

(2차정정) 제1항에 있어서, 제2주파수는 제1주파수의 2배인 것을 특징으로 하는 집적회로.

청구항 5

(2차정정) 제1항에 있어서, 클록발생기는 위상동기루프를 포함하는 것을 특징으로 하는 집적회로.

청구항 6

(2차정정) 제1주파수에서 적어도 하나의 버스클록신호에 따라 동작하는 버스를 구비한 컴퓨터 시스템에서 사용하는 집적회로에 있어서, 제1주파수보다 더욱 빠른 제2주파수에서 적어도 하나의 코어클록신호를 발생하고, 상기 적어도 하나의 버스클록신호의 클록펄스폭과 길이가 동일한 클록펄스폭을 가지는 클록발생기; 클록발생기에 연결되어 상기 적어도 하나의 코어클록신호에 응답하여 동작하는 코어; 및 코어와 버스제어기가 상기 적어도 하나의 클록신호의 클록속도로 동작하는 동안 상기 적어도 하나의 버스클록신호에 따라 코어와 버스간에 데이터를 전송하기 위해 클록발생기, 코어, 및 버스에 연결된 버스제어기;를 포함하며, 상기 클록발생기는, 외부클록신호와 피드백신호를 수신하고, 외부클록신호와 피드백신호간의 위상차의 측정치에 응답하여 제1신호를 발생하는 위상검출기; 제1신호에 따라 전압제어신호를 발생하는 전압발생기; 전압제어신호에 응답하여 상기 적어도 하나의 코어클록신호를 발생하는 전압제어 오실레이터; 및 상기 적어도 하나의 코어클록신호에 응답하여 피드백신호를 발생하는 주파수분할기;가 포함된 위상동기루프를 포함하고, 상기 피드백신호는 상기 적어도 하나의 코어클록신호의 배수인 주파수를 가지며, 상기 오실레이터는 외부클록신호의 N배 주파수인 신호를 발생하는 것을 특징으로 하는 집적회로.

청구항 7

(2차정정) 제6항에 있어서, 주파수분할기는, 상기 적어도 하나의 코어클록신호중 하나에 응답하여 제1상태와 제2상태에 있는 마스킹신호를 발생하는 제1로직; 및 마스킹신호가 제1상태에 있고 피드백신호를 마스킹할 때, 그리고 마스킹신호가 제2상태일 때, 상기 적어도 하나의 코어클록신호와 마스킹신호에 응답

하여 피드백신호를 발생하는 제2로직;을 포함하는 것을 특징으로 하는 집적회로.

청구항 8

(2차정정) 제1주파수에서 적어도 하나의 버스클럭신호에 따라 동작하는 버스를 구비한 컴퓨터 시스템에서 사용하는 프로세서에 있어서, 제1주파수보다 더욱 빠른 제2주파수에서 적어도 하나의 코어클럭신호를 발생하는 클럭발생기; 클럭발생기에 연결되어 상기 적어도 하나의 코어클럭신호에 응답하여 명령을 실행하는 CPU코어; 및 상기 클럭발생기에 연결된 버스제어기;를 포함하며, 상기 CPU코어와 상기 버스는, 상기 CPU코어와 상기 버스제어기가 상기 적어도 하나의 코어클럭신호의 클럭속도로 동작하는 동안 상기 적어도 하나의 버스클럭신호에 응답하여 CPU코어와 버스간에 데이터를 전송하는 것을 특징으로 하는 프로세서.

청구항 9

(2차정정) 제8항에 있어서, 상기 제2주파수는 상기 제1주파수의 정수배인 것을 특징으로 하는 프로세서.

청구항 10

(2차정정) 제9항에 있어서, 상기 정수배가 2인 경우 상기 적어도 하나의 코어클럭신호가 제1주파수의 2배인 것을 특징으로 하는 프로세서.

청구항 11

(정정) 제8항에 있어서, 상기 제2주파수는 상기 제1주파수의 2배인 것을 특징으로 하는 프로세서.

청구항 12

(정정) 제8항에 있어서, 상기 클럭발생기는 위상동기루프를 포함하는 것을 특징으로 하는 프로세서.

청구항 13

(2차정정) 제1주파수에서 적어도 하나의 버스클럭신호에 따라 동작하는 버스를 구비한 컴퓨터 시스템에서 사용하는 프로세서에 있어서, 제1주파수보다 더욱 빠른 제2주파수에서 적어도 하나의 코어클럭신호를 발생하는 클럭발생기; 클럭발생기에 연결되어 상기 적어도 하나의 코어클럭신호에 응답하여 명령을 실행하는 CPU코어; 및 상기 클럭발생기에 연결된 버스제어기;를 포함하며, 상기 CPU코어와 상기 버스는, 상기 CPU코어와 상기 버스제어기가 상기 적어도 하나의 코어클럭신호의 클럭속도로 동작하는 동안 상기 적어도 하나의 버스클럭신호에 응답하여 CPU코어와 버스간에 데이터를 전송하며, 상기 클럭발생기는, 외부클럭신호 및 피드백 신호를 수신하고, 상기 외부클럭신호와 피드백신호 사이의 위상차 측정치에 응답하여 제1신호를 발생하는 위상검출기; 상기 제1신호에 따라 전압제어신호를 발생하는 전압발생기; 상기 전압제어신호에 응답하여 상기 적어도 하나의 코어클럭을 발생하는 전압제어 오실레이터; 및 상기 적어도 하나의 코어클럭신호에 응답하여 피드백신호를 발생하는 주파수분할기;가 포함된 위상동기루프를 포함하며, 상기 피드백신호는 상기 적어도 하나의 코어클럭신호의 다수배인 주파수를 가지며, 오실레이터는 외부클럭신호의 N배의 주파수인 신호를 발생시키는 것을 특징으로 하는 프로세서.

청구항 14

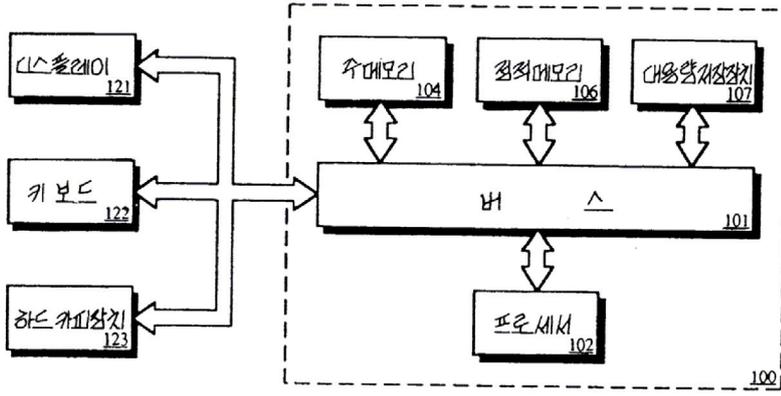
(정정) 제13항에 있어서, 주파수 분할기는, 상기 적어도 하나의 코어클럭신호중 하나에 응답하여 제1상태와 제2상태에 있는 마스킹신호를 발생하는 제1로직; 및 마스킹신호가 제1상태에 있고 피드백신호를 마스킹할 때, 그리고 마스킹신호가 제2상태일 때, 상기 적어도 하나의 코어클럭신호와 마스킹신호에 응답하여 피드백신호를 발생하는 제2로직;을 포함하는 것을 특징으로 하는 프로세서.

청구항 15

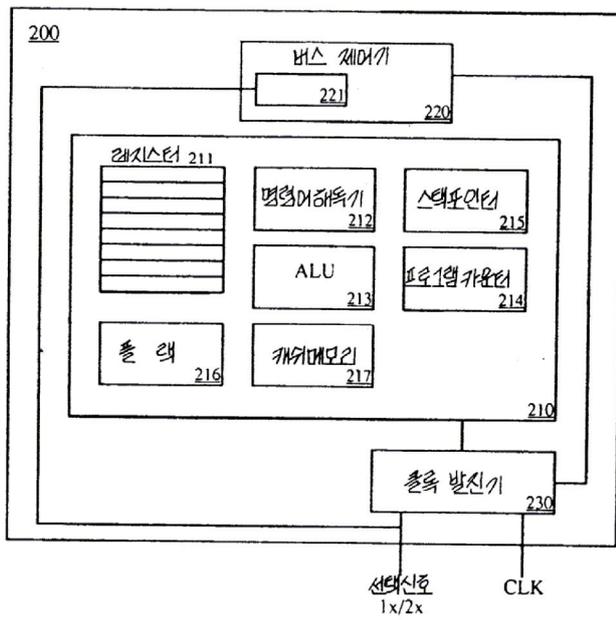
(정정) 제1주파수에서 적어도 하나의 버스클럭신호에 따라 동작하는 버스를 구비한 컴퓨터 시스템에서 사용하는 집적회로에 있어서, 제1주파수보다 큰 주파수를 가진 상기 적어도 하나의 코어클럭신호에 응답하여 동작하는 코어; 및 코어와 버스제어기에 연결되어 있고, 코어와 버스제어기가 상기 적어도 하나의 클럭신호의 클럭속도로 동작하는 동안 상기 적어도 하나의 버스클럭신호에 따라 코어와 버스간에 데이터를 전송하는 버스제어기;를 포함하는 것을 특징으로 하는 집적회로.

도면

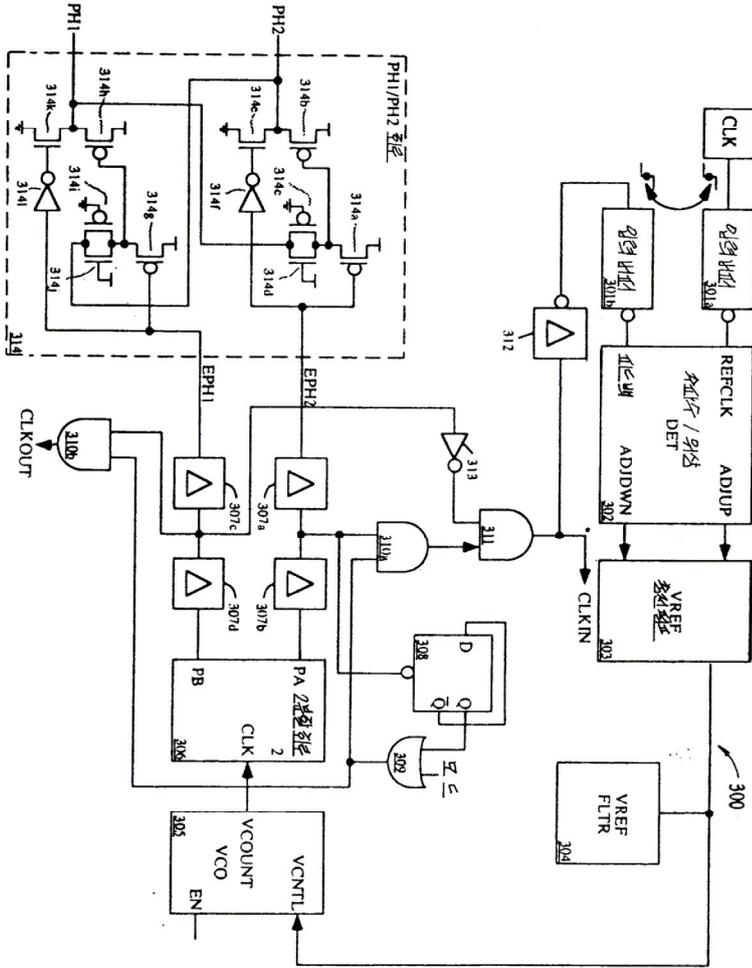
도면1



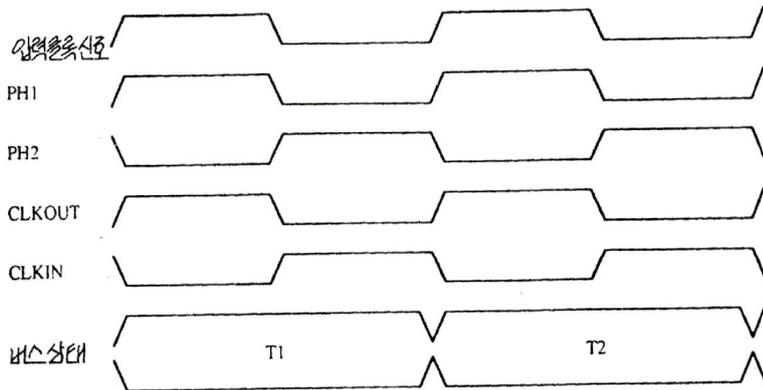
도면2



도면3



도면4



도면5

