

1. 一种图像传感器像素,包括:

第一导电类型的光敏元件;

所述第一导电类型的浮动扩散区域;

传输晶体管沟道区域,其布置在所述光敏元件与所述浮动扩散区域之间,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第二导电类型的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度,其中,所述第一沟道子区域在横向上布置在所述光敏元件与所述第二沟道子区域之间;

传输晶体管栅极,其布置于所述传输晶体管沟道区域的至少一部分上;

所述第二导电类型的掺杂阱,其具有浅沟槽隔离(STI),其中,所述浮动扩散区域布置于所述掺杂阱内并在部分所述传输晶体管栅极下方延伸;

衬底;以及

所述第二导电类型的外延层,其布置于所述衬底上,

其中,所述外延层具有第三掺杂浓度,所述第三掺杂浓度不同于所述第一掺杂浓度以及所述第二掺杂浓度。

2. 如权利要求1所述的图像传感器像素,其中,所述光敏元件、所述浮动扩散区域以及所述传输晶体管沟道区域布置于所述外延层中。

3. 如权利要求1所述的图像传感器像素,其中,所述第一沟道子区域在所述光敏元件的至少一部分上并在部分所述传输晶体管栅极下方延伸,使得所述第一沟道子区域在竖直方向上位于所述传输晶体管栅极与所述光敏元件之间。

4. 如权利要求1所述的图像传感器像素,其中,所述第一沟道子区域具有的宽度小于所述传输晶体管栅极的宽度的一半。

5. 如权利要求1所述的图像传感器像素,其中,所述掺杂阱具有的宽度小于所述传输晶体管栅极的宽度的一半。

6. 如权利要求1所述的图像传感器像素,其中,所述第二沟道子区域为:未掺杂的间隙区域,或者所述第一导电类型的间隙区域。

7. 如权利要求1所述的图像传感器像素,还包括布置于所述光敏元件上的钉扎层。

8. 一种制造互补金属氧化物半导体(“CMOS”)图像传感器像素的方法,所述方法包括:

在布置于衬底上的外延层内形成传输晶体管沟道区域,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第一导电类型的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度;

在所述传输晶体管沟道区域的至少一部分上并在第二导电类型的浮动扩散区域的一部分上制造传输晶体管栅极;以及

在所述外延层内形成所述第二导电类型的光敏元件,其中,所述第一沟道子区域在所述光敏元件的至少一部分上并在部分所述传输晶体管栅极下方延伸,使得所述第一沟道子区域在竖直方向上位于所述传输晶体管栅极与所述光敏元件之间,

其中,所述外延层是所述第一导电类型,并具有第三掺杂浓度,所述第三掺杂浓度不同于所述第一掺杂浓度以及所述第二掺杂浓度。

9. 如权利要求8所述的方法,其中,形成所述传输晶体管沟道区域包括对所述第一沟

道子区域进行注入,至所述第一掺杂浓度。

10. 如权利要求 8 所述的方法,还包括:

对所述第一沟道子区域进行注入,至所述第一掺杂浓度;以及

对所述第二沟道子区域进行注入,至所述第二掺杂浓度。

11. 如权利要求 8 所述的方法,其中,所述浮动扩散区域布置于具有浅沟槽隔离 (STI) 的、所述第一导电类型的掺杂阱内。

12. 如权利要求 8 所述的方法,其中,形成所述传输晶体管沟道区域包括形成所述第一沟道子区域,使其具有的宽度小于所述传输晶体管栅极的宽度的一半。

13. 如权利要求 8 所述的方法,其中,形成所述传输晶体管沟道区域包括不对所述第二沟道子区域掺杂,使得所述第二沟道子区域为未掺杂的间隙区域。

14. 如权利要求 8 所述的方法,还包括在所述光敏元件上形成钉扎层。

15. 一种图像传感器,包括:

布置于衬底上的、图像传感器像素的互补金属氧化物半导体 (“CMOS”) 阵列,其中,这些图像传感器像素中的每一者包括:

第一导电类型的光敏元件;

所述第一导电类型的浮动扩散区域;及

传输晶体管沟道区域,其布置于所述光敏元件与所述浮动扩散区域之间,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第二导电类型的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度,其中,所述第一沟道子区域在横向上布置在所述光敏元件与所述第二沟道子区域之间;

传输晶体管栅极,其布置于所述传输晶体管沟道区域的至少一部分上;

所述第二导电类型的掺杂阱,其具有浅沟槽隔离 (STI),其中,所述浮动扩散区域布置于所述掺杂阱内并在部分所述传输晶体管栅极下方延伸;

衬底;以及

所述第二导电类型的外延层,其布置于所述衬底上,

其中,所述外延层具有第三掺杂浓度,所述第三掺杂浓度不同于所述第一掺杂浓度以及所述第二掺杂浓度;以及

读出电路,其耦合至所述 CMOS 阵列,以从所述图像传感器像素中的每一者读出图像数据。

16. 如权利要求 15 所述的图像传感器,其中,所述光敏元件、所述浮动扩散区域以及所述传输晶体管沟道区域布置于所述外延层中。

17. 如权利要求 15 所述的图像传感器,其中,所述第一沟道子区域在所述光敏元件的至少一部分上并在所述传输晶体管栅极的一部分下方延伸。

18. 如权利要求 15 所述的图像传感器,其中,所述第二沟道子区域是未掺杂的间隙区域。

具有含多个沟道子区域的传输栅极的图像传感器

技术领域

[0001] 本发明大体涉及图像传感器,尤其(但并非排除性地)涉及 CMOS 图像传感器。

[0002] 本申请要求 2009 年 8 月 7 日提交的美国临时专利申请 No. 61/232,369 的优先权,该申请的内容通过引用方式合并于此。

背景技术

[0003] 图像传感器广泛地用于数字静态相机、蜂窝式电话、安保摄像机中,以及用于医疗、汽车及其它应用中。互补金属氧化物半导体(“CMOS”)技术用以在硅衬底上制造较低成本的图像传感器。在大量图像传感器中,图像传感器通常包括若干个光传感器单元或像素。典型的单个像素包括微透镜、滤光片、光敏元件、浮动扩散区域及用于从光敏元件读出信号的一个或多个晶体管。像素中所包括的这些晶体管之一通常被称作传输晶体管,其包括布置于该光敏元件与该浮动扩散区域之间的传输栅极。该传输栅极布置于栅极氧化物上。光敏元件、浮动扩散区域及栅极氧化物布置于衬底上。

[0004] 在操作期间,当将偏压电压施加至传输栅极时,可在传输栅极下形成导电沟道区域,以使得信号从该光敏元件传输至该浮动扩散区域。然而,传统的传输栅极经常具有图像滞后及晕光(blooming)现象的问题。

[0005] 图像滞后可能由于下述原因而产生:传统的导电沟道区域不能从光敏元件除去所有信号,使得在先后读取像素期间存在残余信号。光敏元件中保留的该剩余信息常被称作图像滞后、残余图像、重像或帧间滞留。

[0006] 晕光现象可能因为光敏元件对图像的高强度部分进行转换而产生,这些高强度部分可能使过多电荷溢出至邻近的光敏元件中。这种过多电荷也可能在预期的传输周期前经过该传统的传输栅极而溢出至浮动扩散区域中。晕光现象可能限制成像传感器的动态范围,并可能限制成像传感器的商业应用类型。

发明内容

[0007] 根据本发明的第一方面,提供了一种图像传感器像素,包括:光敏元件;浮动扩散区域;传输晶体管沟道区域,其布置在所述光敏元件与所述浮动扩散区域之间,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度。

[0008] 根据本发明的另一方面,提供了一种制造互补金属氧化物半导体(“CMOS”)图像传感器像素的方法,所述方法包括:在布置于衬底上的外延层内形成传输晶体管沟道区域,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度;在所述传输晶体管沟道区域的至少一部分上并在浮动扩散区域的一部分上制造传输晶体管栅极;在所述外延层内形成光敏元件,其中,所述第一沟道子区域在所述光敏元件的至少一部分上并在部分所述传输晶体管栅极下方延伸。

[0009] 根据本发明的再一个方面,提供了一种图像传感器,包括:布置于衬底上的、图像传感器像素的互补金属氧化物半导体(“CMOS”)阵列;读出电路,其耦合至所述 CMOS 阵列,以从所述图像传感器像素中的每一者读出图像数据。其中,这些图像传感器像素中的每一者包括:光敏元件;浮动扩散区域;传输晶体管沟道区域,其布置于所述光敏元件与所述浮动扩散区域之间,其中,所述传输晶体管沟道区域包括具有第一掺杂浓度的第一沟道子区域以及具有第二掺杂浓度的第二沟道子区域,所述第二掺杂浓度不同于所述第一掺杂浓度。

附图说明

[0010] 将参考附图来对示例性实施例进行说明,各图中相同的标号表示相同的部分,除非另有说明。

[0011] 图 1 是包含传统的传输栅极沟道掺杂结构的图像传感器像素的截面图;

[0012] 图 2 是根据一种实施例,包含传输栅极沟道掺杂的图像传感器像素的截面图;

[0013] 图 3A 至图 3D 是根据一种实施例,用于形成传输栅极及像素的处理的截面图;

[0014] 图 4 是图示了根据一种实施例的图像传感器的框图;

[0015] 图 5 是图示了根据一种实施例,图像传感器阵列内的两个图像传感器像素的采样像素电路的电路图;

[0016] 图 6 是图示了根据一种实施例的成像系统的框图。

具体实施方式

[0017] 本文中描述了具有改良的图像滞后和晕光特性的像素、图像传感器、成像系统以及像素、图像传感器、成像系统的制造方法的实施例。以下描述中阐明了众多具体细节以提供对这些实施例的透彻理解。但是,本领域技术人员应当理解,在缺少这些具体细节中一项或多项的情况下,或者通过其它方法、组件、材料等,也能够实施本申请中所描述的技术。在其它情况下,未详细图示或描述公知的结构、材料或操作,以免使某些方面不清楚。例如,尽管未示出,但应理解图像传感器像素可以包括用于制造 CIS 像素的若干传统的层(例如,抗反射膜等)。此外,本申请中所说明的图像传感器像素所示的横截面不一定图示了与每一像素相关联的像素电路。但是应该理解,每一像素可以包括耦接至其收集区域的像素电路,该像素电路用于执行各种功能,例如:开始图像获取、将累积的图像电荷复位、将所获取的图像数据传输出去、或其它功能。

[0018] 说明书全文中提到的“一种实施例”或“一种实施例”表示该实施例描述的特定特征、结构或特性包含于本发明的至少一个实施例中。因此,说明书全文中出现的词组“在一种实施例中”或“在实施例中”并不一定都表示同一种实施例。此外,在一种或多种实施例中,可以以任何合适的方式来组合特定的特征、结构或特性。

[0019] 典型的 CMOS 图像传感器(CIS)像素以如下方式操作。光入射到微透镜上,所述微透镜经由滤光片将光聚焦至光敏元件。光敏元件检测光,并将光转换成与检测到的光的强度成比例的电信号。传输栅极将电信号从光敏元件传输至浮动扩散区域。

[0020] 图 1 图示了前侧照明 CIS 的传统图像传感器像素 100 的横截面图,该像素包含传统的传输栅极沟道掺杂结构。金属堆叠 110 包括金属层(例如,金属层 M1 和 M2),这些金属

层受到图案化以产生光学通路,入射于像素 100 上的光 106 能够经过该光学通路而到达光敏元件或光电二极管(“PD”)元件 115。为了实现彩色 CIS,像素 100 还包括布置于微透镜 125 下的彩色滤光片层 120。微透镜 125 帮助将光 106 聚焦至光敏元件 115 上。通常,图像传感器包括在较大衬底(即,延伸超出如图所示衬底 102)中以二维行列的阵列形式布置的若干个图像传感器像素 100。像素 100 还包括布置于外延层 104 上的 P 型掺杂阱 140 中的浮动扩散(FD)区域 155。如图 1 所示,外延层 104 布置于衬底 102 上。浅沟槽隔离(STI)结构 130 也布置于外延层 104 中或其上。具有传输多晶(poly)栅极 105 的传输晶体管布置于光敏元件 115 与 FD 区域 155 之间,并用于将从光敏元件 115 输出的信号传输至浮动扩散区域 155。当将偏压电压施加至传输栅极时,可在传输栅极下方形成导电沟道(也即,经过 V_t 注入区域 145)。形成沟道时的偏压电压可称为阈值电压(V_t)。

[0021] 像素 100 按如下方式操作。在积分周期(也称作曝光周期或累积周期)期间,光 106 入射于光敏元件 115 上。光敏元件 115 响应于入射光而产生电信号。电信号被保持在光敏元件 115 中。在此阶段,可关断传输晶体管。在一种实施例中,多晶栅极 105 上的偏压电压可以是负电压。

[0022] 当多晶栅极 105 上的偏压电压小于其阈值电压时, V_t 注入区域 145 实际上对于电子流成为阻碍。产生了趋于对从光敏元件 115 至浮动扩散区域 155 的电子运动造成障碍的驱动力。

[0023] 在积分周期后,使传输栅极 105 导通以读出光敏元件 115。在一种实施例中,可将正偏压电压施加至多晶栅极 105。当多晶栅极 105 上的偏压增大时,FD 区域 155 附近的 V_t 注入区域 145 成为导电的。随着接近阈值电压,沟道可以向着光敏元件 115 继续逐渐变成导电的。 V_t 注入区域 145 中的电位取决于 V_t 注入区域 145 内每点处的掺杂浓度。在传统的传输栅极沟道掺杂结构中,从光敏元件 115 向 FD 区域 155,电位逐渐减小,从而产生帮助电荷从光敏元件向浮动扩散区域传输的横向电场。在光敏元件 115 中的电信号传输至 FD 区域 155 后,关断多晶栅极 105 以开始后续的积分周期。

[0024] 然而,传统的传输栅极具有图像滞后及晕光的问题。出现该问题是因为传统的沟道掺杂结构被掺杂成使得光敏元件附近的传输多晶栅极下方留有势垒,并阻止了残余信号电荷传输。此外,在积分周期期间,这些传统的沟道掺杂结构不能够完全除去超过全阱容量(full well capacity)的电荷并防止晕光现象。

[0025] 另外,在先后的读取之间,光敏元件 115 可能尚未完全清空。来自先前光信号的信息中的一些留在光敏元件中,尚未传输至浮动扩散区域。剩余信息可称为图像滞后、残余图像、重像或帧间滞留等。

[0026] 另外,光敏元件 115 可能不能容纳从图像的高强度部分转换的所有电荷,并可能将这种过多的电荷溢出至邻近的光敏元件中。过多的电荷也可能在预期的传输周期前经过传输栅极而溢出至浮动扩散区域中。这种效应称作晕光,它限制了成像器的动态范围,并因而可能限制图像传感器像素 100 的商业应用的类型。

[0027] 对图像滞后及晕光进行处置的一种方法是将传输栅极下方的均匀掺杂剂用作起点。对于在电信号的收集过程中在栅极上使用零施加电压的传输晶体管而言,这是典型的。这些典型的传输晶体管部分地通过下述方式来制造:在整个栅极区域均匀地进行 P 型掺杂剂的离子注入,以设定接近零的阈值电压。除了均匀的阈值注入之外,根据本发明的实施

例,也可以在传输栅极与光电二极管重叠的地方注入掺杂更重的 P 型层。这种组合方式在传输栅极下方及沟道区域内建立了阶梯式的分级 P 型掺杂区域。通过在光敏元件与浮动扩散区域之间的沟道进行分级 P 型掺杂,建立了横向电场,从而在读出期间对沟道中的电子进行加速。此外,在光累积周期期间,当将传输晶体管保持在低于其阈值的零伏特或小的负电压时,横向电场可引导并除去来自光电二极管的过多电荷(在其饱和的情况下),从而减少晕光。横向电场的另一作用是对传输栅极下方产生的暗电流进行背离光电二极管的导向,并防止其添加至累积的光电二极管电荷。

[0028] 然而,这种做法可能造成三个潜在问题。一个潜在问题是由于额外的 P 型掺杂剂扩散至光敏元件内而造成全阱容量减小。如果额外的 P 型掺杂剂扩散至光敏元件中,则光敏元件中的 N 型掺杂剂会受到补偿,单个光敏元件在饱和前能够保持的电荷量可能减少。第二个潜在问题是在光敏元件与传输栅极下方的沟道相连的区域处形成势垒。因此,并非所有的光生电子都能够在读出期间离开光敏元件,因为一些电子的能量不足以跨越这个势垒。

[0029] 第三个潜在问题是,虽然在较轻的晕光现象期间,传输栅极的零伏特阈值趋于有助于将电荷导出光电二极管,但有关的典型沟道 P 型掺杂程度过高,不能承受较严重的晕光。过多信号电荷可能溢出至邻近的光电二极管中。需要一种改良的传输栅极掺杂方案,使光敏元件的全阱容量尽可能大,同时防止晕光及图像滞后。

[0030] 图 2 图示了根据本发明一种实施例的 CIS 的图像传感器像素 200 的横截面图,该像素包含传输栅极沟道掺杂结构。根据一种实施例,CIS 包括布置于衬底中的像素 200 的阵列。单个的图像传感器像素包括光敏元件 115 及浮动扩散区域 255。具有栅极氧化物 107(具有均匀厚度)的传输栅极 205 布置于光敏元件 115 与浮动扩散区域 255 之间。浮动扩散区域 255 可包含在 P 型阱 240 内,该 P 型阱 240 在传输栅极 205 下方延伸。图像传感器像素 200 中包括晶体管沟道区域,该区域包括至少两个不同的子区域,每一子区域具有不同的掺杂浓度。第一子区域是 P 型掺杂区域,称为溢出电荷导引部(OCG)170,并在传输栅极 205 下位于其与光敏元件 115 之间。在其它实施例中,OCG 可以在光敏元件 115 的部分或全部上延伸。第二子区域是 OCG 与浮动扩散 P 阱之间的区域,可称为间隙 175,该区域受到极低的 P 型掺杂、保持未掺杂或轻微地 N 型掺杂。沟道子区域 170 及 175 在本申请中可以统称为传输晶体管沟道区域。

[0031] 由图 2 可见,间隙 175 中不存在传统的阈值注入 V_t 。为了易于制造,可以仅保持起始 P 型外延层 104 的掺杂浓度。间隙区域 175 实现了更大的容量,以在传输栅极 205 为信号积分而保持关断的时候排出过多的信号电荷。由于间隙的掺杂显著低于传统的设计,因此能够对 OCG 区域 170 及光敏元件 115 中的掺杂浓度的选择进行优化,从而显著减小晕光及图像滞后,同时使光敏元件 115 的全阱容量尽可能大。

[0032] 图像传感器像素 200 的实施例以在某种程度上类似于传感器单元 100 的方式工作。然而,由于间隙区域 175 的掺杂远低于 OCG 区域 170,并由于与传统的沟道结构相比,这两个区域相对于光敏元件 115 的掺杂可以更加优化,所以传感器单元 200 减少了图像滞后及晕光。例如,可以像沟道区域中常见的那样,以钉扎层(pinning layer)135 的重度 P+ 掺杂与较轻的 P- 型掺杂之间的中间程度对 OCG 区域 170 掺杂。传感器单元 200 的这种实施例可以有效地应用于更苛刻的成像应用,例如在医疗、安保以及汽车工业中的应用。

[0033] 本申请中界定了图像传感器 200 的某些长度尺寸,但应理解,图 2 是为了向本领域技术人员进行说明,而不一定是按比例绘制的。

[0034] Ltx 指多晶栅极 205 的宽度。Locg 指从多晶栅极 205 的边缘至多晶栅极 205 下方的 OCG 区域 170 的远边界的这部分 OCG 区域 170 的宽度。Lgap 指间隙区域 175 的宽度,其从 P 阱 240 的边缘延伸至 OCG 区域 170 的边缘。Lpw 指从浮动扩散区域 255 的边缘延伸至多晶栅极 205 下方的 P 阱 240 的远边界的这部分 P 阱 240 的宽度。Locg、Lgap 及 Lpw 的范围可以如下:

[0035] $Lgap > 0.05 \mu m$ (例如, $Lgap > 0.2 \mu m$)

[0036] $Locg < 1/2Ltx$ (例如, $Locg < 1/3Ltx$)

[0037] $Lpw < 1/2Ltx$ (例如, $Lpw < 1/3Ltx$)

[0038] P 型掺杂外延层 104 及 P 型掺杂 OCG 170 的硼浓度的范围可以如下:

[0039] P 型掺杂外延层 104: $1 \times 10^{14} cm^{-3}$ 至 $1 \times 10^{16} cm^{-3}$ (例如, $2 \times 10^{14} cm^{-3}$ 至 $3 \times 10^{15} cm^{-3}$)

[0040] P 型 OCG (峰值浓度) 170: $1 \times 10^{16} cm^{-3}$ 至 $1 \times 10^{18} cm^{-3}$ (例如, $3 \times 10^{16} cm^{-3}$ 至 $5 \times 10^{17} cm^{-3}$)

[0041] 对于某些实施例,外延层 104 可以是任何合适的半导体材料,例如硅。在所示的实施例中,外延层 104 为 P 型掺杂的硅。然而,在另一种实施例中,外延层 104 可以是(稍微) N 型掺杂的硅。

[0042] 栅极氧化物 107 可以是任何合适的绝缘材料,例如二氧化硅。多晶栅极 205 可以是多晶硅或任何合适的栅极材料。STI 130 可以是能够防止衬底 102 上的组件之间的电信号泄漏的任何合适的绝缘材料。

[0043] 图 3A 至图 3D 图示了根据一种实施例,用于制造图像传感器像素 200 的一种技术。图 3A 图示了与像素 200 类似的像素的截面图,该像素已制造至下述程度:已在布置于衬底 102 上的外延层 104 内形成了 STI 130、掺杂阱 240 及浮动扩散区域 255。

[0044] 使用用于制造 CMOS 图像传感器的工业标准制造技术来形成本文中所描述的实施例。光刻、离子注入、化学气相沉积 (CVD) 及蚀刻都属于用于制造 CMOS 图像传感器的标准工业方式。一种方法通过用离子注入方式将 P 型掺杂剂 302 注入到图像传感器组件的指定部分内来形成 OCG 区域 170,如图 3A 中所示。

[0045] 如上所述,在一种实施例中,外延层 104 为 P 型掺杂的硅。在此实施例中,如上所述的图像传感器组件还可以另外在形成多晶栅极 105 前进行离子注入而在间隙区域 175 中放置可选的 N 型掺杂剂 304。在另一种实施例中,外延层 104 为(稍微) N 型掺杂的硅。同样地,可选的注入物 304 可以是在外延层 104 的 N 型掺杂硅实施例中注入的 P 型掺杂剂。

[0046] 在可选掺杂剂 304 为注入至 P 型掺杂硅内的 N 型掺杂剂的实施例中,相对于 OCG 区域 170,间隙区域 175 更轻的 P 型或稍微 N 型,从而建立横向电场,使光信号传输期间的图像滞后、光信号累积期间的晕光现象及暗电流尽可能小。

[0047] 接下来参看图 3B,使用 CVD、光刻及蚀刻形成传输晶体管多晶栅极 205,使得 OCG 170 在邻近光敏元件那侧处于多晶栅极下方至少 Locg 的距离处。然后,可以通过将 N 型掺杂剂以离子注入方式注入到 OCG 区域下方的图像传感器的指定部分内而形成光敏元件 115,并使之大体上与传输多晶栅极的边缘对准,如图 3C 所示。然后,可以通过离子注入而在 OCG 区域 170 上方及 N 型光敏元件 115 上方的外延层 104 表面处形成 P 型钉扎层 135。

[0048] 在所公开的实施例中,衬底 102 可受到 P 型掺杂,外延层 104 可受到 P 型掺杂,掺杂阱 240 可受到 P 型掺杂,浮动扩散 255 可受到 N 型掺杂,光敏元件 115 可受到 N 型掺杂,钉扎层 135 可受到 P 型掺杂,OCG 170 可以是 P 型,传输栅极 205 可受到 N 型掺杂。应该理解,可以将全部要素的导电类型互换,从而例如使得衬底 102 可受到 N⁺ 掺杂,外延层 104 可受到 N⁻ 掺杂,阱区域 240 可受到 N 掺杂、OCG 170 可受到 N 型掺杂,光敏元件 115 可受到 P 掺杂。

[0049] 图 4 是图示了根据一种实施例的 CIS 400 的框图。所示的 CIS 400 的实施例包括具有上述一些或全部改良特性的像素阵列 405、读出电路 410、功能逻辑电路 415 及控制电路 420。像素阵列 405 是图像传感器像素(例如,像素 P1、P2...、Pn)的二维(“2D”)阵列。在一种实施例中,使用图 2 中所示像素 200 实现每一像素。在一种实施例中,每一像素为 CIS 像素。在一种实施例中,像素阵列 405 包括彩色滤光片阵列,其包括红色、绿色及蓝色滤光片的彩色图案(例如,拜耳(Bayer)图案或马赛克)。如图所示,每一像素配置成行(例如,行 R1 至 Ry)和列(例如,列 C1 至 Cx),以获取人、地点或物体的图像数据,该图像数据可随后用来重现人、地点或物体的 2D 图像。

[0050] 在每一像素已获取其图像数据或图像电荷之后,图像数据由读出电路 410 读出并被传输至功能逻辑电路 415。读出电路 410 可包括放大电路、模拟至数字(“ADC”)转换电路或其它电路。功能逻辑电路 415 可简单地储存图像数据,甚至也可以通过施加后期图像效果(例如,裁剪、旋转、去红眼、调整亮度、调整对比度或其它操作)来操纵图像数据。在一种实施例中,读出电路 410 可沿读出列线一次读出一列图像数据(如图所示)或者可使用各种其它技术读出图像数据(未示出),这些技术例如行/列读出、串行读出或同时进行全部像素的全并行读出。控制电路 420 与像素阵列 405 连接以控制像素阵列 405 的操作特性。例如,控制电路 420 可产生用于对图像获取进行控制的快门信号(shutter signal)。

[0051] 图 5 的电路图图示了根据本发明一种实施例,像素阵列内的两个四晶体管(“4T”)像素的像素电路 500。像素电路 500 是用于实现图 4 的像素阵列 405 内每个像素的一种可能像素电路架构。但是应当理解,本发明的实施例并不限于 4T 像素架构;相反,受益于本发明的本领域技术人员可以理解,本发明的教导也适用于 3T 设计、5T 设计及各种其它像素架构。

[0052] 在图 5 中,将像素 Pa 及 Pb 配置成两行及一列。所示每个像素电路 500 的实施例包括光电二极管 PD、传输晶体管 T1、复位晶体管 T2、源极跟随器(“SF”)晶体管 T3 及选择晶体管 T4。在一种实施例中,使用图 2 所示像素 200 实现像素 Pa 及 Pb,其中,传输晶体管 T1 包括传输晶体管栅极 105。在操作期间,传输晶体管 T1 接收传输信号 TX,该信号将光电二极管 PD 中累积的电荷传输至浮动扩散节点 FD。在一种实施例中,浮动扩散节点 FD 可以耦合至用于临时储存图像电荷的储存电容器。

[0053] 复位晶体管 T2 耦合在电力轨(power rail)VDD 与浮动扩散节点 FD 之间,以在复位信号 RST 的控制下对像素进行复位(例如,将 FD 和 PD 放电或充电至预设的电压)。浮动扩散节点 FD 被耦合来对 SF 晶体管 T3 的栅极进行控制。SF 晶体管 T3 耦合在电力轨 VDD 与选择晶体管 T4 之间。SF 晶体管 T3 作为源极跟随器工作,提供对浮动扩散节点 FD 的高阻抗连接。最后,选择晶体管 T4 在选择信号 SEL 的控制下选择性地将像素电路 500 的输出耦合到读出列线。

[0054] 图6图示了根据本发明的一种实施例,利用了 CIS 400 的成像系统 600。成像系统 600 还包括用于把光从要成像的物体引导到 CIS 400 上的成像光学器件 620,还可以包括信号处理器 630,用于产生经处理的图像数据以显示在显示器 640 上。

[0055] 本发明对示例性实施例的上述说明(包括“摘要”中描述的内容)并不意在穷举式的或将这些实施例限于所公开的精确形式。本领域技术人员可以理解,虽然出于说明目的而在本申请中描述了各种具体实施例,但在该范围内可以有各种修改形式。可以依据以上的详细说明进行这些修改。一些这样的修改示例包括掺杂剂浓度、层厚度等。另外,虽然本文中所说明的实施例涉及使用前侧照明的 CMOS 传感器,但可以理解,这些实施例也可以适用于使用后侧照明的 CMOS 传感器。

[0056] 所附权利要求中使用的术语不应被解释为将本发明限于本说明书中所公开的具体实施例。相反,其范围应完全由所附权利要求来确定,根据权利要求的解释原则来解释。

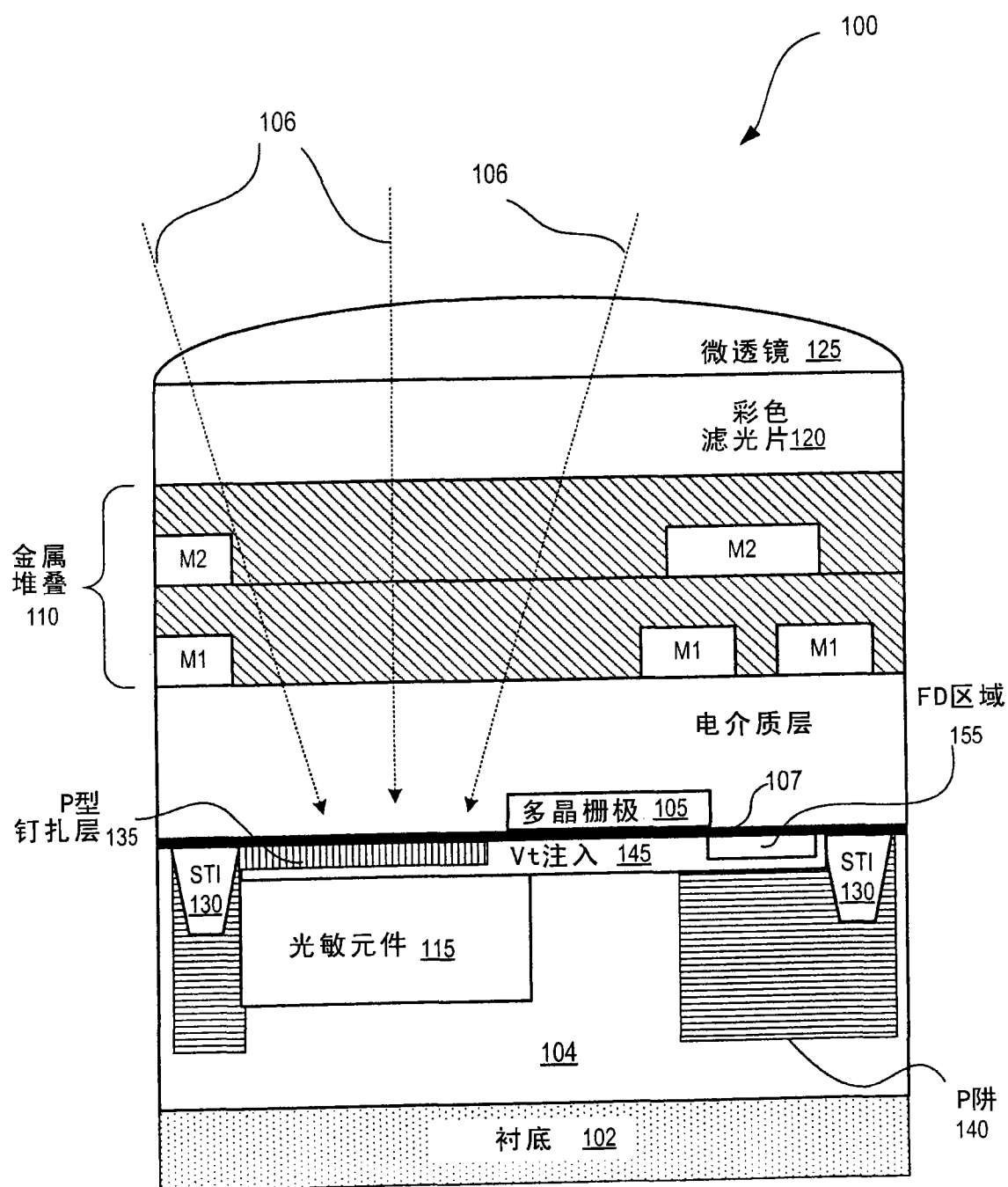


图 1(现有技术)

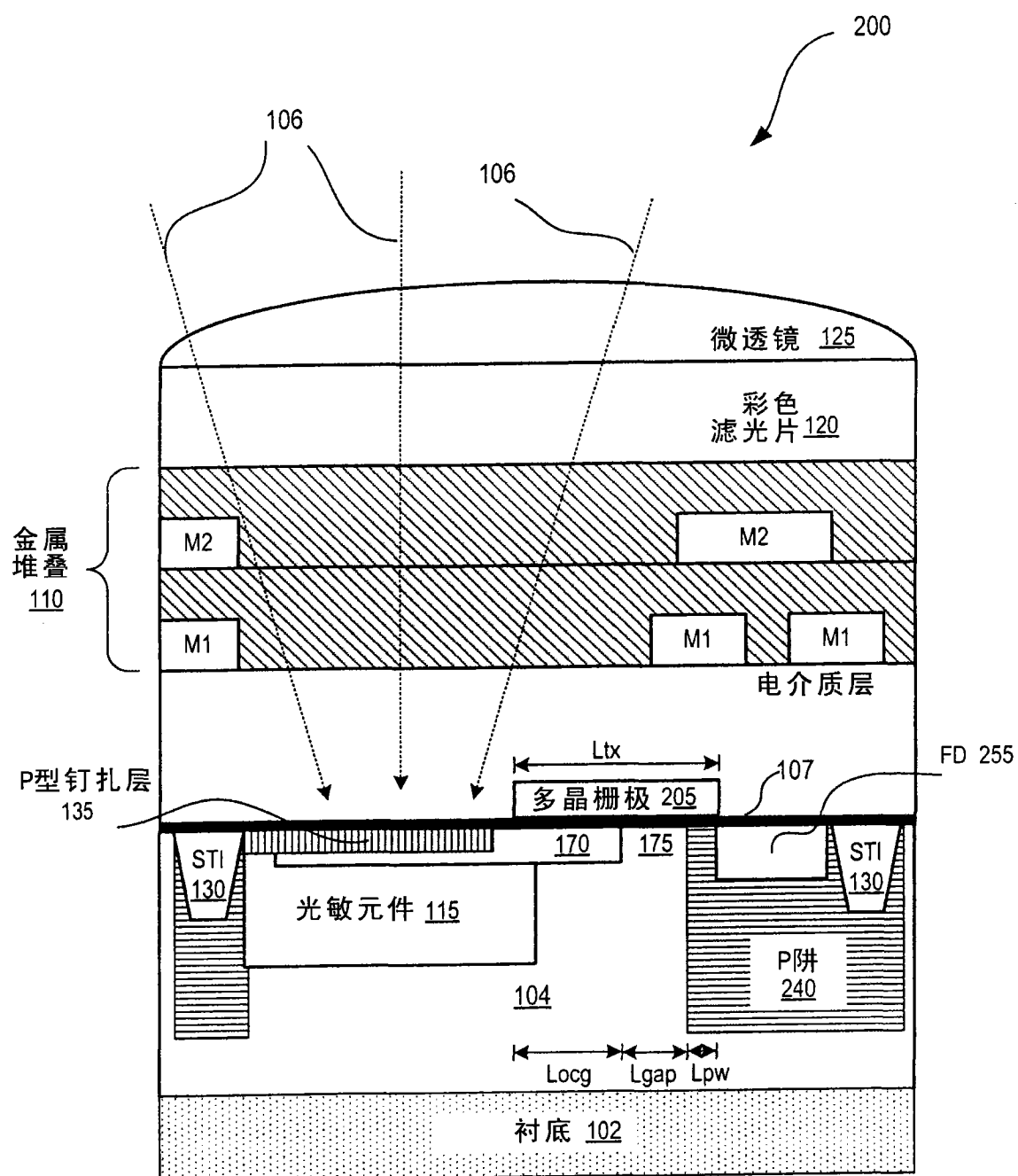


图 2

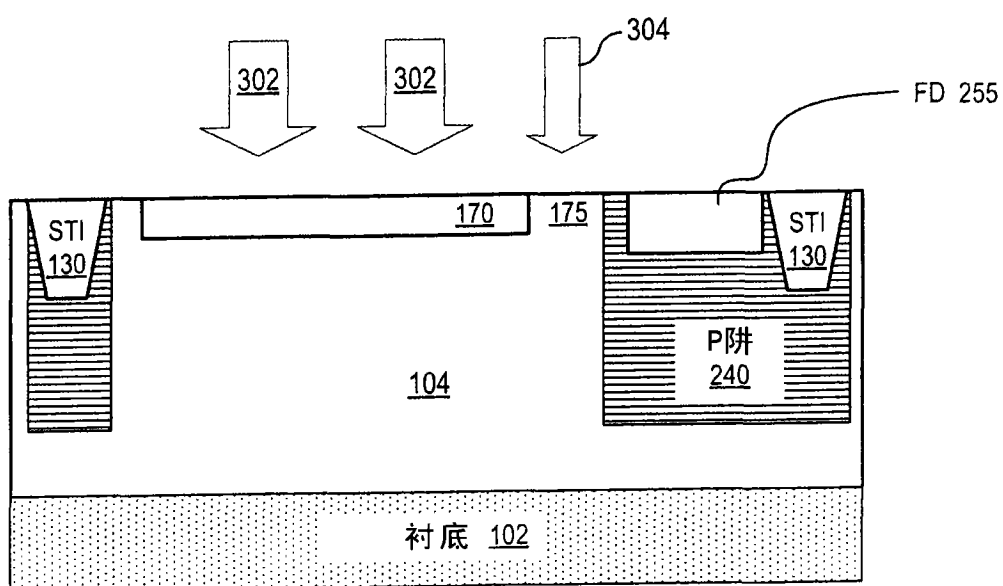


图 3A

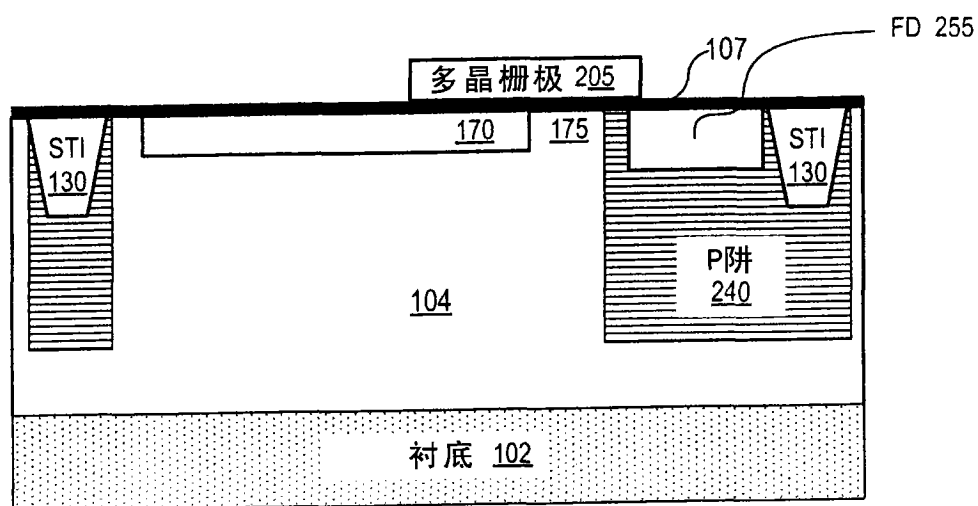


图 3B

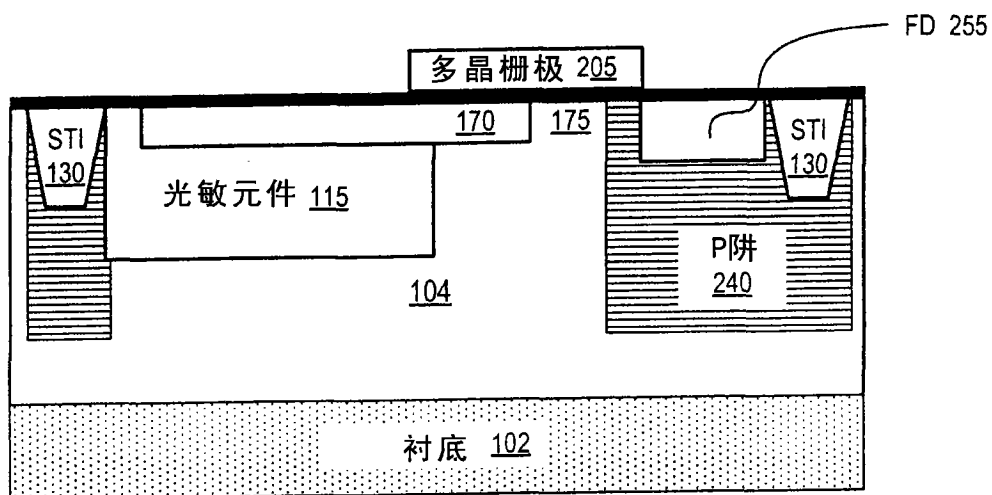


图 3C

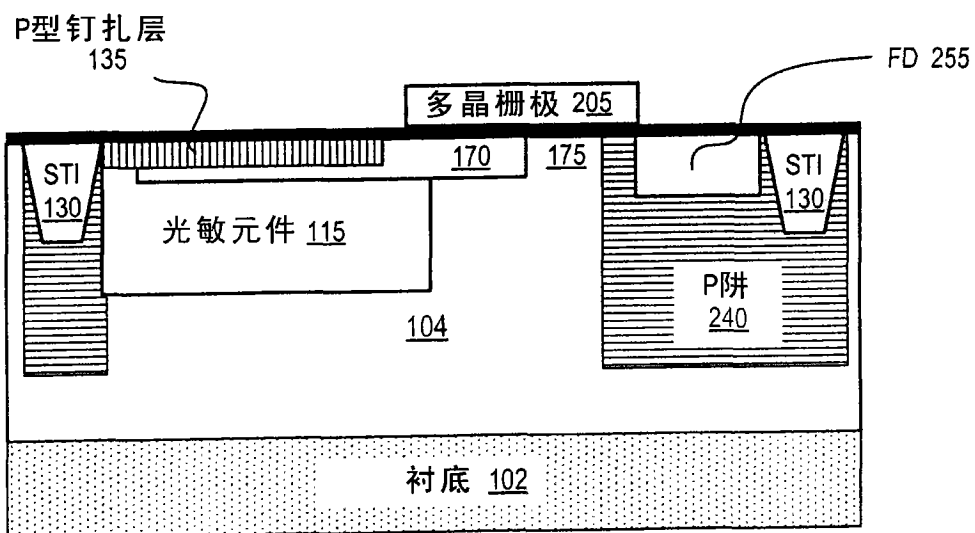


图 3D

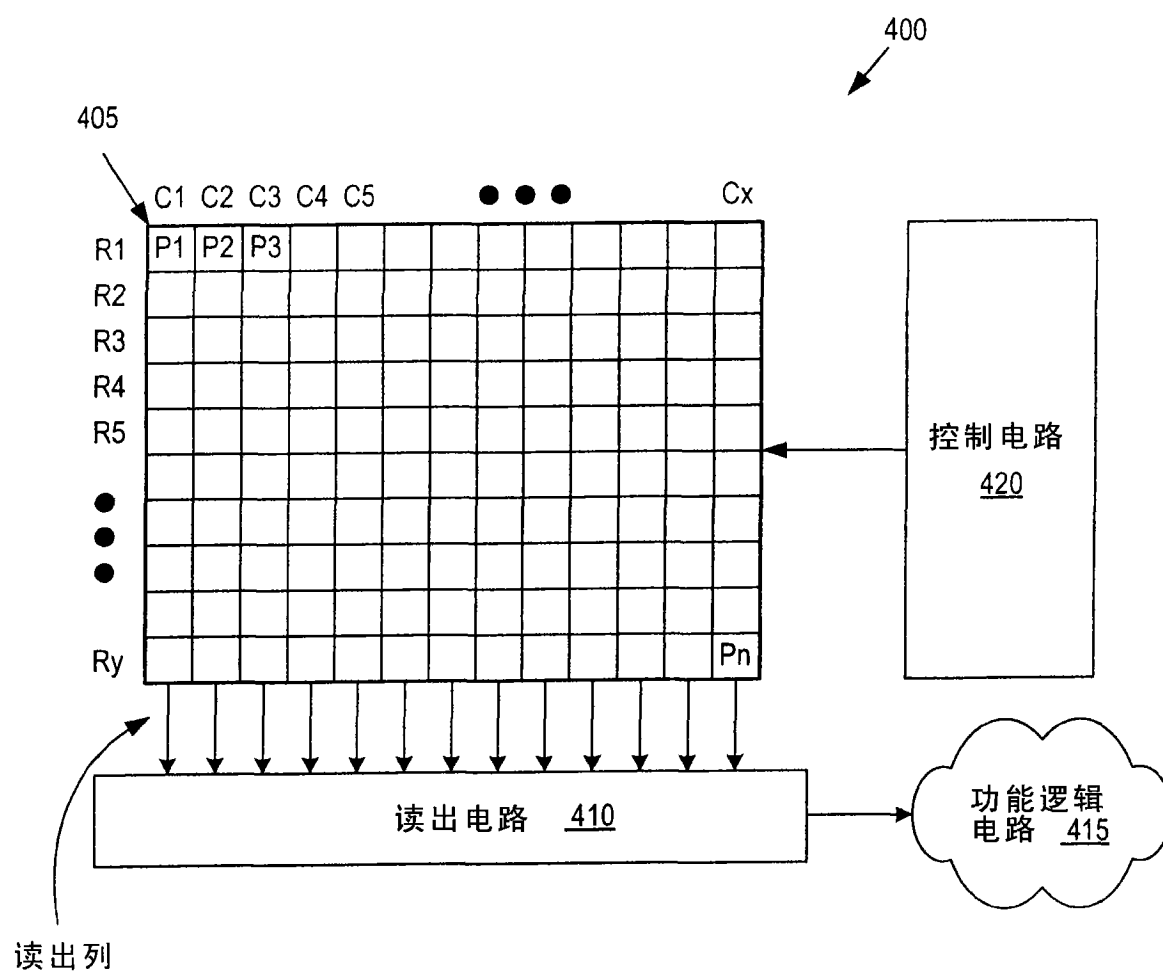


图 4

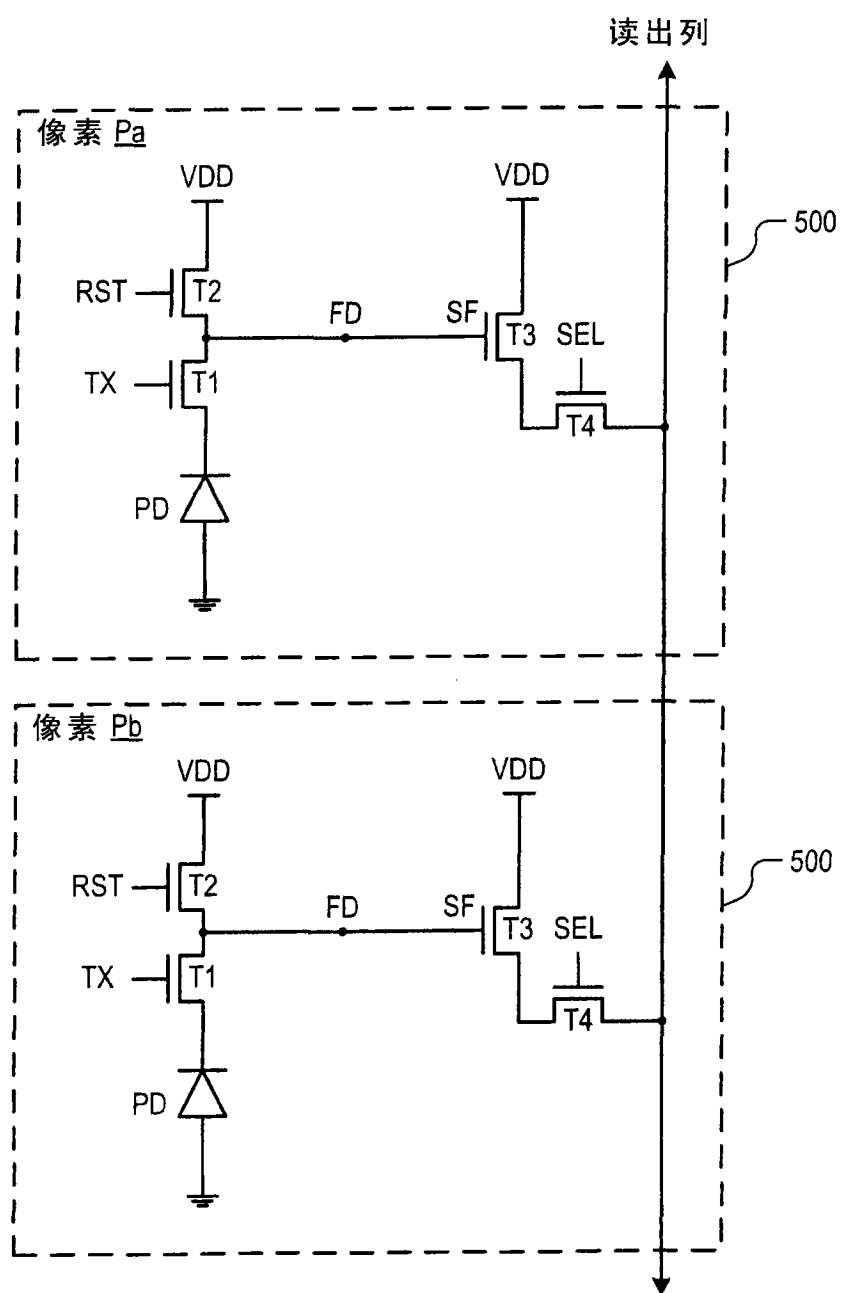


图 5

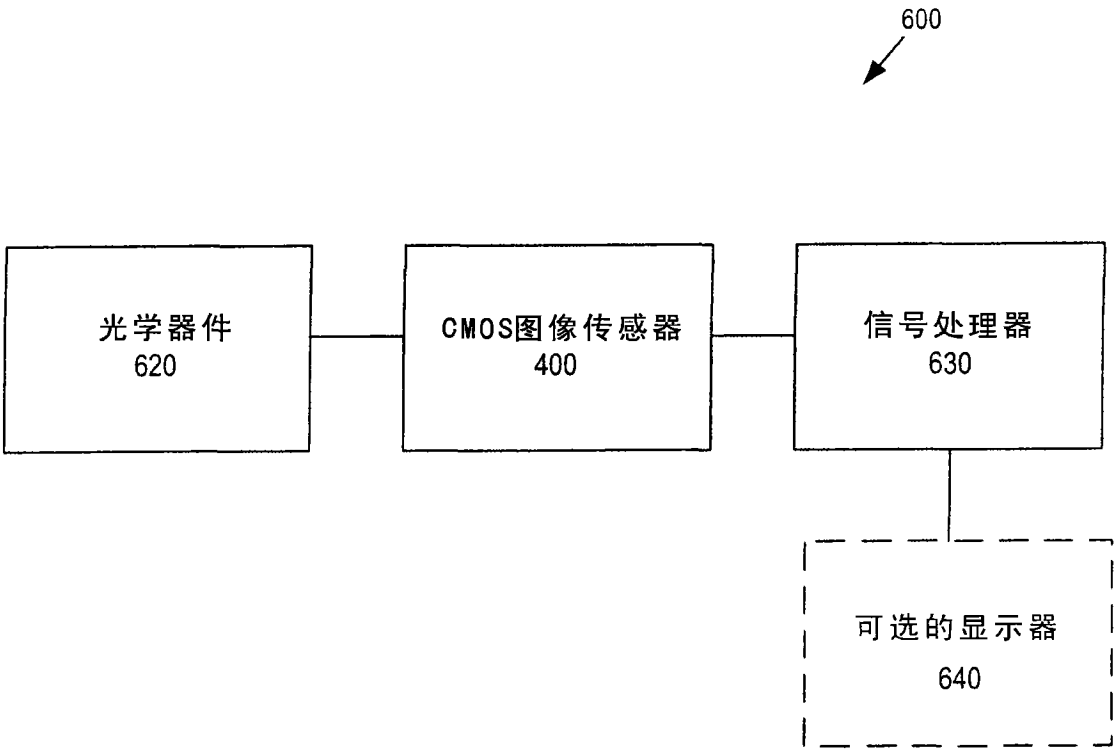


图 6