

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4866263号  
(P4866263)

(45) 発行日 平成24年2月1日(2012.2.1)

(24) 登録日 平成23年11月18日(2011.11.18)

(51) Int.Cl.		F I		
HO 1 L 21/66	(2006.01)	HO 1 L 21/66		Z
HO 1 L 21/02	(2006.01)	HO 1 L 21/66		J
		HO 1 L 21/02		Z

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2007-37767 (P2007-37767)	(73) 特許権者	000005108
(22) 出願日	平成19年2月19日(2007.2.19)		株式会社日立製作所
(62) 分割の表示	特願平11-332462の分割		東京都千代田区丸の内一丁目6番6号
原出願日	平成11年11月24日(1999.11.24)	(74) 代理人	110000350
(65) 公開番号	特開2007-165930 (P2007-165930A)		ポレール特許業務法人
(43) 公開日	平成19年6月28日(2007.6.28)	(72) 発明者	小野 真
審査請求日	平成19年2月23日(2007.2.23)		神奈川県横浜市戸塚区吉田町292番地
審査番号	不服2010-16705 (P2010-16705/J1)		株式会社日立製作所 生産技術研究所内
審査請求日	平成22年7月26日(2010.7.26)	(72) 発明者	岩田 尚史
			神奈川県横浜市戸塚区吉田町292番地
		(72) 発明者	池田 洋子
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所 生産技術研究所内

最終頁に続く

(54) 【発明の名称】 電子デバイスの品質管理方法および電子デバイスの品質管理システム

(57) 【特許請求の範囲】

【請求項1】

複数のプロセス工程を経て製造される電子デバイスの歩留まり劣化の原因となるプロセス工程を解析する電子デバイスの品質管理方法において、

所望の複数のプロセス工程を経る半導体ウエハを検査するための異物検査装置または外観検査装置を設置して、各プロセス工程において処理される前、および処理された後の半導体ウエハ上に発生している欠陥を検査により検出する工程と、

前記半導体ウエハ上に検出された欠陥に対して、規定のしきい値を超える連結関係を持つ欠陥群をクラスタ欠陥と判定する工程と、

任意のプロセス工程において処理される前の半導体ウエハ上に検出された欠陥と、前記任意のプロセス工程において処理された後の前記半導体ウエハ上に検出された欠陥とを比較して、前記処理される前に検出された欠陥には存在しない位置に、前記処理された後に検出された欠陥には存在する欠陥を、前記任意のプロセス工程において発生した正味欠陥であると判定する工程と、

半導体ウエハ上に形成された回路パターンを電気機能検査装置により電気機能検査を行い、前記半導体ウエハでの各チップ毎の良品、不良品の判定を行う工程と、

同一の半導体ウエハに対して、前記所望の複数のプロセス工程を経る過程で検出した各プロセス工程の前後における前記半導体ウエハ上に発生している欠陥を各チップ毎に分けて処理対象として、前記クラスタ欠陥の有無の判定を各チップ毎に分けた前記欠陥データに対して行い、いずれかのプロセス工程の検査データから前記クラスタ欠陥が存在すると

10

20

判定された場合には、該当チップ上の全てのプロセス工程における全ての欠陥データを以後の解析対象から除外する工程と、

前記同一の半導体ウエハに対して、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップ毎に分けて検出された欠陥データに従って、前記所望の複数のプロセス工程毎に発生する正味欠陥を求める工程と、

前記同一の半導体ウエハにおいて、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップを対象として、各チップの、各プロセス工程毎の前記クラスタ欠陥が存在するチップを除外した正味欠陥データと、前記クラスタ欠陥が存在するチップを除外した電気機能検査の判定データとを突合せ、(数1)式に基づいて致命率KR(%)、および/または、(数2)式に基づいて歩留り影響度(%)を算出する工程と、

$$KR = 1 - ((GD / (GD + BD)) / (GND / (GND + BND))) \quad (\text{数 } 1)$$

ただし、 $KR < 0$  のときは、 $KR = 0$  とする、

BDは、前記不良品かつ前記正味ランダム欠陥有のチップ数、GDは、前記良品かつ前記正味ランダム欠陥有のチップ数、BNDは、前記不良品かつ前記正味ランダム欠陥無のチップ数、GNDは、前記良品かつ前記正味ランダム欠陥無のチップ数、

$$\text{歩留り影響度} = (KR \times (GD + BD)) / (GD + BD + GND + BND) \quad (\text{数 } 2)$$

前記算出した、各プロセス工程毎の致命率のグラフ、および/または、各プロセス工程毎の歩留り影響度のグラフを解析結果出力部へ表示または出力する工程とを有することを特徴とする電子デバイスの品質管理方法。

#### 【請求項2】

複数のプロセス工程を経て製造される電子デバイスの歩留まり劣化の原因となるプロセス工程を解析することを支援する電子デバイスの品質管理システムであって、

所望の複数のプロセス工程を経る半導体ウエハを検査するために設置された異物検査装置または外観検査装置により検出された、各プロセス工程において処理される前、および処理された後の半導体ウエハ上に発生している欠陥データを入力する手段と、

前記半導体ウエハ上に検出された欠陥データに対して、規定のしきい値を超える連結関係を持つ欠陥群をクラスタ欠陥と判定する手段と、

任意のプロセス工程において処理される前の半導体ウエハ上に検出された欠陥と、前記任意のプロセス工程において処理された後の前記半導体ウエハ上に検出された欠陥とを比較して、前記処理される前に検出された欠陥には存在しない位置に、前記処理された後に検出された欠陥には存在する欠陥を、前記任意のプロセス工程において発生した正味欠陥であると判定する手段と、

電気機能検査装置により、前記半導体ウエハ上に形成された回路パターンを電気機能検査を行って得られた、前記半導体ウエハでの各チップ毎の良品、不良品の判定結果を入力する手段と、

同一の半導体ウエハに対して、前記所望の複数のプロセス工程を経る過程で検出した各プロセス工程の前後における前記半導体ウエハ上に発生している欠陥を各チップ毎に分けて処理対象として、前記クラスタ欠陥の有無の判定を各チップ毎に分けた前記欠陥データに対して行い、いずれかのプロセス工程の検査データから前記クラスタ欠陥が存在すると判定された場合には、該当チップ上の全てのプロセス工程における全ての欠陥データを以後の解析対象から除外する手段と、

前記同一の半導体ウエハに対して、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップ毎に分けて検出された欠陥データに従って、前記所望の複数のプロセス工程毎に発生する正味欠陥を求める手段と、

前記同一の半導体ウエハにおいて、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップを対象として、各チップの、各プロセス工程毎の前記クラスタ欠陥が存在するチップを除外した正味欠陥データと、前記クラスタ欠陥が存在するチップを除外した電気機能検査の判定データとを突合せ、(数1)式に基づいて致命率KR(%)、および

10

20

30

40

50

び/または、(数2)式に基づいて歩留り影響度(%)を算出する手段と、

$$KR = 1 - \left( \left( \frac{GD}{GD + BD} \right) / \left( \frac{GND}{GND + BND} \right) \right) \quad (\text{数1})$$

ただし、 $KR < 0$ のときは、 $KR = 0$ とする、

BDは、前記不良品かつ前記正味ランダム欠陥有のチップ数、GDは、前記良品かつ前記正味ランダム欠陥有のチップ数、BNDは、前記不良品かつ前記正味ランダム欠陥無のチップ数、GNDは、前記良品かつ前記正味ランダム欠陥無のチップ数、

$$\text{歩留り影響度} = \left( KR \times (GD + BD) \right) / (GD + BD + GND + BND) \quad (\text{数2})$$

前記算出した、各プロセス工程毎の致命率のグラフ、および/または、各プロセス工程毎の歩留り影響度のグラフを表示または出力する解析結果出力部とを有することを特徴とする電子デバイスの品質管理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のプロセス工程を経て製造される多層の回路パターンを形成する電子デバイスの製造方法およびその品質管理システムに関する。

【背景技術】

【0002】

半導体集積回路を代表とする電子デバイスの製造は、一般にシリコンウェハ上に回路パターンなどの層が多層化されて複数のチップを製造する前工程と、チップ毎に切り離し、製品を完成させる後工程に大別することができる。製造中に発生する不良の大半は、この前工程で発生し、前工程での歩留り向上が、電子デバイスのビジネスの鍵を握っている。ここで、前工程での歩留りとは、前工程の最終試験である電気機能検査(プローブ検査)の結果で決まる良品率、すなわち、ウェハでの全チップ数に対する良品チップの割合のことである。前工程の歩留り劣化原因となる不良は、機能不良とパラメトリック不良に大別することができる。機能不良とは、異物やパターン欠陥(これらを以下、欠陥)が主な原因で、回路パターンの断線や短絡などを引き起こし、回路が正常に動作しない不良である。一方、パラメトリック不良とは、回路寸法、酸化膜厚などのプロセスの微妙なばらつきが原因で、トランジスタの動作タイミングやコンデンサ容量などが設計仕様どおりに完成しなかった不良である。機能不良の原因を早期に発見し、対策する目的で、回路パターンなどの層を形成する毎に適宜、異物検査装置、外観検査装置を用いて欠陥検査を行う。欠陥検査では欠陥の位置、大きさ、個数などの情報を検出する。ある層の欠陥検査で検出した欠陥は、必ずしもその層の欠陥とは限らない。

【0003】

そこで、特開平2-170279号公報などに記載されているように、製造装置Bによる処理を経たウェハを検査し、検出した欠陥は、その前の製造装置Aからの持込み欠陥と製造装置Bで新たに発生した正味欠陥からなり、製造装置Aによる処理を経た時に検査して得た検査データと照合することにより、製造装置B内で新たに発生した正味欠陥か前の製造装置Aからの持込み欠陥かを知ることができる。即ち、ある層を形成するプロセス工程で処理する前後の検査データを照合することによって、同じ位置で検出された欠陥は、持込み欠陥であり、新たに検出された欠陥はそのプロセス工程で生じた正味欠陥であることが分かる。このように検査装置で検出できない微小な欠陥を除くと、各プロセス工程での正味欠陥が、各プロセス工程で発生した欠陥となる。そこで、正味欠陥の個数が多い工程に対して、何らかの策を講じて、その欠陥数の低減を行うことは、歩留り向上のための一つの欠陥解析方法である。

【0004】

【特許文献1】特開平2-170279号公報

【特許文献2】特開平5-218163号公報

【非特許文献1】“International Symposium on Semiconductor Manufacturing” pp. E2

10

20

30

40

50

5-E28(1997) の M. Ono 他の論文 “ An effective method for yield enhancement using zonal defect recognition ”

【非特許文献 2】 “ SPIE ” vol.2725, pp.194-205(1996) の K.W. Tobin 他の論文 “ An image paradigm for semiconductor defect data reduction ”

【非特許文献 3】 「セミコン関西'97 ULSI 技術セミナー 予稿集」 pp.4/42-4/47(1997) の S. Hall 他による論文 “ Yield Monitoring and Analysis in Semiconductor Manufacturing ”

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来技術に記載されているように正味欠陥の数をプロセス工程毎に算出したとしても、あるプロセス工程で、傷などの起因するクラスタ状欠陥が発生すると、優先付けが正しく行われれないという課題がある。即ち、クラスタ状欠陥が発生すると、欠陥数は激増する。例えば、正味欠陥数をプロセス工程毎に比較する場合、ほぼ確実にクラスタ状欠陥が発生したウェハが、欠陥数の多いウェハと判定されてしまう。このように、クラスタ状欠陥は、傷や突発的な装置トラブルによることが多く、クラスタ状欠陥以外の欠陥とは区別して解析する必要がある。クラスタ状欠陥以外の欠陥は、一般にランダム欠陥と呼ばれている。ランダム欠陥の解析時には、クラスタ状欠陥の影響を受けずに解析することが望まれる。しかし、クラスタ状欠陥が発生した場合、正確にランダム欠陥の正味欠陥を抽出することが難しいという課題を有していた。

【0006】

本発明の目的は、上記課題を解決すべく、異物検査や外観検査などの欠陥検査で各プロセス工程別に検出した検出欠陥マップデータデータを有効に活用し、各プロセス工程別に、クラスタ状欠陥の影響を受けずに、ランダム欠陥の正味欠陥に基づく欠陥解析を精度良く行うことができるようにして歩留り向上や工期短縮を図るようにした電子デバイスの製造方法およびその品質管理システムを提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明は、複数のプロセス工程を経て製造される電子デバイスの歩留まり劣化の原因となるプロセス工程を解析する電子デバイスの品質管理方法において、所望の複数のプロセス工程を経る半導体ウエハを検査するための異物検査装置または外観検査装置を設置して、各プロセス工程において処理される前、および処理された後の半導体ウエハ上に発生している欠陥を検査により検出する工程と、前記半導体ウエハ上に検出された欠陥に対して、規定のしきい値を超える連結関係を持つ欠陥群をクラスタ欠陥と判定する工程と、任意のプロセス工程において処理される前の半導体ウエハ上に検出された欠陥と、前記任意のプロセス工程において処理された後の前記半導体ウエハ上に検出された欠陥とを比較して、前記処理される前に検出された欠陥には存在しない位置に、前記処理された後に検出された欠陥には存在する欠陥を、前記任意のプロセス工程において発生した正味欠陥であると判定する工程と、半導体ウエハ上に形成された回路パターンを電気機能検査装置により電気機能検査を行い、前記半導体ウエハでの各チップ毎の良品、不良品の判定を行う工程と、同一の半導体ウエハに対して、前記所望の複数のプロセス工程を経る過程で検出した各プロセス工程の前後における前記半導体ウエハ上に発生している欠陥を各チップ毎に分けて処理対象として、前記クラスタ欠陥の有無の判定を各チップ毎に分けた前記欠陥データに対して行い、いずれかのプロセス工程の検査データから前記クラスタ欠陥が存在すると判定された場合には、該当チップ上の全てのプロセス工程における全ての欠陥データを以後の解析対象から除外する工程と、前記同一の半導体ウエハに対して、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップ毎に分けて検出された欠陥データに従って、前記所望の複数のプロセス工程毎に発生する正味欠陥を求める工程と、前記同一の半導体ウエハにおいて、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップを対象として、各チップの、各プロセス工程毎の前記

10

20

30

40

50

クラスタ欠陥が存在するチップを除外した正味欠陥データと、前記クラスタ欠陥が存在するチップを除外した電気機能検査の判定データとを突合せ、(数1)式に基づいて致命率KR(%)、および/または、(数2)式に基づいて歩留り影響度(%)を算出する工程と、前記算出した、各プロセス工程毎の致命率のグラフ、および/または、各プロセス工程毎の歩留り影響度のグラフを解析結果出力部へ表示または出力する工程とを有することを特徴とする。

$$KR = 1 - \left( \frac{GD}{GD + BD} \right) / \left( \frac{GND}{GND + BND} \right) \quad (\text{数1})$$

ただし、KR < 0 のときは、KR = 0 とする、

BDは、前記不良品かつ前記正味ランダム欠陥有のチップ数、GDは、前記良品かつ前記正味ランダム欠陥有のチップ数、BNDは、前記不良品かつ前記正味ランダム欠陥無のチップ数、GNDは、前記良品かつ前記正味ランダム欠陥無のチップ数、

$$\text{歩留り影響度} = \left( KR \times (GD + BD) \right) / (GD + BD + GND + BND) \quad (\text{数2})$$

【0009】

また、本発明は、複数のプロセス工程を経て製造される電子デバイスの歩留まり劣化の原因となるプロセス工程を解析することを支援する電子デバイスの品質管理システムであって、所望の複数のプロセス工程を経る半導体ウエハを検査するために設置された異物検査装置または外観検査装置により検出された、各プロセス工程において処理される前、および処理された後の半導体ウエハ上に発生している欠陥データを入力する手段と、前記半導体ウエハ上に検出された欠陥データに対して、規定のしきい値を超える連結関係を持つ欠陥群をクラスタ欠陥と判定する手段と、任意のプロセス工程において処理される前の半導体ウエハ上に検出された欠陥と、前記任意のプロセス工程において処理された後の前記半導体ウエハ上に検出された欠陥とを比較して、前記処理される前に検出された欠陥には存在しない位置に、前記処理された後に検出された欠陥には存在する欠陥を、前記任意のプロセス工程において発生した正味欠陥であると判定する手段と、電気機能検査装置により、前記半導体ウエハ上に形成された回路パターンを電気機能検査を行って得られた、前記半導体ウエハでの各チップ毎の良品、不良品の判定結果を入力する手段と、同一の半導体ウエハに対して、前記所望の複数のプロセス工程を経る過程で検出した各プロセス工程の前後における前記半導体ウエハ上に発生している欠陥を各チップ毎に分けて処理対象として、前記クラスタ欠陥の有無の判定を各チップ毎に分けた前記欠陥データに対して行い、いずれかのプロセス工程の検査データから前記クラスタ欠陥が存在すると判定された場合には、該当チップ上の全てのプロセス工程における全ての欠陥データを以後の解析対象から除外する手段と、前記同一の半導体ウエハに対して、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップ毎に分けて検出された欠陥データに従って、前記所望の複数のプロセス工程毎に発生する正味欠陥を求める手段と、前記同一の半導体ウエハにおいて、前記クラスタ欠陥が存在すると判定されたチップ以外の全てのチップを対象として、各チップの、各プロセス工程毎の前記クラスタ欠陥が存在するチップを除外した正味欠陥データと、前記クラスタ欠陥が存在するチップを除外した電気機能検査の判定データとを突合せ、(数1)式に基づいて致命率KR(%)、および/または、(数2)式に基づいて歩留り影響度(%)を算出する手段と、前記算出した、各プロセス工程毎の致命率のグラフ、および/または、各プロセス工程毎の歩留り影響度のグラフを表示または出力する解析結果出力部とを有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、半導体等の電子デバイスの製造工程で発生するランダム欠陥の影響度を定量化することができ、重点的に対策する必要がある製造工程を容易かつ効果的に把握することに有効である。特に傷や周辺膜はがれのようなクラスタ欠陥による影響をなくし、ランダム欠陥の解析を行うことができ、欠陥解析や歩留りの向上に効果的に寄与することになる。

【発明を実施するための最良の形態】

## 【0012】

本発明に係る電子デバイスの製造方法およびその品質管理システムの実施形態を図面を用いて説明する。図1は、本発明に係る電子デバイスの品質管理に基いて製造を行う製造方法の一実施形態を示す図であって、ここでは半導体ウェハの欠陥発生工程の絞込みに適用した場合を示すものである。図2は、本発明に係る電子デバイスの品質管理システムの一実施形態を示すブロック図である。本発明に係る電子デバイスの品質管理システムは、異物検査装置31と、外観検査装置32と、欠陥検査データベース41を有する欠陥検査データ収集ステーション51と、電気機能検査装置(プローブテスト)33と、電気機能検査データベース42を有する電気機能検査データ収集ステーション52と、データ解析部43および表示装置などの解析結果出力部44を有する解析ステーション53とをネットワーク(LAN)35で接続して構成する。

10

## 【0013】

異物検査装置31は、特開平5-218163号公報などに記載されているような、複数のプロセス工程から得られる同一半導体ウェハに対して複数の欠陥検査工程においてランダムに発生する微小異物や傷等に起因するクラスタ状欠陥(以下クラスタ欠陥と称す)を光学により検査する装置で、図1に示す半導体ウェハの製造ラインにおいて各プロセス工程P1、P2~Pnに対応させて例えばインラインモニタとして配置される。外観検査装置32も、複数のプロセス工程から得られる同一半導体ウェハに対して複数の欠陥検査工程においてランダムに発生する配線パターン等に生じるパターン欠陥や傷等に起因するクラスタ欠陥等を光学(例えばDUV光を用いた輪帯照明光学系を有するもの等がある。)

20

あるいはSEM等により検査する装置で、異物検査装置31に比べてプロセス工程に対応させずに設けられることになる。このように、異物検査装置31および外観検査装置32の何れかは、図1に示すように、各プロセス工程P1~Pnにほぼ対応させて欠陥検査T1、T2~Tnとして検査され、それぞれの欠陥検出結果(少なくともチップ単位(素子単位で機能素子単位も含む)毎の欠陥分布を示す検出欠陥マップデータ)Td1、Td2~Tdnが、ネットワーク(例えばLAN)35で接続された欠陥検査データ収集ステーション51の欠陥検査データベース41に格納されることになる。

## 【0014】

即ち、図1および図2において、ここでは、異物検査装置31と外観検査装置32の少なくともいずれか一方が1台以上設けられている。しかし、実際には、上記に説明したように、半導体の前工程の製造ラインには、多数の異物検査装置31がインラインモニタとして配置され、SEM外観検査装置も含めて光学的な外観検査装置32が複数設けられている。これら異物検査装置31や外観検査装置32は、基本的には半導体ウェハに新たな層(スルーホール等を有する絶縁層や配線層等)が形成される毎に、異物や外観等の欠陥検査T1、T2~Tnを行い、それぞれの欠陥検出結果Td1、Td2~Tdnを出力して例えば欠陥検査データ収集ステーション51の欠陥検査データベース41に格納する。欠陥検査Tnは、同一半導体ウェハに対するN回目の欠陥検査を意味する。

30

## 【0015】

図7(a)には、異物検査装置31や外観検査装置32により各プロセス工程順P1~P6に対応する欠陥検査順T1~T6に検出される検出欠陥マップデータを示す。図7(b)には、上記検出欠陥マップデータから後述するように正味欠陥を抽出した欠陥検査順T1~T6のチップ単位(素子単位)の正味欠陥マップデータを示す。この図7(a)から明らかのように、第2層目の欠陥検査T2においてクラスタ欠陥が初めて検出される。そのため、第1層目の欠陥検査T1と第2層目の欠陥検査T2の間で、このクラスタ欠陥が発生したことがわかる。しかし、後続の欠陥検査でもこのクラスタ欠陥は検出されることになる。即ち、クラスタ欠陥は、傷等に起因するため、第2層目に生じた傷等が第3層目、第4層目へと次第には少なくなるが反映されて後続の欠陥検査でも検出されることになる。

40

## 【0016】

後述する正味欠陥の抽出は、このような後続の検査でも検出されてしまう欠陥をデータ

50

から除去するために行う。しかし、クラスタ欠陥が発生したとき、欠陥の成長などの現象で、確実に正味欠陥を抽出することはできない。その結果、図7(b)に示すように第3層目以降の欠陥検査でもクラスタ欠陥の一部が、正味欠陥として抽出され、クラスタ欠陥の発生による正味欠陥の誤抽出となる。即ち、図1においては、欠陥検出結果Td1、Td2~Tdnとして、丸枠は半導体ウェハを示し、四角い枠はチップ(素子)を、黒丸は検出された欠陥をそれぞれ表わしている。

【0017】

次に、欠陥検査データ収集ステーション51は、各層の欠陥検査T1、T2~Tnを実施後、欠陥検査データベース41に収集格納されたそれぞれの欠陥検出結果Td1、Td2~Tdnからクラスタ欠陥の判定J1、J2~Jnを行い、その判定結果(クラスタ欠陥マップデータ)Jd1、Jd2~Jdnを各欠陥検査毎に区別して、欠陥検査データベース41に格納する。即ち、判定J2において、クラスタ欠陥の存在チップ30が検知され、そのクラスタ欠陥判定結果Jd2として、欠陥検査データベース41に格納されることになる。

【0018】

即ち、欠陥検査結果Td1~Tdnに基づくクラスタ欠陥の判定J1~Jnは、“International Symposium on Semiconductor Manufacturing” pp. E25-E28(1997)のM. Ono他の論文“An effective method for yield enhancement using zonal defect recognition”や“SPIE” vol.2725, pp.194-205(1996)のK.W. Tobin他の論文“An image paradigm for semiconductor defect data reduction”に記載されて手法を用いることによって実行することができる。例えば、クラスタ欠陥の判定J1~Jnは、図8に示すごとく、欠陥検出結果81に対して、チップ単位毎(素子単位毎)に次の処理を行う。ここでは、欠陥検出結果81の斜線で示したチップを例にして説明する。82は、欠陥検出結果81の斜線のチップを拡大した図である。このチップ(機能素子も含む)を、数ブロックに分割し、その分割したブロック内の欠陥数を数える。その結果が83である。次に、欠陥が存在するブロックの連結を行う。欠陥が存在するブロックの上下左右斜めの8近傍に他の欠陥が存在するブロックが存在するか否かを判定し、ブロックの連結を行う。ブロックの連結結果が84であり、ここでは、4ブロックが連結され、その中に欠陥が5個存在した。次にステップ85で、クラスタ欠陥の有無の判定を行う。連結したブロック内の欠陥数が既定のしきい値を超えたら、そのチップにはクラスタ欠陥有りと、しきい値以下であれば、そのチップにはクラスタ欠陥無しと判定する。この処理を各チップ単位について実行する。なお、以上説明した実施例では、クラスタ欠陥の判定J1、J2~Jnを欠陥検査データ収集ステーション51で行うように説明したが、解析ステーション53のデータ解析部43で行っても良い。以上説明したように、欠陥検査結果Td1~Tdnとクラスタ欠陥判定結果Jd1~Jdnは、各欠陥検査毎に区別して、欠陥検査データベース41に格納される。

【0019】

次に、電気機能検査の実施例について説明する。電気機能検査装置(プローブテスタ)33は、上記各プロセス工程P1~Pnを経て動作試験等が可能なようにほぼ完成された半導体チップを有する半導体ウェハに対して電気機能(動作試験等)の検査を行い、その電気機能検査結果(良品チップ、不良品チップ(チップとしては機能素子も含む)、更にはチップ内の良品機能部、不良機能部、例えば良ビット、不良ビットに関する電気機能検査マップデータ)が、ネットワーク(例えばLAN)35で接続された電気機能検査データ収集ステーション52の電気機能検査データベース42に格納されることになる。即ち、電気機能検査装置33により、半導体ウェハの電気機能検査が行われ、この半導体ウェハでの各チップ毎に良品、不良品の判定が行われ、この判定結果(電気機能検査マップデータ)が電気機能検査データベース42に格納される。ここで、RAM(ランダムアクセスメモリ)やROM(リードオンリーメモリ)などのメモリ製品、あるいはメモリ部混載のシステムLSIに対する電気機能検査では、製品のビット毎に良ビットと不良ビットの判定も行われる。その判定結果も、電気機能検査データベース42に格納される。このよ

10

20

30

40

50

うにして、同じ半導体ウェハの各層での欠陥検出結果  $T d 1 \sim T d n$  やクラスタ欠陥判定結果  $J d 1 \sim J d n$  は、欠陥検査データベース 4 1 に、この半導体ウェハの電気機能検査による良/不良判定結果は、電気検査データベース 4 2 にそれぞれ得られる。

#### 【 0 0 2 0 】

次に、解析ステーションで行う正味欠陥の抽出および欠陥データ解析の実施例について説明する。即ち、解析ステーション 5 3 のデータ解析部 4 3 は、欠陥検査データベース 4 1 から欠陥検出結果やクラスタ欠陥判定結果を読み出し、図 1 に示すステップ S 1 7 において、図 5 で示した方法で正味欠陥を抽出し、正味欠陥マップデータを作成する。即ち、同じ位置で検出された欠陥は、持込み欠陥であり、新たに検出された欠陥はそのプロセス工程で生じた正味欠陥であることが分かる。ここで、同じ位置とは、検査装置の X Y ステージの再現性やウェハの位置合わせ誤差などを考慮し、許容範囲を持った場所である。

10

#### 【 0 0 2 1 】

次に、データ解析部 4 3 は、ステップ S 1 8 において、すべての欠陥検査の正味欠陥の抽出結果からクラスタ欠陥の存在するチップ 3 0 のデータを解析対象から除外する処理 R 1、R 2 ~ R n を行う。その結果がクラスタ欠陥の存在チップ除外結果  $R d 1$ 、 $R d 2 \sim R d n$  である。クラスタ欠陥の存在チップ 3 0 と同じチップのデータを、クラスタ欠陥の発生した層だけでなく、すべての層のデータから除外する。このようにクラスタ欠陥の存在チップ 3 0 と同じチップのデータを、クラスタ欠陥の発生した層だけでなく、すべての層のデータから除外することによって、図 7 ( b ) に示すように第 3 層目以降の欠陥検査でもクラスタ欠陥の一部が、正味欠陥として抽出されることを防止することができ、その結果、次に説明するステップ S 1 9 における欠陥データ解析の信頼度を著しく向上させることができ、歩留り劣化の原因となっているランダム欠陥が、何番目の層であるか、即ちどのプロセス工程であるかを正確に突き止めることが可能となる。ステップ S 1 7 の正味欠陥抽出とステップ S 1 8 のチップの除外は、順番を問わず、どちらを先に行っても同じ結果となる。その場合、ステップ S 1 8 は、全層の正味欠陥の抽出結果からクラスタ欠陥の存在チップのデータを解析対象から除外する処理ではなく、全層の欠陥検出結果からクラスタ欠陥の存在チップのデータを解析対象から除外する処理となる。除外後に正味欠陥の抽出を行う。

20

#### 【 0 0 2 2 】

次に、データ解析部 4 3 は、ステップ S 1 9 で欠陥データ解析を行い、その結果をステップ S 2 0 で出力する。以降、ステップ S 1 9 とステップ S 2 0 の三つの実施例について説明する。第 1 の実施例は、データ解析部 4 3 において、図 3 に示すように、上述したクラスタ欠陥の存在チップ除外結果  $R d 1 \sim R d n$  を用いて、同じ半導体ウェハの正味欠陥数、もしくは正味欠陥密度 ( 個 / チップ ) をプロセス工程別に算出することによりデータ解析を行い、この解析結果をステップ S 2 0 において解析結果出力部 4 4 から出力することによって管理する方法である。即ち、各プロセス工程別にクラスタ欠陥の存在チップ除外結果  $R d 1 \sim R d n$  の正味欠陥数を数え、対象チップ数で割った値を正味欠陥密度 ( 個 / チップ ) として計算する。縦軸に正味欠陥密度、横軸に検査した層をとり、グラフ化することで、ランダム欠陥の層間比較を行う。そのグラフが図 3 に示す 7 1 である。グラフ 7 1 は、図 2 の解析結果出力部 4 4 を使い、図 1 のステップ S 2 0 で、表示する。このグラフ 7 1 から、ランダム欠陥の正味欠陥密度として大きいのは、プロセス工程 P 1 および P n であることが分かる。しかし、このプロセス工程 P 1 および P n で正味欠陥が多くとも、そのプロセス工程の正味欠陥が、必ずしも歩留り劣化の原因になるとは限らない。即ち、そのプロセス工程で発生した欠陥は、回路パターンの構造上、歩留りの劣化を発生させない可能性もある。そこで、次に説明する歩留り影響度を定量化する方法を用いることによって、歩留り劣化の原因になるプロセス工程を突き止めることができる。

30

40

#### 【 0 0 2 3 】

第 2 の実施例は、データ解析部 4 3 において、図 4 に示すように、上述したクラスタ欠陥の存在チップ除外結果  $R d 1 \sim R d n$  を用いて、同じ半導体ウェハの歩留り影響度を定量化する方法である。図 2 に示す電気機能検査データベース 4 2 から電気機能検査による

50



チップ毎の良・不良判定結果を読み出す。図4に示す61が、読み出した電気機能検査の結果である。斜線の四角が、不良品であり、白抜きの四角い枠が良品である。電気機能検査の結果も、欠陥検査の検出結果と同様に、ある層の欠陥検査でクラスタ欠陥が存在したチップ30を、対象から除外する。電気機能検査の結果からクラスタ欠陥の存在チップを除外した結果が62である。次に、欠陥検査のクラスタ欠陥の存在チップ除外結果Rd1～Rdnと電気機能検査のクラスタ欠陥の存在チップ除外結果62の突合せM1～Mnを行い、「セミコン関西'97ULSI技術セミナー予稿集」pp.4/42-4/47(1997)のS. Hall他による論文“Yield Monitoring and Analysis in Semiconductor Manufacturing”に記述されている、図6で示した次に示す(数1)式に基づく致命率(%)の算出ならびに次に示す(数2)式に基づく歩留り影響度(%)の定量化を行う。

10

## 【0024】

致命率  $KR = 1 - ((GD / (GD + BD)) / (GND / (GND + BND)))$

ただし、 $KR < 0$  のときは、 $KR = 0$  とする。(数1)

BDは、不良品かつ欠陥有のチップ数

BNDは、不良品かつ欠陥無のチップ数

GDは、良品かつ欠陥有のチップ数

GNDは、良品かつ欠陥無のチップ数

歩留り影響度  $= (KR \times (GD + BD)) / (GD + BD + GND + BND)$  (数2)

算出した結果をグラフにしたものが、72と73である。グラフ72や73は、図2の解析結果出力部44を使い、図1のステップ20で、表示する。これらの結果から、歩留り劣化の原因となっているランダム欠陥が、n番目の層であることがわかり、n番目の層の欠陥検査Tnで検出した欠陥を、低減することで歩留り向上を図ることができる。要するに、プロセス工程別に、クラスタ欠陥の影響を完全に除いた状態で歩留り影響度を算出することができるので、歩留り劣化の原因となっているプロセス工程を誤ることなく突き止めることができる。

20

## 【0025】

第3の実施例は、図9に示すように、上述したクラスタ欠陥の存在チップ除外結果Rd1～Rdnを用いて、同じ半導体ウェハのランダム欠陥と不良ビットの突合い密度を測定する実施形態である。図2に示す電気機能検査データベース42から電気機能検査による良ビット・不良ビットの結果を読み出す。図9の91が、読み出した電気機能検査の結果であり、四角い枠の中の縦棒や横棒が不良ビットを表している。この不良ビットのデータからある層の欠陥検査でのクラスタ欠陥が存在したチップを、対象から除外する。不良ビットのデータからクラスタ欠陥の存在チップを除外した結果が92である。次に欠陥検査のクラスタ欠陥の存在チップ除外結果Rd1～Rdnと不良ビットのデータのクラスタ欠陥の存在チップ除外結果92の突合せM1～Mnを行う。ここでは、縦棒や横棒で示した不良ビットと、欠陥の位置が重なったら、突き合ったと判定した。その突き合った欠陥数を対象のチップ数で割った値を突合い密度(個/チップ)として計算する。算出した結果をグラフにしたものが、93である。グラフ93は、図2の解析結果出力部44を使い、図1のステップ20で、表示する。図9から、プロセス工程Pnにおいて生じたランダム欠陥と不良ビットとが一致する度合いが最も大きいことが分かる。そこで、プロセス工程Pnにおいてランダム欠陥を発生させている要因を取り除くことによって、歩留り向上を著しく図ることができる。

30

40

## 【0026】

以上、本発明の一実施形態について説明したが、本発明はこの実施形態のみに限定されるものではない。上記実施形態では、半導体ウェハへの層形成毎に欠陥検査を行うものとしたが、欠陥が発生しにくい層の形成の場合には、欠陥検査を省いてもよく、これにより、工期のスピードアップを図ることができる。

## 【図面の簡単な説明】

## 【0027】

【図1】本発明に係る電子デバイスの品質管理に基いて製造を行う製造方法の一実施形態

50

を示す図である。

【図2】本発明に係る電子デバイスの品質管理システムの一実施の形態を示すブロック図である。

【図3】本発明に係る欠陥データ解析の第1の実施例を説明するための図である。

【図4】本発明に係る欠陥データ解析の第2の実施例を説明するための図である。

【図5】正味欠陥の検出方法の一実施例を説明するための図である。

【図6】歩留り影響度算出の一実施例を説明するための図である。

【図7】クラスタ欠陥による正味欠陥の誤抽出を説明するための図である。

【図8】クラスタ欠陥の判定方法の一実施例を説明するための図である。

【図9】本発明に係る欠陥データ解析の第3の実施例を説明するための図である。

10

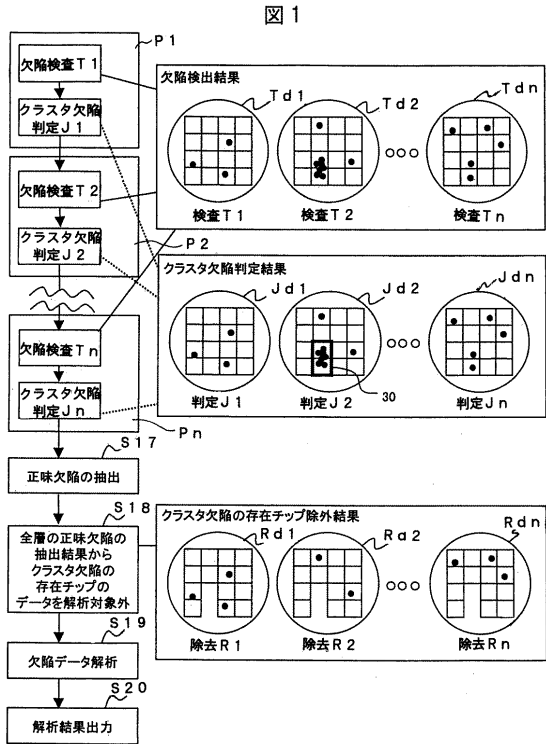
【符号の説明】

【0028】

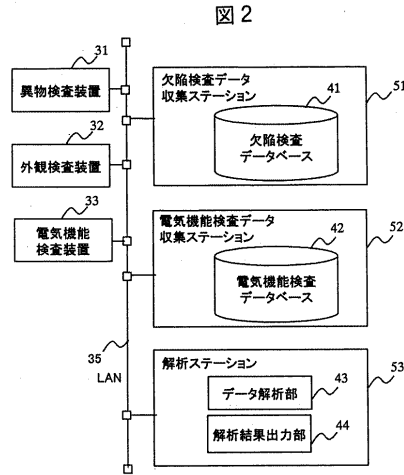
T1 ~ Tn ... 各層で欠陥検査、Td1 ~ Tdn ... 欠陥検出結果（検出欠陥マップデータ）、J1 ~ Jn ... 各層でクラスタ欠陥判定、Jd1 ~ Jdn ... クラスタ欠陥判定結果（クラスタ欠陥マップデータ）、R1 ~ Rn ... クラスタ欠陥の存在チップ除去、Rd1 ~ Rdn ... クラスタ欠陥の存在チップ除外結果、S17 ... 正味欠陥の抽出ステップ、S18 ... 全層の正味欠陥の抽出結果からクラスタ欠陥の存在チップのデータを解析対象から除外する処理ステップ、S19 ... 欠陥データ解析ステップ、S20 ... 解析結果出力ステップ、31 ... 異物検査装置、32 ... 外観検査装置、33 ... 電気機能検査装置（プローブテスタ）、41 ... 欠陥検査データベース、42 ... 電気機能検査データベース、43 ... データ解析部、44 ... 解析結果出力部、51 ... 欠陥検査データ収集ステーション、52 ... 電気機能検査データ収集ステーション、53 ... 解析ステーション、61 ... 電気機能検査の良品・不良品の判定結果、62 ... 電気機能検査の結果からクラスタ欠陥の存在チップ除外結果、71 ... 工程別正味欠陥密度のグラフ、72 ... 工程別致命率のグラフ、73 ... 工程別歩留り影響度のグラフ、81 ... 欠陥検出結果、82 ... 欠陥検出結果のチップの拡大図、83 ... ブロック分割結果、84 ... ブロック連結結果、85 ... クラスタ欠陥の存在判定、91 ... 電気機能検査による不良ビット結果、92 ... 電気機能検査の結果からクラスタ欠陥の存在チップ除外結果、93 ... 工程別欠陥・不良ビット突合い密度のグラフ。

20

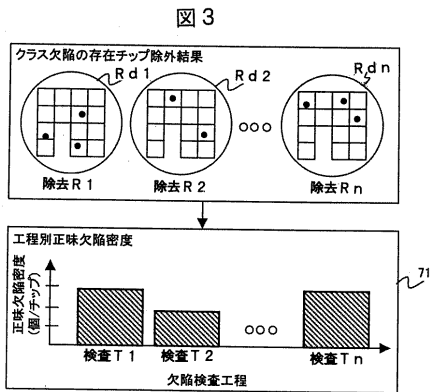
【図1】



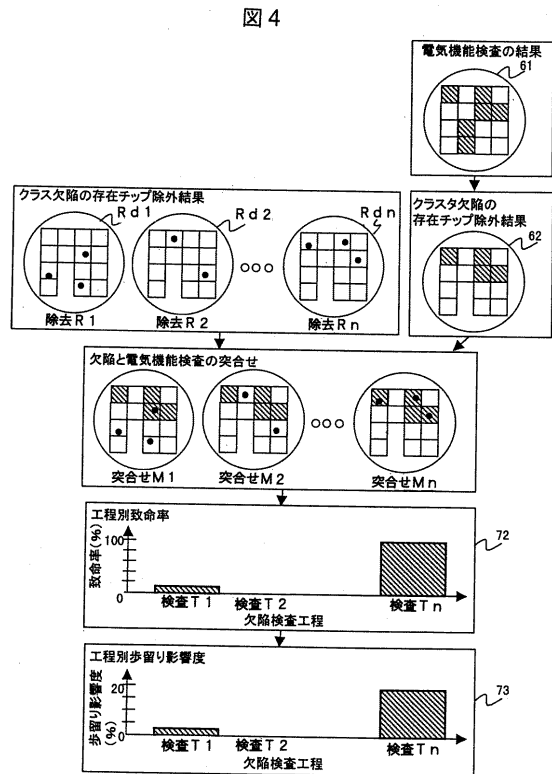
【図2】



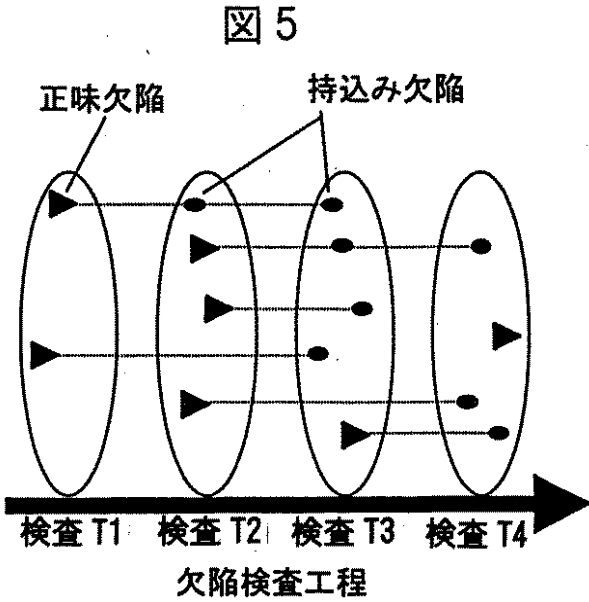
【図3】



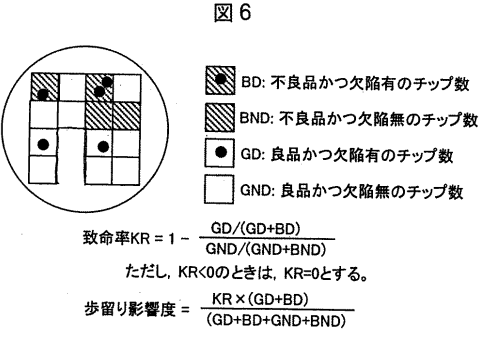
【図4】



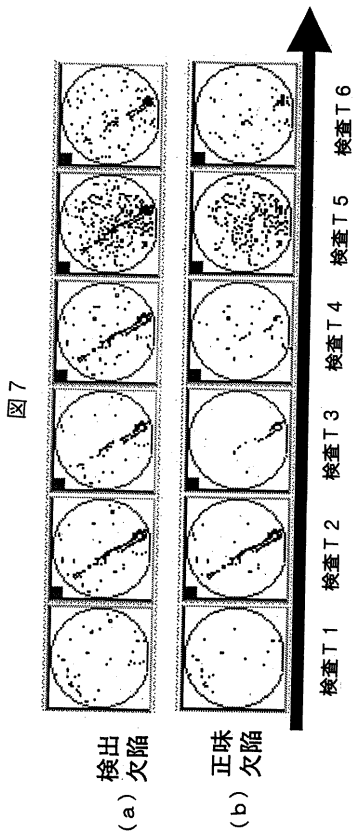
【図5】



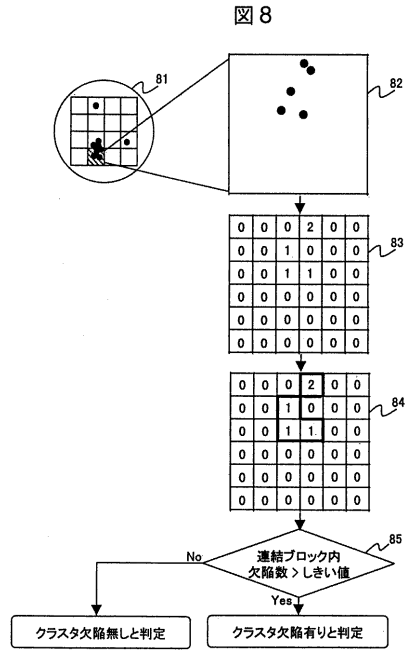
【図6】



【図7】

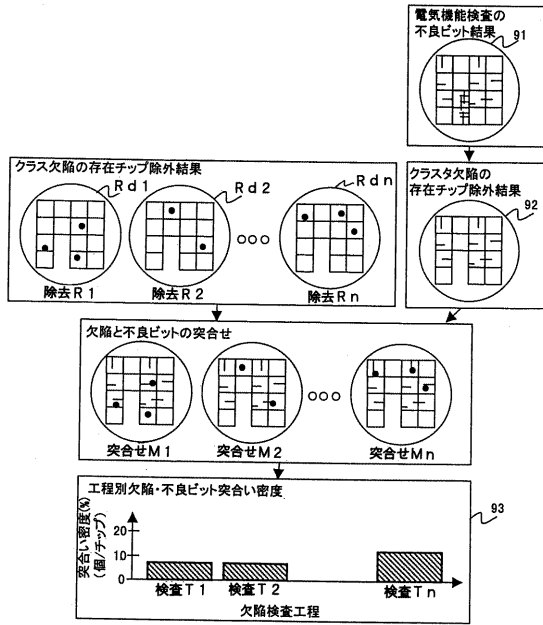


【図8】



【図9】

図9



---

フロントページの続き

合議体

審判長 鈴木 正紀

審判官 加藤 友也

審判官 田村 耕作

- (56)参考文献 特開平 1 1 - 2 6 4 7 9 7 ( J P , A )  
国際公開第 9 7 / 3 5 3 3 7 ( W O , A 1 )  
特開平 1 0 - 2 0 9 2 3 0 ( J P , A )

- (58)調査した分野(Int.Cl. , D B 名)  
H01L21/02-21/66