

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-174714

(P2012-174714A)

(43) 公開日 平成24年9月10日(2012.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 0 4 3
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 G	5 F 1 0 2
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 21/306 B	
HO 1 L 21/336 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2011-32042 (P2011-32042)
 (22) 出願日 平成23年2月17日 (2011.2.17)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100092978
 弁理士 真田 有
 (74) 代理人 100112678
 弁理士 山本 雅久
 (72) 発明者 山田 敦史
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 Fターム(参考) 5F043 AA13 BB06 DD08 DD21 FF01

最終頁に続く

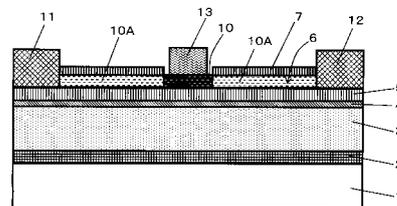
(54) 【発明の名称】 半導体装置及びその製造方法、電源装置

(57) 【要約】

【課題】チャネル領域の低抵抗化を図りながら、ノーマリオフを実現する。

【解決手段】半導体装置を、キャリア走行層3及びキャリア供給層5を含む窒化物半導体積層構造と、窒化物半導体積層構造の上方に設けられ、活性化領域10と不活性領域10Aとを有するp型窒化物半導体層6と、p型窒化物半導体層の不活性領域上に設けられたn型窒化物半導体層7と、p型窒化物半導体層の活性化領域の上方に設けられたゲート電極13とを備えるものとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造と、
前記窒化物半導体積層構造の上方に設けられ、活性化領域と不活性領域とを有する p 型窒化物半導体層と、

前記 p 型窒化物半導体層の前記不活性領域上に設けられた n 型窒化物半導体層と、
前記 p 型窒化物半導体層の前記活性化領域の上方に設けられたゲート電極とを備えることを特徴とする半導体装置。

【請求項 2】

前記 p 型窒化物半導体層と前記 n 型窒化物半導体層は、同一の窒化物半導体材料を含むことを特徴とする、請求項 1 に記載の半導体装置。 10

【請求項 3】

前記 p 型窒化物半導体層の前記活性化領域と前記ゲート電極とがショットキー接合されていることを特徴とする、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記 p 型窒化物半導体層の前記活性化領域と前記ゲート電極との間にゲート絶縁膜を備えることを特徴とする、請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置を備えることを特徴とする電源装置。

【請求項 6】

キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造を形成し、
前記窒化物半導体積層構造の上方に p 型窒化物半導体層を形成し、
前記 p 型窒化物半導体層上に n 型窒化物半導体層を形成し、
前記 n 型窒化物半導体層の一部を除去し、
熱処理を行なって前記 p 型窒化物半導体層の一部に活性化領域を形成し、
前記 p 型窒化物半導体層の前記活性化領域の上方にゲート電極を形成することを特徴とする半導体装置の製造方法。 20

【請求項 7】

前記 n 型窒化物半導体層の一部を除去する工程において、光電気化学エッチングによって前記 n 型窒化物半導体層の一部を除去することを特徴とする、請求項 6 に記載の半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法、電源装置に関する。

【背景技術】

【0002】

窒化物半導体デバイスは、高い飽和電子速度やワイドバンドギャップなどの特徴を有する。この特徴を利用して高耐圧・高出力デバイスの開発が活発に行われている。

このような高耐圧・高出力デバイスに用いられる窒化物半導体デバイスとしては、電界効果トランジスタ、特に、高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) がある。 40

【0003】

例えば、GaN 電子走行層上に AlGaN 電子供給層を積層した HEMT 構造を有する GaN-HEMT がある。GaN-HEMT では、AlGaN と GaN との格子定数差に起因した歪みが AlGaN に生じ、これにより、ピエゾ分極が生じる。そして、ピエゾ分極及び AlGaN の自発分極によって、高濃度の 2 次元電子ガス (2DEG: Dimensional electron gas) が得られる。このため、GaN-HEMT によって高耐圧・高出力デバイスを実現することができる。

【0004】

また、このような高濃度の2DEGが得られるGaN-HEMTにおいて、ノーマリオフを実現するための技術がある。

例えば、ゲート電極直下の電子供給層をエッチングすることで、ノーマリオフを実現する技術がある。以下、これを第1の技術という。

また、キャリア注入を意図的に行なうという点で接合型電界効果トランジスタ(JFET: Junction Field Effect Transistor)とは全く異なった原理により動作するものにおいて、ゲート電極直下のみにp型導電性を有する半導体層を設けることで、ノーマリオフを実現する技術がある。以下、これを第2の技術という。さらに、ゲート電極直下にp型導電性を有する領域を持ち、それ以外が高抵抗領域になっている窒化物半導体層を設け、高抵抗領域上に水素バリア膜又は水素拡散膜を設けたものもある。以下、これを第3の技術という。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-98434号公報

【特許文献2】特開2009-76845号公報

【特許文献3】特開2007-19309号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

しかしながら、上述の第1の技術では、チャネル領域の近傍にエッチングによるダメージが加わるため、チャネル領域の抵抗やリーク電流が増加してしまう。

また、上述の第2の技術では、ゲート電極直下以外の領域に形成されるp型導電性を有する半導体層をエッチングなどによって除去しなければならない。このため、チャネル領域の近傍にダメージが加わるため、チャネル領域の抵抗が増加してしまう。

【0007】

また、上述の第3の技術では、チャネル領域の低抵抗化を図るのは難しい。

そこで、チャネル領域の低抵抗化を図りながら、ノーマリオフを実現したい。

【課題を解決するための手段】

【0008】

30

本半導体装置及び電源装置は、キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造と、窒化物半導体積層構造の上方に設けられ、活性化領域と不活性領域とを有するp型窒化物半導体層と、p型窒化物半導体層の不活性領域上に設けられたn型窒化物半導体層と、p型窒化物半導体層の活性化領域の上方に設けられたゲート電極とを備えることを要件とする。

【0009】

本半導体装置の製造方法は、キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造を形成し、窒化物半導体積層構造の上方にp型窒化物半導体層を形成し、p型窒化物半導体層上にn型窒化物半導体層を形成し、n型窒化物半導体層の一部を除去し、熱処理を行なってp型窒化物半導体層の一部に活性化領域を形成し、p型窒化物半導体層の活

40

【発明の効果】

【0010】

したがって、本半導体装置及びその製造方法、電源装置によれば、チャネル領域の低抵抗化を図りながら、ノーマリオフを実現することができるという利点がある。

【図面の簡単な説明】

【0011】

【図1】第1実施形態にかかる半導体装置(GaN-HEMT)の構成を示す模式的断面図である。

【図2】(A)は、AlGaN/GaN-HEMTのバンド構造図であり、(B)は、ゲ

50

ート電極の直下の AlGa_N層上に p-GaN層 (p型導電性を有する GaN層) を設けた場合のバンド構造図であり、(C) は、ゲート電極の直下の領域以外の領域、即ち、チャネル領域の上方に i-GaN が存在する場合のバンド構造図である。

【図3】第1実施形態にかかる半導体装置 (GaN-HEMT) のバンド構造図である。

【図4】(A) ~ (C) は、第1実施形態にかかる半導体装置 (GaN-HEMT) の製造方法を説明するための模式的断面図である。

【図5】(A) ~ (D) は、第1実施形態にかかる半導体装置 (GaN-HEMT) の製造方法を説明するための模式的断面図である。

【図6】第1実施形態の変形例にかかる半導体装置 (GaN-HEMT) の構成を示す模式的断面図である。

【図7】第2実施形態にかかる半導体装置 (半導体パッケージ) の構成を示す模式的平面図である。

【図8】第2実施形態にかかる電源装置に含まれる PFC回路の構成を示す模式図である。

【発明を実施するための形態】

【0012】

以下、図面により、本発明の実施の形態にかかる半導体装置及びその製造方法、電源装置について説明する。

[第1実施形態]

まず、第1実施形態にかかる半導体装置及びその製造方法について、図1~図5を参照しながら説明する。

【0013】

本実施形態にかかる半導体装置は、化合物半導体装置であり、特に、窒化物半導体材料を用いた高耐圧・高出力デバイスである。なお、これを窒化物半導体デバイスともいう。

また、本半導体装置は、窒化物半導体材料を用いた電界効果トランジスタを備える。本実施形態では、接合型電界効果トランジスタを備える。なお、これを窒化物半導体電界効果トランジスタともいう。

【0014】

具体的には、本半導体装置は、GaN系半導体材料を用い、ノーマリオフ動作する GaN-HEMT を備える。なお、これを GaN系デバイスともいう。

本半導体装置は、図1に示すように、半絶縁性 SiC基板1上に、核形成層2、i-GaN電子走行層3、i-AlGa_Nスペーサ層4、n-AlGa_N電子供給層5を積層させた窒化物半導体積層構造を備える。

【0015】

なお、窒化物半導体積層構造を、化合物半導体積層構造、GaN-HEMT構造、AlGa_N/GaN-HEMT構造、あるいは、GaN-HEMT結晶ともいう。また、電子走行層をキャリア走行層ともいう。また、電子供給層をキャリア供給層ともいう。

特に、本半導体装置では、上述の窒化物半導体積層構造の上方に、p-GaN層6、n-GaN層7が設けられている。

【0016】

ここでは、p-GaN層6は、例えばMgなどのp型不純物を添加したGaN層であり、p型不純物が活性化している活性化領域10と、活性化領域10以外の領域、即ち、p型不純物が水素混入によって不活性な状態になっている不活性領域10Aとを有する。つまり、p-GaN層6は、p型不純物が部分的に活性化されている。このため、p-GaN層6の活性化領域10は、固定電荷を有する領域であり、不活性領域10Aは、固定電荷を有しない領域である。つまり、p-GaN層6の活性化領域10は、p型導電性を示す領域であり、不活性領域10Aは、p型導電性を示さない領域である。なお、p-GaN層6を、p型窒化物半導体層ともいう。また、p-GaN層6の不活性領域10Aは、導電性を示さず、バンド構造上、アンドープのGaN層と同等のエネルギーレベルになるため、i-GaN層ともいう。

10

20

30

40

50

【0017】

また、 n -Ga N 層7は、 n 型不純物を添加したGa N 層であり、 p -Ga N 層6の不活性領域10A上に設けられている。一方、 n -Ga N 層7は、 p -Ga N 層6の活性化領域10上には設けられていない。つまり、 n -Ga N 層7は、 p -Ga N 層6の不活性領域10Aを覆っており、 p -Ga N 層6の活性化領域10は覆っていない。なお、 n -Ga N 層7を、 n 型窒化物半導体層ともいう。

【0018】

そして、上述の窒化物半導体積層構造の上方に、ソース電極11、ドレイン電極12及びゲート電極13を備える。本実施形態では、 n -AlGa N 電子供給層5上に、ソース電極11及びドレイン電極12を備える。また、 p -Ga N 層6の活性化領域10上にゲート電極13が設けられている。ここでは、 p -Ga N 層6の活性化領域10とゲート電極13とはショットキー接合されている。なお、図示していないが、表面が例えばSi N 膜などのパッシベーション膜で覆われており、配線やパッド等も設けられている。

10

【0019】

このように、本半導体装置は、窒化物半導体積層構造のチャネル領域、即ち、電子(キャリア)が走行する領域の上方に p -Ga N 層6を備え、この p -Ga N 層6の活性化領域10上にゲート電極13が設けられている。この場合、ゲート電極13の下方の領域では、 p -Ga N 層6は空乏化し、 p -Ga N 層6に含まれる固定電荷(-)によって、図2(A)、図2(B)に示すように、バンドが引き上げられる。これにより、AlGa N /Ga N -HEMT構造のGa N 層とAlGa N 層との界面の伝導帯のエネルギーレベル E_c がフェルミレベル E_f よりも高くなり、2DEGの発生が抑制され、ノーマリオフが実現される。なお、図2(A)は、AlGa N /Ga N -HEMT構造のGa N 層及びAlGa N 層のバンド構造を示しており、AlGa N 層に発生するピエゾ分極及び自発分極によってGa N 層とAlGa N 層との界面に高濃度の2DEGが発生することを示している。

20

【0020】

一方、 p -Ga N 層6の活性化領域10以外の領域10Aは活性化されておらず、この活性化されていない領域10Aの上に n -Ga N 層7が設けられている。つまり、チャネル領域の上方のドレイン電極12とゲート電極13との間及びソース電極11とゲート電極13との間に、 p -Ga N 層6の活性化されていない領域10Aが設けられており、その上に n -Ga N 層7が設けられている。

30

【0021】

これは、以下の理由による。

つまり、AlGa N /Ga N -HEMT構造の上に、 p -Ga N 層6の活性化されていない領域10A、即ち、 i -Ga N 層が存在すると、図2(A)、図2(C)に示すように、バンドが引き上げられる。このため、ドレイン電極12とゲート電極13との間及びソース電極11とゲート電極13との間のチャネル領域の抵抗が上昇してしまう。この結果、素子性能が低下することになる。そこで、 p -Ga N 層6の活性化されていない領域10A、即ち、 i -Ga N 層の上に n -Ga N 層7を設けることで、図2(C)、図3に示すように、バンドが押し下げられるようにしている。つまり、AlGa N /Ga N -HEMT構造の上に存在する i -Ga N 層によって引き上げられたバンドが、空乏化した n -Ga N 層7に含まれる固定電荷(+)によって、押し下げられるようにしている。これにより、AlGa N /Ga N -HEMT構造のGa N 層とAlGa N 層との界面の伝導帯のエネルギーレベル E_c が、 p -Ga N 層6及び n -Ga N 層7を設けないAlGa N /Ga N -HEMT構造の場合[図2(A)参照]と同程度になる。この結果、ドレイン電極12とゲート電極13との間及びソース電極11とゲート電極13との間のチャネル領域の低抵抗化を実現することができる。

40

【0022】

このように、ドレイン電極12とゲート電極13との間及びソース電極11とゲート電極13との間の p -Ga N 層6の活性化されていない領域10Aの上に n -Ga N 層7を

50

設けることで、チャネル領域の低抵抗化を図ることができる。つまり、p-GaN層6及びn-GaN層7を設けることで、素子性能を低下させることなく、ノーマリオフを実現することが可能となる。

【0023】

なお、後述するように、n-GaN層7は、半導体装置の製造段階においては、p-GaN層6に活性化領域10を形成する際に、それ以外の領域でp-GaN層6から水素が脱離するのを防止する膜として機能する。つまり、n-GaN層7は、水素脱離防止膜としての機能を有するとともに、チャネル領域の低抵抗化を図る機能も有する。

また、上述のように、窒化物半導体積層構造の上方に、p-GaN層6、n-GaN層7を積層した場合、p-GaN層6、n-GaN層7も含めて全体が窒化物半導体積層構造となる。この場合、窒化物半導体積層構造の表面がチャネル領域から遠ざかることとなるため、電流コラプス現象を抑制することも可能である。

【0024】

また、後述するように、p-GaN層6に含まれるp型不純物を部分的に活性化すべく、光電気化学エッチングによってn-GaN層7に開口部を設ければ、チャネル領域の近傍にダメージのない高品質なデバイスを実現することが可能である。なお、ドライエッチングによってn-GaN層7に開口部を設ける場合には、p-GaN層6にダメージが入るおそれがあるが、チャネル領域から離れているため、デバイス特性に与える影響は少なく、チャネル領域の低抵抗化を図ることは可能である。

【0025】

また、上述のように、本実施形態では、窒化物半導体積層構造の上方に設けるp型窒化物半導体層とn型窒化物半導体層をいずれもGaN層6、7とし、同一の窒化物半導体材料を含むものとしている。このため、結晶欠陥が少なく、高品質のデバイスを実現できる。

次に、本実施形態にかかる半導体装置の製造方法について、図4、図5を参照しながら説明する。

【0026】

まず、図4(A)に示すように、半絶縁性SiC基板1上に、例えば有機金属気相成長(MOVPE: Metal Organic Vapor Phase Epitaxy)法などによって、核形成層2、i-GaN電子走行層3、i-AlGaNスペーサ層4、n-AlGaN電子供給層5、p-GaN層6、n-GaN層7を順次積層させて窒化物半導体積層構造を形成する。

つまり、半絶縁性SiC基板1上に、核形成層2、i-GaN電子走行層3、i-AlGaNスペーサ層4、n-AlGaN電子供給層5を含む窒化物半導体積層構造(GaN-HEMT結晶)を形成する。続いて、この窒化物半導体積層構造上にp-GaN層6を形成し、このp-GaN層6上にn-GaN層7を形成する。このように、窒化物半導体積層構造、p-GaN層6、n-GaN層7を連続して形成する。また、ここでは、窒化物半導体積層構造上に形成するp型窒化物半導体層とn型窒化物半導体層をいずれもGaN層6、7とし、同一の窒化物半導体材料を含むものとしているため、結晶欠陥が少なく、高品質のデバイスを実現できる。

【0027】

ここで、i-GaN電子走行層3は、その厚さが例えば約3 μ m程度である。また、i-AlGaNスペーサ層4は、その厚さが例えば約5nm程度である。また、n-AlGaN電子供給層5は、その厚さが例えば約30nm程度であり、n型不純物として例えばSiを用い、そのドーピング濃度は例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、p-GaN層6は、その厚さが例えば約20nm程度であり、p型不純物として例えばMgを用い、そのドーピング濃度は例えば約 $2 \times 10^{19} \text{ cm}^{-3}$ 程度である。また、n-GaN層7は、その厚さが例えば約10nm程度であり、n型不純物として例えばSiを用い、そのドーピング濃度は例えば約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0028】

次に、ウェハ全面、即ち、n-GaN層7の表面上に、例えばスパッタ法によって、S

10

20

30

40

50

SiO_2 膜 8 を形成する。その後、例えばフォトリソグラフィ技術を用いて、ゲート電極形成予定領域の下方に位置する領域に開口部を有するレジストマスク（図示せず）を形成し、このレジストマスクを用いて、図 4（B）に示すように、 SiO_2 膜 8 のゲート電極形成予定領域の下方に位置する領域を除去する。これにより、 n -Ga N 層 7 上に、ゲート電極形成予定領域の下方に位置する領域に開口部を有する SiO_2 膜 8 が形成される。この時、同時にウェハ全面に形成されている SiO_2 膜 8 の端部の一部も除去する（図示せず）。

【0029】

次に、 SiO_2 膜 8 をマスクとして用いて、 n -Ga N 層 7 の一部を除去する。つまり、 n -Ga N 層 7 のゲート電極形成予定領域の下方に位置する領域を除去する。これにより、ゲート電極形成予定領域の下方に位置する領域に開口部を有する n -Ga N 層 7 が形成される。

本実施形態では、ウェハの端部で露出している n -Ga N 層 7 に電極を接続し、紫外線を照射しながら、水酸化カリウム（ KOH ）水溶液に浸漬し、光電気化学（ PEC ；Photoelectrochemical）エッチングによって、 n -Ga N 層 7 のみを選択的に除去する。この場合、Ga N のバンドギャップに相当する波長よりも短い紫外線を照射する。これにより、Ga N 中に電子-正孔対が生成され、電子はバイアス印加によって引き抜かれ、残った正孔が Ga N の表面側に移動する。そして、 KOH 水溶液の OH^- イオンとの反応で Ga N 表面の酸化・溶解を繰り返しながら Ga N がエッチングされる。これにより、 p -Ga N 層 6 にダメージを与えることなく、 n -Ga N 層 7 のみを選択的に除去することができ、チャンネル領域の近傍にダメージのない高品質なノーマリオフ型デバイス（ノーマリオフ型 Ga N -HEMT）を実現することが可能である。

【0030】

なお、ここでは、光電気化学エッチングによって n -Ga N 層 7 を除去しているが、これに限られるものではなく、例えばドライエッチングによって n -Ga N 層 7 を除去しても良い。この場合、 p -Ga N 層 6 にダメージが入るおそれがあるが、チャンネル領域から離れているため、デバイス特性に与える影響は小さく、チャンネル領域の低抵抗化を図ることは可能である。

【0031】

次に、ウェハ全面、即ち、 p -Ga N 層 6 のゲート電極形成予定領域の下方に位置する領域の表面、 n -Ga N 層 7 の側面及び SiO_2 膜 8 の表面上に、例えばスパッタ法によって、図 4（C）に示すように、 SiO_2 膜（保護膜）9 を形成する。つまり、表面全体を SiO_2 膜 9 でカバーする。

このように、後述の活性化領域 10 を形成するための熱処理の前に、 p -Ga N 層 6 及び n -Ga N 層 7 の表面を、保護膜としての SiO_2 膜 9 で覆うことで、熱処理時に Ga N から窒素が脱離（蒸気化）してしまうのを防止することができる。このため、保護膜としての SiO_2 膜 9 を、窒素脱離防止膜ともいう。なお、 SiO_2 膜 9 は、水素を通すため、水素脱離防止膜としては機能しない。

【0032】

次に、熱処理を行なって、 p -Ga N 層 6 の一部、即ち、 p -Ga N 層 6 のゲート電極形成予定領域の下方に位置する領域の p 型不純物（ここでは Mg）を活性化させることで、 p -Ga N 層 6 の一部に活性化領域 10 を形成する。なお、この熱処理を不純物活性化処理ともいう。

例えば、窒素雰囲気中にて約 600 から約 1000 の間、例えば 750 程度で熱処理を行なって、 p -Ga N 層 6 のゲート電極形成予定領域の下方に位置する領域の p 型不純物を活性化させ、 p -Ga N 層 6 に活性化領域 10 を形成する。

【0033】

上述のように、 p -Ga N 層 6 上に形成された n -Ga N 層 7 は、ゲート電極形成予定領域の下方に位置する領域に開口部を有する。つまり、 p -Ga N 層 6 のゲート電極形成予定領域の下方に位置する領域は n -Ga N 層 7 で覆われておらず、それ以外の領域は n

10

20

30

40

50

- GaN層7で覆われている。なお、p-GaN層6は、形成時の水素混入によって、p型不純物(ここではMg)は不活性な状態になっている。

【0034】

この状態で熱処理を行なうと、n-GaN層7で覆われている領域、即ち、p-GaN層6のゲート電極形成予定領域の下方に位置する領域以外の領域では、n-GaN層7によってp-GaN層6からの水素の脱離が阻害される。このため、n-GaN層7で覆われている領域では、p-GaN層6に添加されているp型不純物は活性化せず、不活性の状態のままとなる。一方、n-GaN層7で覆われていない領域、即ち、p-GaN層6のゲート電極形成予定領域の下方に位置する領域では、p-GaN層6から水素が脱離し、p-GaN層6に添加されているp型不純物は活性化する。このように、p-GaN層6のゲート電極形成予定領域の下方に位置する領域以外の領域をn-GaN層7で覆うことで、p-GaN層6のゲート電極形成予定領域の下方に位置する領域に添加されているp型不純物のみを選択的に活性化させることができる。つまり、p-GaN層6のゲート電極形成予定領域の下方に位置する領域以外の領域をn-GaN層7で覆うことで、p-GaN層6のゲート電極形成予定領域の下方に位置する領域のみを活性化領域10とし、それ以外の領域を不活性領域10Aとすることができる。この場合、n-GaN層7は、p-GaN層6からの水素の脱離を防止する膜、あるいは、p-GaN層6の活性化を防止する膜として機能する。このため、n-GaN層7を、水素脱離防止膜あるいは活性化防止膜ともいう。

10

【0035】

このようにして熱処理を行なった後、例えばウェットエッチングによって、図5(A)に示すように、SiO₂膜8、9を除去する。

20

次に、図示していないが、例えばフォトリソグラフィ技術を用いて、素子間分離領域に開口部を有するレジストマスクを形成し、このレジストマスクを用いて、例えば塩素系ガスを用いたドライエッチング又はイオン注入法によって、素子間分離を行なう。

【0036】

次に、例えばフォトリソグラフィ技術を用いて、ソース電極形成予定領域及びドレイン電極形成予定領域のそれぞれに開口部を有するレジストマスク(図示せず)を形成する。そして、このレジストマスクを用いて、例えば塩素系ガスを用いたドライエッチングによって、図5(B)に示すように、ソース電極形成予定領域及びドレイン電極形成予定領域のp-GaN層6、n-GaN層7を除去する。

30

【0037】

次に、例えばフォトリソグラフィ技術及び蒸着・リフトオフ技術を用いて、図5(C)に示すように、ソース電極形成予定領域及びドレイン電極形成予定領域にソース電極11及びドレイン電極12を形成する。つまり、n-AlGa_{0.9}N電子供給層5上に、Ta、Alを順に積層させてTa/Alからなるソース電極11及びドレイン電極12を形成する。この場合、Taの厚さは例えば約20nmとし、Alの厚さは例えば約200nmとすれば良い。そして、例えば窒素雰囲気中にて約400 から約1000 の間、例えば550 で熱処理を行ない、オーミック特性を確立する。

【0038】

次に、例えばフォトリソグラフィ技術及び蒸着・リフトオフ技術を用いて、図5(D)に示すように、ゲート電極形成予定領域にゲート電極13を形成する。つまり、p-GaN層6の活性化領域10上に、Ni、Auを順に積層させてNi/Auからなるゲート電極13を形成する。この場合、Niの厚さは例えば約30nmとし、Auの厚さは例えば約400nmとすれば良い。このように、p-GaN層6の活性化領域10にショットキー接合するゲート電極13を形成する。このようにして、p-GaN層6の活性化領域10上にゲート電極13を形成することで、ノーマリオフを実現することができる。

40

【0039】

その後、図示していないが、表面を例えばSiN膜などのパッシベーション膜で覆い、配線やパッド等を形成して、半導体装置(GaN-HEMT)が完成する。

50

したがって、本実施形態にかかる半導体装置及びその製造方法によれば、チャネル領域の低抵抗化を図りながら、ノーマリオフを実現することができるという利点がある。

なお、上述の実施形態では、窒化物半導体積層構造の上方に、p-GaN層6、n-GaN層7を設けているが、これに限られるものではなく、窒化物半導体積層構造の上方に、p型窒化物半導体層、n型窒化物半導体層を設ければ良い。ここで、p型窒化物半導体層は、GaN、AlN、InN結晶又はこれらの混晶を含むものであれば良く、n型窒化物半導体層は、GaN、AlN、InN結晶又はこれらの混晶を含むものであれば良い。例えば、p型窒化物半導体層は、AlGaN、InAlN、InGaN、InN、AlInGaNなどの窒化物半導体材料を含むものであれば良い。また、n型窒化物半導体層は、AlGaN、InAlN、InGaN、InN、AlInGaNなどの窒化物半導体材料を含むものであれば良い。但し、p型窒化物半導体層とn型窒化物半導体層を、同一の窒化物半導体材料を含むものとする事で、結晶欠陥を少なくすることができ、例えば抵抗や電流コラプスを抑え、高品質のデバイスを実現できることになる。

【0040】

また、上述の実施形態では、ゲート電極13を、p-GaN層6の活性化領域10上に設けられているが、これに限られるものではなく、ゲート電極13は活性化領域10の上方に設けられていければ良い。つまり、上述の実施形態では、ゲート電極13がp-GaN層6の活性化領域10にショットキー接合している接合型電界効果トランジスタを例に挙げて説明しているが、これに限られるものではない。例えば図6に示すように、ゲート電極13とp-GaN層6の活性化領域10との間にゲート絶縁膜14を備えるMIS (Metal Insulator Semiconductor) 型電界効果トランジスタとして構成することもできる。なお、図6では、上述の実施形態のもの(図1参照)と同一のものには同一の符号を付している。

【0041】

この場合、上述の実施形態にかかる半導体装置の製造方法において、ソース電極11及びドレイン電極12を形成し、オーミック特性を確立するための熱処理を行なった後、ゲート電極13を形成する前に、ゲート絶縁膜14を形成すれば良い。

例えば、ウェハ全面、即ち、p-GaN層6の活性化領域10の表面、n-GaN層7の表面並びにソース電極11及びドレイン電極12の表面上に、ゲート絶縁膜14を形成し、このゲート絶縁膜14上に、上述の実施形態と同様に、ゲート電極13を形成すれば良い。

【0042】

ここで、ゲート絶縁膜14の厚さは約2nmから約200nmの間、例えば約10nmとすれば良い。また、ゲート絶縁膜14は、例えばALD法、プラズマCVD法、スパッタ法などを用いて形成することができる。また、ゲート絶縁膜14の材料としては、例えばSi、Al、Hf、Zr、Ti、Ta、Wの酸化物、窒化物又は酸窒化物を用いることができる。例えばAlO膜とすれば良い。

【0043】

また、窒化物半導体積層構造は、上述の実施形態のものに限られるものではなく、キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造であれば、他の窒化物半導体積層構造であっても良い。例えば、窒化物半導体を用いた電界効果トランジスタなどの電界効果トランジスタを構成しうる窒化物半導体積層構造であれば良い。また、例えば、窒化物半導体積層構造の材料は、GaN、AlN、InN結晶又はこれらの混晶を含むものであれば良い。なお、窒化物半導体積層構造を半導体エピタキシャル構造ともいう。

【0044】

また、上述の実施形態では、SiC基板を用いているが、これに限られるものではなく、例えば、サファイア基板、Si基板、GaN基板などの半導体基板等の他の基板を用いても良い。また、上述の実施形態では、半絶縁性の基板を用いているが、これに限られるものではなく、例えば、n型導電性やp型導電性の基板を用いても良い。

また、例えば、上述の実施形態のソース電極、ドレイン電極及びゲート電極の層構造は

10

20

30

40

50

、上述の実施形態のソース電極、ドレイン電極及びゲート電極の層構造の具体例に限られるものではなく、他の層構造であっても良い。例えば、上述の実施形態のソース電極、ドレイン電極及びゲート電極の層構造は、単層であっても良いし、多層であっても良い。また、上述の実施形態のソース電極、ドレイン電極及びゲート電極の形成方法についても、一例にすぎず、他のいかなる方法によって形成しても良い。

【0045】

また、例えば、上述の実施形態では、ソース電極及びドレイン電極のオーミック特性を得るために熱処理を行なっているが、これに限られるものではなく、熱処理を行なわなくてもオーミック特性が得られるのであれば、ソース電極及びドレイン電極のオーミック特性を得るための熱処理は行なわなくても良い。また、上述の実施形態では、ゲート電極に熱処理を施していないが、ゲート電極に熱処理を施しても良い。

10

[第2実施形態]

次に、第2実施形態にかかる半導体装置及びその製造方法、電源装置について、図7、図8を参照しながら説明する。

【0046】

本実施形態にかかる半導体装置は、上述の第1実施形態及び変形例のいずれかの半導体装置(GaN-HEMT)を半導体チップとして備える半導体パッケージである。なお、半導体チップをHEMTチップともいう。

以下、ディスクリートパッケージを例に挙げて説明する。

本半導体装置は、図7に示すように、上述の第1実施形態及び変形例のいずれかの半導体チップ14を搭載するステージ30と、ゲートリード17と、ソースリード19と、ドレインリード18と、ボンディングワイヤ16(ここではAlワイヤ)と、封止樹脂20とを備える。なお、封止樹脂をモールド樹脂ともいう。

20

【0047】

そして、ステージ30上に搭載された半導体チップ14のゲートパッド31、ソースパッド32及びドレインパッド33は、それぞれ、ゲートリード17、ソースリード19及びドレインリード18に、Alワイヤ16によって接続されており、これらが樹脂封止されている。

ここでは、半導体チップ14の基板裏面がダイアタッチ剤15(ここでははんだ)によって固定されたステージ30は、ドレインリード18と電氣的に接続されている。なお、これに限られるものではなく、ステージ30がソースリード19と電氣的に接続されるようにしても良い。

30

【0048】

次に、本実施形態にかかる半導体装置(ディスクリートパッケージ)の製造方法について説明する。

まず、上述の第1実施形態及び変形例のいずれかの半導体チップ14(GaN-HEMT)を、例えばダイアタッチ剤15(ここでははんだ)を用いてリードフレームのステージ30上に固定する。

【0049】

次に、例えばAlワイヤ16を用いたボンディングによって、半導体チップ14のゲートパッド31をゲートリード17に接続し、ドレインパッド33をドレインリード18に接続し、ソースパッド32をソースリード19に接続する。

40

その後、例えばトランスファーモールド法によって樹脂封止を行なった後、リードフレームを切り離す。

【0050】

このようにして、半導体装置(ディスクリートパッケージ)を作製することができる。

なお、ここでは、半導体チップ14の各パッド31~33を、ワイヤボンディングのためのボンディングパッドとして用いたディスクリートパッケージを例に挙げて説明しているが、これに限られるものではなく、他の半導体パッケージであっても良い。例えば、半導体チップの各パッドを、例えばフリップチップボンディングなどのワイヤレスボンディ

50

ングのためのボンディングパッドとして用いた半導体パッケージであっても良い。また、ウエハレベルパッケージであっても良い。また、ディスクリートパッケージ以外の半導体パッケージであっても良い。

【0051】

次に、上述の GaN - HEMT を含む半導体パッケージを備える電源装置について、図 8 を参照しながら説明する。

以下、サーバに用いられる電源装置に備えられる PFC (power factor correction) 回路に、上述の半導体パッケージに含まれる GaN - HEMT (図 1 参照) を用いる場合を例に挙げて説明する。

【0052】

本 PFC 回路は、図 8 に示すように、ダイオードブリッジ 26 と、チョークコイル 22 と、第 1 コンデンサ 24 と、上述の半導体パッケージに含まれる GaN - HEMT 21 と、ダイオード 23 と、第 2 コンデンサ 25 とを備える。

ここでは、本 PFC 回路は、回路基板上に、ダイオードブリッジ 26、チョークコイル 22、第 1 コンデンサ 24、上述の半導体パッケージに含まれる GaN - HEMT 21、ダイオード 23、及び、第 2 コンデンサ 25 が実装されて構成されている。

【0053】

本実施形態では、上述の半導体パッケージのドレインリード 18、ソースリード 19 及びゲートリード 17 が、それぞれ、回路基板のドレインリード挿入部、ソースリード挿入部及びゲートリード挿入部に挿入され、例えばはんだなどによって固定されている。このようにして、回路基板に形成された PFC 回路に、上述の半導体パッケージに含まれる GaN - HEMT 21 が接続されている。

【0054】

そして、本 PFC 回路では、GaN - HEMT 21 のドレイン電極 D に、チョークコイル 22 の一方の端子及びダイオード 23 のアノード端子が接続されている。また、チョークコイル 22 の他方の端子には第 1 コンデンサ 24 の一方の端子が接続され、ダイオード 23 のカソード端子には第 2 コンデンサ 25 の一方の端子が接続されている。そして、第 1 コンデンサ 24 の他方の端子、GaN - HEMT 21 のソース電極 S 及び第 2 コンデンサ 25 の他方の端子が接地されている。また、第 1 コンデンサ 24 の両端子には、ダイオードブリッジ 26 の一對の端子が接続されており、ダイオードブリッジ 26 の他の一對の端子は、交流 (AC) 電圧が入力される入力端子に接続されている。また、第 2 コンデンサ 25 の両端子は、直流 (DC) 電圧が出力される出力端子に接続されている。また、GaN - HEMT 21 のゲート電極 G には、図示しないゲートドライバが接続されている。そして、本 PFC 回路では、ゲートドライバによって GaN - HEMT 21 を駆動することで、入力端子から入力された AC 電圧を、DC 電圧に変換して、出力端子から出力するようになっている。

【0055】

したがって、本実施形態にかかる電源装置によれば、信頼性の向上させることができるという利点がある。つまり、上述の第 1 実施形態及び変形例のいずれかの半導体チップ 56 を備えるため、信頼性の高い電源装置を構築することができるという利点がある。

なお、ここでは、上述の半導体装置 (GaN - HEMT 又は GaN - HEMT を含む半導体パッケージ) を、サーバに用いられる電源装置に備えられる PFC 回路に用いる場合を例に挙げて説明しているが、これに限られるものではない。例えば、上述の半導体装置 (GaN - HEMT 又は GaN - HEMT を含む半導体パッケージ) を、サーバ以外のコンピュータなどの電子機器 (電子装置) に用いても良い。また、上述の半導体装置 (半導体パッケージ) を、電源装置に備えられる他の回路 (例えば DC - DC コンバータなど) に用いても良い。

[その他]

なお、本発明は、上述した各実施形態及び変形例に記載した構成に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形することが可能である。

10

20

30

40

50

【 0 0 5 6 】

以下、上述の各実施形態及び変形例に関し、更に、付記を開示する。

(付記 1)

キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造と、
前記窒化物半導体積層構造の上方に設けられ、活性化領域と不活性領域とを有する p 型窒化物半導体層と、

前記 p 型窒化物半導体層の前記不活性領域上に設けられた n 型窒化物半導体層と、

前記 p 型窒化物半導体層の前記活性化領域の上方に設けられたゲート電極とを備えることを特徴とする半導体装置。

【 0 0 5 7 】

(付記 2)

前記活性化領域は、固定電荷を有する領域であり、

前記不活性領域は、固定電荷を有しない領域であることを特徴とする、付記 1 に記載の半導体装置。

(付記 3)

前記 p 型窒化物半導体層と前記 n 型窒化物半導体層は、同一の窒化物半導体材料を含むことを特徴とする、付記 1 又は 2 に記載の半導体装置。

【 0 0 5 8 】

(付記 4)

前記 p 型窒化物半導体層は、GaN、AlN、InN 結晶又はこれらの混晶を含み、

前記 n 型窒化物半導体層は、GaN、AlN、InN 結晶又はこれらの混晶を含むことを特徴とする、付記 1 ~ 3 のいずれか 1 項に記載の半導体装置。

(付記 5)

前記 p 型窒化物半導体層は、p 型 GaN 層であり、

前記 n 型窒化物半導体層は、n 型 GaN 層であることを特徴とする、付記 1 ~ 4 のいずれか 1 項に記載の半導体装置。

【 0 0 5 9 】

(付記 6)

前記 p 型窒化物半導体層の前記活性化領域と前記ゲート電極とがショットキー接合されていることを特徴とする、付記 1 ~ 5 のいずれか 1 項に記載の半導体装置。

(付記 7)

前記 p 型窒化物半導体層の前記活性化領域と前記ゲート電極との間にゲート絶縁膜を備えることを特徴とする、付記 1 ~ 5 のいずれか 1 項に記載の半導体装置。

【 0 0 6 0 】

(付記 8)

前記窒化物半導体積層構造は、GaN、AlN、InN 結晶又はこれらの混晶を含むことを特徴とする、付記 1 ~ 7 のいずれか 1 項に記載の半導体装置。

(付記 9)

付記 1 ~ 8 のいずれか 1 項に記載の構成を備える半導体チップを搭載するステージと、

前記半導体チップのゲートパッドに接続されたゲートリードと、

前記半導体チップのソースパッドに接続されたソースリードと、

前記半導体チップのドレインパッドに接続されたドレインリードと、

封止樹脂とを備えることを特徴とする半導体装置。

【 0 0 6 1 】

(付記 10)

付記 1 ~ 9 のいずれか 1 項に記載の半導体装置を備えることを特徴とする電源装置。

(付記 11)

キャリア走行層及びキャリア供給層を含む窒化物半導体積層構造を形成し、

前記窒化物半導体積層構造の上方に p 型窒化物半導体層を形成し、

前記 p 型窒化物半導体層上に n 型窒化物半導体層を形成し、

10

20

30

40

50

前記 n 型窒化物半導体層の一部を除去し、
熱処理を行なって前記 p 型窒化物半導体層の一部に活性化領域を形成し、
前記 p 型窒化物半導体層の前記活性化領域の上方にゲート電極を形成することを特徴とする半導体装置の製造方法。

【 0 0 6 2 】

(付 記 1 2)

前記 n 型窒化物半導体層の一部を除去する工程において、光電気化学エッチングによって前記 n 型窒化物半導体層の一部を除去することを特徴とする、付記 1 1 に記載の半導体装置の製造方法。

(付 記 1 3)

前記活性化領域を形成する前に、前記 p 型窒化物半導体層及び前記 n 型窒化物半導体層の表面を覆う保護膜を形成し、

前記活性化領域を形成した後に、前記保護膜を除去することを特徴とする、付記 1 1 又は 1 2 に記載の半導体装置の製造方法。

【 0 0 6 3 】

(付 記 1 4)

前記窒化物半導体積層構造、前記 p 型窒化物半導体層、前記 n 型窒化物半導体層を連続して形成することを特徴とする、付記 1 1 ~ 1 3 のいずれか 1 項に記載の半導体装置の製造方法。

(付 記 1 5)

前記 n 型窒化物半導体層を形成する工程において、前記 p 型窒化物半導体層と同一の窒化物半導体材料を用いて前記 n 型窒化物半導体材料を形成することを特徴とする、付記 1 1 ~ 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 4 】

(付 記 1 6)

前記 p 型窒化物半導体層を形成する工程において、GaN、AlN、InN 結晶又はこれらの混晶を含む p 型窒化物半導体層を形成し、

前記 n 型窒化物半導体層を形成する工程において、GaN、AlN、InN 結晶又はこれらの混晶を含む n 型窒化物半導体層を形成することを特徴とする、付記 1 1 ~ 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 5 】

(付 記 1 7)

前記 p 型窒化物半導体層を形成する工程において、p 型 GaN 層を形成し、

前記 n 型窒化物半導体層を形成する工程において、n 型 GaN 層を形成することを特徴とする、付記 1 1 ~ 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

(付 記 1 8)

前記ゲート電極を形成する工程において、前記 p 型窒化物半導体層の前記活性化領域にショットキー接合するゲート電極を形成することを特徴とする、付記 1 1 ~ 1 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 6 】

(付 記 1 9)

前記活性化領域を形成した後、前記ゲート電極を形成する前に、ゲート絶縁膜を形成することを特徴とする、付記 1 1 ~ 1 7 のいずれか 1 項に記載の半導体装置の製造方法。

(付 記 2 0)

前記窒化物半導体積層構造を形成する工程において、GaN、AlN、InN 結晶又はこれらの混晶を含む窒化物半導体積層構造を形成することを特徴とする、付記 1 1 ~ 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【 符号の説明 】

【 0 0 6 7 】

1 半絶縁性 SiC 基板

10

20

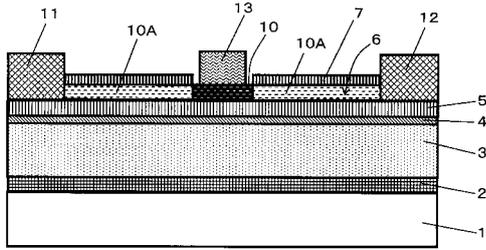
30

40

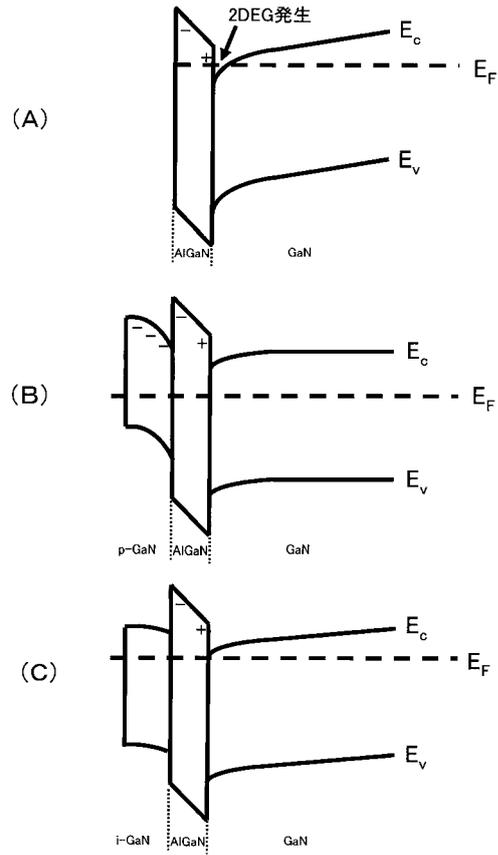
50

2	核形成層	
3	i - GaN 電子走行層	
4	i - AlGaIn スペース層	
5	n - AlGaIn 電子供給層	
6	p - GaN 層 (p 型窒化物半導体層)	
7	n - GaN 層 (n 型窒化物半導体層)	
8	SiO ₂ 膜	
9	SiO ₂ 膜 (保護膜)	
10	活性化領域	
10A	不活性領域	10
11	ソース電極	
12	ドレイン電極	
13	ゲート電極	
14	半導体チップ	
15	ダイアタッチ剤	
16	ワイヤ	
17	ゲートリード	
18	ドレインリード	
19	ソースリード	
20	封止樹脂	20
21	GaN - HEMT	
22	チョークコイル	
23	ダイオード	
24	第1コンデンサ	
25	第2コンデンサ	
26	ダイオードブリッジ	
30	ステージ	
31	ゲートパッド	
32	ソースパッド	
33	ドレインパッド	30

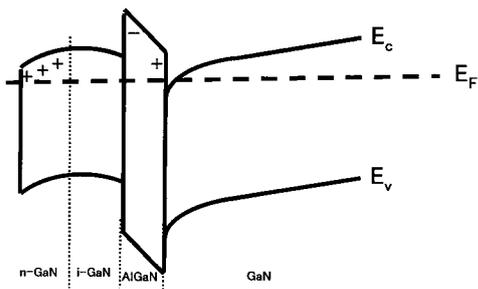
【 図 1 】



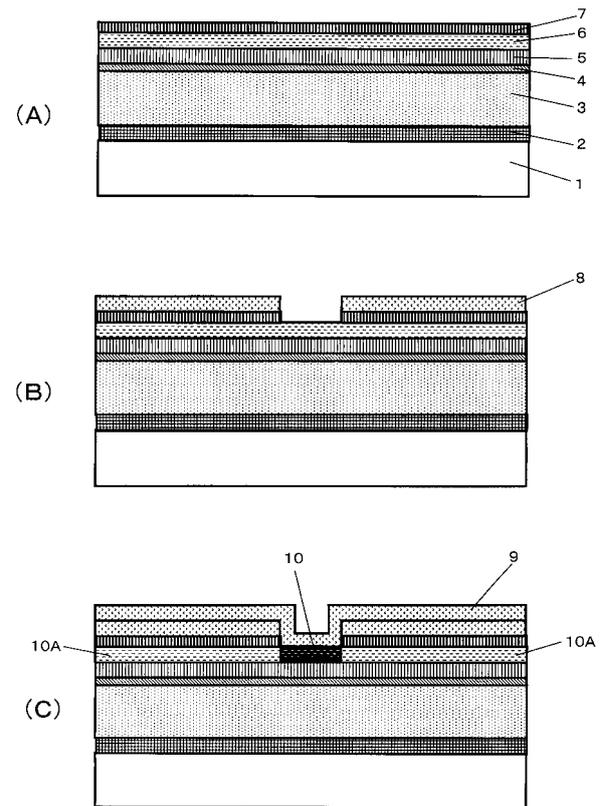
【 図 2 】



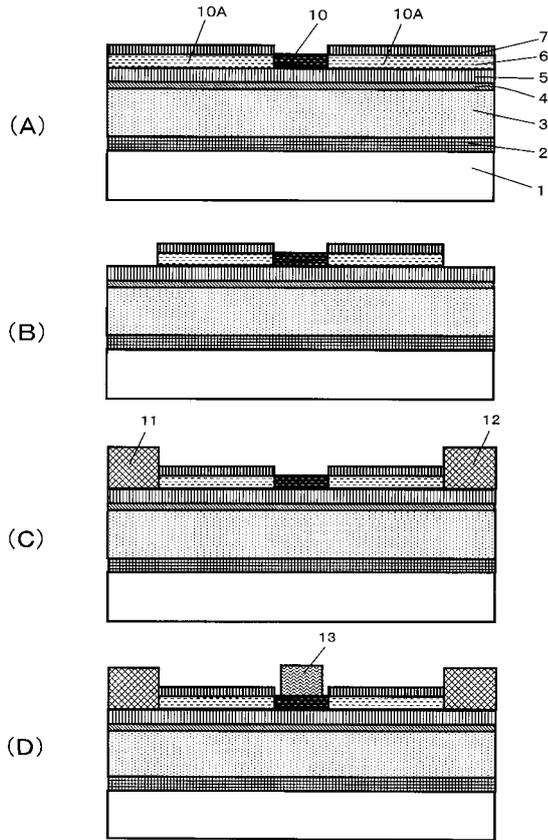
【 図 3 】



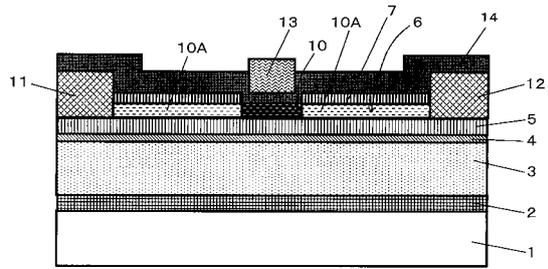
【 図 4 】



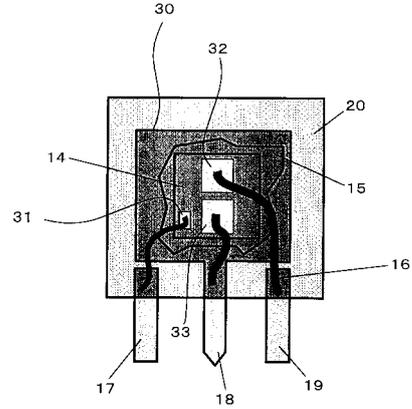
【 図 5 】



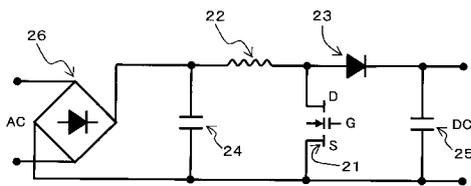
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/306 (2006.01)

Fターム(参考) 5F102 FA03 FA10 GB01 GC01 GD02 GD10 GJ02 GJ03 GJ04 GJ10
GL04 GM04 GM08 GN04 GQ01 GR04 GS01 GT03 GV03 GV08
HC01 HC15 HC16
5F140 AA25 BA01 BA02 BA06 BA09 BB15 BB18 BC12 BC17 BD11
BF05 BF11 BF15 BJ07 BJ11 BJ15