



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년07월11일

(11) 등록번호 10-1750716

(24) 등록일자 2017년06월20일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2011-0101009

(22) 출원일자 2011년10월05일

심사청구일자 2016년10월04일

(65) 공개번호 10-2012-0036269

(43) 공개일자 2012년04월17일

(30) 우선권주장

JP-P-2010-227623 2010년10월07일 일본(JP)

(56) 선행기술조사문현

JP10303412 A

JP2000022158 A

US08207026 B2

JP2006339556 A

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

미조구치 다카후미

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 시라이시 코지로

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 츠부쿠 마사시

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내 츠부쿠 마사시

(74) 대리인

장훈

전체 청구항 수 : 총 10 항

심사관 : 최혜미

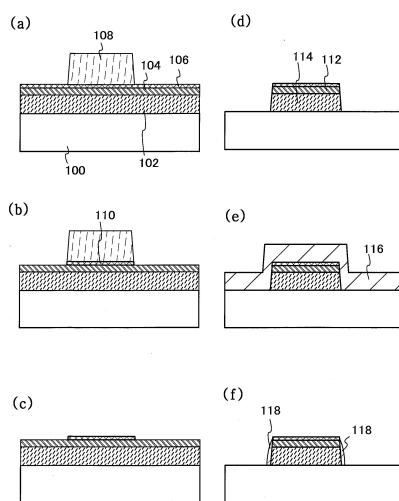
(54) 발명의 명칭 박막 소자, 반도체 장치, 및 박막 소자와 반도체 장치의 제작 방법

(57) 요 약

본 발명은 소정의 층이 수분 등에 절대로 노출되지 않는 반도체 장치의 제작 방법을 제공하는 것을 과제로 한다.

제 1 막, 제 2 막 및 제 3 막을 이 순서로 적층하여 형성하고, 제 3 막 위에 레지스트 마스크를 형성하고, 레지스트 마스크를 이용하여 제 3 막을 에칭함으로써 마스크층을 형성하고, 레지스트 마스크를 약액에 의해 제거하고, 마스크층을 이용하여 제 2 막과 제 1 막을 드라이 에칭함으로써 제 2 층과 제 1 층을 형성하고, 적어도 제 2 층과 제 1 층을 덮어 제 4 막을 형성하고, 제 4 막을 에치백함으로써 적어도 제 1 층의 층면 모두를 덮어 사이드월층을 형성하여 박막 소자를 제작한다.

대 표 도 - 도1



명세서

청구범위

청구항 1

반도체 장치의 제작 방법에 있어서:

기판 위에 반도체막을 형성하는 단계와;

상기 반도체막 위에 도전막을 형성하는 단계와;

상기 도전막 위에 마스크막을 형성하는 단계와;

상기 마스크막 위에 레지스트 마스크를 형성하는 단계와;

상기 레지스트 마스크를 마스크로서 사용하여 제 1 마스크층을 형성하기 위해 상기 마스크막을 에칭하는 단계와;

상기 마스크막을 에칭한 후 상기 레지스트 마스크를 제거하는 단계와;

상기 레지스트 마스크를 제거한 후 상기 제 1 마스크층을 마스크로서 사용하여 드라이 에칭에 의해 상기 도전막과 상기 반도체막을 연속해서 에칭하는 단계와;

상기 도전막과 상기 반도체막을 연속해서 에칭한 후 상기 제 1 마스크층 위에 절연막을 형성하는 단계와;

상기 절연막을 형성한 후 상기 제 1 마스크층을 노출시키기 위해 상기 반도체막의 측면을 덮는 사이드월을 형성하도록 이방성 에칭에 의해 상기 절연막을 에칭하는 단계와;

제 2 마스크층을 형성하기 위해 상기 제 1 마스크층을 에칭하는 단계와;

상기 제 2 마스크층을 마스크로서 사용하여 측면이 상기 사이드월에 의해 덮이는 상기 에칭된 도전막을 드라이 에칭하여 소스 전극층 및 드레인 전극층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 2

삭제

청구항 3

반도체 장치의 제작 방법에 있어서:

기판 위에 반도체막을 형성하는 단계와;

상기 반도체막 위에 도전막을 형성하는 단계와;

상기 도전막 위에 제 1 마스크층을 형성하는 단계와;

상기 제 1 마스크층을 마스크로서 사용하여 드라이 에칭에 의해 상기 반도체막과 상기 도전막을 연속해서 에칭하는 단계와;

상기 반도체막 및 상기 도전막을 연속해서 에칭한 후 상기 제 1 마스크층 위에 절연막을 형성하는 단계와;

상기 절연막을 형성한 후 이방성 에칭에 의해 상기 절연막을 에칭하여, 에칭된 절연막이 상기 반도체막의 측면을 덮도록 상기 에칭된 절연막을 형성하고 상기 제 1 마스크층을 노출시키는 단계;

제 2 마스크층을 형성하기 위해 상기 제 1 마스크층을 에칭하는 단계와;

상기 제 2 마스크층을 마스크로서 사용하여 측면이 상기 에칭된 절연막에 의해 덮이는 상기 도전막을 드라이 에칭하여 소스 전극층 및 드레인 전극층을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 반도체막은 In, Ga 및 Zn 중에서 선택된 금속 산화물을 포함하는, 반도체 장치의 제작 방법.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 이방성 에칭은 드라이 에칭인, 반도체 장치의 제작 방법.

청구항 6

제 1 항 또는 제 3 항에 있어서,

상기 절연막의 에칭은 에칭된 절연막이 상기 반도체막의 측면 모두를 덮도록 행해지는, 반도체 장치의 제작 방법.

청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층을 형성하기 전에 에칭된 절연막을 덮도록 제 2 사이드월을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 8

제 3 항에 있어서,

상기 절연막의 에칭은 상기 제 1 마스크층의 상면이 노출되도록 행해지는, 반도체 장치의 제작 방법.

청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 반도체막을 형성하기 전에 제 2 도전막과 제 2 절연막을 형성하는 단계를 더 포함하고,

상기 제 2 도전막 위에 상기 제 2 절연막이 형성되고,

상기 절연막의 에칭은 상기 절연막이 상기 제 2 절연막의 단차의 측면을 덮도록 행해지고,

상기 제 2 절연막의 단차는 상기 제 2 도전막의 두께에 기인하는, 반도체 장치의 제작 방법.

청구항 10

삭제

청구항 11

제 1 항 또는 제 3 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층의 형성은 상기 소스 전극층 및 상기 드레인 전극층이 에칭된 절연막으로부터 분리되도록 행해지는, 반도체 장치의 제작 방법.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 절연막은 CVD법 또는 스파터링법에 의해 형성되는, 반도체 장치의 제작 방법.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기술 분야

[0001] 본 발명은 박막 소자와 그 제작 방법에 관한 것이다. 또한, 반도체 장치와 그 제작 방법에 관한 것이다. 또한, 본 명세서에 있어서, 반도체 장치란 반도체 소자 자체 또는 반도체 소자를 포함하는 것을 가리키며, 이러

한 반도체 소자로서, 예를 들어 트랜지스터(박막 트랜지스터 등)를 들 수 있다. 또한, 액정 표시 장치 등의 표시 장치도 반도체 장치에 포함된다.

배경 기술

[0002] 최근에는 반도체 장치는 사람의 생활에 필수 불가결한 것이다. 이러한 반도체 장치에 포함되는 박막 트랜지스터 등의 반도체 소자는 기판 위에 반도체막 등의 박막을 형성하고, 상기 박막을 포토리소그래피법 등에 의해 원하는 형상으로 가공함으로써 제작된다. 이러한 제작 방법은 예를 들어 액정 표시 장치(예를 들어 액정 텔레비전)에 적용된다.

[0003] 박막 트랜지스터에 형성되는 반도체층의 재료로서는 실리콘이나 널리 사용되고 있다. 그러나, 최근에는 반도체층의 재료로서 산화물 반도체를 사용한 박막 트랜지스터에 대해서도 활발히 연구되고 있다.

[0004] 산화물 반도체를 사용한 박막 트랜지스터에서는, 반도체층에 수분이 들어가면 캐리어 농도가 크게 변화되는 것이 알려져 있다(예를 들어, 특히 문헌 1 및 특히 문헌 2 참조). 또한, 산화물 반도체 이외의 재료를 사용한 박막 트랜지스터에 대해서도 반도체층에 수분이 들어감으로써 특성이 변화되는 것이 알려져 있다(예를 들어, 특히 문헌 3 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본국 특개2010-182818호 공보
- (특허문헌 0002) 일본국 특개2010-182819호 공보
- (특허문헌 0003) 일본국 특개2005-55660호 공보

발명의 내용

해결하려는 과제

[0006] 만약 반도체층에 수분이 들어온다면, 이것을 제거하는 것은 용이하지 않다. 들어온 수분을 제거하는 수단의 일례로서, 수분이 들어온 반도체층에 대해서 열처리하는 것을 들 수 있다. 그러나, 예를 들어 유리 기판 위에 반도체층을 형성한 경우, 가열할 수 있는 온도에 상한값이 있어서 열처리에는 오랜 시간이 소요되기 때문에 스루 풋을 저하시키는 원인의 하나가 된다.

[0007] 또한, 반도체층을 가공하기 위해서 필요한 레지스트 마스크는, 예를 들어 산소 플라즈마를 이용한 드라이 공정에 의해 제거되어, 물을 포함하는 박리액의 사용을 회피할 수 있고, 이로써, 반도체층이 직접 물에 접촉하는 것을 방지할 수 있다. 그러나, 드라이 공정을 이용하는 경우에는 레지스트의 일부가 잔존하기 쉽다.

[0008] 본 발명의 일 형태는 물을 포함하는 약액에 의해 레지스트 마스크를 제거하는 경우라도 반도체층의 전체면이 수분 등에 노출되지 않고 제작할 수 있는 반도체 장치의 제작 방법을 제공하는 것을 과제로 한다. 특히, 레지스트 마스크를 박리할 때 반도체층이 물을 포함하는 박리액에 노출되지 않는, 반도체 장치의 제작 방법을 제공하는 것을 과제로 한다.

[0009] 또한, 본 발명은 반도체 장치와 그 제작 방법에 한정되지 않고 반도체 장치 이외의 박막 소자에 적용하여도 좋다. 박막 소자는 정밀 기기의 부품 등으로서 탑재되는 것이며, 정밀 기기의 부품에 수분 등이 들어가는 것이 상기 부품의 오동작의 원인의 하나가 되는 것은 말할 필요도 없다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 제 1 막, 제 2 막 및 제 3 막을 이 순서로 적층하여 형성하고, 상기 제 3 막 위에 레지스트 마스크를 형성하고, 상기 레지스트 마스크를 이용하여 상기 제 3 막을 에칭함으로써 마스크층을 형성하고, 상기 레지스트 마스크를 약액에 의해 제거하고, 상기 마스크층을 이용하여 상기 제 2 막과 상기 제 1 막을 드라이 에칭함으로써 제 2 층과 제 1 층을 형성하고, 적어도 상기 제 2 층과 상기 제 1 층을 덮어 제 4 막을 형성하고, 상기 제 4 막을 에치백 처리함으로써 적어도 상기 제 1 층의 층면 모두를 덮어 사이드월층을 형성하는 것을

특징으로 하는 박막 소자의 제작 방법이다. 이와 같이 박막 소자를 제작하면, 제 1 층이 수분 등에 노출되지 않고 박막 소자를 제작할 수 있다.

[0011] 또한, 본 명세서에 있어서, 막이란 나중에 가공되는 것을 전제로 하는 것이며, 피(被)형성면 위에 대략 균일하게 형성된 것을 말한다. 층이란 상기 막을 가공한 것, 또는 상기 막이면서도 나중에 가공될 필요가 없는 것을 말한다.

[0012] 또한, 본 명세서에 있어서, 에치백 처리란 임의의 면 위에 형성된 막에 대해서 이방성이 높은 예칭(예를 들어 드라이 예칭)을 함으로써, 상기 면의 일부가 노출될 때까지 예칭하는 공정을 말한다.

[0013] 이러한 박막 소자로서 반도체 소자 또는 트랜지스터 등을 예시할 수 있다. 트랜지스터로서는 화소 트랜지스터를 예시할 수 있다.

발명의 효과

[0014] 본 발명의 일 형태에 따르면, 특정한 층의 전체면이 수분 등에 노출되지 않고 박막 소자를 제작할 수 있다. 따라서, 반도체층의 전체면이 수분 등에 노출되지 않고 트랜지스터 등의 반도체 소자를 제작할 수 있다.

[0015] 본 발명의 일 형태에 따르면, 레지스트를 잔존시키지 않고 특정한 층의 전체면을 수분에 노출시키지 않으면서 박막 소자를 제작할 수 있다. 따라서, 반도체층의 전체면을 수분에 노출시키지 않고 반도체 소자를 제작할 수 있다.

도면의 간단한 설명

[0016] 도 1a 내지 도 1f는 본 발명의 일 형태인 박막 소자의 제작 방법을 설명하는 단면도.

도 2a 내지 도 2d는 본 발명의 일 형태인 박막 소자의 제작 방법을 설명하는 단면도.

도 3a 내지 도 3c는 본 발명의 일 형태인 박막 소자의 제작 방법을 설명하는 단면도.

도 4a 내지 도 4c는 본 발명의 일 형태인 박막 소자의 제작 방법을 설명하는 단면도.

도 5a 내지 도 5d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하는 단면도.

도 6a 내지 도 6d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하는 단면도.

도 7a 내지 도 7d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하는 단면도.

도 8a 내지 도 8d는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하는 단면도.

도 9는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하는 단면도 및 상면도.

도 10은 본 발명의 일 형태인 반도체 장치를 설명하는 도면.

도 11a 및 도 11b는 본 발명의 일 형태인 반도체 장치를 설명하는 도면.

도 12는 본 발명의 일 형태인 반도체 장치를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

[0017] 이하에서는, 본 발명의 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0018] (실시형태 1)

[0019] 본 실시형태에서는, 본 발명의 일 형태인 박막 소자의 제작 방법에 대해서 설명하기로 한다.

[0020] 본 실시형태에서 설명하는 박막 소자의 제작 방법은 제 1 막(102), 제 2 막(104) 및 제 3 막(106)을 이 순서로 기판(100) 위에 적층하여 형성하고, 제 3 막(106) 위에 레지스트 마스크(108)를 형성하고, 레지스트 마스크(108)를 이용하여 제 3 막(106)을 예칭함으로써 마스크층(110)을 형성하고, 레지스트 마스크(108)를 제거하고, 마스크층(110)을 이용하여 제 2 막(104)과 제 1 막(102)을 드라이 예칭함으로써 제 2 층(112)과 제 1 층(114)을 형성하고, 제 2 층(112)과 제 1 층(114)을 덮어 제 4 막(116)을 형성하고, 제 4 막(116)을 에치백 처리함으로써

적어도 제 1 층(114)의 측면 모두를 덮어 사이드월층(118)을 형성하는 것을 특징으로 한다. 본 실시형태의 박막 소자의 제작 방법에 대해서도 1a 내지 1f를 참조하여 설명한다.

[0021] 우선, 기판(100) 위에 제 1 막(102), 제 2 막(104) 및 제 3 막(106)을 이 순서로 적층하여 형성하고, 제 3 막(106) 위에 레지스트 마스크(108)를 형성한다(도 1a 참조).

[0022] 기판(100)으로서는 유리 기판, 석영 기판, 실리콘 기판, 스테인리스 기판 또는 플라스틱 기판 등을 사용할 수 있고, 기판의 재료 등은 특별히 한정되지 않는다.

[0023] 제 1 막(102)은 수분이 들어오면 특성에 영향을 받는 박막이다. 제 1 막(102)은 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 또는 스퍼터링법 등으로 형성할 수 있지만, 이것에 한정되지 않고, 박막을 형성할 수 있는 방법이라면 모든 수단을 적용할 수 있다.

[0024] 제 2 막(104)은 제 1 막(102)에 수분이 접촉하는 것을 방지할 수 있는 막이라면 좋다. 따라서, 제 2 막(104)은 치밀한 막인 것이 바람직하다. 제 2 막(104)은 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 또는 스퍼터링법 등으로 형성할 수 있지만, 이것에 한정되지 않고, 박막을 형성할 수 있는 방법이라면 모든 수단을 적용할 수 있다.

[0025] 제 3 막(106)은 나중의 예칭 공정에 의해 마스크층(110)을 형성할 수 있는 막이라면 좋다. 제 3 막(106)은 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 또는 스퍼터링법 등으로 형성할 수 있지만, 이것에 한정되지 않고, 박막을 형성할 수 있는 방법이라면 모든 수단을 적용할 수 있다.

[0026] 다음에, 레지스트 마스크(108)를 이용하여 제 3 막(106)을 예칭함으로써 마스크층(110)을 형성한다(도 1b 참조). 본 실시형태에 있어서, 이 공정을 제 1 예칭 공정이라고 부른다.

[0027] 레지스트 마스크(108)는 레지스트 재료를 제 3 막(106) 위에 도포 등을 함으로써 형성한 후에 포토리소그래피법으로 가공하여 형성한다.

[0028] 제 1 예칭 공정은 제 3 막(106)의 예칭 레이트가 크고 제 2 막(104)의 예칭 레이트가 작은 조건으로 실시하면 좋다. 즉, 제 1 예칭 공정은 제 2 막(104)에 대한 제 3 막(106)의 예칭 선택비가 높은 조건으로 실시하면 좋다.

[0029] 약액에 의해 레지스트 마스크(108)를 제거한다(도 1c 참조). 여기서, 약액으로서는 레지스트 마스크(108)를 선택적으로 제거할 수 있는 것이라면 좋고, 예를 들어 레지스트 박리액을 이용할 수 있다. 그 후, 세척 공정을 실시하여 상기 약액의 성분을 제거하는 것이 바람직하다.

[0030] 또는, 레지스트 마스크(108)를 약액 이외의 수단(예를 들어 산소 플라즈마 또는 수중 플라즈마(water plasma)를 이용한 애싱(ashing))에 의해 제거한 후에 세척 공정을 실시하여도 좋다. 이 때, 레지스트 마스크(108)의 제거는 상기 수단으로 복수회 처리한 후에 세척 공정을 실시하여도 좋고, 또는 상기 수단에 의해 처리하고 나서 세척 공정을 실시하고 다시 상기 수단으로 제거하여도 좋다.

[0031] 다음에, 마스크층(110)을 이용하여 제 2 막(104)과 제 1 막(102)을 드라이 예칭함으로써, 제 2 층(112)과 제 1 층(114)을 형성한다(도 1d 참조). 본 실시형태에서는 이 공정을 제 2 예칭 공정이라고 부른다.

[0032] 제 2 예칭 공정은 제 3 막(106)의 예칭 레이트가 작고, 제 1 막(102) 및 제 2 막(104)의 예칭 레이트가 큰 조건으로 실시하면 좋다. 즉, 제 2 예칭 공정은 제 3 막(106)에 대한 제 1 막(102) 및 제 2 막(104)의 예칭 선택비가 높은 조건으로 실시하면 좋다.

[0033] 또한, 제 2 예칭 공정은 복수회의 예칭 공정이라도 좋다. 제 2 예칭 공정이 복수회의 예칭 공정인 경우에는, 제 1 막(102)의 예칭 레이트보다 제 2 막(104)의 예칭 레이트가 높은 조건으로 예칭한 후에 제 2 막(104)의 예칭 레이트보다 제 1 막(102)의 예칭 레이트가 높은 조건으로 예칭하는 것이 바람직하다.

[0034] 다음에, 적어도 제 2 층(112)과 제 1 층(114)을 덮어 제 4 막(116)을 형성한다(도 1e 참조).

[0035] 제 4 막(116)은 나중의 공정에 의해 에치백 처리를 할 수 있는 막이라면 좋다. 제 4 막(116)은 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 또는 스퍼터링법 등으로 형성할 수 있지만, 이것에 한정되지 않고, 박막을 형성할 수 있는 방법이라면 모든 수단을 적용할 수 있다.

[0036] 다음에, 제 4 막(116)을 에치백 처리함으로써, 적어도 제 1 층(114)의 측면 모두를 덮어 사이드월층(118)을 형성한다(도 1f 참조). 본 실시형태에 있어서, 이 공정을 제 3 예칭 공정이라고 부른다.

- [0037] 또한, 여기서 에치백 처리란 형성된 박막 위에 마스크 등을 형성하지 않고 상기 박막의 두께 방향으로 등방적으로 실시할 수 있는 에칭 처리를 말한다.
- [0038] 본 실시형태에서 설명한 바와 같이, 제 1 층(114)의 전체면이 수분 등에 노출되지 않고 박막 소자를 제작할 수 있다.
- [0039] (실시형태 2)
- [0040] 실시형태 1에서 설명한 박막 소자의 제작 방법에서는 마스크층(110)은 제 2 층(112) 위에 잔존하여 있지만, 이 것에 한정되지 않고 마스크층(110)은 제거되어도 좋다. 본 실시형태의 박막 소자를 제작하는 방법에 대해서도 1a 내지 3c를 참조하여 설명한다.
- [0041] 본 실시형태에서 설명하는 박막 소자의 제작 방법의 하나는 제 1 막(102), 제 2 막(104) 및 제 3 막(106)을 이 순서로 기판(100) 위에 적층하여 형성하고, 제 3 막(106) 위에 레지스트 마스크(108)를 형성하고(도 1a 참조), 레지스트 마스크(108)를 이용하여 제 3 막(106)을 에칭함으로써 마스크층(110)을 형성하고(도 1b 참조), 레지스트 마스크(108)를 제거하고(도 1c 참조), 마스크층(110)을 이용하여 제 2 막(104)과 제 1 막(102)을 드라이 에칭함으로써 제 2 층(112)과 제 1 층(114)을 형성하고(도 2a 참조), 마스크층(110)을 제거하고(도 2b 참조), 제 2 층(112)과 제 1 층(114)을 덮어 제 4 막(116)을 형성하고(도 2c 참조), 제 4 막(116)을 에치백 처리함으로써 적어도 제 1 층(114)의 측면 모두를 덮어 사이드월층(118)을 형성하는(도 2d 참조) 것을 특징으로 한다.
- [0042] 마스크층(110)을 제거하기 위해서는 제 1 층(114)에 수분이 접촉하지 않는 수단(예를 들어 드라이 에칭 처리)을 적용한다.
- [0043] 또는, 마스크층(110)을 제거하지 않고 제 4 막(116)을 형성하고, 에치백 처리에 의해 마스크층(110)을 제거하여도 좋다. 따라서, 본 실시형태에서 설명하는 박막 소자의 제작 방법의 하나는 제 1 막(102), 제 2 막(104) 및 제 3 막(106)을 이 순서로 기판(100) 위에 적층하여 형성하고, 제 3 막(106) 위에 레지스트 마스크(108)를 형성하고(도 1a 참조), 레지스트 마스크(108)를 이용하여 제 3 막(106)을 에칭함으로써 마스크층(110)을 형성하고(도 1b 참조), 레지스트 마스크(108)를 제거하고(도 1c 참조), 마스크층(110)을 이용하여 제 2 막(104)과 제 1 막(102)을 드라이 에칭함으로써 제 2 층(112)과 제 1 층(114)을 형성하고(도 3a 참조), 제 2 층(112)과 제 1 층(114)을 덮어 제 4 막(116)을 형성하고(도 3b 참조), 제 4 막(116)과 마스크층(110)을 에치백 처리함으로써 적어도 제 1 층(114)의 측면 모두를 덮어 사이드월층(118)을 형성하면서 마스크층(110)을 제거하는(도 3c 참조) 것을 특징으로 한다.
- [0044] 본 실시형태에서 설명한 바와 같이, 실시형태 1과 마찬가지로 제 1 층(114)의 전체 면이 수분 등에 노출되지 않고 박막 소자를 제작할 수 있다.
- [0045] (실시형태 3)
- [0046] 실시형태 1 및 실시형태 2에서 설명한 박막 소자의 제작 방법에서는 사이드월층을 단층으로 하였지만, 이것에 한정되지 않고 사이드월층은 복수의 층들이 적층된 적층 구조라도 좋다. 본 실시형태에서는 사이드월층이 적층 구조인 형태에 대해서도 4a 내지 4c를 참조하여 설명하기로 한다.
- [0047] 사이드월층을 2층의 적층 구조로 하는 경우에는 적어도 제 1 층(114)의 측면 모두를 덮어 사이드월층(118)을 형성하고, 사이드월층(118) 및 마스크층(110) 위에 제 5 막(120)을 형성하고, 제 5 막(120)을 에치백 처리함으로써 또 다른 사이드월층(122)을 형성하면 좋다. 또한, 사이드월층(118)을 형성한 후에 마스크층(110)을 제거하고, 그리고 나서 제 5 막(120)을 형성하여도 좋다.
- [0048] 사이드월층을 2층의 적층 구조로 하는 경우에는 제 1 층(114)에 포함되는 수분뿐만 아니라 수소도 적어질 수 있다. 예를 들어 수분 및 수소가 가능한 한 제거된 분위기하에서 스퍼터링법으로 제 4 막(116)(도 1a 내지 3c 중 어느 것을 참조)을 형성하고, CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함)으로 제 5 막(120)을 형성함으로써, 제 1 층(114)에 접하는 양쪽 부분은 수분 및 수소가 가능한 한 제거된 분위기하에서 형성되고, 바깥쪽 부분은 수분 및 수소가 들어가기 어려운 치밀한 막으로 할 수 있다.
- [0049] 본 실시형태에서 설명한 바와 같이, 실시형태 1 및 실시형태 2와 마찬가지로 제 1 층(114)의 전체면이 수분 등에 노출되지 않고 박막 소자를 제작할 수 있고, 또 제 1 층(114)의 수소의 함유량도 적어질 수 있다. 더구나, 제 1 층(114)에 수소 및 수분이 들어가기 어렵고 차단성(barrier property)이 높은 사이드월층을 형성할 수 있다.

[0050] (실시형태 4)

[0051] 본 실시형태에서는 본 발명의 일 형태인 반도체 소자의 제작 방법에 대해서 설명하기로 한다. 본 실시형태에서는 반도체 소자의 예로서 트랜지스터를 들지만, 이것에 한정되는 것이 아니다.

[0052] 본 실시형태에서 설명하는 트랜지스터의 제작 방법 중 하나는 게이트 전극층(206)을 덮어 형성된 게이트 절연층(208) 위에 반도체막(210), 도전막(212) 및 마스크막(214)을 이 순서로 적층하여 형성하고, 마스크막(214) 위에 제 1 레지스트 마스크(216)를 형성하고, 제 1 레지스트 마스크(216)를 이용하여 마스크막(214)을 드라이 에칭 또는 웨트 에칭함으로써 제 1 마스크층(218)을 형성하고, 제 1 레지스트 마스크(216)를 제거하고, 제 1 마스크층(218)을 이용하여 도전막(212)과 반도체막(210)을 드라이 에칭함으로써 도전층(220)과 반도체층(222)을 형성하고, 적어도 도전층(220)과 반도체층(222)을 덮어 절연막(224)을 형성하고, 절연막(224)을 에치백 처리함으로써 적어도 반도체층(222)의 측면 모두를 덮어 사이드월 절연층(226)을 형성하고, 제 1 마스크층(218) 위에 제 2 레지스트 마스크(230)를 형성하고, 제 2 레지스트 마스크(230)를 이용하여 제 1 마스크층(218)을 드라이 에칭 또는 웨트 에칭함으로써 제 2 마스크층(232)을 형성하고, 제 2 레지스트 마스크(230)를 제거하고, 제 2 마스크층(232)을 이용하여 도전층(220)을 드라이 에칭함으로써 소스 전극 및 드레인 전극층(234)을 형성하는 것을 특징으로 한다. 본 실시형태에 제시하는 트랜지스터의 제작 방법에 대해서 도 5a 내지 도 7d를 참조하여 설명한다.

[0053] 우선, 기판(200) 위에 도전막(202)을 형성하고, 도전막(202) 위에 레지스트 마스크(204)를 형성한다(도 5a 참조).

[0054] 기판(200)은 절연성 기판이다. 기판(200)으로서는 예를 들어 유리 기판, 석영 기판, 세라믹 기판, 또는 본 제작 공정의 처리 온도에 견딜 수 있을 만큼 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 기판(200)이 유리 기판인 경우에는 제 1 세대(예를 들어 320mm×400mm) 내지 제 10 세대(예를 들어, 2950mm×3400mm) 기판을 사용하면 좋지만, 이것에 한정되지 않는다.

[0055] 또한, 기판(200) 위에 하지 절연막이 형성되어도 좋다. 하지 절연막으로서는 예를 들어 질화실리콘막을 형성하면 좋다.

[0056] 도전막(202)은 예를 들어 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 등을 이용하여 형성하면 좋다. 도전막(202)의 재료로서는 예를 들어 금속막, 또는 일 도전형 불순물 원소가 첨가된 반도체막 등을 예시할 수 있다. 또는, 잉크젯법 등을 이용하여 형성하여도 좋다. 또한, 도전막(202)은 단층으로 형성하여도 좋고, 복수의 층들을 적층하여 형성하여도 좋다. 예를 들어 Ti층 또는 Mo층에 의해 Al층을 겹친 3층 적층 구조로 하면 좋다.

[0057] 레지스트 마스크(204)는 레지스트 재료를 도전막(202) 위에 도포 등을 함으로써 형성한 후에 포토리소그래피법으로 가공하여 형성한다.

[0058] 다음에, 도전막(202)을 에칭함으로써 게이트 전극층(206)을 형성한다(도 5b 참조).

[0059] 다음에, 게이트 전극층(206)을 덮어 게이트 절연층(208)을 형성하고, 게이트 절연층(208) 위에 반도체막(210), 도전막(212) 및 마스크막(214)을 이 순서로 적층하여 형성하고, 마스크막(214) 위에 제 1 레지스트 마스크(216)를 형성한다(도 5c 참조).

[0060] 게이트 절연층(208)으로서는 예를 들어 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 등을 이용하여 절연성 재료(예를 들어 질화실리콘, 질화산화실리콘, 산화질화실리콘 또는 산화실리콘 등)막을 형성하면 좋다. 또한, 게이트 절연층(208)은 단층으로 형성하여도 좋고 복수의 층들을 적층하여 형성하여도 좋다.

[0061] 또한, ‘질화산화실리콘’ 이란 그 조성으로서, 산소보다 질소의 함유량이 많은 것으로서, 바람직하게는 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 이용하여 측정한 경우에, 산소의 조성 범위가 5at.% 내지 30at.%, 질소의 조성 범위가 20at.% 내지 55at.%, 실리콘의 조성 범위가 25at.% 내지 35at.%, 수소의 조성 범위가 10at.% 내지 30at.%로 추정되는 것을 말한다.

[0062] 또한, ‘산화질화실리콘’ 이란 그 조성으로서, 질소보다 산소의 함유량이 많은 것으로서, 바람직하게는 RBS 및 HFS를 이용하여 측정한 경우에, 산소의 조성 범위가 50at.% 내지 70at.%, 질소의 조성 범위가 0.5at.% 내지 15at.%, 실리콘의 조성 범위가 25at.% 내지 35at.%, 수소의 조성 범위가 0.1at.% 내지 10at.%로 추정되는 것을

말한다.

- [0063] 다만, 산화질화실리콘 또는 질화산화실리콘의 원자 조성의 합계를 100at.%로 한 경우에, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기 범위 내에 포함되는 것으로 한다.
- [0064] 반도체막(210)은 반도체막이라면 좋고 단층이든 복수의 층들이 격층된 격층 구조든 상관없다. 반도체막(210)으로서, 예를 들어 산화물 반도체막 또는 실리콘막을 들 수 있다.
- [0065] 반도체막(210)이 산화물 반도체막인 경우에는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 사용할 수 있다. 또한, 산화물 반도체막이 SiO_2 를 함유하여도 좋다. 여기서, 예를 들어 In-Ga-Zn-O계 산화물 반도체막이란, In, Ga 또는 Zn을 갖는 산화물 반도체막이라는 의미이며, 그 화학양론비는 특별히 불문한다. 또한, In, Ga, Zn 이외의 원소를 함유하여도 좋다.
- [0066] 반도체막(210)이 산화물 반도체막인 경우에는, 예를 들어 화학식 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$)으로 표기되는 것을 사용할 수도 있다. 여기서, M은 Ga, Al, Mn 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 들 수 있다. 또는, 산화물 반도체막은 SiO_2 를 함유하여도 좋다.
- [0067] 또한, 산화물 반도체막을 스퍼터링법으로 형성하기 위해서 사용되는 타깃으로서는, 예를 들어 조성비가 In_2O_3 : Ga_2O_3 : $\text{ZnO}=1$: 1: 1[mol수 비율]인 산화물 타깃을 사용한다. 다만, 이 타깃의 재료 및 조성에 한정되지 않고, 예를 들어 In_2O_3 : Ga_2O_3 : $\text{ZnO}=1$: 1: 2[mol수 비율]인 산화물 타깃을 사용하여도 좋다.
- [0068] 여기서는 반도체막(210)이 산화물 반도체막이며, 스퍼터링법에 의해 형성되는 경우에는 희가스(예를 들어 Ar) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 실시할 수 있다.
- [0069] 또한, 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 이와 같이 충전율이 높은 산화물 타깃을 사용함으로써, 형성될 산화물 반도체막을 치밀한 막으로 할 수 있다.
- [0070] 반도체막(210)이 산화물 반도체막인 경우에는 반도체막(210)에 접하는 게이트 절연층(208)을 산화실리콘으로 형성하고, 나중에 형성할 사이드월 절연층(226)도 산화실리콘으로 형성하고, 산화물 반도체막을 탈수화하거나 탈수소화할 수 있는 조건으로 열처리하면 좋다. 이와 같이 열처리를 하는 경우라도 산화물 반도체막이 수분에 노출되지 않기 때문에 열처리 시간은 종래보다 짧아도 좋다.
- [0071] 또는, 반도체막(210)으로서 실리콘막을 사용하여도 좋다. 실리콘막으로서는 비정질 실리콘막을 사용하면 좋다. 또는, 캐리어 이동도가 높은 실리콘막 위에 캐리어 이동도가 낮은 실리콘막이 형성된 격층 실리콘막이라도 좋다.
- [0072] 캐리어 이동도가 높은 실리콘막으로서는 결정성 실리콘막을 들 수 있다. 결정성 실리콘으로서는, 예를 들어 미결정 실리콘을 들 수 있다. 여기서, 미결정 실리콘이란 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조를 갖는 실리콘을 말한다. 미결정 실리콘은 열역학적으로 안정된 제 3 상태를 갖고, 단거리 질서와 격자 변형을 갖는 결정질 실리콘으로서, 결정 입경이 2nm 이상 200nm 이하, 바람직하게는 10nm 이상 80nm 이하, 더 바람직하게는 20nm 이상 50nm 이하의 주상(柱狀) 또는 침상(針狀)의 결정립이 기판 표면에 대해서 법선(法線) 방향으로 성장한 실리콘이다. 따라서, 주상 또는 침상의 결정립의 계면에는 입계가 형성될 수도 있다. 또한, 여기서 말하는 결정 입경이란 기판 표면과 평행한 면에서의 결정립의 최대 직경을 가리킨다. 또한, 결정립은 비정질 실리콘 영역과, 단결정으로 간주되는 미소 결정인 결정자를 갖는다. 또한, 결정립은 쌍정(twin crystal)을 갖는 경우도 있다.
- [0073] 미결정 실리콘에서는, 그 라만 스펙트럼의 피크가 단결정 실리콘을 나타내는 520cm^{-1} 보다 저파수측으로 시프트하고 있다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 과 비정질 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 위치한다. 또한, He, Ar, Kr, 또는 Ne 등의 희가스 원소를 함유시켜 격자 변형을 더 촉진시킴으로써, 안정성이 높고 양호한 미결정 실리콘을 얻을 수 있다.

- [0074] 캐리어 이동도가 낮은 실리콘막으로서는 비정질 실리콘막을 사용하면 좋지만, 바람직하게는 비정질 실리콘과 미소 실리콘 결정립을 갖고, 종래의 비정질 실리콘막과 비교하여 일정 광전류법(CPM: Constant Photocurrent Method)이나 포토루미네선스 분광 측정으로 측정되는 Urbach 에지의 에너지가 작고, 결함 흡수 스펙트럼량이 적은 실리콘막이라면 좋다. 이러한 실리콘막은 종래의 비정질 실리콘막과 비교하여 결함이 적고 가전자 대역의 밴드 에지(이동도 끝)에서의 준위의 테일(아래쪽 부분)의 기울기가 급준하며 질서성이 높다.
- [0075] 캐리어 이동도가 낮은 실리콘막에는 할로겐 또는 질소가 함유되어도 좋다. 질소가 함유되는 경우에는 NH₃기 또는 NH₂기로서 함유되어도 좋다.
- [0076] 또한, 여기서 캐리어 이동도가 높은 실리콘막과 캐리어 이동도가 낮은 실리콘막의 계면 영역은 미결정 반도체 영역, 및 상기 미결정 반도체 영역 사이에 충전되는 비정질 반도체 영역을 갖는다. 구체적으로는 캐리어 이동도가 높은 실리콘막으로부터 뾰啻상으로 연장된 미결정 반도체 영역과, 캐리어 이동도가 낮은 실리콘막과 같은 ‘비정질 반도체를 포함한 영역’으로 구성된다.
- [0077] 캐리어 이동도가 낮은 실리콘막이 소스 전극 및 드레인 전극과 캐리어 이동도가 높은 실리콘막 사이에 형성되면, 트랜지스터의 오프 전류를 작게 할 수 있다. 또한, 상기 계면 영역에서 뾰啻상으로 연장된 미결정 실리콘 영역을 갖기 때문에 세로 방향(막의 성장 방향)의 저항을 낮게 할 수 있어서 트랜지스터의 온 전류를 높일 수 있다. 즉, 종래의 비정질 실리콘을 적용한 경우와 비교하면 오프 전류를 충분히 저감시키면서 온 전류의 저하를 억제할 수도 있으며 트랜지스터의 스위칭 특성을 높게 할 수 있다.
- [0078] 또한, 미결정 실리콘 영역은 캐리어 이동도가 높은 실리콘막의 표면으로부터 두께 방향으로 성장하지만, 원료 가스에 있어서 퇴적성 가스(예를 들어 실란)에 대한 수소의 유량이 적은 경우(즉, 희석률이 낮은 경우), 또는 질소를 함유한 원료 가스의 농도가 높은 경우에는 미결정 실리콘 영역에서의 결정 성장이 억제되어 결정립이 뾰啻상이 되며, 퇴적되어 형성되는 실리콘은 대부분이 비정질 실리콘이 된다.
- [0079] 도전막(212)은 예를 들어 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함) 등을 이용하여 형성하면 좋다. 또는, 잉크젯법 등을 이용하여 형성하여도 좋다. 또한, 도전막(212)은 단층으로 형성하여도 좋고 복수의 층들을 적층하여 형성하여도 좋다. 예를 들어 Ti층 위에 Al층이 형성된 2층 적층 구조로 하면 좋다.
- [0080] 마스크막(214)은 나중의 제 1 에칭 공정 및 제 3 에칭 공정에서 에칭되지 않는(에칭되기 어려운) 재료로 형성하면 좋다. 마스크막(214)으로서 예를 들어 산화실리콘막 또는 질화실리콘막 등의 절연막을 사용할 수 있다. 또는, 마스크막(214)으로서 예를 들어 금속막을 사용할 수 있다. 금속막을 사용한 경우에는 전극층의 일부로서 사용할 수 있다.
- [0081] 제 1 레지스트 마스크(216)는 레지스트 재료를 마스크막(214) 위에 도포 등을 함으로써 형성한 후에 포토리소그래피법에 의해 가공하여 형성한다.
- [0082] 다음에 제 1 레지스트 마스크(216)를 이용하여 마스크막(214)을 드라이 에칭 또는 웨트 에칭함으로써 제 1 마스크층(218)을 형성한다(도 5d 참조). 본 실시형태에 있어서, 이 공정을 제 1 에칭 공정이라고 부른다.
- [0083] 여기서, 제 1 에칭 공정은 도전막(212)의 에칭 레이트가 작고 마스크막(214)의 에칭 레이트가 큰 조건으로 실시하면 좋다. 즉, 제 1 에칭 공정은 도전막(212)에 대한 마스크막(214)의 에칭 선택비가 높은 조건으로 실시하면 좋다.
- [0084] 다음에, 제 1 레지스트 마스크(216)를 레지스트 박리액에 의해 제거한다(도 6a 참조).
- [0085] 다음에, 제 1 마스크층(218)을 이용하여 도전막(212)과 반도체막(210)을 드라이 에칭함으로써 도전층(220)과 반도체층(222)을 형성한다(도 6b 참조). 본 실시형태에서는 이 공정을 제 2 에칭 공정이라고 부른다.
- [0086] 여기서, 제 2 에칭 공정은 제 1 마스크층(218)의 에칭 레이트가 작고, 도전막(212)과 반도체막(210)의 에칭 레이트가 큰 조건으로 실시하면 좋다. 즉, 제 2 에칭 공정은 제 1 마스크층(218)에 대한 도전막(212)과 반도체막(210)의 에칭 선택비가 높은 조건으로 실시하면 좋다. 또한, 제 2 에칭 공정은 복수 종류의 막을 에칭하기 위해서 복수회의 공정(예를 들어 2단계)으로 실시하는 것이 바람직하다.
- [0087] 여기서 실시형태 2와 마찬가지로 제 1 마스크층(218)을 제거하여도 좋다. 제 1 마스크층(218)을 제거하기 위해서는 반도체층(222)에 수분이 접촉하지 않는 수단(예를 들어 드라이 에칭 처리)을 적용한다.
- [0088] 다음에, 도전층(220)과 반도체층(222)을 덮어 절연막(224)을 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열

CVD법 등을 포함함) 등으로 형성한다(도 6c 참조).

[0089] 다음에, 절연막(224)을 애치백 처리함으로써 적어도 반도체층(222)의 측면 모두를 덮어 사이드월 절연층(226)을 형성한다. 여기서 애치백 처리는 제 1 마스크층(218) 또는 도전층(220)이 노출될 때까지 실시한다. 또한, 사이드월 절연층(226)을 형성함과 동시에 게이트 전극층(206)의 두께에 기인하여 게이트 절연층(208)에 형성된 단자 부분 중 노출된 부분에는 사이드월 절연층(228)이 형성된다(도 6d 참조).

[0090] 다음에, 제 1 마스크층(218) 위에 제 2 레지스트 마스크(230)를 형성한다(도 7a 참조).

[0091] 제 2 레지스트 마스크(230)는 레지스트 재료를 제 1 마스크층(218) 위에 도포 등을 함으로써 형성한 후에 포토리소그래피법에 의해 가공하여 형성한다.

[0092] 또는, 여기까지의 공정으로 제 1 마스크층(218)이 제거된 경우에는 적어도 도전층(220) 위에 제 2 마스크막을 형성하고, 상기 제 2 마스크막 위에 제 2 레지스트 마스크(230)를 형성한다.

[0093] 다음에, 제 2 레지스트 마스크(230)를 이용하여 제 1 마스크층(218) 또는 제 2 마스크막을 드라이 에칭 또는 웨트 에칭함으로써, 제 2 마스크층(232)을 형성한다. 본 실시형태에서는 이 공정을 제 3 에칭 공정이라고 부른다(도 7b 참조).

[0094] 여기서, 제 3 에칭 공정은 도전막(212)의 에칭 레이트가 작고 마스크막(214)의 에칭 레이트가 큰 조건으로 실시하면 좋다. 즉, 제 3 에칭 공정은 도전막(212)에 대한 마스크막(214)의 에칭 선택비가 높은 조건으로 실시하면 좋다. 또한, 사이드월 절연층(226)이 에칭되지 않는 것도 중요하다.

[0095] 다음에, 제 2 레지스트 마스크(230)를 레지스트 박리액에 의해 제거한다(도 7c 참조).

[0096] 다음에, 제 2 마스크층(232)을 이용하여 도전층(220)을 드라이 에칭함으로써, 소스 전극 및 드레인 전극층(234)을 형성한다. 본 실시형태에 있어서, 이 공정을 제 4 에칭 공정이라고 부른다(도 7d 참조). 본 실시형태에 있어서, 제 4 에칭 공정에서 소스 전극 및 드레인 전극층(234)과 사이드월 절연층(226) 사이에 공간(홈)이 형성됨으로써 서로 분리된다. 즉, 소스 전극 및 드레인 전극층(234)과 사이드월 절연층(226)은 서로 접촉하지 않는다.

[0097] 여기서, 제 4 에칭 공정은 반도체층(222)의 에칭 레이트가 작고 도전층(220)의 에칭 레이트가 큰 조건으로 실시하면 좋다. 즉, 제 4 에칭 공정은 반도체층(222)에 대한 도전층(220)의 에칭 선택비가 높은 조건으로 실시하면 좋다.

[0098] 또한, 도시하지 않지만, 제 4 에칭 공정에서 제 2 마스크층(232)과 중첩되지 않는 부분의 반도체층(222)이 에칭되어도 좋다.

[0099] 또한, 도시하지 않지만 이후에 제 2 마스크층(232)을 제거하여도 좋다. 제 2 마스크층(232)을 제거하기 위해서는 반도체층(222)에 수분이 접촉하지 않는 수단(예를 들어 드라이 에칭 처리)을 적용한다.

[0100] 상술한 반도체 장치의 제작 방법에서는 박막 재료와 에칭 공정에 사용하는 가스 또는 에천트의 조합에 조심해야 한다.

[0101] 예를 들어 반도체막(210)이 In-Ga-Zn-O계 산화물 반도체막이고 도전막(212)이 티타늄막이고 마스크막(214)이 산화알루미늄막인 경우에는, 제 1 에칭 공정 및 제 3 에칭 공정에는 에천트로서 인산, 아세트산, 질산, 순수(純水)를 혼합시킨 약액(일례로서 85:5:5:5의 체적비)을 사용하면 좋고, 제 2 에칭 공정에는 Cl계 가스를 사용하면 좋고, 제 4 에칭 공정에는 F계 가스를 사용하면 좋다. 또는, 제 4 에칭 공정은 Cl계 가스에 의한 에칭과 F계 가스에 의한 에칭의 2단계 공정으로 실시하여도 좋다.

[0102] 또는, 반도체막(210)이 In-Ga-Zn-O계 산화물 반도체막이고 도전막(212)이 티타늄막이고 마스크막(214)이 산화실리콘막인 경우에는, 제 1 에칭 공정 및 제 3 에칭 공정에는 에천트로서 불산을 사용하면 좋다. 이 때, 제 2 에칭 공정에는 Cl계 가스를 사용하면 좋고, 제 4 에칭 공정에는 F계 가스를 사용하면 좋다. 또는, 제 4 에칭 공정은 Cl계 가스에 의한 에칭과 F계 가스에 의한 에칭의 2단계 공정으로 실시하여도 좋다.

[0103] 또한, Cl계 가스로서는 CCl_4 가스, $SiCl_4$ 가스, BCl_3 가스 및 Cl_2 가스를 들 수 있다. 특히 바람직하게는 BCl_3 가스와 Cl_2 가스의 혼합 가스를 사용한다.

[0104] 또한, F계 가스로서는 CF_4 가스, SF_6 가스, NF_3 가스, $CBrF_3$ 가스, CF_3SO_3H 가스 및 C_3F_8 가스를 들 수 있다. 특

히 바람직하게는 SF₆ 가스를 사용한다.

[0105] 본 실시형태에서 설명한 바와 같이 반도체층(222)의 전체면이 수분 등에 노출되지 않고 반도체 소자(일례로서 트랜지스터)를 제작할 수 있다.

[0106] 또한, 본 실시형태의 반도체 소자의 제작 방법에 실시형태 2에 제시한 박막 소자의 제작 방법을 적용하여도 좋다. 즉, 제 1 마스크층(218)이 절연막(224)을 형성하기 전에 제거되거나 또는 제 1 마스크층(218)이 사이드월 절연층(226)의 형성시에 제거되어도 좋다.

[0107] 또한, 본 실시형태에 제시한 반도체 소자의 제작 방법에 실시형태 3에 제시한 박막 소자의 제작 방법을 적용하여도 좋다. 즉, 사이드월 절연층이 적층 구조라도 좋다. 이 때, 반도체층의 측면에 접하는 안쪽의 사이드월 절연층으로서 예를 들어 산화실리콘층, 산화질화실리콘층, 질화산화실리콘층 또는 질화실리콘층을 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함)에 의해 형성하고, 바깥쪽의 사이드월 절연층으로서 예를 들어 산화실리콘층, 산화질화실리콘층, 질화산화실리콘층 또는 질화실리콘층을 스퍼터링법 또는 CVD법(플라즈마 CVD법 또는 열 CVD법 등을 포함함)에 의해 형성하면 좋다. 바람직하게는 안쪽의 사이드월 절연층으로서 산화실리콘층을 스퍼터링법으로 형성하고, 바깥쪽의 사이드월 절연층으로서 예를 들어 질화실리콘층을 플라즈마 CVD법으로 형성하면 반도체층에 함유되는 수소의 양을 적게 할 수 있고, 반도체층으로 수소 및 수분이 들어가기 어렵고 차단성이 높은 사이드월 절연층을 형성할 수 있다. 더구나, 반도체층(222)을 산화물 반도체층으로 한 경우에는 산화물 반도체층에 접하는 부분을 산화실리콘층으로 함으로써, 산화물 반도체층에 산소를 공급할 수 있다.

[0108] (실시형태 5)

[0109] 실시형태 4에서 설명한 반도체 소자(트랜지스터)는 표시 장치의 화소 트랜지스터로서 사용할 수 있다.

[0110] 본 실시형태에 제시하는 화소 트랜지스터의 제작 방법은 실시형태 4에서 설명한 제작 방법을 적용하여 제작한 트랜지스터의 적어도 소스 전극 및 드레인 전극층(234), 반도체층(222)을 덮어 보호 절연막(236)을 형성하고, 보호 절연막(236)의 소스 전극 및 드레인 전극층(234)과 중첩되는 부분에 소스 전극 및 드레인 전극층(234)을 노출시키는 개구부(240)를 형성하고, 개구부(240)를 통하여 소스 전극 및 드레인 전극층(234)과 접속되도록 보호 절연막(236) 위에 화소 전극층(246)을 위치 선택적으로 형성하는 것을 특징으로 한다. 본 실시형태의 박막 소자의 제작 방법에 대해서도 8a 내지 8d를 참조하여 설명한다.

[0111] 우선, 실시형태 4에서 설명한 제작 방법을 적용하여 제작한 트랜지스터의 적어도 제 2 마스크층(232), 소스 전극 및 드레인 전극층(234), 반도체층(222)을 덮어 보호 절연막(236)을 형성한다(도 8a 참조).

[0112] 보호 절연막(236)은 게이트 절연층(208)과 마찬가지로 절연성 재료로 형성하면 좋다. 또한, 단층으로 형성하여도 좋고 복수의 층들을 적층하여 형성하여도 좋다. 여기서는 예를 들어 질화실리콘으로 형성하면 좋다.

[0113] 다음에, 보호 절연막(236) 위에 레지스트 마스크(238)를 형성하고, 보호 절연막(236) 중 소스 전극 및 드레인 전극층(234)과 중첩되는 부분에 개구부(240)를 형성한다(도 8b 참조).

[0114] 다음에, 개구부(240)를 통하여 소스 전극 및 드레인 전극층(234)과 접속되도록 보호 절연막(236) 위에 화소 전극층(246)을 위치 선택적으로 형성한다. 본 실시형태에서는 일례로서 보호 절연막(236) 위에 투명 도전막(242)을 형성하고, 투명 도전막(242) 위에 레지스트 마스크(244)를 형성한다(도 8c 참조). 그리고, 투명 도전막(242)을 예칭함으로써 화소 전극층(246)이 형성된다(도 8d 참조).

[0115] 다만, 이것에 한정되지 않고 개구부(240)를 통하여 소스 전극 및 드레인 전극층(234)과 접속되도록 보호 절연막(236) 위에 잉크젯법에 의해 화소 전극층(246)을 위치 선택적으로 형성하여도 좋다.

[0116] 투명 도전막(242)은 투광성을 갖는 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 투명 도전막(242)은 시트 저항이 10000Ω/square 이하, 및 파장 550nm에서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 0.1Ω · cm 이하인 것이 바람직하다.

[0117] 또한, 도전성 고분자로서는 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 아닐린, 피롤 및 티오펜 중 2종류 이상으로 이루어진 공중합체 또는 그 유도체 등을 들 수 있다.

[0118] 투명 도전막(242)은 예를 들어, 산화텅스텐을 함유한 인듐산화물, 산화텅스텐을 함유한 인듐아연산화물, 산화티

타늄을 함유한 인듐산화물, 산화티타늄을 함유한 인듐주석산화물, 인듐주석산화물(이하, ITO라고 함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등을 사용하여 형성할 수 있다.

[0119] 상술한 바와 같이 화소 전극층(246)까지 형성된 화소 트랜지스터의 단면도와 상면도의 일례를 도 9에 도시한다.

[0120] 본 실시형태에서 설명한 바와 같이 반도체층(222)의 전체면이 수분 등에 노출되지 않고 화소 트랜지스터를 제작할 수 있다.

[0121] (실시형태 6)

[0122] 본 발명의 일 형태인 반도체 장치로서 전자 종이를 들 수 있다. 전자 종이는 정보를 표시하는 것이라면 모든 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 종이를 사용하여 전자 서적(전자 책), 포스터, 전자 간판(Digital Signage), PID(Public Information Display), 전철 등의 탈 것의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 10에 도시한다.

[0123] 도 10은 전자 서적의 일례를 도시한다. 예를 들어, 전자 서적(300)은 하우징(301) 및 하우징(303)의 2개의 하우징으로 구성된다. 하우징(301) 및 하우징(303)은 축부(311)에 의해 일체로 되어 있고, 상기 축부(311)를 축으로 하여 개폐 동작을 할 수 있다. 이러한 구성에 의해 종이 서적과 같이 취급할 수 있다.

[0124] 하우징(301)에는 표시부(305) 및 광전 변환 장치(306)가 내장되고, 하우징(303)에는 표시부(307) 및 광전 변환 장치(308)가 내장된다. 표시부(305) 및 표시부(307)는 하나의 연속 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어 오른쪽 표시부(도 10에서는 표시부(305))에 글을 표시하고, 왼쪽 표시부(도 10에서는 표시부(307))에 화상을 표시할 수 있다.

[0125] 또한, 도 10에서는 하우징(301)에 조작부 등을 구비한 예를 도시한다. 예를 들어 하우징(301)에 있어서, 전원(321), 조작키(323), 스피커(325) 등을 구비한다. 조작키(323)에 의해 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 하우징의 이면이나 축면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(300)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0126] 또한, 전자 서적(300)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고 다운로드하는 구성으로 할 수도 있다.

[0127] 실시형태 1 내지 실시형태 3에서 설명한 박막 소자, 실시형태 4에서 설명한 트랜지스터, 실시형태 5에서 설명한 화소 트랜지스터를 적용함으로써, 원하는 층에 수분을 접촉시키지 않고 본 실시형태의 반도체 장치를 제작할 수 있다.

[0128] (실시형태 7)

[0129] 본 발명의 일 형태인 반도체 장치로서 전자 종이 이외에도 다양한 전자 기기(게임기도 포함함)를 들 수 있다. 전자 기기로서는, 예를 들어 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 패친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.

[0130] 도 11a는 텔레비전 장치의 일례를 도시한다. 텔레비전 장치(400)는 하우징(401)에 표시부(403)가 내장된다. 표시부(403)에 의해 영상을 표시할 수 있다. 또한, 여기서는 스탠드(405)에 의해 하우징(401)을 지지한 구성을 도시한다.

[0131] 텔레비전 장치(400)는 하우징(401)이 구비하는 조작 스위치나 별도로 구비하는 리모트 컨트롤러(410)에 의해 조작할 수 있다. 리모트 컨트롤러(410)가 구비하는 조작키(409)에 의해 채널이나 음량을 조작할 수 있고, 표시부(403)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(410)에 상기 리모트 컨트롤러(410)로부터 출력되는 정보를 표시하는 표시부(407)를 형성하는 구성으로 하여도 좋다.

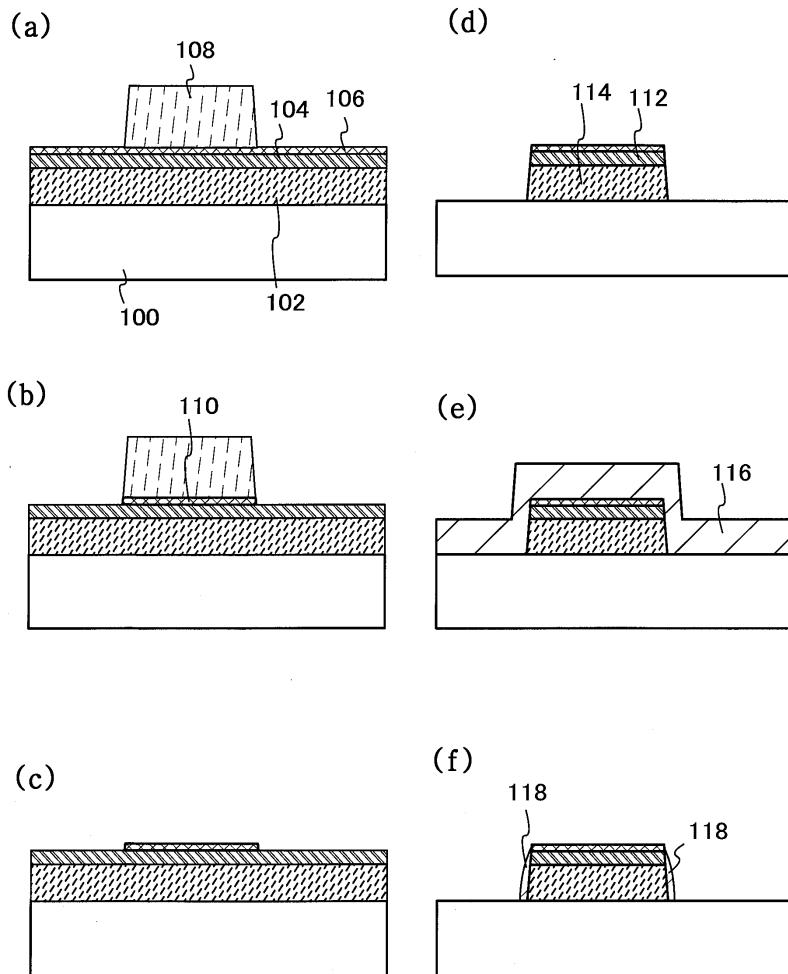
[0132] 또한, 텔레비전 장치(400)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반적인 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 할 수도 있다.

- [0133] 도 11b는 디지털 포토 프레임의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(420)은 하우징(421)에 표시부(423)가 내장된다. 표시부(423)는 각종 화상을 표시할 수 있고, 예를 들어 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 일반적인 사진들과 같이 기능시킬 수 있다.
- [0134] 또한, 디지털 포토 프레임(420)은 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 한다. 이를 구성은 표시부와 동일면에 조합되어도 좋지만, 측면이나 이면에 구비되면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(423)에 표시시킬 수 있다.
- [0135] 또한, 디지털 포토 프레임(420)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의해 원하는 화상 데이터를 취득하고 표시시키는 구성으로 할 수도 있다.
- [0136] 도 12는 휴대형 컴퓨터의 일례를 도시하는 사시도이다.
- [0137] 도 12의 휴대형 컴퓨터는 상부 하우징(441)과 하부 하우징(442)을 접속하는 헌지 유닛을 닫은 상태로 하여 표시부(443)를 갖는 상부 하우징(441)과, 키보드(444)를 갖는 하부 하우징(442)을 중첩한 상태로 할 수 있고, 운반이 편리함과 함께 사용자가 키보드 입력하는 경우에는 헌지 유닛을 열린 상태로 하여, 표시부(443)를 보면서 입력 조작을 행할 수 있다.
- [0138] 또한, 하부 하우징(442)은 키보드(444) 이외에 입력 조작을 행하는 포인팅 디바이스(446)를 갖는다. 또한, 표시부(443)를 터치 입력 패널로 하면, 표시부의 일부에 터치함으로써 입력 조작을 행할 수도 있다. 또한, 하부 하우징(442)은 CPU나 하드 디스크 등의 연산 기능부를 갖는다. 또한, 하부 하우징(442)은 다른 기기, 예를 들어 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(445)를 갖는다.
- [0139] 상부 하우징(441)에는 상부 하우징(441) 내부에 슬라이드시켜 수납 가능한 표시부(447)를 추가로 갖고 넓은 표시 화면을 실현할 수 있다. 또한, 수납 가능한 표시부(447)의 화면의 방향을 사용자가 조절할 수 있다. 또한, 수납 가능한 표시부(447)를 터치 입력 패널로 하면, 수납 가능한 표시부의 일부에 터치함으로써 입력 조작을 행할 수도 있다.
- [0140] 표시부(443) 또는 수납 가능한 표시부(447)는 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 사용한다.
- [0141] 또한, 도 12에 도시한 휴대형 컴퓨터는 수신기 등을 구비한 구성으로서, 텔레비전 방송을 수신하여 영상을 표시부에 표시할 수 있다. 또한, 상부 하우징(441)과 하부 하우징(442)을 접속하는 헌지 유닛을 닫은 상태로 한 채, 표시부(447)를 슬라이드시켜 화면 전체면을 노출시키고, 화면 각도를 조절하여 사용자가 텔레비전 방송을 볼 수도 있다. 이 경우에는, 헌지 유닛을 닫은 상태로 하여 표시부(443)를 표시시키지 않으면서 텔레비전 방송을 표시하기 위한 회로만을 기동시키기 때문에, 소비 전력을 최소한으로 억제할 수 있어, 배터리 용량이 한정된 휴대형 컴퓨터에 유용하다.
- [0142] 실시형태 1 내지 실시형태 3에서 설명한 박막 소자, 실시형태 4에서 설명한 트랜지스터, 실시형태 5에서 설명한 화소 트랜지스터를 적용함으로써, 원하는 층에 수분을 접촉시키지 않고 본 실시형태의 반도체 장치를 제작할 수 있다.
- 부호의 설명**
- [0143]
- | | |
|---------------|---------------|
| 100: 기판 | 102: 제 1 막 |
| 104: 제 2 막 | 106: 제 3 막 |
| 108: 레지스트 마스크 | 110: 마스크층 |
| 112: 제 2 층 | 114: 제 1 층 |
| 116: 제 4 막 | 118: 사이드월층 |
| 120: 제 5 막 | 122: 다른 사이드월층 |
| 200: 기판 | 202: 도전막 |

204: 레지스트 마스크	206: 게이트 전극층
208: 게이트 절연층	210: 반도체막
212: 도전막	214: 마스크막
216: 제 1 레지스트 마스크	218: 제 1 마스크 층
220: 도전층	222: 반도체층
224: 절연막	226: 사이드월 절연층
228: 사이드월 절연층	230: 제 2 레지스트 마스크
232: 제 2 마스크층	234: 소스 전극 및 드레인 전극층
236: 보호 절연막	238: 레지스트 마스크
240: 개구부	242: 투명 도전막
244: 레지스트 마스크	246: 화소 전극층
300: 전자 서적	301: 하우징
303: 하우징	305: 표시부
306: 광전 변환 장치	307: 표시부
308: 광전 변환 장치	311: 축부
321: 전원	323: 조작키
325: 스피커	400: 텔레비전 장치
401: 하우징	403: 표시부
405: 스탠드	407: 표시부
409: 조작키	410: 리모트 컨트롤러
420: 디지털 포토 프레임	421: 하우징
423: 표시부	441: 상부 하우징
442: 하부 하우징	443: 표시부
444: 키보드	445: 외부 접속 포트
446: 포인팅 디바이스	447: 표시부

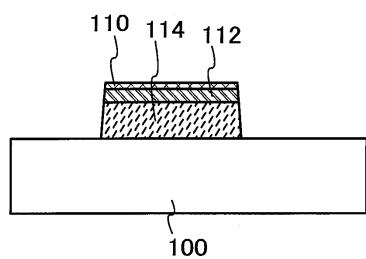
도면

도면1

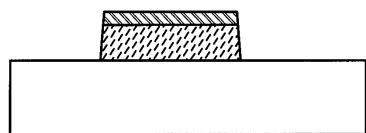


도면2

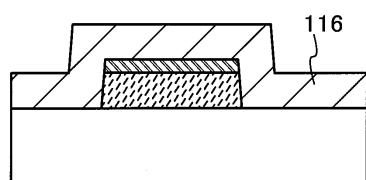
(a)



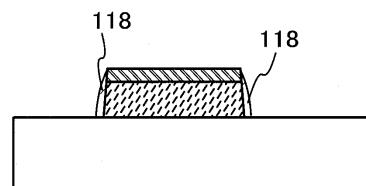
(b)



(c)

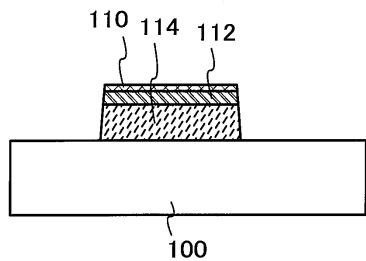


(d)

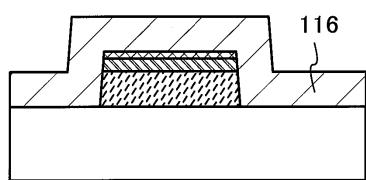


도면3

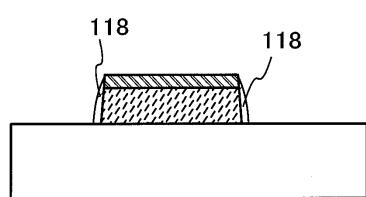
(a)



(b)

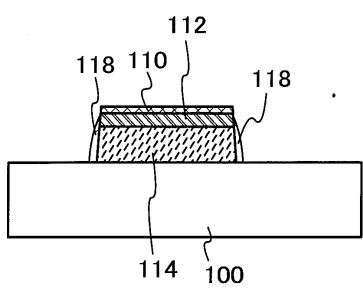


(c)

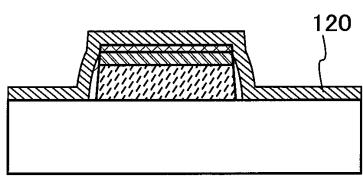


도면4

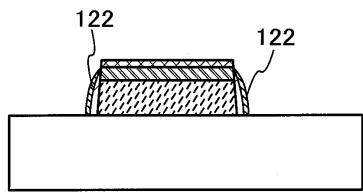
(a)



(b)

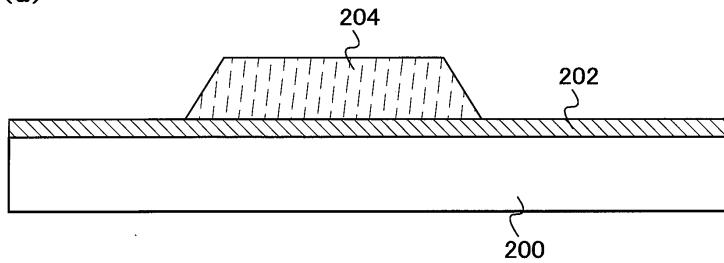


(c)

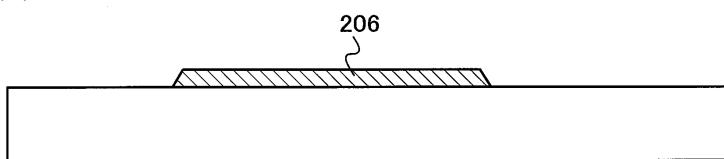


도면5

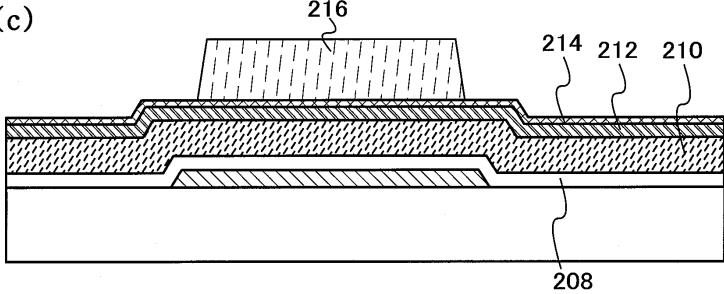
(a)



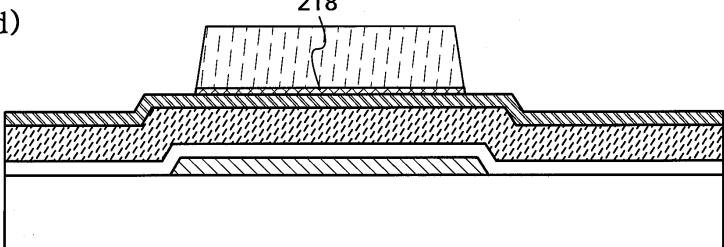
(b)



(c)

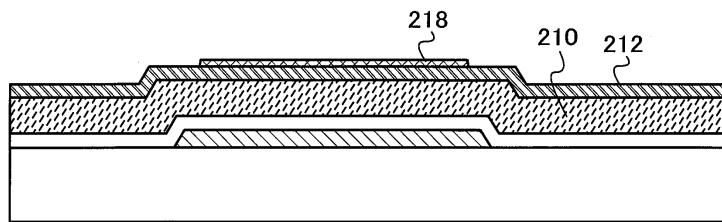


(d)

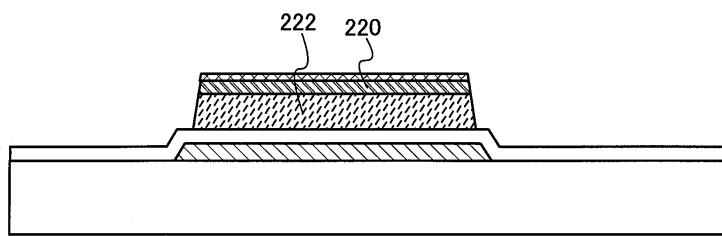


도면6

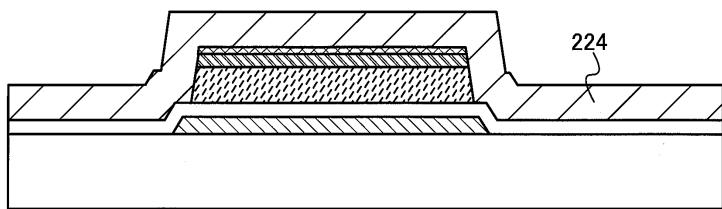
(a)



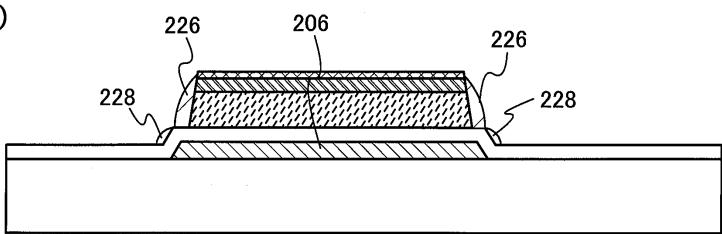
(b)



(c)

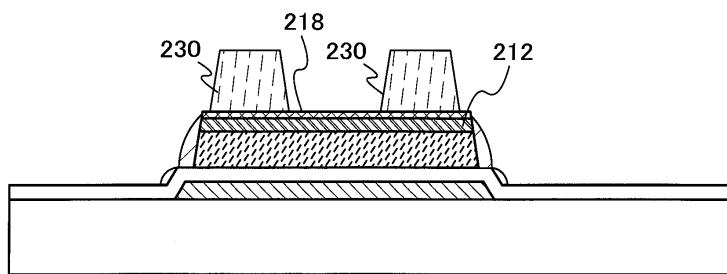


(d)

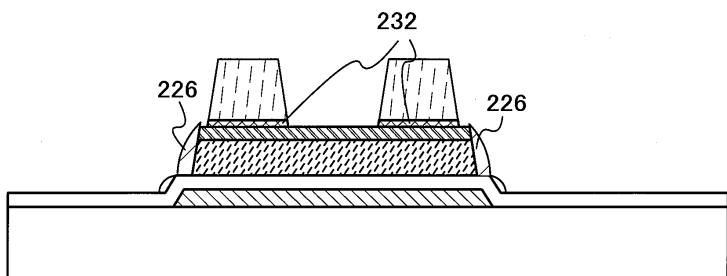


도면7

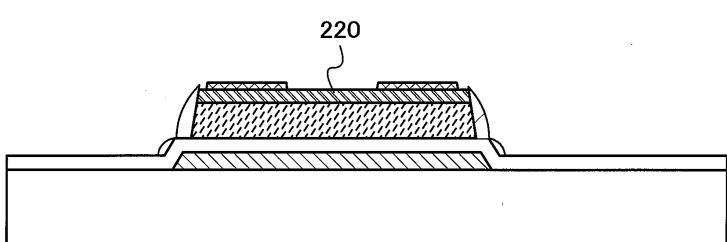
(a)



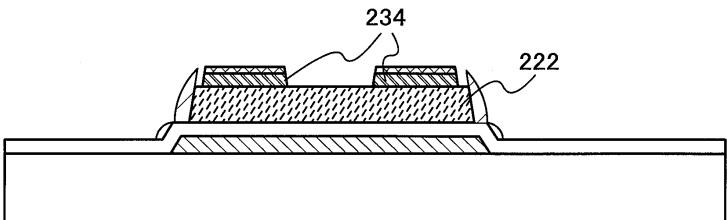
(b)



(c)

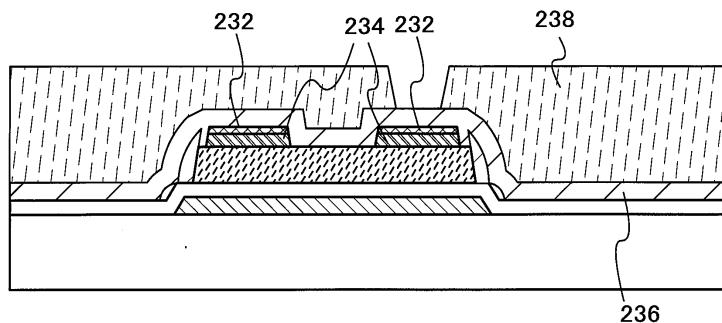


(d)

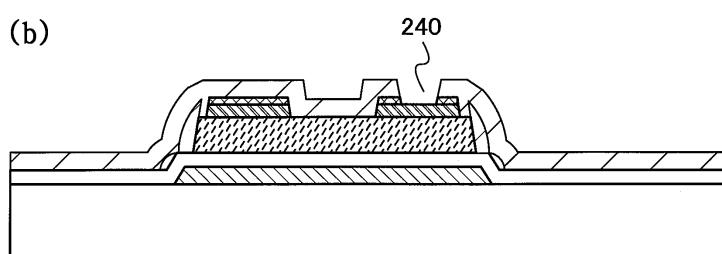


도면8

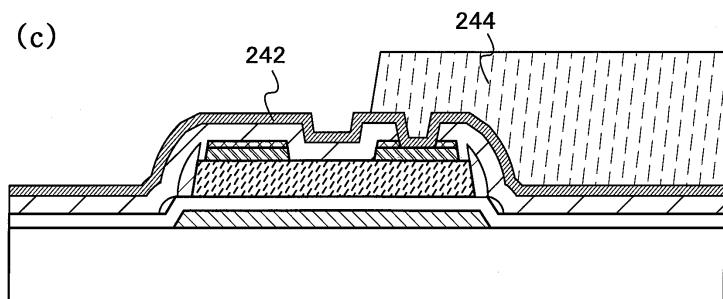
(a)



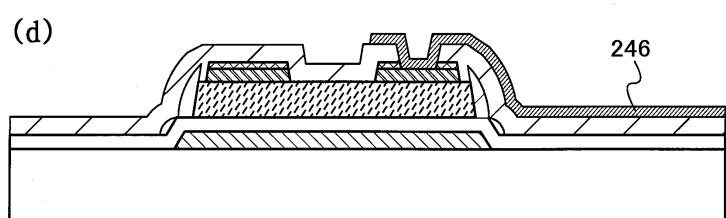
(b)



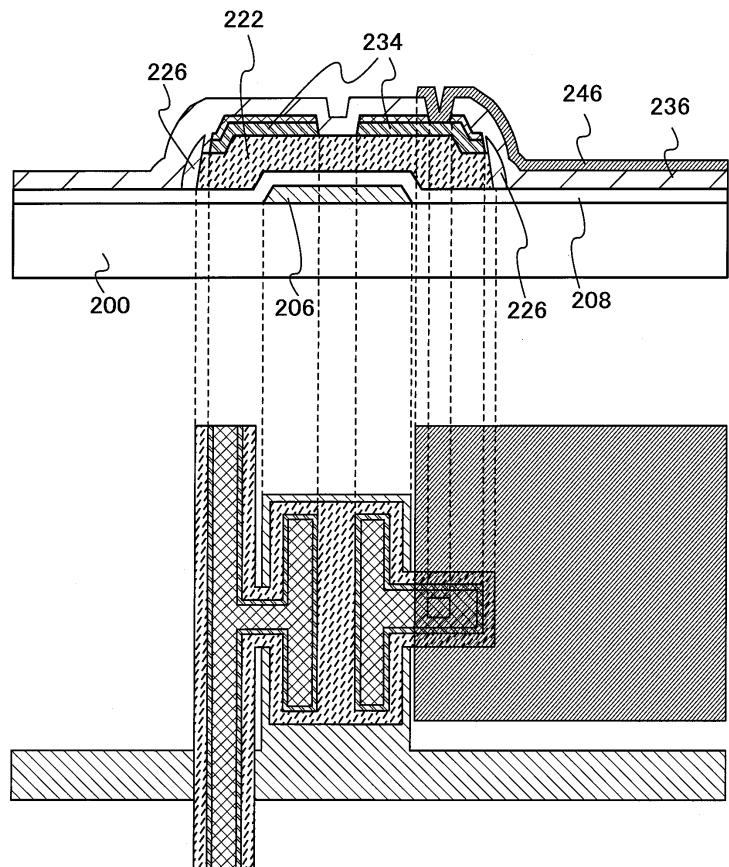
(c)



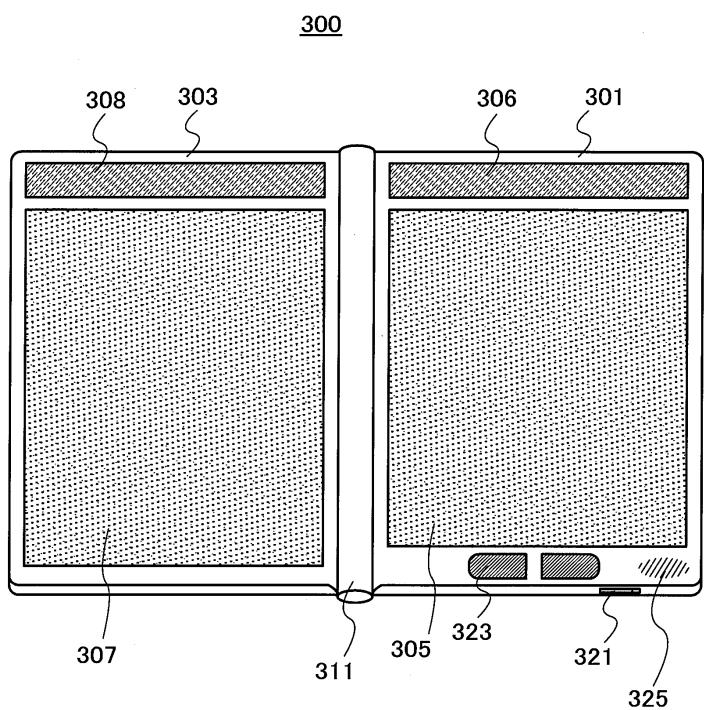
(d)



도면9

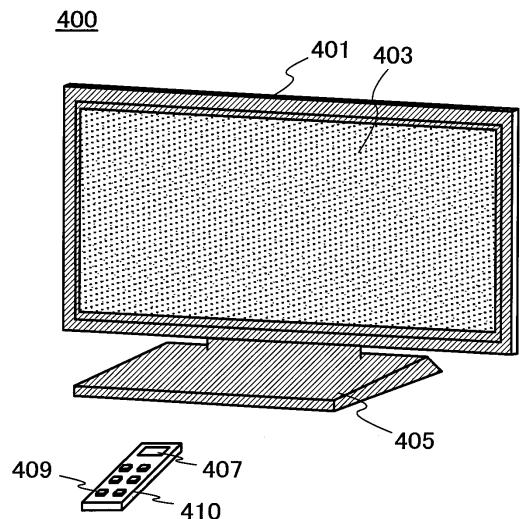


도면10

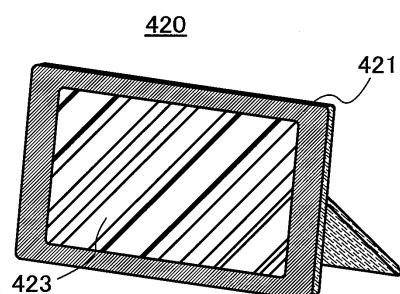


도면11

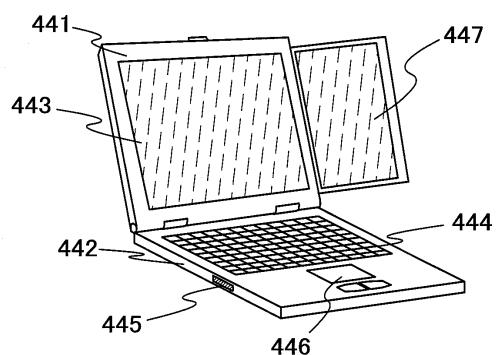
(a)



(b)



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 6, 7, 11

【변경전】

상기 사이드월 또는 상기 예칭된 절연막

【변경후】

예칭된 절연막