



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0048202
 (43) 공개일자 2014년04월23일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *C03C 17/36* (2006.01)
 (21) 출원번호 10-2014-7000869
 (22) 출원일자(국제) 2012년06월14일
 심사청구일자 없음
 (85) 번역문제출일자 2014년01월13일
 (86) 국제출원번호 PCT/FR2012/051336
 (87) 국제공개번호 WO 2012/172258
 국제공개일자 2012년12월20일
 (30) 우선권주장
 1155269 2011년06월16일 프랑스(FR)

(71) 출원인
썩-고벵 글래스 프랑스
 프랑스, 에프-92400 꾸르브르와 , 아비뉴 달자스
 18
 (72) 발명자
리엔하르트 파비엔
 미국 92108 캘리포니아주 샌디에고 펜톤 파크웨이
 2276 아파트먼트 218
 (74) 대리인
백만기, 양영준, 전경석

전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **OLED 소자용 전극이 있는 기관 및 그와 같은 OLED 소자**

(57) 요약

본 발명은 OLED 전극이 구비된 기관으로서, 상기 전극은, 시트 저항이 25 Ω/스퀘어 미만이고, 전기 도전성 코팅; 일함수 매칭층으로 작용하는 본질적으로 무기 전기 도전성 박막 (시트 저항이 전기 도전성 코팅의 시트 저항보다 20배 이상 크며, 두께가 최대 60 nm임); 및 전기 도전성 코팅과 일함수 매칭층 사이에 버퍼층이라 불리는, 본질적으로 무기성이며, 접촉 저항률이 1×10^{-6} 내지 $1 \text{ } \Omega \cdot \text{cm}^2$ 범위인 박층을 포함하는 것인 기관에 관한 것이다.

특허청구의 범위

청구항 1

유기 발광 다이오드 (OLED) 소자의 애노드 또는 캐소드를 형성하도록 의도된 전극이 구비된 기판으로서, 상기 전극은, 시트 저항이 25 Ω /스퀘어 미만이고,

- 전기 도전성 스택의 90% 이상을 형성하는 박층의 전기 도전성 코팅, 및
- OLED의 전하 주입을 위한 유기층과 접촉하여 배치되도록 설계된 일함수 매칭층인, 본질적으로 무기 전기 도전성 박층

을 포함하는 전기 도전성 스택을 기반으로 하고,

일함수 매칭층이 전기 도전성 코팅의 시트 저항보다 20배 이상 큰 시트 저항을 나타내고, 두께가 최대 60 nm이며,

전기 도전성 코팅과 일함수 매칭층 사이에 버퍼층이라 불리는, 본질적으로 무기성이며 표면 저항률이 10^{-6} 내지 $1 \Omega \cdot \text{cm}^2$ 범위인 박층을 포함하는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 2

제1항에 있어서, 버퍼층의 표면 저항률이 10^{-4} 내지 $1 \Omega \cdot \text{cm}^2$, 바람직하게는 10^{-2} 내지 $1 \Omega \cdot \text{cm}^2$ 범위 내인 것을 특징으로 하는, 전극이 구비된 기판.

청구항 3

제1항 또는 제2항에 있어서, 버퍼층의 두께가 최대 80 nm인 것을 특징으로 하는, 전극이 구비된 기판.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 버퍼층이 무정형인 것을 특징으로 하는, 전극이 구비된 기판.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 버퍼층은 금속 부분이 바람직하게는 주석, 아연 및 탄탈 중 적어도 하나로부터 선택된 1종 이상의 금속 산화물을 기재로 하는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서, 버퍼층이 $\text{Sn}_x\text{Zn}_y\text{O}_z$ 층 (특히, y/x 비는 1 내지 2임), Ta_2O_5 층 또는 산화바나듐 층으로부터 선택되는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서, 버퍼층이 무기 질화물 또는 무기 산질화물, 특히, 질화규소, 질화갈륨, 바람직하게는 특히 규소로 도핑된 질화갈륨, 또는 질화알루미늄, 바람직하게는 특히 규소로 도핑된 질화알루미늄을 기재로 하는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서, 일함수 매칭층이 전극의 시트 저항보다 40배 이상, 바람직하게는 80배 이상 큰 시트 저항을 나타내는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 일함수 매칭층이 투명 도전성 산화물(들), 바람직하게는 산화인듐, 및 주석, 아연 및 갈륨으로부터 선택된 원소의 1종 이상의 산화물을 기재로 하는 것을 특징으로 하는, 전극이 구비된 기판.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서, 일함수 매칭층이 인듐과 주석의 혼합 산화물, 바람직하게는 시트 저항이 500 Ω /스퀘어 이상, 바람직하게는 1000 Ω /스퀘어 이상인 인듐과 주석의 혼합 산화물이고, 전극의 시트 저항이 바람직하게는 10 Ω /스퀘어 이하인 것을 특징으로 하는, 전극이 구비된 기관.

청구항 11

제1항 내지 제8항 중 어느 한 항에 있어서, 일함수 매칭층이 산화물리브덴인 것을 특징으로 하는, 전극이 구비된 기관.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서, 애노드인 하부 전극을 형성하는 전극은 시트 저항이 20 Ω /스퀘어 미만, 바람직하게는 10 Ω /스퀘어 미만, 특히 바람직하게는 5 Ω /스퀘어 미만인 것을 특징으로 하는, 전극이 구비된 기관.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서, 전극이 애노드이고, 도전성 코팅은 바람직하게는 인듐과 주석의 혼합 산화물, 인듐, 주석 및 아연의 산화물, 인듐과 아연의 혼합 산화물, 인듐, 아연 및 갈륨의 산화물을 기재로 하는 층으로부터 선택되는 두께 80 nm 이상의 투명 도전성 산화물을 기재로 하는 박층을 포함하는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 14

제1항 내지 제12항 중 어느 한 항에 있어서, 전극이 애노드이고, 전기 도전성 코팅이 두 개의 박층 사이에 바람직하게는 순수한 은, 합금된 은, 또는 도핑된 은을 기재로 하는 하나 이상의 금속층을 포함하는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 15

제14항에 있어서, 전기 도전성 코팅은 선택된 은의 금속층 바로 아래에 산화아연, 특히 알루미늄으로 도핑된 산화아연을 기재로 하는 습윤층을 포함하는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 16

제14항 또는 제15항에 있어서, 코팅은 습윤층 바로 아래에 바람직하게는 주석, 아연, 인듐, 갈륨 및 안티몬으로부터 선택된 2종 이상의 금속의 혼합 산화물로 이루어진 평활층을 포함하며, 바람직하게는 평활층은 임의로는 안티몬으로 도핑된 주석과 아연의 산화물로 이루어지는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 17

제1항 내지 제11항 중 어느 한 항에 있어서, 전극이 캐소드이고, 전기 도전성 코팅이 두께 100 내지 200 nm의 알루미늄 또는 은의 층인 것을 특징으로 하는, 전극이 구비된 기관.

청구항 18

제1항 내지 제11항 중 어느 한 항에 있어서, 전극이 캐소드이고, 일함수 매칭층이 LiF로 이루어지며 두께가 10 nm 미만이고 바람직하게는 2 nm를 초과하는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 19

제1항 내지 제18항 중 어느 한 항에 있어서, 기관이 유리 또는 중합체성 유기 물질로 이루어지는 것을 특징으로 하는, 전극이 구비된 기관.

청구항 20

전기 도전성 코팅, 특히 스택이 마그네트론 음극 스퍼터링에 의해 침착되는 것을 특징으로 하는, 제1항 내지 제

19항 중 어느 한 항에 따른 전극의 제조 방법.

청구항 21

기관 상에 순서대로

- 애노드인 하부 전극,
 - OLED의 유기 전자 주입층 및 OLED의 유기 정공 주입층을 포함하는 유기 발광 시스템, 및
 - 캐소드인 상부 전극
- 을 포함하고,

기관은 제1항 내지 제19항 중 어느 한 항에 기재된 애노드를 구비하고/하거나 제1항 내지 제19항 중 어느 한 항에 기재된 캐소드를 구비하는, 유기 발광 다이오드 또는 OLED 소자.

청구항 22

제21항에 있어서, 하나 이상의 투명 및/또는 반사 발광 표면, 특히 장식용 또는 건축용 조명 시스템 또는 예를 들어, 디자인, 로고 또는 문숫자 표시형 표시 디스플레이 패널, 균일한 또는 다양한 발광 영역을 생성하는 시스템을 형성하는 것을 특징으로 하는 유기 발광 다이오드 소자.

명세서

기술분야

[0001] 본 발명은 유기 발광 다이오드 (OLED) 소자용 전극 분야에 관한 것이다.

배경기술

[0002] OLED는 두 개의 전극에 의해 프레임 안에 배치된 유기 발광 재료 또는 재료의 스택을 포함하며, 전극 중의 하나는 하부 전극이라고도 불리며 일반적으로 애노드로서 기관과 조합하여 이루어지고, 다른 전극은 상부 전극이라고도 불리며 일반적으로 캐소드로서 유기 발광 시스템 위에 배치된다.

[0003] OLED는 애노드로부터 주입된 정공과 캐소드로부터 주입된 전자의 재결합 에너지를 사용한 전계발광에 의해 광을 방출하는 소자이다.

[0004] 다양한 OLED 구조가 존재한다:

- [0005] - 하부 방출 소자, 즉, 하부 (반)투명 전극과 상부 반사 전극 (이 경우에 기관은 관찰자를 향한)을 갖는 소자;
- [0006] - 상부 방출 소자, 즉, 상부 (반)투명 전극과 하부 반사 전극을 갖는 소자;
- [0007] - 상부 및 하부 방출 소자, 즉, 하부 (반)투명 전극과 상부 (반)투명 전극을 갖는 소자.

[0008] 본 발명은 조명 시장을 목표로 한 하부 및/또는 상부 방출 OLED 소자에 관한 것이다.

[0009] 이와 같은 OLED 기술의 장점 중에서, 광 효율, 얇은 발광 표면의 생산 가능성 및 가요성을 언급할 수 있다.

[0010] ITO (인듐과 주석의 혼합 산화물)계의 애노드가 알려져 있다. 그들은 자기장-보조 (마그네트론-보조) 음극 스퍼터링에 의해 쉽게 침착될 수 있다. 그들의 시트 저항은 20 Ω/스퀘어 정도이다. ITO 애노드는 이하에서 제1세대 애노드로 지칭된다.

[0011] 또한, W02009/083693은 비반사층들 사이에 두 개의 은-함유 층을 갖는 박층 스택과, ITO로 이루어지며, 두께가 50 nm 이하이고, 정공의 주입에 적절한 일함수를 나타내는 최종 전기 도전성 층을 갖는 애노드를 교시하고 있다.

[0012] 바로 위와 같은 타입의 애노드를 이하에서 제2세대 애노드라 한다. 이들 제2세대 애노드 중 스택의 시트 저항은 제1세대 애노드의 시트 저항보다 낮다.

[0013] 제1세대 및 제2세대 애노드는, 제작 공차에 기인하여 통상적으로 “스파이크 (spikes)” 라 알려진 형태적 결함을 나타낸다. 그것은 특히 기관 표면의 편평도의 결함이거나, 침착 및/또는 박층 중 적어도 한 층의 성장시에 발생된 결함 (먼지 등의 존재)으로서, OLED가 작동할 때 스파이크 효과를 나타낸다. 이들 스파이크 효과는

높은 과열 위험과 함께 단락을 초래하여, 전극과 상호작용하는 유기 발광 부품에 손상을 일으킬 수 있다. 이는 OLED 일부 부품의 노화 가속을 가져와 수명을 상당히 단축시킨다.

[0014] 또한, OLED 작동시에 가시적 결함이 나타난다.

발명의 내용

[0015] 본 발명의 목적은 OLED의 전기 전도 특성, 광학적 품질 및 광학 성능을 희생하지 않으면서, 또한 실시상 난점이 없이, 신뢰성 있고, 견고하며 가시적 결함의 수를 제한할 수 있는 OLED 소자용 애노드, 보다 광범하게는 전극을 제공함으로써 상기와 같은 단점을 해결하는 것이다.

[0016] 또한, 이는 본 발명과 관련된 유기 발광 시스템의 공지된 구조를 파괴하지 않으면서 이와 같은 목적을 달성하는 문제이다.

[0017] 본 발명은 특히 일반적인 (건축 및/또는 장식) 조명 용도 및 백라이트 용도, 및/또는 표시 용도의, 임의의 크기의 조명에 적절한 OLED 소자를 개발하는 것이다.

[0018] 이와 같은 목적에서, 본 발명의 첫 번째 측면은 유기 발광 다이오드, "OLED" 소자의 애노드 또는 캐소드를 형성하는 전극이 구비된 기관으로서, 상기 전극은, 시트 저항이 25 Ω/스퀘어 미만, 바람직하게는 10 Ω/스퀘어 이하이며,

[0019] - 스택의 전기 도전성의 90% 이상을 형성하는 박층(들)의 전기 도전성 코팅,

[0020] - OLED의 전하 주입을 위한 유기층과 접촉하여 배치되도록 설계되며, 두께가 최대 60 nm이고, 전기 도전성 코팅의 시트 저항보다 20배 이상 큰 시트 저항을 나타내는 일함수 매칭층 (work-function matching layer)인, 본질적으로 무기 전기 도전성 박층을 포함하는 도전성 스택을 기반으로 한다.

[0021] 기관은 또한 도전성 코팅과 일함수 매칭층 사이에 버퍼층이라 불리는 박층을 포함하며, 이러한 박층은 본질적으로 무기 물질로 이루어지며, 표면 저항률이 10^{-6} 내지 $1 \Omega \cdot \text{cm}^2$ 이다.

[0022] 본 발명은 따라서

[0023] - 애노드가 캐소드와 접촉하게 될 때 (일단 유기 부분이 소손, 단락된 경우) 수송될 수 있는 전류를 제한하고,

[0024] - 또한, 보다 작은 공간에 걸쳐 전압 강하를 일으킴으로써 결함의 공간적 확장을 제한하기 위하여 전극 내에 박층을 포함시키는 것에 있다.

[0025] 그와 같은 층의 배열은 일반적으로 스파이크 주위에 나타나며 국소적인 전압 강하를 나타내는 휘도의 강하 (그림자 영역)를 감출 수 있다. OLED에 손상을 주는 과열과 함께 일어나는 단락 현상을 또한 방지할 수 있으며, 수명이 개선된다.

[0026] 이와 같이 버퍼층은 주의깊게 선택된 중간 표면 저항률을 가지며; 즉, 재료는 OLED 소자의 가동 중 직렬 저항을 과도하게 증가시키지 않도록 충분히 전기 도전성이지만, 단락의 경우에 전류를 제한하기에 충분한 정도로 도전성이 낮다. 버퍼층의 표면 저항률은 500 cd/m^2 이상, 특히 1000 cd/m^2 이상, 더욱 특히 3000 cd/m^2 이상의 광도를 얻기 위하여, 높은 전류 밀도 (특히 1 mA/cm^2 이상의 전류 밀도)를 갖는 조명용 OLED 소자에 특히 적절하다.

[0027] 본 발명에 따른 전극은 표면적이 넓을 수 있으며, 표면적은, 예를 들어, 0.002 m^2 이상, 바람직하게는 0.02 m^2 이상, 특히 0.5 m^2 이상일 수 있다.

[0028] 또한 본 발명자들에 의해 예상외로 밝혀진 것은, 버퍼층을 유효하도록 하기 위하여 OLED 소자의 광 효율에 손상을 줄 위험이 있는 무기 일함수 매칭층의 제거가 필요 없다는 것이며, 그러나, 매우 얇은 일함수 매칭층에 있어서도 전기 도전성 코팅의 시트 저항에 따라 달라지는 제한적인 시트 저항을 부여하는 것이 중요하며, 이는 측방향 전도를 제한하기 위한 것이다.

[0029] 따라서, 선행 기술과는 다르게, 가능한 한 전기 도전성인 일함수 매칭층이 선택되지 않는다. 또한, 존재하는 유기 전하 캐리어 주입층(들)을 개질시키는 것 (예를 들어, 도핑하는 것)은 필요하지 않으며, OLED의 광 효율이 일함수 매칭층의 유지에 의해 보유되기 때문이다.

[0030] 버퍼층과 일함수 매칭층은 기능을 분리하고 유연성을 부여하기 위한 개별적인 층이다.

- [0031] 무기 일함수 매칭층은 전극의 최종 무기층 (유기 전하 주입층에 가장 인접한 전극층)이며, 바람직하게는 단층이다.
- [0032] 버퍼층은 바람직하게는 무기 일함수 매칭층과 접촉하고 있으며, 따라서, 전극의 끝에서 두 번째 층이다. 그러나, 버퍼층과 무기 일함수 매칭층 사이에 버퍼층 보다 덜 저항성이며(금속층, 예를 들어, Ti 등으로 된 층), 두께가 5 nm 미만, 특히 3 nm 이하 또는 1 nm인 층이 삽입될 수 있다.
- [0033] 버퍼층과 일함수 매칭층은 동일한 성질의 것일 수 있으나, 특히 그들의 전기적 특성을 조절하기 위하여 상이한 산화 정도 및/또는 상이한 도핑 정도를 가질 수 있다.
- [0034] 바람직하게는, 버퍼층과 일함수 매칭층은 성질이 같지 않으며, 그들의 전기적 특성을 조절하기 위하여 전형적으로는 하나 이상의 원소에 있어서 (금속 등) 및/또는 도핑 타입에 있어서 상이하다.
- [0035] 전극의 시트 저항이 낮을수록 (특히, $5 \text{ cm}^2 \times 5 \text{ cm}^2$ 이상의 전극 표면적에 바람직함), 소자의 결함에 대한 감수성이 커지므로, 버퍼층이 보다 유용하다. 이는 전극의 시트 저항이 감소될 때 점 결함 주위의 전압 강하를 나타내는 영역이 점진적으로 커져서, OLED 가동시에 점진적으로 커지는 블랙 스팟 (black spot)을 나타내기 때문이다.
- [0036] 시트 저항은 바람직하게는 무접촉 유도 방법으로, 예를 들어, 최소 치수가 $10 \times 10 \text{ cm}^2$ 인 샘플에 레퍼런스 SRM-12의 네이지 (Nagy) 장치를 사용하여 측정될 수 있다.
- [0037] 표면 저항률은 주어진 단위 표면적에 대하여 층을 통하여 그 표면에 수직하게 통과하는 전류에 의해 일어나는 전기 저항으로서 정의된다.
- [0038] 본 발명에서, 저항률은 대기압 및 25 °C 온도에서의 값이다.
- [0039] 본 발명에 따라서, "본질적으로 무기층"이란 주로 무기 재료로 된 층, 특히 바람직하게는 90% 이상이 무기 재료인 층을 의미한다.
- [0040] 본 발명에서, 하부층 "x" 또는 층 "y" 아래에 있는 층 "x"로서 표시될 때, 이는 층 "x"가 층 "y" 보다 기판에 더 근접하다는 것을 암시한다.
- [0041] 본 발명에서 "층"이란 단일 재료로 된 하나의 층 (단일층), 또는 각각 다른 재료로 된 수 개의 층 (다중층)일 수 있음이 이해되어야 한다.
- [0042] 본 발명에서, "계 (또는 기재로 하는)"란 통상적인 의미로 주로 관련된 재료를 포함하는 층, 즉, 그러한 재료를 50 중량% 이상으로 포함하는 층을 의미하는 것으로 이해되어야 한다.
- [0043] 본 발명에서, 애노드는 하부 전극, 즉, 기판에 가장 가까운 전극이고, 캐소드는 상부 전극, 즉, 기판으로부터 가장 멀리 있는 전극이다. 본 발명은 애노드 및/또는 캐소드에 관한 것이다.
- [0044] 바람직하게는, OLED의 작동 전압을 상당히 증가시키지 않으면서, 애노드와 캐소드를 연결시키는 단락 형태의 점 결함을 통한 전류 통과를 유효하게 제한하기 위하여 버퍼층의 표면 저항률은 10^{-4} 내지 $1 \Omega \cdot \text{cm}^2$, 특히 10^{-2} 내지 $1 \Omega \cdot \text{cm}^2$ 범위 내이다.
- [0045] OLED 상에 존재하는 전도 결함의 총 수는 OLED를 제조하는 기술 개발 정도에 따라 상당히 차이가 난다. 바람직하게는, 버퍼층의 표면 저항률을 OLED 상에 존재하는 결함의 양에 따라 조절하는 것이 바람직하다. 이러한 목적으로, OLED의 총 활성 표면적에 대한 단락을 나타내는 OLED의 면적의 비율의 함수로서 바람직한 표면 저항률 값의 범위가 표 1에 기재되어 있다. 하한 및 상한은 OLED의 최대 효율을 3% 미만으로 감소시키는 것으로 선택되었다. 기준은 1000 cd/m^2 에서 $35 \Omega \cdot \text{cm}^2$ 의 OLED 표면 저항률로 하였다.

표 1

결합 표면적 (애노드/캐소드 단락)/ 총 표면적 비율	1000 cd/m ² 에서의 OLED의 표면 저항률 [Ω.cm ²]	버퍼층의 최소 표면 저항률 [Ω.cm ²]	버퍼층의 최대 표면 저항률 [Ω.cm ²]
1.00E-09	35	1.6E-06	1.0E+00
1.00E-08	35	1.6E-05	1.0E+00
1.00E-07	35	1.6E-04	1.0E+00
1.00E-06	35	1.6E-36	1.0E+00
1.00E-05	35	1.6E-02	1.0E+00

[0046]

[0047]

[0048]

[0049]

[0050]

[0051]

[0052]

[0053]

[0054]

[0055]

[0056]

[0057]

[0058]

버퍼층은 바람직하게는 단일층이다.

특히, 버퍼층은 바람직하게는 두께가 최대 150 nm, 최대 80 nm이며, 보다 유리하게는 두께가 최대 60 nm, 특히 40 nm이다. 바람직하게는, 버퍼층의 두께는 3 nm 이상, 바람직하게는 5 또는 7 nm이다.

바람직하게는, 버퍼층은 스택의 조도(roughness)를 제한하기 위하여 무정형이다.

일함수 매칭층의 표면은, 특히 무정형 버퍼층인 경우에, RMS (Rq로도 알려짐) 조도가 10 nm 이하, 바람직하게는 5 nm 이하, 보다 바람직하게는 1.5 nm 이하이다. RMS 조도는 평균 제곱 제곱근(Root Mean Square) 조도를 의미한다. 그의 측정은 조도의 표준편차값을 측정하는데 있다. 이러한 RMS 조도는 실제적인 면에서, 평균 높이에 대하여 조도의 피크와 골의 높이를 평균으로서 정량화한 것이다. 따라서, RMS 조도가 2 nm라는 것은 이중 피크 진폭을 의미한다.

이는 원자력 현미경에 의해 측정될 수 있다. 측정은 일반적으로 원자력 현미경을 사용하여 마이크로미터 면적에 대하여 수행된다.

버퍼층은 바람직하게는 1종 이상의 금속 산화물을 기재로 하며, 금속 부분은 바람직하게는 주석, 아연 및 탄탈로부터 1종 이상이 선택되고, 특히 Sn_xZn_yO_z 및 Ta₂O₅ 또는 산화바나듐 VO_x 층이다.

1종 이상의 금속 산화물을 기재로 하는 버퍼층은 이들의 전기적 특성을 조정하기 위하여 바람직하게는 도핑되지 않거나 5% 미만, 바람직하게는 2% 미만으로 도핑된다.

금속 산화물 Sn_xZn_yO_z는 유리하게는 Zn 대 Sn의 상대적 비율인 y/x 비가 1 내지 2가 되는 산화물, 예를 들어, SnZnO₃ 및 SnZn₂O₄와 같은 산소 화학량론 산화물로부터 선택되는 것이 유리하다. 본 발명에서, 그와 같은 산화물 (Sn_xZn_yO_z: y/x는 1 내지 2임)은 산소의 화학양론적 양, 그 미만 또는 초과인 것을 불문하고 선택된다.

아르곤 대기 하에 고주파 마그네트론 스퍼터링에 의해 V₂O₅ 타겟으로 침착된 산화바나듐은 전형적으로 약 10⁵ Ω.cm의 저항률을 나타낸다. 따라서, 두께 30 nm에서, 그의 표면 저항률은 0.3 Ω.cm²이다.

또 다른 실시양태에서, 버퍼층은 무기 질화물 또는 무기 옥시질화물을 기재로 하며, 특히 전기적 특성을 조절하기 위하여 충분히 도핑되고/거나 과질화되고/거나 과산화된다. 예를 들어, 질화규소 또는 반도체의 질화물을 선택할 수 있으며, 예를 들어, 바람직하게는 특히 규소로 도핑된 질화갈륨, 또는 바람직하게는 특히 규소로 도핑된 질화알루미늄이다.

버퍼층의 표면적은 바람직하게는 일함수 매칭층의 표면적 이하이며, 즉, 출력층 하부층의 표면적은 출력층 표면적의 50% 이상이다. 바람직하게는, 출력층 하부층의 표면적은 출력층 표면적의 70% 이상, 유리하게는 90% 이상, 특히 99% 이상이다.

바람직하게는, 버퍼층은 스파이크가 OLED 작동시에 특히 유해한 영향을 끼치는 영역에서 일함수 매칭층 아래에 존재한다. 버퍼층은 유리하게는 이미 기관 상에 침착된 층 스택의 주변에 침착된다.

- [0059] 본 발명에서, 전극이 애노드인 경우, 일함수 매칭층은 충분히 높은 일함수, 즉, 4.5 eV 이상, 바람직하게는 5 eV 이상으로 정공을 주입하는데 사용된다.
- [0060] 본 발명에서, 전극이 캐소드인 경우, 일함수 매칭층은 충분히 낮은 일함수, 즉, 3.5 eV 미만, 바람직하게는 3 eV 미만으로 전자를 주입하는데 사용된다.
- [0061] 바람직하게는, 일함수 매칭층은 전극 (또는 코팅)의 시트 저항보다 40배 이상, 보다 바람직하게는 80배 이상, 심지어 100배 이상 큰 시트 저항을 나타낼 수 있다.
- [0062] 바람직하게는, 일함수 매칭층은 투명 도전성 산화물, 바람직하게는 산화인듐 및 주석, 아연 및 갈륨으로부터 선택된 원소의 1종 이상의 산화물을 기재로 할 수 있다.
- [0063] 그와 같은 금속 산화물은 통상적으로 다음과 같이 명명된다:
- [0064] - IZO는 층이 인듐 및 아연의 혼합 산화물을 기재로 하는 경우에 사용된다.
- [0065] - ITZO는 층이 인듐, 주석 및 아연의 산화물을 기재로 하는 경우에 사용된다.
- [0066] - IGZO는 층이 인듐, 아연 및 갈륨의 산화물을 기재로 하는 경우에 사용된다.
- [0067] 일함수 매칭층은 특히 바람직하게는 인듐과 주석의 혼합 산화물 (ITO)을 기재로 할 수 있으며, 두께는 바람직하게는 50 nm 이하, 특히 30 nm 이하, 매우 특히 10 nm 이하이다. 시트 저항은 바람직하게는 100 Ω/스퀘어 이상, 200 Ω/스퀘어 이상, 또는 특히 500 Ω/스퀘어 이상, 1000 Ω/스퀘어 이상이다.
- [0068] 저항률은 바람직하게는 10^{-3} Ω.cm 이상으로 선택된다. 열처리 없이 생산된 통상의 ITO의 저항률은 약 5×10^{-4} Ω.cm이며, 즉, 두께 30 nm에서 시트 저항이 160 Ω이다.
- [0069] 바람직하게는, 이 형태에서, 전극 (또는 코팅, 특히 애노드)의 시트 저항은 10 Ω/스퀘어 이하, 바람직하게는 7 Ω/스퀘어 이하, 특히 5 Ω/스퀘어 이하이다.
- [0070] 일함수 매칭층은 또한 산화몰리브덴 MO_x 일 수 있다. 아르곤 대기 하에 고주파 마그네트론 스퍼터링에 의해 MoO_3 타겟으로 침착된 산화몰리브덴은 전형적으로 약 10^{-2} Ω.cm의 저항률을 나타낸다. 따라서, 두께 30 nm에서, 그 시트 저항은 4000 Ω/스퀘어이다.
- [0071] 전극은 애노드인 투명 하부 전극을 형성할 수 있으며, 시트 저항은 20 Ω/스퀘어 미만, 바람직하게는 10 Ω/스퀘어 미만, 특히 5 Ω/스퀘어 미만이다.
- [0072] 첫 번째 실시양태에서, 바람직하게는 본 발명에 따른 전극이 애노드, 특히 투명 애노드인 경우, 전기 도전성 코팅은 (주로) 두께 80 nm 이상 내지 250 nm 미만의 투명 도전성 산화물 (TCO)계 박층을 포함한다. TCO는 유리하게는 ITO, IZO, IGZO 또는 ITZO 중 하나이다.
- [0073] 보다 낮은 시트 저항의 애노드, 감소된 비용의 측면에서 바람직한 애노드의 두 번째 실시양태에서, 전기 도전성 코팅은 두 개의 박층 사이에 하나 이상의 금속층을 포함하며, 금속층은 은, 금, 구리 또는 알루미늄으로부터 선택된 순수한 재료, 또는 Ag, Au, Al, Pt, Cu, Zn, In, Si, Zr, Mo, Ni, Cr, Mg, Mn, Co, Sn 또는 Pd 중 1종 이상의 원소로 임의로 도핑되거나 합금된 재료를 기재로 할 수 있다. 예로는 팔라듐으로 도핑된 은 또는 금/구리 합금 또는 은/금 합금을 들 수 있다.
- [0074] 전도도 및 투명도를 고려하여 바람직하게는 은 (순수 또는 도핑되거나 합금된)을 기재로 하는 층이 선택될 수 있다.
- [0075] 전기 도전성 코팅은 각각 둘 이상의 층 사이에 배치된, 수 개의 음-함유 금속층을 포함할 수 있다.
- [0076] 바람직하게는 은층 또는 각 은층의 물리적 두께는 6 내지 20 nm이다. 이 두께 범위에서, 전극은 투명하게 유지된다.
- [0077] 바람직하게는 금속층(들)이 있는 전기 도전성 코팅은 ITO, IZO, IGZO 또는 ITZO로 된 하나 이상의 층(들), 특히 인듐계 층들을 포함하며, 누적 두께 (적절한 경우)는 60 nm 미만, 특히 50 nm 미만, 더욱 특히 30 nm 미만이다. 도전성 코팅은 ITO, IZO, IGZO 또는 ITZO로 된 층, 특히 인듐계 층이 없어도 된다.
- [0078] 유리하게는, 본 발명에 따라 애노드로 선택된 전극은 다음 특징 중 하나를 가질 수 있다:

- [0079] - 시트 저항이 기능성 층 두께 6 nm 이상에 대하여 10 Ω/스퀘어 이하, 바람직하게는 기능성 층 두께 10 nm 이상에 대하여 5 Ω/스퀘어 이하이고, 이와 함께 바람직하게는 투광율 T_L 이 70% 이상, 보다 바람직하게는 80% 이상으로, 투명 전극으로 사용하기에 특히 만족스러움,
- [0080] - 시트 저항이 기능성 층 두께 50 nm 이상에 대하여 1 Ω/스퀘어 이하, 바람직하게는 0.6 Ω/스퀘어 이하이고, 이와 함께 바람직하게는 반사율 R_L 이 70% 이상, 보다 바람직하게는 80% 이상으로, 반사 전극으로 사용하기에 특히 만족스러움,
- [0081] - 시트 저항이 기능성 층 두께 20 nm 이상에 대하여 3 Ω/스퀘어 이하, 바람직하게는 1.8 Ω/스퀘어 이하이고, 이와 함께 바람직하게는 T_L/R_L 비율이 0.1 내지 0.7로, 반투명 전극으로 사용하기에 특히 만족스러움.
- [0082] 특히 은의 산화를 방지하고 가시 영역에서 그의 반사 특성을 약화시키기 위하여, 은층 또는 각 은층은 일반적으로 층 스택 중에 삽입된다. 은을 기제로 한 박층 또는 그러한 층 각각은 산화물 또는 질화물 (예를 들어, SnO_2 또는 Si_3N_4)을 기제로 하는 두 개의 얇은 유전층 사이에 배치될 수 있다.
- [0083] 이후의 층의 침착이 산화 또는 질화 대기 중에서 이루어지는 경우, 및 열처리가 스택 내에서 산소의 이동을 가져오는 경우에, 은층을 보호하기 위하여 은 층위에 상부차단층이라고 알려져 있는 매우 얇은 희생층 (예를 들어, 티타늄 또는 니켈과 크롬의 합금)을 침착할 수 있다.
- [0084] 은층은 또한 하부차단층으로 알려져 있는 층 위에 또는 그와 접촉하여 침착될 수 있다. 스택은 이와 같이 은층 또는 각 은층을 프레임하는 상부차단층 및/또는 하부차단층을 포함할 수 있다.
- [0085] 차단층 (하부차단층 및/또는 상부차단층)은 니켈, 크롬, 티타늄, 탄탈 또는 니오븀 또는 이들 각종 금속의 합금으로부터 선택된 금속을 기제로 할 수 있다. 특히 예로 들 수 있는 것은 니켈/티타늄 합금 (특히, 각 금속을 약 50 중량%로 포함하는 합금) 또는 니켈/크롬 합금 (특히, 80 중량%의 니켈 및 20 중량%의 크롬을 포함하는 합금)이다. 상부차단층은 또는 수 개의 적층된 층들로 이루어질 수 있으며, 예를 들어, 기관으로부터 멀어지는 순서로 티타늄 및 그 다음 니켈 합금 (특히, 니켈/크롬 합금)으로 된 층들, 또는 그 역으로 이루어질 수 있다. 언급된 각종 금속 또는 합금은 또한 부분적으로 산화 및/또는 질화될 수 있으며, 특히 산소가 화학량 미만일 수 있다 (예를 들어, TiO_x 또는 $NiCrO_x$).
- [0086] 이들 차단층 (하부차단층 및/또는 상부차단층)은 매우 얇으며, 스택의 투광율에 영향을 미치지 않도록 일반적으로 1 nm 미만의 두께이고, 본 발명에 따른 열처리 중에 부분적으로 산화될 수 있다. 이하 기술되는 바와 같이, 적어도 하나의 차단층의 두께는 본 발명에 따라 흡수층을 형성하기 위하여 보다 클 수 있다. 일반적으로, 차단층은 희생층으로서 분위기로부터 또는 기관으로부터 방사되는 산소를 포획할 수 있으므로, 은층이 산화되는 것을 방지한다.
- [0087] 바람직하게는, 은층 또는 각 은층은 두께가 1 nm 미만이고, 니켈, 크롬, 티타늄 또는 니오븀, 또는 이들 각종 금속의 합금으로부터 선택된 금속으로 된 상부차단층으로 덮혀 있으며, 유리하게는 상부차단층은 티타늄으로 된 것이다.
- [0088] 바람직하게는, 은층 또는 각 은층의 바로 아래에 또는 임의의 하부차단층의 아래에 본 발명에 따른 전극의 전기 도전성 스택은 습윤층이라 불리는 층을 포함하며, 이 층의 역할은 습윤, 은층의 부착 및 은의 핵형성을 증가시키는 것이다. 특히 알루미늄으로 도핑된 산화아연이 이와 관련하여 특히 유리한 것으로 밝혀졌다.
- [0089] 본 발명에 따른 애노드의 전기 도전성 스택은 바람직하게는 습윤층 또는 각 습윤층 바로 아래에 부분적으로 심지어 완전히 무정형 혼합 산화물로 된 (즉, 조도가 매우 낮은) 평활층을 포함하며, 이 층의 역할은 바람직한 결정화 배향에 따라 습윤층의 성장을 촉진하여 에피택시 현상에 의한 은의 결정화를 촉진하는 것이다. 평활층은 바람직하게는 주석, 아연, 인듐, 갈륨 및 안티몬으로부터 선택된 2종 이상의 금속의 혼합 산화물로 이루어진다. 바람직한 산화물은 주석과 아연의 산화물로서, 임의로는 안티몬으로 도핑된다.
- [0090] 스택은 하나 이상의 은층을 포함할 수 있다. 수 개의 은층이 존재하는 경우, 상기한 일반적인 구조가 반복될 수 있다.
- [0091] 본 발명에 따른 전극은 또한 캐소드일 수 있다. 이 경우에, 일함수 매칭층은 유리하게는 두께가 2 내지 20 nm 이다.
- [0092] 캐소드의 시트 저항은 20 Ω/스퀘어 미만, 특히 15 Ω/스퀘어 미만 (캐소드가 투명하고 매우 얇은 경우), 심지어

어 1.5 Ω/스퀘어 미만 (캐소드가 반사형이고 두꺼운 경우)일 수 있다.

- [0093] 본 발명에 따른 전극이 캐소드인 경우, 전기 도전성 코팅은 유리하게는 반사형인 경우에 두께 80 내지 200 nm, 바람직하게는 90 내지 180 nm, 특히 100 내지 160 nm의 알루미늄 또는 은 층이고; 투명형이거나 또는 상기한 바와 같은 투명 도전성 산화물 (ITO 등)인 경우 두께는 20 nm 이하, 특히 15 nm 이하, 또는 심지어 10 nm 이하이다.
- [0094] 본 발명에 따른 전극이 캐소드인 경우, 일함수 매칭층은 두께가 10 nm 미만, 바람직하게는 2 nm를 초과하는 LiF로 될 수 있다.
- [0095] 기판은 바람직하게는 유리 또는 중합체성 유기 재료로 이루어진다. 기판은 바람직하게는 투명하고 무색이거나 (투명 또는 초투명 유리) 또는 유색, 예를 들어, 청색, 회색 또는 황동색일 수 있다. 유리는 바람직하게는 소다-석회-실리카 타입이지만, 또한 보로실리케이트 또는 알루미늄보로실리케이트 타입 유리일 수도 있다. 바람직한 중합체성 유기 재료는 폴리카르보네이트, 폴리메틸 메타크릴레이트, 폴리에틸렌 테레프탈레이트 (PET), 폴리에틸렌 나프탈레이트 (PEN) 또는 에틸렌/테트라플루오로에틸렌 (ETFE)과 같은 플루오로중합체이다. 기판은 유리하게는 적어도 하나의 치수가 20 cm 이상, 특히 35 cm 이상, 더 크게는 50 cm 이상이다. 기판의 두께는 일반적으로 유리 기판의 경우에는 0.025 mm 내지 19 mm, 바람직하게는 0.4 내지 6 mm, 유리하게는 0.7 내지 2.1 mm이고, 중합체 기판의 경우에는 바람직하게는 0.025 내지 0.4 mm, 유리하게는 0.075 내지 0.125 mm이다. 기판은 평면 또는 곡면형일 수 있으며, 가요성일 수 있다.
- [0096] 유리 기판은 바람직하게는 플로트 유리 타입, 즉, 용융 유리를 용융 주석조 (플로트 조)로 붓는 것으로 이루어지는 공정에 의해 수득될 수 있는 것이다. 이 경우에, 처리될 층은 기판의 "대기" 표면에서와 같은 정도로 "주석" 표면에도 잘 침착될 수 있다. "대기" 및 "주석" 표면은 각각 플로트 조에서 우세한 대기 및 용융 주석과 접촉되어 있던 기판의 표면을 의미하는 것으로 이해된다. 주석 표면은 유리의 구조 내로 확산되어 들어간 표면 상 소량의 주석을 포함한다. 유리 기판은 또한 두 개의 롤 사이에서 롤링시켜 수득할 수 있으며, 이는 특히 유리 표면에 패턴을 인쇄할 수 있게 한다.
- [0097] 바람직하게는, 기판은 플로팅에 의해 수득된 소다-석회-실리카 유리로서, 층으로 코팅되지 않고, 두께 4 mm에 대해 90% 정도의 투광율, 8% 정도의 광반사율 및 83% 정도의 에너지 투과율을 나타내는 것이다. 광 및 에너지 투과 및 반사는 표준 NF EN 410에 정의된 바와 같다. 전형적인 투명 유리는, 예를 들어, 생-고갱 글라스 프랑스 (Saint-Gobain Glass France)의 SGG 플래니룩스 (Planilux) 또는 에이지씨 플랫 글래스 유럽 (AGC Flat Glass Europe)의 플래니벨 클리어 (Planibel Clear)로 시판되고 있다.
- [0098] 바람직하게는, 베이스층으로 불리는 층은 전형적으로는 규소 (SiO₂) 또는 주석의 산화물과 같은 산화물, 또는 바람직하게는 질화물, 유리하게는 질화규소 (Si₃N₄)로 이루어지며, 기판 바로 위에 제공된다. 일반적으로, 질화규소 Si₃N₄는 음극 스퍼터링 기술에 의한 그의 침착을 촉진시키기 위하여, 예를 들어, 알루미늄 또는 붕소로 도핑될 수 있다. 도핑의 정도 (규소의 양에 대한 원자 퍼센트)는 일반적으로 2%를 초과하지 않는다. 이러한 베이스층의 주된 역할은 은층을 화학적 또는 기계적 공격으로부터 보호하고, 또한 스택의 광학 특성, 특히 간섭 현상에 의한 반사에 영향을 미치기 위한 것이다.
- [0099] 베이스층은 또한 본 발명에 따른 하부 전극에 다양한 장점을 부여한다. 첫째로, 이는 전극 아래의 알칼리에 대한 차단층으로 작용할 수 있다. 이는 접촉층을 오염 (탈라미네이트와 같은 기계적 결함을 가져올 수 있는 오염)으로부터 보호하며, 또한 전도층의 전기 전도도를 유지한다. 이는 또한 OLED 소자의 유기 구조가 그의 수명을 상당히 감소시키는 알칼리에 의해 오염되는 것을 방지한다.
- [0100] 알칼리의 이동은 소자의 제조시에 일어날 수 있으며, 이는 신뢰도의 결함을 일으키고/거나 결과적으로 수명을 단축시킨다.
- [0101] 기판 상의 스택의 침착은, 특히 우세하게 무정형 또는 나노결정성인 층을 생성하는 어떠한 공정으로나 실시될 수 있으며, 예를 들어, 음극 스퍼터링 공정, 특히, 자기장-보조 음극 스퍼터링 공정 (마그네트론 공정), 플라즈마-촉진 화학적 증착 (PECVD) 공정, 진공 증발 공정 또는 줄-겔 공정에 의해 실시될 수 있다.
- [0102] 스택은 바람직하게는 음극 스퍼터링, 특히 통상적으로 마그네트론 공정으로 불리는 자기장-보조 음극 스퍼터링에 의해 침착된다.
- [0103] 또 다른 측면에 따라서, 본 발명은

- [0104] - 애노드인 하부 전극,
- [0105] - OLED의 유기 전자 주입층 및 OLED의 유기 정공 주입층을 포함하는 유기 발광 시스템,
- [0106] - 캐소드인 상부 전극,
- [0107] - 상기한 바와 같은 애노드가 장착되어 있는 기판 및/또는 상기한 바와 같은 캐소드가 장착되어 있는 기판을 포함하는 OLED 소자에 관한 것이다.
- [0108] 바람직하게는 본 발명의 OLED 소자는 상기 본 발명의 설명에 기재된 바와 같은 두 개의 전극, 애노드 및 캐소드를 포함한다. 본 발명자들은 그와 같은 소자의 두 개의 전극 상에 버퍼층이 존재함으로써 스파이크에 의해 생성되는 전도 결함의 시각적 영향을 본 발명에 따른 단일 전극을 포함하는 유사 소자에 비하여 더 감소시킬 수 있다는 것을 밝혀냈다.
- [0109] 애노드 및 캐소드를 위한 버퍼층은 적어도 두께에 있어서 동일하거나 상이할 수 있다.
- [0110] 본 발명에 따른 조명 OLED의 표면 저항률은 전형적으로 1000 cd/m^2 에서 5 내지 $500 \text{ } \Omega \cdot \text{cm}^2$ 이다.
- [0111] 버퍼층의 표면 저항률은 바람직하게는 OLED의 표면 저항률보다 10배, 더 하계는 100배 이하일 수 있다.
- [0112] OLED는 사용된 유기 발광 부품에 따라서 일반적으로 두 개의 주 계열로 분류될 수 있다.
- [0113] 발광층이 소분자인 경우, SM-OLED (Small Molecule Organic Light-Emitting Diodes)라 한다. 박층의 유기 발광 재료는 증발된 분자, 예컨대, Alq_3 착체 (트리스(8-히드록시퀴놀린) 알루미늄), DPVBi (4,4'-(디페닐비닐-비페닐)), DMQA (디메틸퀴나크리돈) 또는 DCM (4-(디-시아노메틸렌)-2-메틸-6-(4-디메틸아미노스티릴)-4H-피란)으로부터 형성된다. 방사층은 또한, 예를 들어, *fac*-트리스(2-페닐피리딘)이리듐 $[\text{Ir}(\text{ppy})_3]$ 로 도핑된 4,4',4"-트리(N-카르바졸릴)트리페닐아민 (TCTA)의 층일 수 있다.
- [0114] 일반적으로, SM-OLED의 구조는 정공 주입층 (HIL), 정공 수송층 (HTL), 방사층 및 전자 수송층 (ETL)의 스택으로 이루어진다.
- [0115] 정공 주입층의 예는 구리 프탈로시아닌 (CuPc)이고; 정공 수송층은, 예를 들어, N,N'-비스(나프탈렌-1-일)-N,N'-비스(페닐)벤지딘 (α -NPB)일 수 있다.
- [0116] 전자 수송층은 트리스(8-히드록시퀴놀린)알루미늄 (Alq_3) 또는 배소페난트롤린 (BPhen)으로 이루어질 수 있고, 이 경우에, 전극 중의 하나는 Mg/Al 또는 LiF/Al의 층일 수 있다.
- [0117] 여기자(exciton) 차단층, 예를 들어, BCP (2,9-디메틸-4,7-디페닐-1,10-페난트롤린)을 기재로 하는 층도 또한 스택 내에 존재할 수 있다.
- [0118] 유기 발광 스택의 예는, 예를 들어, US 6 645 645에 기재되어 있다.
- [0119] 유기 발광층이 중합체인 경우, PLED (중합체 발광 다이오드)라 한다.
- [0120] 박층의 유기 발광 재료는 CES 중합체 (PLED), 예를 들어, PPV (폴리(파라-페닐렌 비닐렌)), PPP (폴리(파라-페닐렌)), DO-PPP (폴리(2-데실옥시-1,4-페닐렌)), MEH-PPV (폴리[2-(2'-에틸헥실옥시)-5-메톡시-1,4-페닐렌 비닐렌]), CN-PPV (폴리[2,5-비스(헥실옥시)-1,4-페닐렌-(1-시아노비닐렌)]) 또는 PDAF (폴리(디아킬플루오렌))로부터 형성되거나; 중합체 층은 또한 정공의 주입을 촉진시키는 층 (HIL)으로서, 예를 들어, PEDT/PSS (폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스티렌술포네이트))로 이루어진 층과 조합된다.
- [0121] PLED의 하나의 예는
- [0122] - 50 nm의, 폴리(스티렌술포네이트)로 도핑된 폴리(2,4-에틸렌디옥시티오펜) (PEDOT:PSS) 층, 및
- [0123] - 50 nm의, 페닐-폴리(p-페닐렌 비닐렌) Ph PPV 층의 스택으로 이루어진다.
- [0124] 후자의 경우에, 전극들 중 하나는 Ca층일 수 있다.
- [0125] 소자는 (별도의 또는 추가적 선택으로) 장식용, 건축용 등의 조명 시스템 또는, 예컨대, 디자인, 로고, 알파벳-숫자 표시형의 표시 패널, 특히 비상구 패널을 형성할 수 있다.
- [0126] OLED 소자는 특히 균일 조명을 위한 균일한 다색광을 생성하도록, 또는 동일하거나 상이한 강도의 상이한 발광

영역을 생성하도록 배치될 수 있다.

- [0127] 역으로, 다양한 다색 조명을 형성할 수 있다. 유기 발광 시스템 (OLED)은 직접 광 영역을 생성하며, OLED 광선을 추출하여 또 다른 발광 영역이 얻어지며, 이는 선택된 유리 기관 두께에서 전 반사에 의해 가이드된다.
- [0128] 이러한 다른 발광 영역을 형성하기 위하여, 추출 영역은 OLED 시스템에 인접하거나 기관의 다른 면 위에 있을 수 있다. 추출 영역 또는 영역들은, 예컨대, 특히 건축 분야의 조명에서 직접광 영역에 의해 제공되는 조명을 강화시키거나 광 패널에 표시하기 위하여 사용될 수 있다. 추출 영역 또는 영역들은 바람직하게는 광 스트립 (들) 형태로서, 이들은 특히 균일하고 바람직하게는 표면 중 하나의 주변에 위치한다. 이들 스트립은, 예를 들어, 매우 밝은 발광 프레임을 형성할 수 있다.
- [0129] 추출은 추출 영역에 배치된 수단인, 산란층 및 특히 텍스처링되거나 거칠게되어 산란 특성을 가지는 기관 중 적어도 하나에 의해 얻어질 수 있다.
- [0130] 전극과 OLED 시스템의 유기 구조가 투명한 것으로 선택되는 경우, 특히 조명 윈도우가 생산될 수 있다. 실내 조명에 있어서의 개선은 투광율을 훼손하여 얻어지는 것이 아니다. 또한, 특히 조명 윈도우 외측면 상에서의 광반사를 제한함으로써, 빌딩 파사드에 대한 현행 눈부심방지 규정을 준수하기 위하여 반사의 정도를 조절할 수 있다.
- [0131] 보다 광범위하게는, 특히 부분적으로 또는 전적으로 투명한 소자는
- [0132] - 건물에 예컨대 외부 발광 창유리 패널, 내부 발광 파티션 또는 발광 유리문, 특히 슬라이딩 도어(의 부분)로서,
- [0133] - 운송 수단에 예컨대 발광 지붕, 발광 측면창(의 일부), 또는 육상, 수상 또는 공중을 운행하는 차량 (자동차, 트럭, 열차, 항공기, 배 등)의 내부 발광 파티션으로서,
- [0134] - 가도 또는 전문가용 가구, 예를 들어, 버스 정류장 패널, 보석상 디스플레이 또는 상품 진열창의 전시 캐비닛의 벽, 온실 벽 또는 조명 타일로서,
- [0135] - 옥내 설비, 선반 또는 가구 부재, 가구류의 전면부, 조명 타일, 천정 조명 또는 램프, 조명 냉장고 선반 또는 수족관 벽에 사용될 수 있다.
- [0136] 조명 거울을 형성하기 위하여, 상부 전극은 반사형일 수 있다.
- [0137] OLED는 또한 옥실 벽 또는 주방 조리상관의 조명을 위하여 또는 천정 조명 또는 램프로 사용될 수 있다.

발명을 실시하기 위한 구체적인 내용

- [0138] 본 발명은 하기 비제한적 실시예를 통하여 상세히 설명된다.
- [0139] 실시예
- [0140] 유리 또는 PET와 같은 플라스틱 시트 (기관)에 음극 스퍼터링으로 층 스택을 코팅하였다. 층들은 기관으로부터 시작하는 스택 순서로 침착되었으며, 각각의 두께는 하기와 같다.
- [0141] 실시예 1
- [0142] 소다-석회-실리카 유리 (0.7 mm)로 된 기관에 다음과 같은 스택으로 이루어진 하부 애노드-형성 전극을 장착하였다:
- [0143] - 전기 도전성 코팅: 알루미늄으로 도핑된 Si_3N_4 (30 nm)/안티몬 Sb으로 도핑된 $Sn_xZn_yO_z$ (5 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만)/알루미늄으로 도핑된 ZnO (5 nm)/안티몬 Sb으로 도핑된 $Sn_xZn_yO_z$ (60 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만),
- [0144] - 덮고 있는 $SnZn_2O_4$ 버퍼층 (40 nm) (바람직하게는 순수 (도핑되지 않은)하고, 무정형임),
- [0145] - 최종적으로 ITO로 된 일함수 매칭층 (10 nm).
- [0146] 실시예 2
- [0147] 소다-석회-실리카 유리 (0.7 mm)로 된 기관에 다음과 같은 스택으로 이루어진 하부 애노드-형성 전극을 장착하

였다:

- [0148] - 전기 도전성 코팅: 안티몬 Sb으로 도핑된 Sn_xZn_yO_z (45 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만)/알루미늄으로 도핑된 ZnO (5 nm)/안티몬 Sb으로 도핑된 Sn_xZn_yO_z (75 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만),
- [0149] - 덮고 있는 Ta₂O₅ 버퍼층 (20 nm),
- [0150] - 최종적으로 ITO로 된 일함수 매칭층 (25 nm).
- [0151] 실시예 3
- [0152] 소다-석회-실리카 유리 (0.7 mm)로 된 기판에 다음과 같은 스택으로 이루어진 하부 애노드-형성 전극을 장착하였다:
- [0153] - 전기 도전성 코팅: 안티몬 Sb으로 도핑된 Sn_xZn_yO_z (30 nm)/ZnO (5 nm)/Ag (10 nm)/Ti (1 nm 미만)/알루미늄으로 도핑된 ZnO (5 nm)/Sn_xZn_yO_z (68 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (10 nm)/Ti (1 nm 미만),
- [0154] - 덮고 있는 순수 ZnO 버퍼층 (50 nm),
- [0155] - 최종적으로 ITO로 된 일함수 매칭층 (10 nm).
- [0156] 실시예 4
- [0157] 소다-석회-실리카 유리 (4 mm)로 된 기판에 다음과 같은 스택으로 이루어진 하부 애노드-형성 전극을 장착하였다:
- [0158] - 전기 도전성 코팅: SiO₂ (10 nm)/ITO (200 nm)
- [0159] - 덮고 있는 SnZn₂O₄ 버퍼층 (20 nm),
- [0160] - 최종적으로 ITO로 된 일함수 매칭층 (10 nm).
- [0161] 또 다른 실시예 4a에서, 이와 같은 전기 도전성 코팅은 350 °C에서 30분 동안 어닐링되었다.
- [0162] 이들 실시예의 전기, 투명 및 조도 특성을 하기 표에 나타내었다.

표 2

애노드 실시예	코팅의 시트 저항 Ω/스퀘어	애노드의 시트 저항 Ω/스퀘어	일함수 매칭층의 시트 저항 Ω/스퀘어	LT (%)	애노드의 RMS 조도 파라미터
1	3	3	1700	80	< 1.5 nm
2	3	3	680	79	< 1.5 nm
3	2.7	2.7	1700	78	< 1.5 nm
4	20	20	1700	80	< 3 nm
4a	10	10	1700	82	< 5 nm

- [0163]
- [0164] 버퍼층 아래의 각 층에 대한 자기장-보조 음극 스퍼터링 (마그네트론 스퍼터링)에 의한 침착 조건은 다음과 같았다:
- [0165] - Si₃N₄:Al 기재의 층은 펄스 방식으로 공급되는 아르곤/질소 분위기에서 0.25 Pa의 압력하에 알루미늄으로 도핑된 규소 타겟을 사용하여 반응성 스퍼터링으로 침착시켰다.
- [0166] - SnZn:SbO_x 기재의 층은 펄스 방식으로 공급되는 아르곤/산소 분위기에서 0.2 Pa의 압력하에 안티몬으로 도핑

된 아연과 주석의 타겟 (65 중량%의 Sn, 34 중량%의 Zn 및 1 중량%의 Sb 포함)을 사용하여 반응성 스퍼터링으로 침착시켰다.

- [0167] - 은을 기체로 하는 증은 펄스 방식으로 공급되는 순수 아르곤 분위기에서 0.8 Pa의 압력하에 은 타겟을 사용하여 침착시켰다.
- [0168] - Ti 증은 펄스 방식으로 공급되는 순수 아르곤 분위기에서 0.8 Pa의 압력하에 티타늄 타겟을 사용하여 침착시켰다.
- [0169] - ZnO:Al 기체의 증은 펄스 방식으로 공급되는 아르곤/산소 분위기에서 0.2 Pa의 압력하에 알루미늄으로 도핑된 아연 타겟을 사용하여 반응성 스퍼터링으로 침착시켰다.
- [0170] 금속 산화물(들)을 기체로 하는 버퍼층의 표면 저항률은 산화물의 특성, 도핑 여부, 산화 정도, 침착 공정에 따라 달라지며, 두께에 비례한다. 예를 들어, 아연 산화물의 통상의 TCO 층, 특히 화학적 안정성을 위해 알루미늄으로 도핑된 증은 도전성이 너무 크다. 결과적으로, 버퍼층을 형성하기 위하여, 과산화가 충분히 수행되고/거나 두께가 증가된다.
- [0171] 산소 공격자점(vacancy)이 거의 없으며 따라서 덜 도전성인 증을 위하여, 순수 ZnO 버퍼층을 바람직하게는 고주파 방식으로 공급되는 아르곤/산소 분위기에서 0.2 Pa의 압력하에 아연 타겟을 사용하여 반응성 스퍼터링으로 침착시켰다.
- [0172] SnZn₂O₄를 기체로 하는 버퍼층은 펄스 방식으로 공급되는 아르곤/산소 분위기에서 0.2 Pa의 압력하에 아연과 주석의 타겟을 사용하여 반응성 스퍼터링으로 침착시켰다.
- [0173] ITO 일함수 매칭층을 1 kW 전력에서 4 mbar의 압력하에 순수 아르곤 분위기에서 90% 인듐을 포함하는 평판 타겟을 사용하여 침착시켰다. 저항률은 $1.7 \times 10^{-3} \Omega \cdot \text{cm}$ 였으며, 따라서, 1700 $\Omega/\text{스퀘어}$ 의 시트 저항이 얻어졌다.
- [0174] 일함수 매칭층 ITO의 전기 전도성은 전기 도전성 코팅의 전도도에 비하여 측방향 전도도를 제한하기 위하여 이와 같이 고의적으로 열화된다.
- [0175] 실시예 4의 도전성 코팅의 ITO 층은 그 부분에 있어서는 통상적인 것이다: 이는 1 kW 전력에서 1.5 mbar의 압력하에 순수 아르곤 분위기에서 90% 인듐을 포함하는 평판 타겟을 사용하여 침착시켰다. 통상적인 저항률은 $4 \times 10^{-4} \Omega \cdot \text{cm}$ 였으며, 따라서, 20 $\Omega/\text{스퀘어}$ 의 시트 저항이 얻어졌다. SiO₂ 층은 전기 전도도에 영향을 미치지 않는다.
- [0176] 본 발명에 따른 OLED와 선행 기술의 OLED의 비교 시험
- [0177] 신규 하부 전극의 효과를 입증하기 위하여, 실시예 1의 전극, 및 선행 기술에 따라 표 1에 제시된 바와 같이 소다-석회-실리카 유리 기판 (0.7 mm) 위에 다음과 같은 스택을 갖는 비교 전극을 비교 시험하였다:
- [0178] 알루미늄으로 도핑된 Si₃N₄ (30 nm)/안티몬 Sb으로 도핑된 Sn_xZn_yO_z (5 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만)/알루미늄으로 도핑된 ZnO (5 nm)/안티몬 Sb으로 도핑된 Sn_xZn_yO_z (60 nm)/알루미늄으로 도핑된 ZnO (5 nm)/Ag (8 nm)/Ti (1 nm 미만)/ITO (20 nm).
- [0179] 실시예 1의 전극과 비교용 전극을 각각 다음과 같이 OLED를 제조하는데 사용하였다. 조명 블록을 얻도록 과정을 실시하였으며, 블록의 가장 큰 면은 측면 길이가 2 cm인 장방형을 이루며, 다이오드 가동시의 발광이 기판을 통해 관찰되었다.
- [0180] 타입 1의 OLED (실시예 1) 및 비교용 OLED를 각각 제조하기 위한 과정은 다음과 같았다. 유기층의 스택을 실시예 1의 전극 및 비교용 전극 상에 동시에 진공 증발에 의해 침착시켰으며, 스택은 순서대로 구리 프탈로시아닌 (CuPc)으로 된 10 nm의 유기 정공 주입층, 및 N,N'-비스(나프탈렌-1-일)-N,N'-비스(페닐)-벤지딘 (α -NPB)으로 된 40 nm의 정공 수송층으로 형성되었다. 이어서, 발광층을 CBP 매트릭스에서 8%로 도핑된 녹색 발광 성분 *fac*-트리스(2-페닐피리딘)이리듐 (Ir(ppy)₃)을 동시증발시켜 침착하였다. 이어서, BCP (2,9-디메틸-4,7-디페닐-1,10-페난트롤린)로 된 10 nm의 여기자 차단층을 침착시키고, Alq₃ (트리스(8-히드록시-퀴놀린)알루미늄(III))로 된 40 nm의 전자 수송층으로 작용하는 층을 침착시켰다. 유기층 시스템의 두께는 전형적으로 30 nm였다.
- [0181] 최종적으로, 통상의 캐소드가 진공 증발에 의해 침착되며, 1 nm의 LiF, 및 이어지는 100 nm의 Al으로 이루어졌

다.

- [0182] 10개의 타입 1 OLED 및 10개의 비교용 OLED를 직렬로 연결하여, 각각을 발광 시험을 위하여 전류-조절된 공급 장치에 연결하였다.
- [0183] 동작 전압은 5 V 정도이고, 전류 밀도는 1 mA/cm^2 였다.
- [0184] 가동시에, 타입 1 OLED의 흑색 영역의 표면적 감소는 비교용 OLED 상에서 시각적으로 검출되는 흑색 영역의 평균값에 비하여 30% 이상에서 80%까지 관찰되었다.
- [0185] 마이크론-규모의 전도 결함의 존재에 있어서, 버퍼층이 없는 경우와 대비하여, 전압은 실질적으로 OLED 전표면에 걸쳐서 일정하게 유지되며, 전압의 강하는 결함의 중심에서 마이크론 크기의 거리에서만 일어나므로, OLED의 비-발광 표면적을 감소시킨다.
- [0186] 버퍼층이 전극의 상부에 최종적으로 배치된 것은 아니지만, 버퍼층은 애노드와 캐소드를 전기적으로 연결하는 결함의 영향을 유효하게 제한한다.
- [0187] 버퍼층의 표면 저항률은 임의로 높게 선택될 수는 없으며, 과도하게 높은 표면 저항률은 전류가 층을 통하여 흐를 때 오음 손실을 가져올 수 있으므로 시스템의 전체 효율을 떨어뜨린다. 따라서, 버퍼층의 표면 저항률이 OLED 표면 저항률에 비하여 무시할 수 있는 정도 (바람직하게는 10배 낮고, 더 바람직하게는 100배 정도 낮음)인 것이 유리하다.
- [0188] 버퍼층의 최소 표면 저항률은 표 1에 제시된 바와 같이, OLED의 총 활성 표면적에 대한 결함 표면적의 비율에 의해 결정된다.
- [0189] OLED/버퍼층을 갖는 전극 (애노드 또는 캐소드) 계면에서, 전위의 강하는 명확하며, 이것이 전위가 최대 OLED 표면적에 걸쳐 최대값을 유지할 수 있도록 한다. 다른 한편으로, OLED/버퍼층이 없는 전극 계면에서, 전위의 강하는 느리게 일어나며, 이는 육안으로 검출할 수 있는 치수에 걸친 휘도의 점진적인 감소를 가져올 수 있다. 이 결과는 전도 결함의 시각적 효과를 더욱 감소시키기 위하여 각 전극에 버퍼층을 사용하는 것이 유리하다는 것을 보여준다.
- [0190] 따라서, 본 발명에 따른 다음과 같은 캐소드가 제안된다:
- [0191] - 두께 10 nm 미만의, LiF로 된 일함수 매칭층,
- [0192] - 두께 80 내지 200 nm, 바람직하게는 90 내지 180 nm, 바람직하게는 100 내지 160 nm의, 알루미늄으로 된 반사 금속층,
- [0193] - 상기 두 개의 층 사이에 배치된, 표면 저항률이 $10^{-6} \Omega \cdot \text{cm}^2$ 내지 $1 \Omega \cdot \text{cm}^2$, 바람직하게는 $10^{-4} \Omega \cdot \text{cm}^2$ 내지 $1 \Omega \cdot \text{cm}^2$, 바람직하게는 $10^{-2} \Omega \cdot \text{cm}^2$ 내지 $1 \Omega \cdot \text{cm}^2$ 인 버퍼층, 예를 들어, SnZnO로 이루어지며, 전자 빔 (e-빔) 증발에 의해 침착된 버퍼층.
- [0194] 본 발명에 따른 반사 캐소드의 하나의 예는 다음과 같다:
- [0195] - LiF로 된 일함수 매칭층 (시트 저항이 $100 \Omega/\text{스퀘어}$ 를 초과하고, 유기 표면에 치명적 효과를 주지 않도록 증발에 의해 침착되며, 아래에 있는 유기 층을 이후의 마그네트론 침착으로부터 보호하기 위하여 두께가 10 nm 미만, 특히 5 nm 미만 (바람직하게는 1 또는 2 nm)),
- [0196] - 40 nm의 SnZn₂O₄로 된 버퍼층 (애노드에 대해 기술한 바와 같이 마그네트론 스퍼터링에 의해 침착됨),
- [0197] - 도전성 코팅: 마그네트론 스퍼터링에 의해 침착된 100 nm의 알루미늄, 시트 저항 $0.3 \Omega/\text{스퀘어}$.
- [0198] 본 발명에 따른 투명 캐소드 (상부 방사 및 하부 방사 OLED)의 하나의 예는 다음과 같다:
- [0199] - LiF로 된 일함수 매칭층 (시트 저항이 $100 \Omega/\text{스퀘어}$ 를 초과하고, 유기 표면에 치명적 효과를 주지 않도록 증발에 의해 침착되며, 두께가 10 nm 미만, 특히 5 nm 미만),
- [0200] - 40 nm의 SnZn₂O₄로 된 버퍼층 (상기한 바와 같이 마그네트론 스퍼터링에 의해 침착됨),
- [0201] - 도전성 코팅: 마그네트론 스퍼터링에 의해 침착된 10 nm의 은, 시트 저항 $5 \Omega/\text{스퀘어}$.