202414725

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202414725 A

(43)公開日： 中華民國 113 (2024) 年 04 月 01 日

(21)申請案號：112129603 (22)申請日： 中華民國 112 (2023) 年 08 月 07 日

(51)Int. Cl.： *H01L23/29 (2006.01)* *H01L23/535 (2006.01)*

(30)優先權：2022/09/23 美國 17/951,601

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)
美國

(72)發明人：比奧 瓊 雷 伊維拉爾巴 BUOT, JOAN REY VILLARBA (US)；韋 鴻博 WE, HONG BOK (US)；金 米雪兒 藝珍 KIM, MICHELLE YEJIN (US)；帕提爾 安尼基特 PATIL, ANIKET (IN)

(74)代理人：林怡芳

申請實體審查：無 申請專利範圍項數：25 項 圖式數：9 共 51 頁

(54)名稱

包含帶有互連的基板的封裝

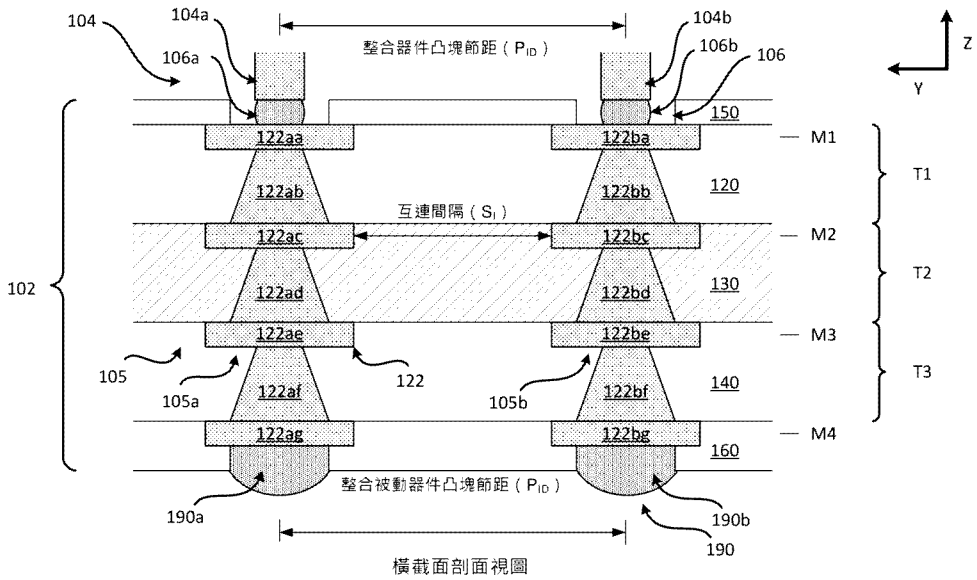
(57)摘要

一種封裝包含基板以及耦合到該基板的整合器件。該基板包括第一介電層、第二介電層、第三介電層、以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。

A package comprising a substrate and an integrated device coupled to the substrate. The substrate includes a first dielectric layer, a second dielectric layer, a third dielectric layer, and a plurality of interconnects located in the first dielectric layer, the second dielectric layer and the third dielectric layer. The second dielectric layer is located between the first dielectric layer and the third dielectric layer. The second dielectric layer includes a different material than the first dielectric layer and the third dielectric layer.

指定代表圖：

TW 202414725 A



【圖1】

符號簡單說明：

102:基板

104:複數個焊柱互連

104a、104b:焊柱互連

105:複數行互連

105a:第一行互連

105b:第二行互連

106、190:複數個焊料互連

106a、106b、190a、190b:焊料互連

120、130、140:介電層

122:複數個互連

122aa、122ab、122ac、122ad:互連

122ae、122af、122ag:互連

122ba、122bb、122bc、122bd:互連

122be、122bf、122bg:互連

150、160:阻焊層

M1、M2、M3、M4:金屬層

T1、T2、T3:介電層厚度

【發明摘要】

【中文發明名稱】 包含帶有互連的基板的封裝

【英文發明名稱】 PACKAGE COMPRISING A SUBSTRATE WITH INTERCONNECTS

【中文】

一種封裝包含基板以及耦合到該基板的整合器件。該基板包括第一介電層、第二介電層、第三介電層、以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。

【英文】

A package comprising a substrate and an integrated device coupled to the substrate. The substrate includes a first dielectric layer, a second dielectric layer, a third dielectric layer, and a plurality of interconnects located in the first dielectric layer, the second dielectric layer and the third dielectric layer. The second dielectric layer is located between the first dielectric layer and the third dielectric layer. The second dielectric layer includes a different material than the first dielectric layer and the third dielectric layer.

【指定代表圖】 圖 1

【代表圖之符號簡單說明】

102	基板
104	複數個焊柱互連
104a、104b	焊柱互連
105	複數行互連

105a	第一行互連
105b	第二行互連
106、190	複數個焊料互連
106a、106b、190a、190b	焊料互連
120、130、140	介電層
122	複數個互連
122aa、122ab、122ac、122ad	互連
122ae、122af、122ag	互連
122ba、122bb、122bc、122bd	互連
122be、122bf、122bg	互連
150、160	阻焊層
M1、M2、M3、M4	金屬層
T1、T2、T3	介電層厚度

【發明說明書】

【中文發明名稱】 包含帶有互連的基板的封裝

【英文發明名稱】 PACKAGE COMPRISING A SUBSTRATE WITH INTERCONNECTS

【技術領域】

相關申請的交叉引用

【0001】 本申請主張於 2022 年 9 月 23 日在美國專利局提交的非臨時申請序號 17/951,601 的優先權及權益，該申請的全部內容通過援引如同整體在下文全面闡述那樣且出於所有適用目的納入於此。

【0002】 各種特徵涉及具有基板及整合器件的封裝。

【先前技術】

【0003】 封裝可包括基板及整合器件。這些組件被耦合在一起以提供可履行各種功能的封裝。封裝及其組件的性能可取決於這些組件如何耦合在一起。存在使封裝包括具有改進的連接的較緊湊的形狀因子以使得該封裝可在較小設備中實現並提供改進的性能的持續需求。

【發明內容】

【0004】 各種特徵涉及具有基板及整合器件的封裝。

【0005】 一個示例提供了一種包含基板以及耦合到該基板的整合器件的封裝。該基板包括第一介電層、第二介電層、第三介電層、以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的

材料。

【0006】 另一示例提供了一種基板，該基板包含第一介電層、第二介電層及第三介電層、以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。

【0007】 另一示例提供了一種用於製造封裝的方法。該方法提供了一種基板，該基板包含第一介電層；第二介電層；第三介電層；以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。該方法將整合器件耦合到該基板。

【圖式簡單說明】

【0008】 在結合圖式理解下面闡述的詳細描述時，各種特徵、本質及優點會變得明顯，在圖式中，相像的符號貫穿始終作相應標識。

【0009】 圖 1 繪示基板的橫截面剖面視圖。

【0010】 圖 2 繪示包括基板、整合器件及被動器件的封裝的橫截面剖面視圖。

【0011】 圖 3 繪示基板的平面視圖。

【0012】 圖 4 繪示整合器件耦合到基板的特寫的橫截面剖面視圖。

【0013】 圖 5A-5D 繪示用於製造具有不同介電層的基板的示例性工序。

【0014】 圖 6 繪示用於製造包含具有不同介電層的基板的封裝的方法的示例性流程圖解。

【0015】 圖 7 繪示用於製造包含基板、整合器件及被動器件的封裝的示例性工序。

【0016】 圖 8 繪示用於製造包含基板、整合器件及被動器件的封裝的方法的示例性流程圖解。

【0017】 圖 9 繪示可整合本文中所描述的晶粒、電子電路、整合器件、整合被動器件（IPD）、被動組件、封裝、及/或器件封裝的各種電子設備。

【實施方式】

【0018】 在以下描述中，給出了具體細節以提供對本公開內容的各個態樣的透徹理解。然而，本領域普通技術人員將理解，沒有這些具體細節亦可以實踐這些態樣。例如，電路可能用方塊圖示出以避免使這些態樣湮沒在不必要的細節中。在其他實例中，公知的電路、結構及技術可能不被詳細示出以免湮沒本公開內容的這些態樣。

【0019】 本公開內容描述了一種包含基板以及耦合到該基板的整合器件的封裝。該基板包括：第一介電層、第二介電層、第三介電層、以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。在一些實現中，第二介電層沒有玻璃材料，並且第一介電層及/或第三介電層包括玻璃材料。在一些實現中，第一介電層及/或第三介電層包括預浸料。將具有不同材料的介電層用於不同層有助於提供具有較小間隔及/或較小節距的互連，潛在地允許較高的密度互連、用於電流及/或信號的較短電路徑，這可以導致整合器件及封裝的改進的性能。

包含整合器件以及包含具有不同材料的介電層的基板的示例性封裝

【0020】 圖 1 繪示基板 102 的橫截面剖面視圖。基板 102 可以是嵌入式跡線基板（ETS）。基板 102 可以是沒有芯層的無芯基板。基板 102 包括介電層

120、介電層 130、介電層 140、複數個互連 122、阻焊層 150 及阻焊層 160。

【0021】 介電層 120 可以是第一介電層。介電層 130 可以是第二介電層。介電層 140 可以是第三介電層。介電層 120 被耦合到介電層 130 之第一表面。介電層 140 被耦合到介電層 130 之第二表面。介電層 130 可位於介電層 120 和介電層 140 之間。介電層 130 可包括與來自介電層 120 及介電層 140 的一種或多種材料不同的材料。在一些實現中，介電層 130（例如，第二介電層）沒有玻璃材料。在一些實現中，介電層 120（例如，第一介電層）及/或介電層 140（例如，第三介電層）包括玻璃材料。在一些實現中，介電層 120 及/或介電層 140 包括預浸料。阻焊層 150 可位於介電層 120 之表面之上（例如，上方）。阻焊層 160 可位於介電層 140 之表面之上（例如，下方）。

【0022】 複數個互連 122 可至少位於介電層 120、介電層 130 及介電層 140 中。來自複數個互連 122 中的一些互連可位於介電層 120、介電層 130 及介電層 140 之表面之中及/或之上。複數個互連 122 包括互連 122aa、互連 122ab、互連 122ac、互連 122ad、互連 122ae、互連 122af、互連 122ag、互連 122ba、互連 122bb、互連 122bc、互連 122bd、互連 122be、互連 122bf 及互連 122bg。互連 122aa、互連 122ab、互連 122ac、互連 122ad、互連 122ae、互連 122af 及/或互連 122ag 可界定第一行互連 105a。互連 122aa 被耦合到互連 122ab。互連 122ab 被耦合到互連 122ac。互連 122ac 被耦合到互連 122ad。互連 122ad 被耦合到互連 122ae。互連 122ae 被耦合到互連 122af。互連 122af 被耦合到互連 122ag。互連 122ba、互連 122bb、互連 122bc、互連 122bd、互連 122be、互連 122bf 及/或互連 122bg 可界定第二行互連 105b。互連 122ba 被耦合到互連 122bb。互連 122bb 被耦合到互連 122bc。互連 122bc 被耦合到互連 122bd。互連 122bd 被耦合到互連 122be。互連 122be 被耦合到互連 122bf。互連 122bf 被耦合到互連 122bg。第一行互連 105a 及第二行互連 105b 可以是複數行互連

105 之一部分。

【0023】 整合器件（未示出）可通過複數個焊柱互連 104 及複數個焊料互連 106 耦合到基板 102。複數個焊柱互連 104 包括焊柱互連 104a 及焊柱互連 104b。複數個焊料互連 106 包括焊料互連 106a 及焊料互連 106b。

【0024】 焊柱互連 104a 通過焊料互連 106a 耦合到第一行互連 105a。焊柱互連 104b 通過焊料互連 106b 耦合到第二行互連 105b。複數個焊料互連 190 被耦合到基板 102。複數個焊料互連 190 被耦合到該複數個互連 122。例如，複數個焊料互連 190 被耦合到第一行互連 105a 及第二行互連 105b。在一個示例中，焊料互連 190a 被耦合到第一行互連 105a，並且第二焊料互連 190b 被耦合到第二行互連 105b。

【0025】 如圖 1 中所示，複數個焊柱互連 104 包括可以具有整合器件凸塊節距 P_{ID} 的毗鄰焊柱互連（例如，104a、104b）。類似地，複數個焊料互連 106 包括可具有整合器件凸塊焊料節距 P_{IDS} 的毗鄰焊料互連（例如，106a、106b）。此外，複數個焊料互連 190 包括可具有整合被動器件凸塊焊料節距 P_{IPDS} 的毗鄰焊料互連（例如，190a、190b）。在一些實現中，毗鄰行互連（例如，105a、105b）之間的節距可以是 P_{CI}。在一些實現中，毗鄰行互連（例如，105a、105b）之間的節距與耦合到毗鄰行互連（例如，105a、105b）的毗鄰焊料互連（例如，106a、106b）之間的節距大致相同。在一些實現中，毗鄰行互連（例如，105a、105b）之間的節距與通過毗鄰焊料互連（例如，106a、106b）耦合到毗鄰行互連（例如，105a、105b）的毗鄰焊柱互連（例如，104a、104b）之間的節距大致相同。在一些實現中，毗鄰行互連（例如，105a、105b）之間的節距與耦合到毗鄰行互連（例如，105a、105b）的毗鄰焊料互連（例如，190a、190b）之間的節距大致相同。

【0026】 在一些實現中，來自第一行互連 105a 及第二行互連 105b 的特

定金屬層（例如，M1、M2、M3、M4）上的一對焊盤互連可具有與來自第一行互連 105a 及第二行互連 105b 的另一金屬層（例如，M1、M2、M3、M4）上的另一對焊盤互連大致相同的節距。例如，在一些實現中，互連 122aa 和互連 122ba 之間的節距與互連 122ac 和互連 122bc 之間的節距大致相同。在一些實現中，互連 122aa 和互連 122ba 之間的節距與互連 122ae 和互連 122be 之間的節距大致相同。在一些實現中，互連 122aa 和互連 122ba 之間的節距與互連 122ag 和互連 122bg 之間的節距大致相同。

【0027】 在一些實現中，來自第一行互連 105a 及第二行互連 105b 的兩個特定金屬層之間的一對通孔互連可具有與來自第一行互連 105a 及第二行互連 105b 的兩個其他金屬層之間的另一對通孔互連大致相同的節距。例如，在一些實現中，互連 122ab 和互連 122bb 之間的節距與互連 122ad 和互連 122bd 之間的節距大致相同。在一些實現中，互連 122ab 和互連 122bb 之間的節距與互連 122af 和互連 122bf 之間的節距大致相同。

【0028】 在一些實現中，來自第一行互連 105a 及第二行互連 105b 的特定金屬層上的一對焊盤互連可具有與來自第一行互連 105a 及第二行互連 105b 的兩個金屬層之間的一對通孔互連大致相同的節距。例如，在一些實現中，互連 122aa 和互連 122ba 之間的節距與互連 122ab 和互連 122bb 之間的節距大致相同。在一些實現中，互連 122ac 和互連 122bc 之間的節距與互連 122ad 和互連 122bd 之間的節距大致相同。在一些實現中，互連 122ae 和互連 122be 之間的節距與互連 122af 和互連 122bf 之間的節距大致相同。

【0029】 將具有不同材料的介電層用於不同層有助於提供具有較小間隔及/或較小節距的互連，由此允許較高的密度互連、用於電流及/或信號的較短電路徑，這可以導致整合器件及封裝的改進的性能。此外，在兩個其他介電層之間使用不同的介電材料將不會顯著影響基板的整體翹曲，從而提供具

有可靠互連的基板。

【0030】 在一些實現中，來自第一行互連 105a 及/或第二行互連 105b 的焊盤互連（例如，122aa、122ac、122ae、122ag、122ba、122bc、122be、122bg）可各自具有約 90 微米的最小寬度及/或最小直徑。在一些實現中，第一介電層 120 可具有約 20 微米的最小厚度（T1）。在一些實現中，第二介電層 130 可具有約 15 微米的最小厚度（T2）。在一些實現中，第三介電層 140 可具有約 20 微米的最小厚度（T3）。由此，在一些實現中，第二介電層 130 之厚度（T2）可比第一介電層 120 之厚度（T1）及/或第三介電層 140 之厚度（T3）薄。

【0031】 在一些實現中，來自第一行互連 105a 及/或第二行互連 105b 的位於第一介電層 120 及/或第三介電層 140 中的通孔互連（例如，122ab、122af、122bb、122bf）可在其最寬部分處各自具有約 60 微米的最小寬度及/或最小直徑。在一些實現中，來自第一行互連 105a 及/或第二行互連 105b 的位於第二介電層 130 中的通孔互連（例如，122ad、122bd）可在其最寬部分處各自具有約 50 微米的最小寬度及/或最小直徑。在一些實現中，在兩個介電層之間使用不同介電層的以上組態有助於在相同金屬層上提供來自毗鄰行互連的各互連對以具有相似或相同的間隔（S_I）。

【0032】 在一些實現中，第一行互連 105a 經組態以在整合器件和被動器件之間提供用於電源的電路徑。在一些實現中，第二行互連 105b 經組態以在整合器件和被動器件之間提供用於地線的電路徑。被動器件可包括電容器（例如，離散電感器）。被動器件可包括經組態以耦合到電源及/或配電網的解耦電容器。

【0033】 注意到，圖 1 繪示包括 4 個金屬層的基板。然而，其他實現可包括具有不止 4 個金屬層的基板。此外，其他基板可包括與第二介電層 130

類似的其他介電層。例如，在一些實現中，基板可包括具有第一介電層、第二介電層、第三介電層及第四介電層的 5 個金屬層，其中第二介電層及第三介電層類似於第二介電層 130，並且其中第一介電層及第四介電層類似於第一介電層 120。

【0034】 圖 2 繪示包括基板 102、整合器件 202、被動器件 205、被動器件 207 及被動器件 209 的封裝 200。整合器件 202 通過複數個焊柱互連 104 及複數個焊料互連 106 耦合到基板 102 之第一表面（例如，頂表面）。被動器件 205 通過複數個焊料互連 250 耦合到基板 102 之第二表面（例如，底表面）。被動器件 207 通過複數個焊料互連 270 耦合到基板 102 之第二表面（例如，底表面）。被動器件 209 通過複數個焊料互連 290 耦合到基板 102 之第二表面（例如，底表面）。在一些實現中，被動器件 205 之至少一部分、被動器件 207 之至少一部分、及/或被動器件 209 之至少一部分可與整合器件 202 垂直地交疊。

【0035】 基板 102 包括複數行互連 222。複數行互連 222 是基板 102 之複數行互連 122 之一部分。複數行互連 222 可與第一行互連 105a 及/或第二行互連 105b 類似的方式來組態及/或佈置。

【0036】 整合器件 202 經組態以通過包括以下各項的電路徑（例如，用於電源）電耦合到被動器件 205：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、一行互連 222a 以及來自複數個焊料互連 250 的焊料互連。整合器件 202 經組態以通過包括以下各項的電路徑（例如，用於地線）電耦合到被動器件 205：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、一行互連 222b 以及來自複數個焊料互連 250 的焊料互連。

【0037】 整合器件 202 經組態以通過包括以下各項的電路徑（例如，用

於電源）電耦合到被動器件 207：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、一行互連 222c 以及來自複數個焊料互連 270 的焊料互連。整合器件 202 經組態以通過包括以下各項的電路徑（例如，用於地線）電耦合到被動器件 207：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、至少一行互連 222d 以及來自複數個焊料互連 270 的焊料互連。

【0038】 整合器件 202 經組態以通過包括以下各項的電路徑（例如，用於電源）電耦合到被動器件 209：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、一行互連 222e 以及來自複數個焊料互連 290 的焊料互連。整合器件 202 經組態以通過包括以下各項的電路徑（例如，用於地線）電耦合到被動器件 207：來自複數個焊柱互連 104 的焊柱互連、來自複數個焊料互連 106 的焊料互連、一行互連 222f 以及來自複數個焊料互連 290 的焊料互連。在一些實現中，整合器件 202、被動器件 205、被動器件 207 被動器件 209 經組態以電耦合到配電網。

【0039】 圖 3 繪示基板 102 的平面視圖。如圖 3 中所示，基板 102 包括第一介電層 120、複數個互連 302 及複數個互連 304。複數個互連 302 及複數個互連 304 位於基板 102 中與整合器件（例如，202）垂直交疊的區域 300 中。複數個互連 302 及複數個互連 304 可位於基板 102 之第一金屬層（例如，M1）上。複數個互連 302 之節距及/或間隔大於複數個互連 304 之節距及/或間隔。複數個互連 302 可包括作為如至少在圖 1 及 2 中所描述的複數行互連（例如，105、222）之一部分的互連。複數個互連及/或複數個互連 304 可以是複數個互連 122 之一部分。

【0040】 圖 4 繪示整合器件可如何耦合到基板的特寫視圖。整合器件 202 可通過複數個焊柱互連及複數個焊料互連耦合到基板 102。整合器件 202 及基板

102 可以是封裝 200 之一部分。整合器件 202 包括晶粒部分 402、複數個焊柱互連 104 及複數個焊料互連 106。複數個焊柱互連 104 被耦合到晶粒部分 402。複數個焊料互連 106 耦合到複數個焊柱互連 104。整合器件 202 可包括倒裝晶片。

【0041】 晶粒部分 402 包括晶粒基板 420、互連部分 422、鈍化層 405、鈍化層 408、複數個焊盤 407、鈍化層 408 以及複數個凸塊下金屬化互連 409。晶粒基板 420 可包括矽（Si）。複數個單元（例如，邏輯單元）及/或複數個電晶體（未示出）可被形成在晶粒基板 420 之中及/或之上。不同的實現可使用不同類型的電晶體，諸如場效應電晶體（FET）、平面 FET、鰭 FET 及環繞閘極 FET。在一些實現中，前端製程（FEOL）處理可被用來製造在晶粒基板 420 之中及/或之上的該複數個單元（例如，邏輯單元）及/或電晶體。互連部分 422 位於晶粒基板 420 之上並耦合到晶粒基板 120。互連部分 422 可被耦合到位於晶粒基板 420 之中及/或之上的複數個單元及/或電晶體。互連部分 422（例如，晶粒互連部分）可包括耦合到複數個單元及/或電晶體的複數個晶粒互連（未示出）。在一些實現中，後端製程（BEOL）處理可被用來製造互連部分 422。

【0042】 鈍化層 405 位於互連部分 422 之上並耦合到互連部分 122。鈍化層 405 可以是硬鈍化層。鈍化層 408 位於鈍化層 405 之上。鈍化層 408 可包括聚合物鈍化層。複數個焊盤 407 位於互連部分 422 之上。複數個焊盤 407 可耦合到互連部分 422 的晶粒互連。在一些實現中，鈍化層 405、鈍化層 408 及/或複數個焊盤 407 可被認為是互連部分 422 之一部分。在一些實現中，可使用後端製程（BEOL）處理來製造鈍化層 405、鈍化層 408 及複數個焊盤 407。複數個凸塊下金屬化互連 409 耦合到複數個焊盤 407。複數個凸塊下金屬化互連 409 可位於複數個焊盤 407 之上。在一些實現中，在複數個焊盤 407 和

複數個凸塊下金屬化互連 409 之間可存在附加互連。例如，在複數個焊盤 407 和複數個凸塊下金屬化互連 409 之間可存在金屬化互連。金屬化互連的示例包括重分佈互連。在一些實現中，複數個凸塊下金屬化互連 409 可通過金屬化互連（例如，重分佈互連）耦合到複數個焊盤 407。

【0043】 複數個焊柱互連 104 可被耦合到晶粒部分 402。複數個焊柱互連 104 可被耦合到複數個凸塊下金屬化互連 409。複數個焊柱互連 104 可通過複數個凸塊下金屬化互連 409 耦合到晶粒部分 402。複數個焊柱互連 104 可以是用於焊柱互連的構件。複數個凸塊下金屬化互連 409 可以是用於凸塊下金屬化互連的構件。

【0044】 複數個焊盤 407 包括第一焊盤 407a 及第二焊盤 407b。複數個凸塊下金屬化互連 409 包括第一凸塊下金屬化互連 409a 及第二凸塊下金屬化互連 409b。複數個焊柱互連 104 包括第一焊柱互連 104a 及第二焊柱互連 104b。複數個焊料互連 106 包括第一焊料互連 106a 及第二焊料互連 106b。

【0045】 第一凸塊下金屬化互連 409a 被耦合到第一焊盤 407a。第一焊柱互連 104a 被耦合到第一凸塊下金屬化互連 409a。第一焊料互連 106a 耦合到第一焊柱互連 104a。注意到，在一些實現中，第一焊柱互連 104a 通過至少一個金屬化互連耦合到第一凸塊下金屬化互連 409a。也就是說，至少一個金屬化互連（例如，重分佈互連）可位於第一焊柱互連 104a 和第一凸塊下金屬化互連 409a 之間。

【0046】 第二凸塊下金屬化互連 409b 被耦合到第二焊盤 407b。第二焊柱互連 104b 被耦合到第二凸塊下金屬化互連 409b。第二焊料互連 106b 被耦合到第二焊柱互連 104b。注意到，在一些實現中，第二焊柱互連 104b 通過至少一個金屬化互連耦合到第二凸塊下金屬化互連 409b。也就是說，至少一個金屬化互連（例如，重分佈互連）可位於第二焊柱互連 104b 和第二凸塊下金屬

化互連 409b 之間。

【0047】 整合器件 202 通過複數個焊料互連 106 及複數個焊柱互連 104 耦合到基板 102。例如，焊料互連 106a 可被直接耦合到互連 122aa 及焊柱互連 104a。在一些實現中，焊料互連 106b 可被直接耦合到互連 122ba 及焊柱互連 104b。

【0048】 整合器件（例如，202）可包括晶粒（例如，半導體裸晶粒）。整合器件可包括電源管理積體電路（PMIC）。整合器件可包括應用處理器。整合器件可包括數據機。整合器件可包括射頻（RF）器件、被動器件、濾波器、電容器、電感器、天線、發射器、接收器、基於砷化鎵（GaAs）的整合器件、表面聲波（SAW）濾波器、體聲波（BAW）濾波器、發光二極體（LED）整合器件、基於矽（Si）的整合器件、基於碳化矽（SiC）的整合器件、記憶體、電源管理處理器、及/或其組合。整合器件（例如，202）可包括至少一個電子電路（例如，第一電子電路、第二電子電路等）。整合器件可包括電晶體。整合器件可以是電組件及/或電器件的示例。在一些實現中，整合器件可以是小晶片。可使用與用於製造其他類型的整合器件的其他處理相比提供更好產量的處理來製造小晶片，這可降低製造小晶片的總體成本。不同的小晶片可具有不同的大小及/或形狀。不同的小晶片可經組態以提供不同的功能。不同的小晶片可具有不同的互連密度（例如，具有不同寬度及/或間隔的互連）。在一些實現中，若干小晶片可用於履行一個或多個晶片（例如，一個或多個整合器件）的功能性。因此，例如，單個整合器件可被分成若干個小晶片。如所提及的，相對於使用單個晶片來履行封裝的所有功能，使用履行若干功能的若干小晶片可降低封裝的總體成本。在一些實現中，可使用相同的技術節點或者兩個或更多個不同的技術節點來製造本公開內容中所描述的一個或多個小晶片及/或一個或多個整合器件（例如，202）。例如，整合器件（例如，

202）可使用第一技術節點來製造，並且小晶片可使用不如第一技術節點那麼先進的第二技術節點來製造。在此示例中，整合器件（例如，202）可包括具有第一最小尺寸的組件（例如，互連、電晶體），並且小晶片可包括具有第二最小尺寸的組件（例如，互連、電晶體），其中第二最小尺寸大於第一最小尺寸。在一些實現中，可使用相同技術節點或不同技術節點來製造封裝的整合器件及另一整合器件。在一些實現中，可使用相同技術節點或不同技術節點來製造封裝的小晶片及另一小晶片。

用於製造基板的示例性工序

【0049】 在一些實現中，製造基板包括若干處理。圖 5A-5D 繪示用於提供或製造基板的示例性工序。在一些實現中，圖 5A-5D 的工序可被用來提供或製造基板 102。然而，圖 5A-5D 的處理可被用來製造本公開內容中所描述的任何基板。

【0050】 應當注意，圖 5A-5D 的工序可組合一個或多個階段以簡化及/或闡明用於提供或製造基板的工序。在一些實現中，各處理的次序可被改變或修改。在一些實現中，一個或多個處理可被替代或置換，而不會脫離本公開內容的範疇。

【0051】 如圖 5A 中所示，階段 1 繪示在提供芯層 501 之後的狀態。芯層 501 可包括位於芯層 501 之第一表面上的晶種層 503 及位於芯層 501 之第二表面上的晶種層 505。芯層 501 可以是介電質。芯層 501 可以是載體。

【0052】 階段 2 繪示在芯層 501、晶種層 503 及/或晶種層 505 之表面之中及之上形成互連之後的狀態。可在芯層 501 之第一表面及/或晶種層 503 之上（例如，上方）形成複數個互連 502。晶種層 503 可以是複數個互連 502 之一部分。可在芯層 512 之第二表面及/或晶種層 505 之上（例如，下方）形成複

數個互連 502。晶種層 505 可以是複數個互連 512 之一部分。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 502 及/或複數個互連 512。

【0053】 階段 3 繪示在芯層 501 之第一表面、晶種層 503 及/或複數個互連 502 之上（例如，上方）形成介電層 520 之後的狀態。階段 4 亦繪示在芯層 501 之第二表面、晶種層 505 及/或複數個互連 512 之上（例如，下方）形成介電層 530 之後的狀態。可使用沉積及/或層壓處理來形成介電層 520 及介電層 530。介電層 520 及介電層 530 可與芯層 501 不同。

【0054】 階段 4 繪示在介電層 520 中形成複數個腔 521 以及在介電層 530 中形成複數個腔 531 之後的狀態。可使用光刻處理（例如，曝光及顯影）及/或雷射處理（例如，雷射消融）來形成複數個腔 521 及複數個腔 531。可使用掩模、曝光及/或顯影處理來形成複數個腔 521 及複數個腔 531。

【0055】 階段 5 繪示在介電層 520 及介電層 530 之表面之中及之上形成互連之後的狀態。可在介電層 520 之第一表面及複數個腔 521 之上（例如，上方）形成複數個互連 522。可在介電層 530 之第二表面及複數個腔 531 之上（例如，下方）形成複數個互連 532。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 522 及/或複數個互連 532。

【0056】 如圖 5B 中所示，階段 6 繪示在介電層 520 之第一表面及複數個互連 522 之上（例如，上方）形成介電層 540 之後的狀態。階段 7 亦繪示在介電層 530 之第二表面及複數個互連 532 之上（例如，下方）形成介電層 550 之後的狀態。可使用沉積及/或層壓處理來形成介電層 540 及介電層 550。介電層 540 及/或介電層 550 可以是與介電層 520 及/或介電層 530 的介電材料不同的介電材料。

【0057】 階段 7 繪示在介電層 540 中形成複數個腔 541 以及在介電層 550 中形成複數個腔 551 之後的狀態。可使用光刻處理（例如，曝光及顯影）

及/或雷射處理（例如，雷射消融）來形成複數個腔 541 及複數個腔 551。可使用掩模、曝光及/或顯影處理來形成複數個腔 541 及複數個腔 551。

【0058】 階段 8 繪示在介電層 540 及介電層 550 之表面之中及之上形成互連之後的狀態。可在介電層 540 之第一表面及複數個腔 541 之上（例如，上方）形成複數個互連 542。可在介電層 550 之第二表面及複數個腔 551 之上（例如，下方）形成複數個互連 552。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 542 及/或複數個互連 552。

【0059】 如圖 5C 中所示，階段 9 繪示在介電層 540 之第一表面及複數個互連 542 之上（例如，上方）形成介電層 560 之後的狀態。階段 9 亦繪示在介電層 550 之第二表面及複數個互連 552 之上（例如，下方）形成介電層 570 之後的狀態。可使用沉積及/或層壓處理來形成介電層 560 及介電層 570。介電層 560 及/或介電層 570 可以是與介電層 540 及/或介電層 550 的介電材料不同的介電材料。介電層 560 及/或介電層 570 可以是與介電層 520 及/或介電層 530 的介電材料類似的介電材料。

【0060】 階段 10 繪示在介電層 560 中形成複數個腔 561 以及在介電層 570 中形成複數個腔 571 之後的狀態。可使用光刻處理（例如，曝光及顯影）及/或雷射處理（例如，雷射消融）來形成複數個腔 561 及複數個腔 571。可使用掩模、曝光及/或顯影處理來形成複數個腔 561 及複數個腔 571。

【0061】 階段 11 繪示在介電層 560 及介電層 570 之表面之中及之上形成互連之後的狀態。可在介電層 560 之第一表面及複數個腔 561 之上（例如，上方）形成複數個互連 562。可在介電層 570 之第二表面及複數個腔 571 之上（例如，下方）形成複數個互連 572。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 562 及/或複數個互連 572。階段 11 可繪示耦合到芯層 501 的基板 590a 及基板 590b。

【0062】 如圖 5D 中所示，階段 12 繪示在從芯層 501 分離基板 590b 之後的狀態。亦可移除晶種層 505 之一部分。亦可以類似的方式從芯層 501 分離基板 590a。基板 590b 可表示包括介電層 120、介電層 130 及介電層 140 的基板 102。例如，第一介電層 120 可以是介電層 530，第二介電層 130 可以是介電層 550，並且第三介電層 140 可以是介電層 570。複數個互連 122 可表示複數個互連 532、複數個互連 552 及/或複數個互連 572。

【0063】 以類似的方式，基板 590a 可表示包括介電層 120、介電層 130 及介電層 140 的基板 102。例如，第一介電層 120 可以是介電層 520，第二介電層 130 可以是介電層 540，並且第三介電層 140 可以是介電層 560。複數個互連 122 可表示複數個互連 522、複數個互連 542 及/或複數個互連 562。

【0064】 階段 13 繪示在形成阻焊層 150 及阻焊層 160 之後的狀態。可使用層壓處理及/或沉積處理來形成阻焊層 150 及阻焊層 160。

【0065】 注意到，可通過重複上述處理中的一些處理來形成附加介電層及/或附加互連。

【0066】 不同實現可使用不同處理來形成（諸）金屬層及/或互連。在一些實現中，可使用化學氣相沉積（CVD）處理、物理氣相沉積（PVD）處理、濺射處理、噴塗處理、及/或鍍敷處理來形成（諸）金屬層。

用於製造基板的方法的示例性流程圖解

【0067】 在一些實現中，製造基板包括若干處理。圖 6 繪示用於提供或製造基板的方法 600 的示例性流程圖解。在一些實現中，圖 6 的方法 600 可被用於提供或製造本公開內容中所描述的基板 102。然而，方法 600 可被用於提供或製造本公開內容中所描述的任何基板。

【0068】 應當注意到，圖 6 的方法可組合一個或多個處理以便簡化及/

或闡明用於提供或製造基板的方法。在一些實現中，各處理的次序可被改變或修改。在一些實現中，一個或多個處理可被替代或置換，而不會脫離本公開內容的範疇。

【0069】 該方法(在 605)提供芯層及至少一個晶種層。如圖 5A 中所示，階段 1 繪示在提供芯層 501 之後的狀態。芯層 501 可包括位於芯層 501 之第一表面上的晶種層 503 以及位於芯層 501 之第二表面上的晶種層 505。芯層 501 可以是介電質。芯層 501 可以是載體。

【0070】 該方法(在 610)在該芯層及/或該至少一個晶種層之上(例如，上方、下方）形成及圖案化複數個互連。圖 5A 的階段 2 繪示在芯層 501、晶種層 503 及/或晶種層 505 之表面之中及之上形成互連之後的狀態。可在芯層 501 之第一表面及/或晶種層 503 之上（例如，上方）形成複數個互連 502。晶種層 503 可以是複數個互連 502 之一部分。可在芯層 512 之第二表面及/或晶種層 505 之上（例如，下方）形成複數個互連 502。晶種層 505 可以是複數個互連 512 之一部分。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 502 及/或複數個互連 512。

【0071】 該方法（在 615）在該複數個互連、該芯層及/或該晶種層之上（例如，上方、下方）形成至少一個介電層。圖 5A 的階段 3 繪示在芯層 501 之第一表面、晶種層 503 及/或複數個互連 502 之上（例如，上方）形成介電層 520 之後的狀態。階段 3 亦繪示在芯層 501 之第二表面、晶種層 505 及/或複數個互連 512 之上（例如，下方）形成介電層 530 之後的狀態。可使用沉積及/或層壓處理來形成介電層 520 及介電層 530。介電層 520 及介電層 530 可與芯層 501 不同。

【0072】 該方法（在 620）在至少一個介電層（例如，第一介電層）之中及之上形成複數個互連。形成複數個互連可包括：在至少一個介電層（例

如，第一介電層）之中形成複數個腔並履行鍍敷處理。圖 5A 的階段 4 繪示在介電層 520 中形成複數個腔 521 以及在介電層 530 中形成複數個腔 531 之後的狀態。可使用光刻處理（例如，曝光及顯影）及/或雷射處理（例如，雷射消融）來形成複數個腔 521 及複數個腔 531。可使用掩模、曝光及/或顯影處理來形成複數個腔 521 及複數個腔 531。注意到，在一些實現中，在介電層中形成腔可被認為是形成介電層之一部分。

【0073】 圖 5A 的階段 5 繪示在介電層 520 及介電層 530 之表面之中及之上形成互連之後的狀態。可在介電層 520 之第一表面及複數個腔 521 之上（例如，上方）形成複數個互連 521。可在介電層 530 之第二表面及複數個腔 531 之上（例如，下方）形成複數個互連 532。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 522 及/或複數個互連 532。

【0074】 該方法（在 625）在介電層（例如，第一介電層）之上（例如，上方、下方）形成至少一個介電層。該介電層可以是形成在第一介電層之上的第二介電層。第二介電層可以是與第一介電層的材料不同的材料。如圖 5B 所示，階段 6 繪示在介電層 520 之第一表面及複數個互連 522 之上（例如，上方）形成介電層 540 之後的狀態。階段 7 亦繪示在介電層 530 之第二表面及複數個互連 532 之上（例如，下方）形成介電層 550 之後的狀態。可使用沉積及/或層壓處理來形成介電層 540 及介電層 550。介電層 540 及/或介電層 550 可以是與介電層 520 及/或介電層 530 的介電材料不同的介電材料。

【0075】 該方法（在 630）在至少一個介電層（例如，第二介電層）之中及之上形成複數個互連。形成複數個互連可包括：在至少一個介電層（例如，第二介電層）之中形成複數個腔並履行鍍敷處理。圖 5B 的階段 7 繪示在介電層 540 中形成複數個腔 541 以及在介電層 550 中形成複數個腔 551 之後的狀態。可使用光刻處理（例如，曝光及顯影）及/或雷射處理（例如，雷射

消融）來形成複數個腔 541 及複數個腔 551。可使用掩模、曝光及/或顯影處理來形成複數個腔 541 及複數個腔 551。注意到，在一些實現中，在介電層中形成腔可被認為是形成介電層之一部分。

【0076】 圖 5B 的階段 8 繪示在介電層 540 及介電層 550 之表面之中及之上形成互連之後的狀態。可在介電層 540 之第一表面及複數個腔 541 之上（例如，上方）形成複數個互連 542。可在介電層 550 之第二表面及複數個腔 551 之上（例如，下方）形成複數個互連 552。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 542 及/或複數個互連 552。

【0077】 該方法（在 630）在介電層（例如，第二介電層）之上（例如，上方、下方）形成至少一個介電層。該介電層可以是形成在第二介電層之上的第三介電層。第三介電層可以是與第二介電層不同的材料。第三介電層可以是與第一介電層相同或相似的材料。如圖 5C 所示，階段 9 繪示在介電層 540 之第一表面及複數個互連 542 之上（例如，上方）形成介電層 540 之後的狀態。階段 9 亦繪示在介電層 550 之第二表面及複數個互連 552 之上（例如，下方）形成介電層 570 之後的狀態。可使用沉積及/或層壓處理來形成介電層 560 及介電層 570。介電層 560 及/或介電層 570 可以是與介電層 540 及/或介電層 550 的介電材料不同的介電材料。介電層 560 及/或介電層 570 可以是與介電層 520 及/或介電層 530 的介電材料類似的介電材料。

【0078】 該方法（在 640）在至少一個介電層（例如，第三介電層）之中及之上形成複數個互連。形成複數個互連可包括：在至少一個介電層（例如，第三介電層）之中形成複數個腔並履行鍍敷處理。圖 5C 的階段 10 繪示在介電層 560 中形成複數個腔 561 以及在介電層 570 中形成複數個腔 571 之後的狀態。可使用光刻處理（例如，曝光及顯影）及/或雷射處理（例如，雷射消融）來形成複數個腔 561 及複數個腔 571。可使用掩模、曝光及/或顯影

處理來形成複數個腔 561 及複數個腔 571。注意到，在一些實現中，在介電層中形成腔可被認為是形成介電層之一部分。

【0079】 圖 5C 的階段 11 繪示在介電層 560 及介電層 570 之表面之中及之上形成互連之後的狀態。可在介電層 560 之第一表面及複數個腔 561 之上（例如，上方）形成複數個互連 562。可在介電層 570 之第二表面及複數個腔 571 之上（例如，下方）形成複數個互連 572。可使用掩模、鍍敷及/或蝕刻處理來形成複數個互連 562 及/或複數個互連 572。階段 11 可繪示基板 590a 及耦合到芯層 501 的基板 590b。

【0080】 該方法（在 645）將該芯層與這些介電層解耦。在一些實現中，亦可移除晶種層之各部分。圖 5D 的階段 12 繪示在從芯層 501 分離基板 590b 之後的狀態。亦可移除晶種層 505 之一部分。亦可以類似的方式從芯層 501 分離基板 590a。基板 590b 可表示包括介電層 120、介電層 130 及介電層 140 的基板 102。例如，第一介電層 120 可以是介電層 530，第二介電層 130 可以是介電層 550，並且第三介電層 140 可以是介電層 570。複數個互連 122 可表示複數個互連 532、複數個互連 552 及/或複數個互連 572。

【0081】 以類似的方式，基板 590a 可表示包括介電層 120、介電層 130 及介電層 140 的基板 102。例如，第一介電層 120 可以是介電層 520，第二介電層 130 可以是介電層 540，並且第三介電層 140 可以是介電層 560。複數個互連 122 可表示複數個互連 522、複數個互連 542 及/或複數個互連 562。

【0082】 在一些實現中，該方法亦可在一個或多個介電層之上形成一個或多個阻焊層。圖 5D 的階段繪示在形成阻焊層 150 及阻焊層 160 之後的狀態。可使用層壓處理及/或沉積處理來形成阻焊層 150 及阻焊層 160。注意到，以上方法可被用來製造具有更多金屬層及更多介電層的基板。

【0083】 不同實現可使用不同處理來形成（諸）金屬層及/或互連。在一

些實現中，可使用化學氣相沉積（CVD）處理、物理氣相沉積（PVD）處理、濺射處理、噴塗處理、及/或鍍敷處理來形成（諸）金屬層。

用於製造包含基板、整合器件及被動器件的封裝的示例性工序

【0084】 在一些實施方式中，製造封裝包括若干處理。圖 7 繪示用於提供或製造包括基板的封裝的示例性工序。在一些實現中，圖 7 的工序可用於提供或製造圖 2 的封裝 200。然而，圖 7 的處理可被用來製造本公開內容中所描述的任何封裝。

【0085】 應當注意到，圖 7 的工序可組合一個或多個階段以簡化及/或闡明用於提供或製造封裝的工序。在一些實現中，各處理的次序可被改變或修改。在一些實現中，一個或多個處理可被替代或置換，而不會脫離本公開內容的範疇。

【0086】 如圖 7 中所示，階段 1 繪示在提供基板 102 之後的狀態。基板 102 包括第一介電層 120、第二介電層 130、第三介電層 140、阻焊層 150、阻焊層 160 及複數個互連 122。第二介電層 130 可包括與第一介電層 120 及/或第三介電層 140 的介電材料不同的介電材料。第二介電層 130 可以沒有玻璃材料。在一些實現中，介電層 130 可包括味之素堆積膜（Build-Up Film）（ABF）。第一介電層 120 及/或第三介電層 140 可包括玻璃材料。圖 5A-5D 繪示製造基板的示例。

【0087】 階段 2 繪示在通過複數個焊柱互連 104 及複數個焊料互連 106 將整合器件 202 耦合到基板 102 之第一表面之後的狀態。可使用焊料回流處理來將整合器件 202 耦合到基板 102。圖 4 繪示可如何將整合器件 202 耦合到基板 102 的示例。

【0088】 階段 2 亦繪示在通過複數個焊料互連（例如，250、270、290）

將至少一個被動器件（例如，205、207、209）耦合到基板 102 之第二表面之後的狀態。可使用焊料回流處理來將該至少一個被動器件耦合到基板 102。

【0089】 階段 3 繪示在基板 102 之上提供（例如，形成）包封層 208 之後的狀態。包封層 208 可包封整合器件 202。包封層 208 可包括模製件、樹脂及/或環氧樹脂。可使用壓縮模製處理、轉移模製處理、或液態模製處理來形成包封層 208。包封層 208 可以是可光蝕刻的。包封層 208 可以是用於包封的構件。

【0090】 階段 4 繪示在通過焊料回流處理將複數個焊料互連 450 耦合到基板 102 之第二表面之後的狀態。複數個焊料互連 450 可被耦合到複數個互連 122。

用於製造包含基板、整合器件及被動器件的封裝的方法的示例性流程圖解

【0091】 在一些實現中，製造封裝包括若干處理。圖 8 繪示用於提供或製造包含基板的封裝的方法 800 的示例性流程圖解。在一些實現中，圖 8 的方法 800 可用於提供或製造本公開內容中所描述的圖 2 的封裝 200。然而，方法 800 可被用來提供或製造本公開內容中所描述的任何封裝。

【0092】 應當注意，圖 8 的方法可組合一個或多個處理以便簡化及/或闡明用於提供或製造封裝的方法。在一些實現中，各處理的次序可被改變或修改。

【0093】 該方法（在 1205 處）提供基板（例如，102）。基板 102 可由供應商提供或被製造。不同實現可使用不同的處理來製造基板 102。可被用來製造基板的處理的示例包括半加成處理（SAP）及改良型半加成處理（mSAP）。基板 102 包括第一介電層 120、第二介電層 130、第三介電層 140、阻焊層 150、阻焊層 160 及複數個互連 122。第二介電層 130 可包括與第一介

電層 120 及/或第三介電層 140 不同的介電材料。第二介電層 130 可以沒有玻璃材料。第一介電層 120 及/或第三介電層 140 可包括玻璃材料。圖 5A-5D 繪示製造基板的示例。圖 7 的階段 1 繪示提供基板的示例。

【0094】 該方法可（在 810）將整合器件耦合到基板之第一表面並將至少一個被動器件耦合到基板之第二表面。圖 7 的階段 2 繪示在通過複數個焊柱互連 104 及複數個焊料互連 106 將整合器件 202 耦合到基板 102 之第一表面之後的狀態。可使用焊料回流處理來將整合器件 202 耦合到基板 102。圖 4 繪示可如何將整合器件 202 耦合到基板 102 的示例。

【0095】 階段 2 亦繪示在通過複數個焊料互連（例如，250、270、290）將至少一個被動器件（例如，205、207、209）耦合到基板 102 之第二表面之後的狀態。可使用焊料回流處理來將至少一個被動器件耦合到基板 102。

【0096】 該方法（在 815）在基板及整合器件之上形成包封。包封層可被耦合到基板及整合器件。圖 7 的階段 3 繪示在基板 102 之上提供（例如，形成）包封層 208 之後的狀態。包封層 208 可包封整合器件 202。包封層 208 可包括模製件、樹脂及/或環氧樹脂。可使用壓縮模製處理、轉移模製處理、或液態模製處理來形成包封層 208。包封層 208 可以是可光蝕刻的。包封層 208 可以是用於包封的構件。

【0097】 該方法（在 820）將複數個焊料互連耦合到基板 102 之第二表面。可使用焊料回流處理來將複數個焊料互連 450 耦合到基板 102。

【0098】 本公開內容中所描述的封裝（例如，200）可以一次製造一個，或者可以一起製造（作為一個或多個晶圓之一部分）並且隨後切單成個體封裝。

示例性電子設備

【0099】 圖 9 繪示可整合有前述器件、整合器件、積體電路（IC）封裝、積體電路（IC）器件、半導體器件、整合電路、晶粒、中介體、封裝、層疊封裝（PoP）、系統級封裝（SiP）、或系統單晶片（SoC）中的任一者的各種電子設備。例如，行動電話設備 902、膝上型計算機設備 904、固定位置終端設備 906、可穿戴設備 908、或機動交通工具 910 可包括如本文中所描述的器件 900。器件 900 可以是例如本文中所描述的器件及/或積體電路（IC）封裝中的任一者。圖 9 中所繪示的設備 902、904、906 及 908、以及交通工具 910 僅僅是示例性的。其他電子設備亦能以器件 900 為特徵，此類電子設備包括但不限於包括以下各項的設備（例如，電子設備）群：行動設備、手持式個人通信系統（PCS）單元、便攜式資料單元（諸如個人數位助理）、啟用全球定位系統（GPS）的設備、導航設備、機頂盒、音樂播放器、視頻播放器、娛樂單元、固定位置資料單元（諸如儀錶讀取裝備）、通信設備、智慧電話、平板計算機、計算機、可穿戴設備（例如，手錶、眼鏡）、物聯網（IoT）設備、伺服器、路由器、機動交通工具（例如，自主交通工具）中實現的電子設備、或者儲存或檢索資料或計算機指令的任何其他設備，或者其任何組合。

【0100】 圖 1-4、5A-5D 及/或 6-9 中所繪示的各組件、處理、特徵、及/或功能中的一者或多者可被重新安排及/或組合成單個組件、處理、特徵或功能，或者在若干組件、處理或功能中實施。亦可添加附加元件、組件、過程、及/或功能而不會脫離本公開內容。亦應當注意到，圖 1-4、5A-5D 及/或 6-9 及其在本公開內容中的對應描述不限於晶粒及/或 IC。在一些實現中，圖 1-4、5A-5D 及/或 6-9 及其對應描述可被用來製造、創建、提供、及/或生產器件及/或整合器件。在一些實現中，器件可包括晶粒、整合器件、整合被動器件（IPD）、晶粒封裝、積體電路（IC）器件、器件封裝、積體電路（IC）封裝、晶圓、半導體器件、層疊封裝（PoP）器件、散熱器件及/或中介體。

【0101】注意到，本公開內容中的圖式可以表示各種部件、組件、對象、器件、封裝、整合器件、整合電路、及/或電晶體的實際表示及/或概念表示。在一些實例中，圖式可以不是按比例的。在一些實例中，為了清楚起見，並未示出所有組件及/或部件。在一些實例中，圖式中的各個部件及/或組件的定位、位置、大小、及/或形狀可以是示例性的。在一些實現中，圖式中的各個組件及/或部件可以是可任選的。

【0102】措辭“示例性”在本文中用於表示“用作示例、實例、或解說”。在本文中被描述為“示例性”的任何實現或態樣不必被解釋為優於或勝過本公開內容的其他態樣。同樣，術語“態樣”不要求本公開內容的所有態樣都包括所討論的特徵、優點或操作模式。術語“耦合”在本文中用於指兩個對象之間的直接或間接耦合（例如，機械耦合）。例如，如果對象 A 物理地接觸對象 B，且對象 B 接觸對象 C，則對象 A 及 C 仍可被認為是彼此耦合的——即便它們並非彼此直接物理接觸。耦合到對象 B 的對象 A 可耦合到對象 B 之至少一部分。術語“電耦合”可表示兩個對象直接或間接耦合在一起，以使得電流（例如，信號、電源、接地）可以在兩個對象之間傳遞。電耦合的兩個對象在這兩個對象之間可以有或者可以沒有電流傳遞。術語“第一”、“第二”、“第三”及“第四”（及/或高於第四的任何事物）的使用是任意的。所描述的任何組件可以是第一組件、第二組件、第三組件或第四組件。例如，被稱為第二組件的組件可以是第一組件、第二組件、第三組件或第四組件。術語“包封”、“進行包封”及/或任何派生意指對象可以部分地包封或完全包封另一對象。術語“頂部”及“底部”是任意的。位於頂部的組件可以處在位於底部的組件之上。頂部組件可被視為底部組件，反之亦然。如本公開內容所描述的，位於第二組件“之上”的第一組件可意味著第一組件位於第二組件上方或下方，這取決於底部或頂部被如何任意定義。在

另一示例中，第一組件可位於第二組件之第一表面之上（例如，上方），而第三組件可位於第二組件之第二表面之上（例如，下方），其中第二表面與第一表面相對。進一步注意到，如在本申請中在一個組件位於另一組件之上的上下文中所使用的術語“之上”可被用來表示組件在另一組件上及/或在另一組件中（例如，在組件之表面上或被嵌入在組件中）。由此，例如，第一組件在第二組件之上可表示：（1）第一組件在第二組件之上，但是不直接接觸第二組件；（2）第一組件在第二組件上（例如，在第二組件之表面上）；及/或（3）第一組件在第二組件中（例如，嵌入在第二組件中）。位於第二組件“中”的第一組件可以部分地位於第二組件中或者完全位於第二組件中。約 X - XX 的值可以意味介於 X 和 XX 之間的值（包括 X 及 XX）。X 和 XX 之間的（諸）值可以是離散的或連續的。如本公開內容中所使用的術語“約‘值 X’”或“大致為值 X”意味著在‘值 X’的百分之十以內。例如，約 1 或大致為 1 的值將意味著在 0.9-1.1 範圍中的值。

【0103】 在一些實現中，互連是器件或封裝中允許或促成兩個點、元件及/或組件之間的電連接的元件或組件。在一些實現中，互連可包括跡線、通孔、焊盤、柱、金屬化層、重分佈層、及/或凸塊下金屬化（UBM）層/互連。在一些實現中，互連可包括可經組態以為信號（例如，資料信號）、接地及/或電源提供電路徑的導電材料。互連可包括不止一個元件或組件。互連可以由一個或多個互連來定義。互連可包括一個或多個金屬層。互連可以是電路之一部分。不同實現可使用不同處理及/或工序來形成互連。在一些實現中，可使用化學氣相沉積（CVD）處理、物理氣相沉積（PVD）處理、濺射處理、噴塗、及/或電鍍處理來形成互連。

【0104】 亦應注意，本文中所包含的各種公開內容可以作為被描繪為流程圖、流程圖解、結構圖或方塊圖的過程來描述。儘管流程圖可以將操作描

述為順序過程，但很多操作可以並行地或併發地履行。另外，可以重新排列操作的次序。過程在其操作完成時終止。

【0105】 下文中描述了進一步示例以促進對本公開內容的理解。

【0106】 態樣 1：一種封裝，包含：基板，該基板包括第一介電層；第二介電層；以及第三介電層。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。該基板包括位於第一介電層、第二介電層及第三介電層中的複數個互連。該封裝包括：被耦合到該基板的整合器件。

【0107】 態樣 2：如態樣 1 之封裝，其中第二介電層沒有玻璃材料，並且其中第一介電層及/或第三介電層包括玻璃材料。

【0108】 態樣 3：如態樣 1 到 2 之封裝，其中第一介電層及/或第三介電層包括預浸料。

【0109】 態樣 4：如態樣 1 到 3 之封裝，其中第一介電層包括第一厚度，並且其中第二介電層包括第二厚度，第二厚度小於第一厚度。

【0110】 態樣 5：如態樣 4 之封裝，其中該複數個互連包含：位於第一介電層中的第一通孔互連，其中第一通孔互連包含第一通孔厚度；以及位於第二介電層中的第二通孔互連，其中第二通孔互連包含第二通孔厚度，第二通孔厚度小於第一通孔厚度。

【0111】 態樣 6：如態樣 1 到 5 之封裝，其中該整合器件通過複數個焊柱互連及複數個焊料互連耦合到該基板之第一表面。

【0112】 態樣 7：如態樣 6 之封裝，進一步包含：被耦合到該基板之第二表面的整合被動器件，其中該整合被動器件被耦合到來自該複數個互連中的兩個毗鄰互連。

【0113】 態樣 8：如態樣 7 之封裝，其中該複數個焊柱互連包括兩個毗

鄰焊柱互連，該兩個毗鄰焊柱互連包含最小焊柱互連節距，並且其中該兩個毗鄰互連包含與該最小焊柱互連節距大致相同的最小節距。

【0114】 態樣 9：如態樣 7 到 8 之封裝，其中該複數個互連包含：被佈置為垂直延伸穿過整個基板的第一行互連的第一複數個互連；以及被佈置為垂直延伸穿過整個基板的第二行互連的第二複數個互連，其中第一行互連經組態以在該整合器件和該整合被動器件之間提供第一電路徑，並且其中第二行互連經組態以在該整合器件和該整合被動器件之間提供第二電路徑。

【0115】 態樣 10：如態樣 9 之封裝，其中第一行互連經組態以耦合到電源，並且其中第二行互連經組態以被耦合到地線。

【0116】 態樣 11：如態樣 9 到 10 之封裝，其中第一行互連毗鄰於第二行互連，並且其中第一行互連及第二行互連具有最小節距。

【0117】 態樣 12：如態樣 1 到 11 之封裝，其中該基板是沒有芯層的無芯基板。

【0118】 態樣 13：一種基板包含第一介電層；第二介電層；第三介電層；以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。

【0119】 態樣 14：如態樣 13 之基板，其中第二介電層沒有玻璃材料，並且其中第一介電層及/或第三介電層包括玻璃材料。

【0120】 態樣 15：如態樣 13 至 14 之基板，其中第一介電層及/或第三介電層包括預浸料。

【0121】 態樣 16：如態樣 13 至 15 之基板，其中第一介電層包括第一厚度，並且其中第二介電層包括第二厚度，第二厚度小於第一厚度。

【0122】 態樣 17：如態樣 13 至 16 之基板，其中該複數個互連包括：第

一複數個互連及第二複數個互連，其中第一行互連毗鄰於第二行互連，並且其中第一行互連及第二行互連具有最小節距。

【0123】 態樣 18：如態樣 17 之基板，其中來自第一行互連及第二行互連的每對互連包括相同的最小節距。

【0124】 態樣 19：如態樣 13 至 18 之基板，其中該基板是沒有芯層的無芯基板。

【0125】 態樣 20：如態樣 13 到 19 之基板，其中該基板被實現在選自包括以下各項的組的設備中：音樂播放器、視頻播放器、娛樂單元、導航設備、通信設備、行動設備、行動電話、智慧電話、個人數位助理、固定位置終端、平板計算機、計算機、可穿戴設備、膝上型計算機、伺服器、物聯網（IoT）設備、以及機動交通工具中的設備。

【0126】 態樣 21：一種用於製造封裝的方法。該方法提供了一種基板，該基板包含第一介電層；第二介電層；第三介電層；以及位於第一介電層、第二介電層及第三介電層中的複數個互連。第二介電層位於第一介電層和第三介電層之間。第二介電層包括與第一介電層及第三介電層不同的材料。該方法將整合器件耦合到該基板。

【0127】 態樣 22：如態樣 21 之方法，其中，第二介電層沒有玻璃材料，並且其中第一介電層及/或第三介電層包括玻璃材料。

【0128】 態樣 23：如態樣 21 到 22 之方法，其中第一介電層及/或第三介電層包括預浸料。

【0129】 態樣 24：如態樣 21 到 23 之方法，其中第一介電層包括第一厚度，並且其中第二介電層包括第二厚度，第二厚度小於第一厚度。

【0130】 態樣 25：如態樣 24 之方法，其中，該複數個互連包含：位於第一介電層中的第一通孔互連，其中第一通孔互連包含第一通孔厚度；以及

位於第二介電層中的第二通孔互連，其中第二通孔互連包含第二通孔厚度，第二通孔厚度小於第一通孔厚度。

【0131】 本文中所描述的本公開內容的各種特徵可實現於不同系統中而不會脫離本公開內容。應當注意，本公開內容的以上各態樣僅是示例，且不應被解釋成限定本公開內容。對本公開內容的各態樣的描述旨在是解說性的，而非限定所附請求項的範疇。由此，本公開內容的教示可以現成地應用於其他類型的裝置，並且許多替換、修改及變形對於本領域技術人員將是顯而易見的。

【符號說明】

【0132】

102	基板
104	複數個焊柱互連
104a、104b	焊柱互連
105	複數行互連
105a	第一行互連
105b	第二行互連
106、190	複數個焊料互連
106a、106b、190a、190b	焊料互連
120、130、140	介電層
122	複數個互連
122aa、122ab、122ac、122ad	互連
122ae、122af、122ag	互連
122ba、122bb、122bc、122bd	互連

122be、122bf、122bg	互連
150、160	阻焊層
200	封裝
202	整合器件
205、207、209	被動器件
208	包封層
222	複數行互連
222a、222b、222c	一行互連
222d、222e、222f	一行互連
250、270、290	複數個焊料互連
300	區域
302、304	複數個互連
402	晶粒部分
405、408	鈍化層
407	複數個焊盤
407a	第一焊盤
407b	第二焊盤
409	複數個凸塊下金屬化互連
409a	第一凸塊下金屬化互連
409b	第二凸塊下金屬化互連
420	晶粒基板
422	互連部分
450	複數個焊料互連
501	芯層

502、512 複數個互連

503、505 晶種層

520、530、540、550、560、570 介電層

521、531、541、551、561、571 複數個腔

522、532、542、552、562、572 複數個互連

600 方法

605 提供芯層與至少一個晶種層

610 形成及圖案化金屬層以形成互連

615 形成/提供第一介電層

620 在第一介電層之中及之上形成互連

625 在互連及第一介電層之上形成/提供第二介電層

630 在第二介電層之中及之上形成互連

635 在互連及第二介電層之上形成/提供第三介電層

640 在第三介電層之中及之上形成互連

645 將該芯層解耦，並移除該晶種層之各部分

800 方法

805 提供基板

810 將(諸)整合器件及/或(諸)組件、(諸)整合被動器件耦合到該基板

815 在該基板及(諸)整合器件及/或組件之上形成包封

820	將焊料互連耦合到該基板
900	器件
902	行動電話設備
904	膝上型計算機設備
906	固定位置終端設備
908	可穿戴設備
910	交通工具
M1、M2、M3、M4	金屬層
T1、T2、T3	介電層厚度

【發明申請專利範圍】

【請求項1】 一種封裝，包含：

基板，該基板包含：

第一介電層；

第二介電層；以及

第三介電層；

其中該第二介電層位於該第一介電層和該第三介電層之間，並且

其中該第二介電層包括與該第一介電層及該第三介電層不同的材料；以及

位於該第一介電層、該第二介電層及該第三介電層中的複數個互連；以及

被耦合到該基板的整合器件。

【請求項2】 如請求項 1 之封裝，

其中該第二介電層沒有玻璃材料，並且

其中該第一介電層及/或該第三介電層包括玻璃材料。

【請求項3】 如請求項 1 之封裝，其中該第一介電層及/或該第三介電層包括預浸料。

【請求項4】 如請求項 1 之封裝，

其中該第一介電層包括第一厚度，並且

其中該第二介電層包括第二厚度，該第二厚度小於該第一厚度。

【請求項5】 如請求項 4 之封裝，其中該複數個互連包含：

位於該第一介電層中的第一通孔互連，其中該第一通孔互連包含第一通孔厚度；以及

位於該第二介電層中的第二通孔互連，其中該第二通孔互連包含第二通孔厚度，該第二通孔厚度小於該第一通孔厚度。

【請求項6】 如請求項 1 之封裝，其中該整合器件通過複數個焊柱互連及複

數個焊料互連耦合到該基板之第一表面。

【請求項7】 如請求項 6 之封裝，進一步包含：被耦合到該基板之第二表面的整合被動器件，其中該整合被動器件被耦合到來自該複數個互連中的兩個毗鄰互連。

【請求項8】 如請求項 7 之封裝，

其中該複數個焊柱互連包括兩個毗鄰焊柱互連，該兩個毗鄰焊柱互連包含最小焊柱互連節距，並且

其中該兩個毗鄰互連包含與該最小焊柱互連節距大致相同的最小節距。

【請求項9】 如請求項 7 之封裝，其中該複數個互連包含：

被佈置為垂直延伸穿過整個基板的第一行互連的第一複數個互連；以及

被佈置為垂直延伸穿過整個基板的第二行互連的第二複數個互連，

其中該第一行互連經組態以在該整合器件和該整合被動器件之間提供第一電路徑，並且

其中該第二行互連經組態以在該整合器件和該整合被動器件之間提供第二電路徑。

【請求項10】 如請求項 9 之封裝，

其中該第一行互連經組態以耦合到電源，並且其中該第二行互連經組態以被耦合到地線。

【請求項11】 如請求項 9 之封裝，

其中該第一行互連毗鄰於該第二行互連，並且

其中該第一行互連及該第二行互連具有最小節距。

【請求項12】 如請求項 1 之封裝，其中該基板是沒有芯層的無芯基板。

【請求項13】 一種基板，包含：

第一介電層；

第二介電層；

第三介電層；

其中該第二介電層位於該第一介電層和該第三介電層之間，並且

其中該第二介電層包括與該第一介電層及該第三介電層不同的材料；以及

位於第一介電層、第二介電層及第三介電層中的複數個互連。

【請求項14】 如請求項 13 之基板，

其中該第二介電層沒有玻璃材料，並且

其中該第一介電層及/或該第三介電層包括玻璃材料。

【請求項15】 如請求項 13 之基板，其中該第一介電層及/或該第三介電層包括預浸料。

【請求項16】 如請求項 13 之基板，

其中該第一介電層包括第一厚度，並且

其中該第二介電層包括第二厚度，該第二厚度小於該第一厚度。

【請求項17】 如請求項 13 之基板，

其中該複數個互連包括第一行互連及第二行互連，其中該第一行互連毗鄰於該第二行互連，並且

其中該第一行互連及該第二行互連具有最小節距。

【請求項18】 如請求項 17 之基板，其中來自該第一行互連及該第二行互連的每對互連包括相同的最小節距。

【請求項19】 如請求項 13 之基板，其中該基板是沒有芯層的無芯基板。

【請求項20】 如請求項 13 之基板，其中該基板被實現在選自包括以下各項的組的設備中：音樂播放器、視頻播放器、娛樂單元、導航設備、通信設備、行動設備、行動電話、智慧電話、個人數位助理、固定位置終端、平板計算機、計算機、可穿戴設備、膝上型計算機、伺服器、物聯網（IoT）設備、以及機動交

通工具中的設備。

【請求項21】 一種用於製造封裝的方法，包含：

提供基板，該基板包含：

第一介電層；

第二介電層；

第三介電層；

其中該第二介電層位於該第一介電層和該第三介電層之間，並且

其中該第二介電層包括與該第一介電層及該第三介電層不同的材料；以及

位於該第一介電層、該第二介電層及該第三介電層中的複數個互連；以及

將整合器件耦合到該基板。

【請求項22】 如請求項 21 之方法，

其中該第二介電層沒有玻璃材料，並且

其中該第一介電層及/或該第三介電層包括玻璃材料。

【請求項23】 如請求項 21 之方法，其中該第一介電層及/或該第三介電層包括預浸料。

【請求項24】 如請求項 21 之方法，

其中該第一介電層包括第一厚度，並且

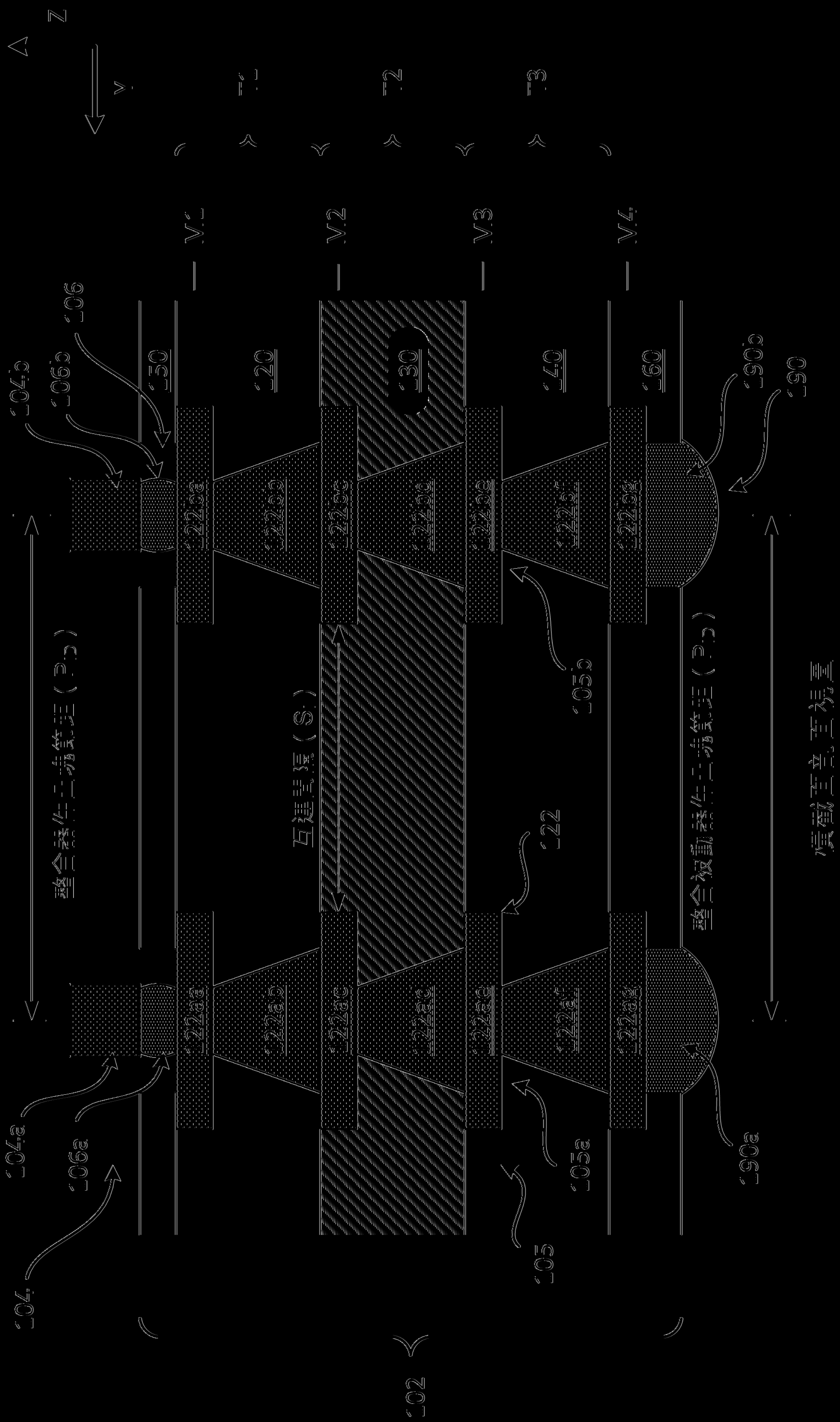
其中該第二介電層包括第二厚度，該第二厚度小於該第一厚度。

【請求項25】 如請求項 24 之方法，其中該複數個互連包含：

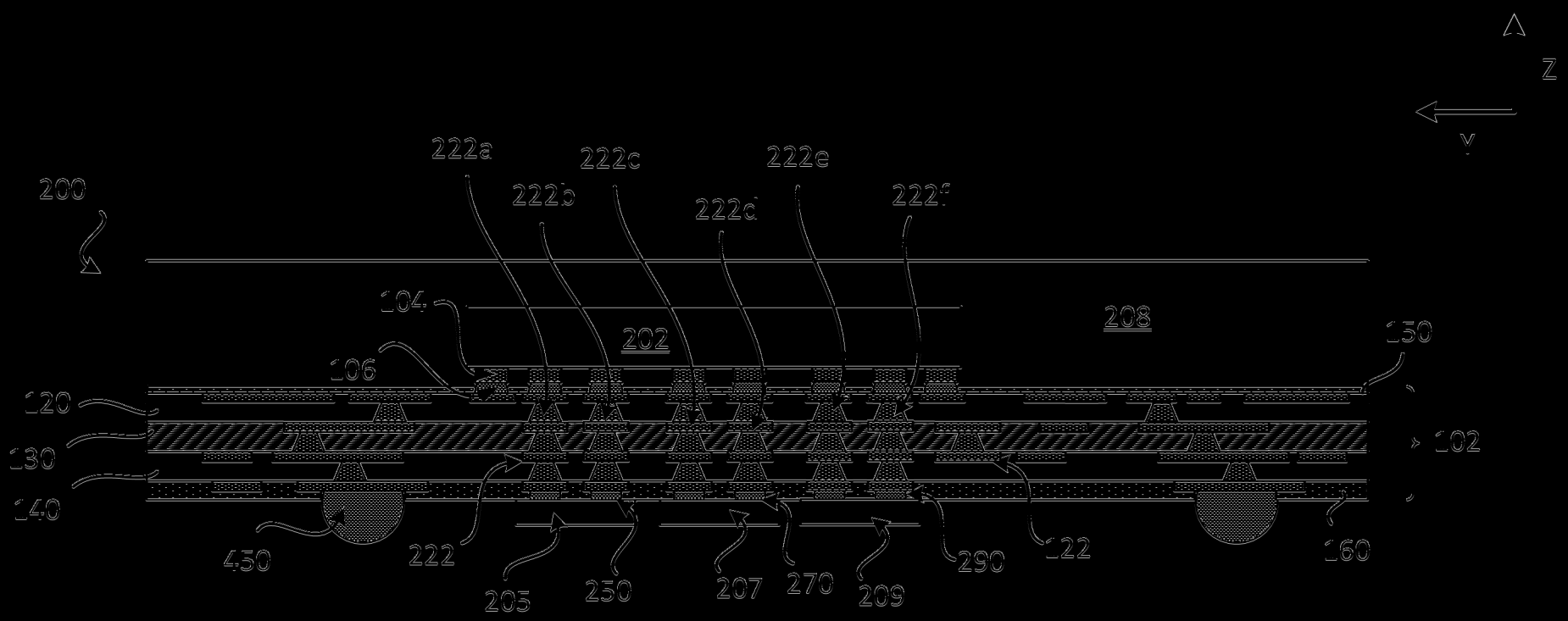
位於該第一介電層中的第一通孔互連，其中該第一通孔互連包含第一通孔厚度；以及

位於該第二介電層中的第二通孔互連，其中該第二通孔互連包含第二通孔厚度，該第二通孔厚度小於該第一通孔厚度。

【發明圖式】


Z
Y
T1
T2
T3
V1
V2
V3
V4
102
104
104a
104b
105
105a
105b
106
106a
106b
120
122
130
140
150
160
190
190a
190b
122aa
122ab
122ac
122ad
122ae
122af
122ag
122ba
122bb
122bc
122bd
122be
122bf
122bg
互連間距（S_I）

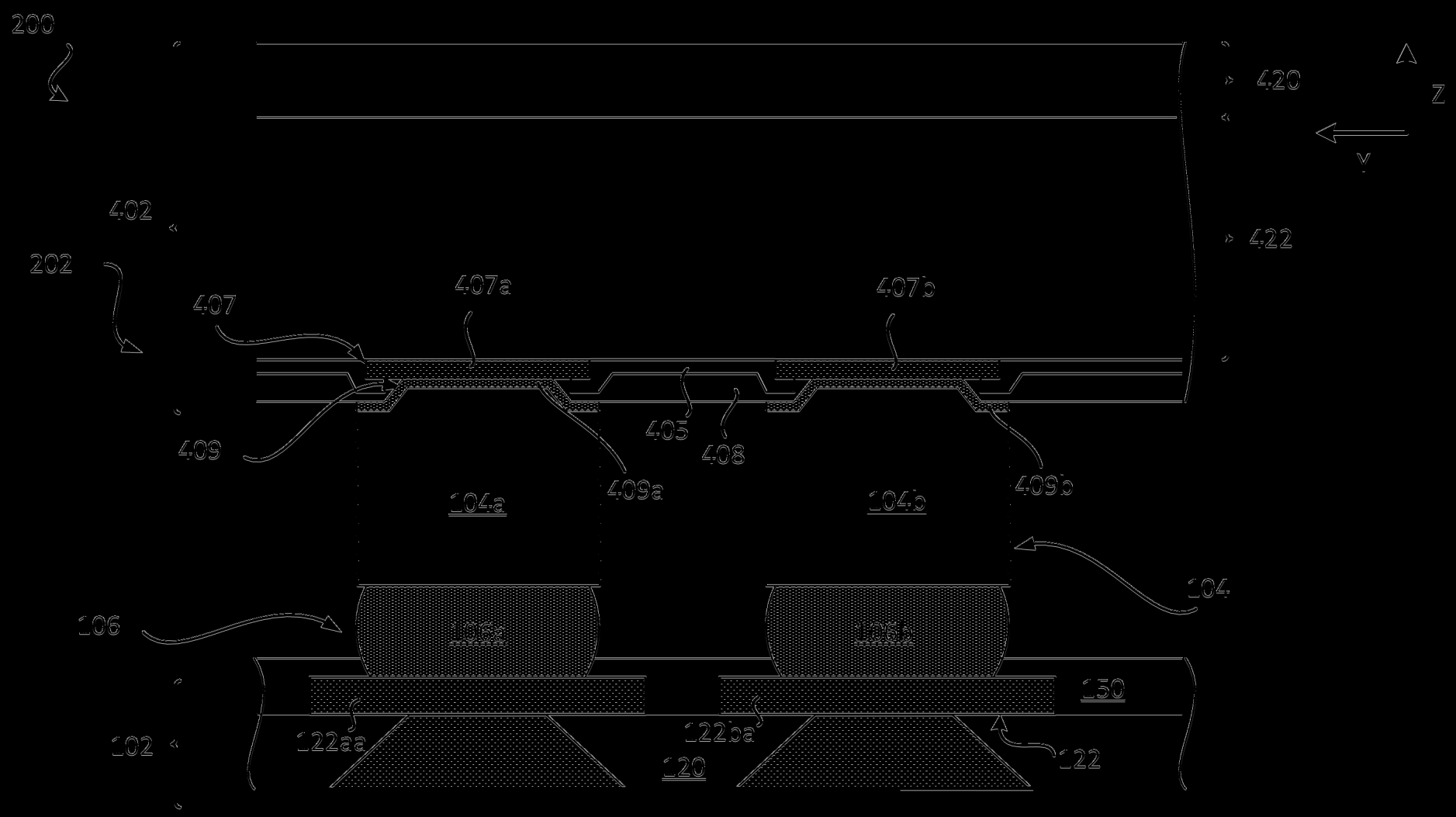
（圖2）


Z
Y
200
222a
222b
222c
222d
222e
222f
104
106
202
208
150
120
130
140
102
450
222
205
250
207
270
209
290
122
160

橫截面剖面視圖

（圖2）

X
Y
Z
20
302
304
300
32
圖3A
圖3A之VI區



橫截面剖面視圖

（圖4）

112129603 發明編號 A0202 112330/952-0

第六量測區域
石墨烯
人造鑽石
鉭酸鋰
石墨烯
503
505
502
512
501
520
539
529
530
520
530
532
532'
533'
522'
522
1
2
3
4
5

（三5A）

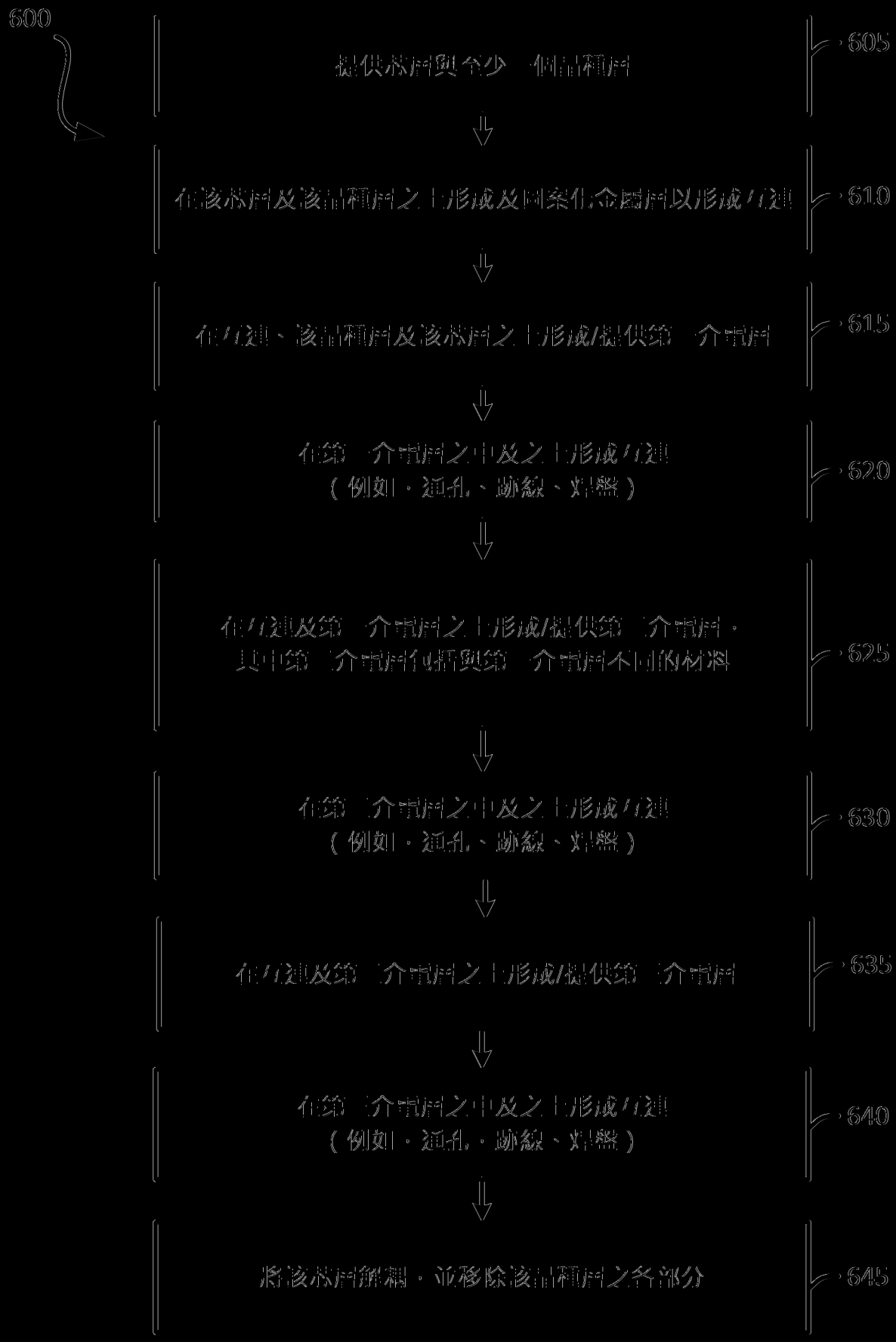
六重形成
540
550
30'
520
530
532
522
七重形成
540
550
30'
520
530
542
541
八重形成
542
552
30'
540
550
6
7
8

(圖6)

(圖6)

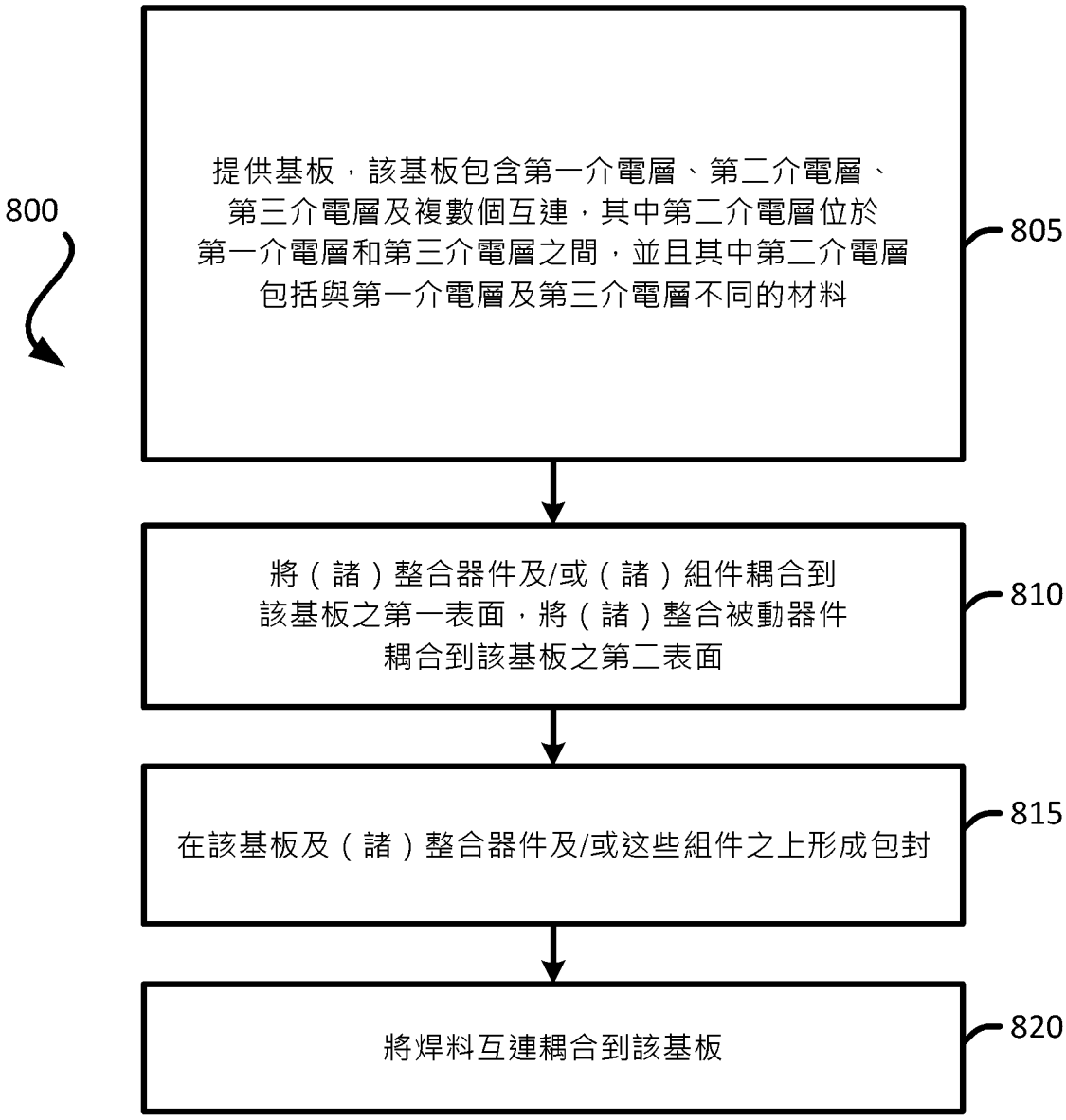
2
3
10
20
30
40
50
60
62
22
30
40
20
10
60
62
30
40
20
50
22
60
10
20
30
40
50
60
62

(圖3)

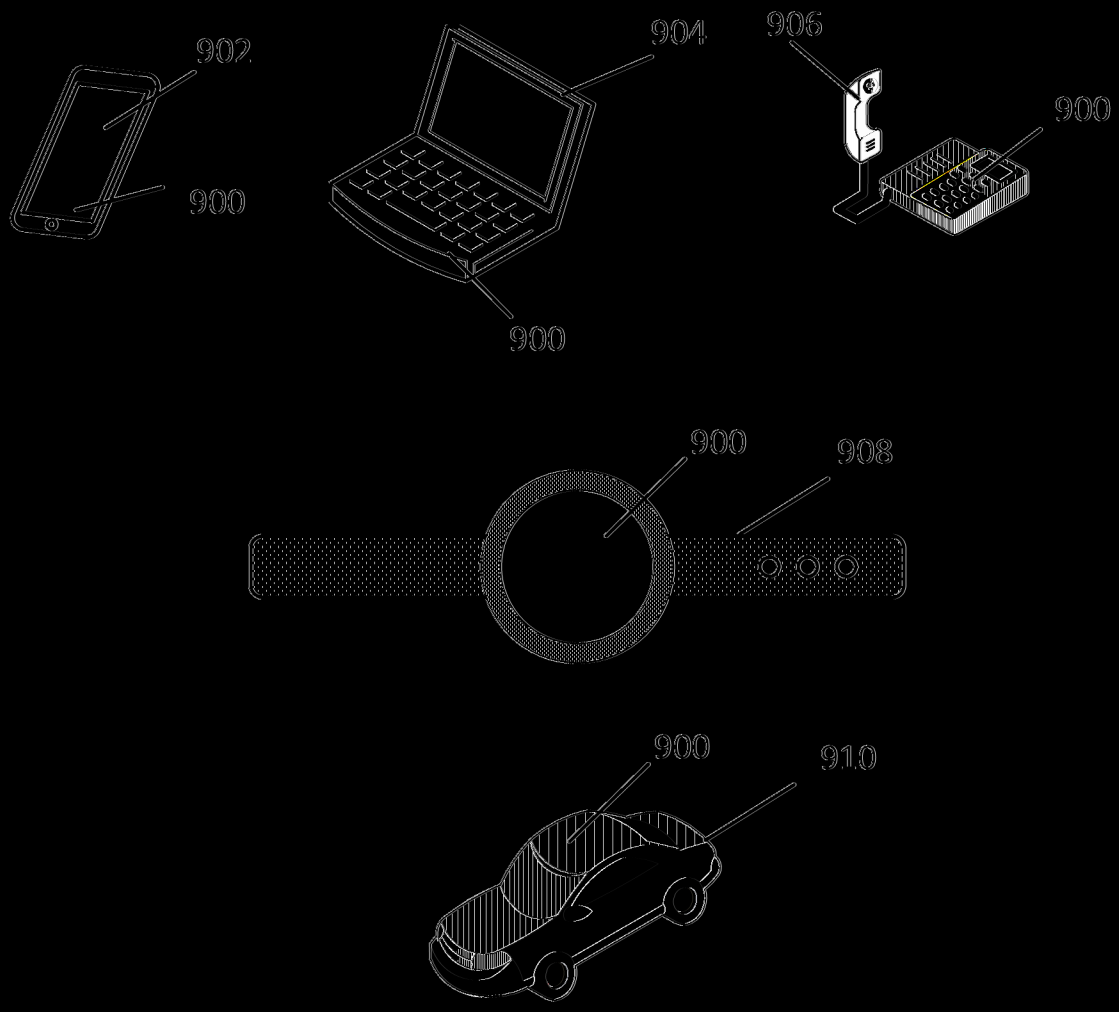

600
提供林層與至少一個晶種層
605
在該林層及該晶種層之上形成及圖案化金屬層以形成互連
610
在互連、該晶種層及該林層之上形成/提供第一介電層
615
在第一介電層之中及之上形成互連
（例如，通孔、跡線、焊盤）
620
在互連及第一介電層之上形成/提供第二介電層，
其中第二介電層包括與第一介電層不同的材料
625
在第二介電層之中及之上形成互連
（例如，通孔、跡線、焊盤）
630
在互連及第二介電層之上形成/提供第三介電層
635
在第三介電層之中及之上形成互連
（例如，通孔、跡線、焊盤）
640
將該林層解耦，並移除該晶種層之各部分
645

（圖6）

習知
（實）新生成
（實）結合技術
氮化矽
氮化矽
氮化矽


800
提供基板，該基板包含第一介電層、第二介電層、第三介電層及複數個互連，其中第二介電層位於第一介電層和第三介電層之間，並且其中第二介電層包括與第一介電層及第三介電層不同的材料
805
將（諸）整合器件及/或（諸）組件耦合到該基板之第一表面，將（諸）整合被動器件耦合到該基板之第二表面
810
在該基板及（諸）整合器件及/或这些組件之上形成包封
815
將焊料互連耦合到該基板
820

【圖8】



（圖9）