



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월20일
 (11) 등록번호 10-1641368
 (24) 등록일자 2016년07월14일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) G02F 1/1335 (2006.01)
 G02F 1/136 (2006.01) H01L 21/20 (2006.01)
 (21) 출원번호 10-2009-0023079
 (22) 출원일자 2009년03월18일
 심사청구일자 2014년02월24일
 (65) 공개번호 10-2009-0103736
 (43) 공개일자 2009년10월01일
 (30) 우선권주장
 JP-P-2008-083056 2008년03월27일 일본(JP)
 (56) 선행기술조사문헌
 JP2005539373 A
 JP2008028216 A
 JP07084120 A
 JP05167264 A

(73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 타카하시 히데카즈
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 야마다 다이키
 일본국 370-0535 군마켄 오우라군 오이즈미마치
 요리키도 899-22 미사키니반칸 101
 (뒷면에 계속)
 (74) 대리인
 황의만

전체 청구항 수 : 총 20 항

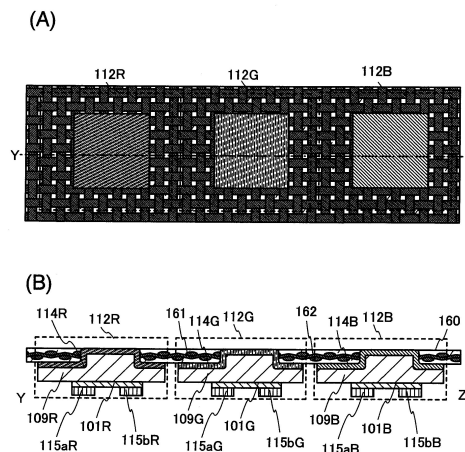
심사관 : 최혜미

(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제조 방법**

(57) 요약

복수의 반도체 집적 회로가 고착된 섬유체에 유기 수지가 함침된 구조체를 갖는다. 복수의 반도체 집적 회로는 각각 구조체에 형성된 개구에 형성되고, 광전 변환 소자와, 측면에 단차(段差)를 갖고, 폭 치수는 제 1 표면 측의 절(凸)부 부분 쪽이, 제 2 표면보다 작은 투광성 기판과, 투광성 기판의 제 2 표면에 형성된 반도체 소자층과, 투광성 기판의 제 1 표면 및 측면의 일부를 덮는 유채색(有彩色)의 투광성 수지층을 포함한다. 복수의 반도체 집적 회로에 있어서, 유채색의 투광성 수지층의 색깔이 상이하다.

대표도 - 도1



(72) 발명자

몬마 요헤이

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

이구치 타카히로

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

아다치 히로키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마자키 순페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서,
 유기 수지가 섬유체에 함침되고, 개구들을 갖는 구조체; 및
 제 1 회로와 제 2 회로를 포함하고,
 상기 제 1 회로와 상기 제 2 회로 각각은
 제 1 표면 측에 돌기부를 포함하는 투광성 기관;
 상기 투광성 기관의 제 2 표면 측에, 광전 변환 소자를 갖는 회로부; 및
 상기 투광성 기관의 상기 제 1 표면 측을 덮는 유채색의 투광성 수지층을 포함하고,
 단면에서의 상기 돌기부의 폭은 상기 단면에서의 상기 투광성 기관의 상기 제 2 표면 측의 폭보다 작고, 상기 단면은 상기 제 1 회로 및 상기 제 2 회로와 교차하고,
 상기 제 1 회로의 상기 유채색의 투광성 수지층의 색깔은 상기 제 2 회로의 상기 유채색의 투광성 수지층의 색깔과 상이하고,
 상기 구조체에 형성된 상기 개구들에 상기 돌기부가 각각 제공되도록, 상기 제 1 회로와 상기 제 2 회로가 상기 구조체에 고착되는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

반도체 장치에 있어서,
 유기 수지가 섬유체에 함침되고, 제 1 개구와 제 2 개구를 포함하는 구조체;
 제 1 회로 및 제 2 회로를 포함하고,
 상기 제 1 회로 및 상기 제 2 회로 각각은
 제 1 표면과, 상기 제 1 표면에 대향하는 제 2 표면을 갖는 투광성 기관으로서, 상기 투광성 기관은 상기 제 1 표면 측에 돌기부를 포함하는 상기 투광성 기관;
 상기 투광성 기관의 상기 제 2 표면 측의 광전 변환 소자; 및
 상기 돌기부를 덮는 유채색의 투광성 수지층을 포함하고,
 상기 제 1 회로의 상기 유채색의 투광성 수지층은 상기 제 2 회로의 상기 유채색의 투광성 수지층과 상이한 색깔을 갖고,
 상기 제 1 회로의 상기 돌기부가 상기 제 1 개구에 제공되고, 상기 제 2 회로의 상기 돌기부가 상기 제 2 개구에 제공되도록, 상기 구조체가 상기 제 1 회로와 상기 제 2 회로에 고착되는, 반도체 장치.

청구항 6

청구항 1 또는 5에 있어서,
상기 투광성 기관의 단면은 역 T자 블록 형상인, 반도체 장치.

청구항 7

청구항 1 또는 5에 있어서,
상기 섬유체는 직포 또는 부직포인, 반도체 장치.

청구항 8

청구항 1 또는 5에 있어서,
상기 섬유체는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유를 사용하여 형성된, 반도체 장치.

청구항 9

청구항 1 또는 5에 있어서,
상기 유기 수지는 열 경화성 수지, 열 가소성 수지, 또는 광 경화성 수지인, 반도체 장치.

청구항 10

청구항 9에 있어서,
상기 열 경화성 수지는 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 또는 시아네이트 수지인, 반도체 장치.

청구항 11

청구항 9에 있어서,
상기 열 가소성 수지는 폴리페닐렌옥사이드 수지, 폴리에테르이미드 수지, 또는 불소 수지인, 반도체 장치.

청구항 12

청구항 1 또는 5에 있어서,
투광성 수지층은 상기 유채색의 투광성 수지층 위에 적층된, 반도체 장치.

청구항 13

청구항 12에 있어서,
상기 투광성 수지층의 두께는 상기 유채색의 투광성 수지층의 두께보다 두꺼운, 반도체 장치.

청구항 14

청구항 1 또는 5에 있어서,
상기 투광성 기관의 상기 제 2 표면 및 상기 돌기부의 상저면(top surface)은 사각형이고, 상기 제 2 표면의 면적은 상기 상저면의 면적보다 큰, 반도체 장치.

청구항 15

청구항 1 또는 5에 있어서,
상기 제 1 회로 및 상기 제 2 회로는 각각 상기 광전 변환 소자의 출력을 증폭하는 증폭 회로를 포함하고,
상기 광전 변환 소자는 p형 반도체층, i형 반도체층, 및 n형 반도체층이 적층된 구조를 갖는, 반도체 장치.

청구항 16

청구항 1 또는 5에 있어서,
상기 투광성 기관은 유리 기관인, 반도체 장치.

청구항 17

반도체 장치의 제조 방법에 있어서,

제 1 유채색의 투광성 수지층과 제 1 광전 변환 소자를 포함하는 제 1 회로를 제 1 투광성 기관으로부터 절단하는 단계;

제 2 유채색의 투광성 수지층과 제 2 광전 변환 소자를 포함하는 제 2 회로를 제 2 투광성 기관으로부터 절단하는 단계;

제 3 유채색의 투광성 수지층과 제 3 광전 변환 소자를 포함하는 제 3 회로를 제 3 투광성 기관으로부터 절단하는 단계;

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 섬유체에 유기 수지가 함침되는 구조체의 개구들에 제공하는 단계; 및

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 상기 섬유체에 상기 유기 수지가 함침되는 상기 구조체에 고착하는 단계를 포함하고,

상기 제 1 유채색의 투광성 수지층, 상기 제 2 유채색의 투광성 수지층, 및 상기 제 3 유채색의 투광성 수지층은 서로 상이한 착색 재료를 포함하는, 반도체 장치의 제조 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

반도체 장치의 제조 방법에 있어서,

제 1 투광성 기관, 제 2 투광성 기관, 및 제 3 투광성 기관의 각각 제 2 표면 위에 광전 변환 소자를 포함하는 복수의 회로부를 형성하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 각각의 막 두께를 얇게 하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 각각 제 1 표면에, 상기 복수의 회로부들의 사이의 부분에 중첩하도록 홈을 형성하는 단계;

상기 홈이 형성된 상기 제 1 투광성 기관의 상기 제 1 표면 위에 제 1 유채색의 투광성 수지층, 상기 홈이 형성된 상기 제 2 투광성 기관의 상기 제 1 표면 위에 제 2 유채색의 투광성 수지층, 상기 홈이 형성된 상기 제 3 투광성 기관의 상기 제 1 표면 위에 제 3 유채색의 투광성 수지층을 형성하는 단계;

제 1 회로, 제 2 회로, 및 제 3 회로를 형성하기 위하여, 상기 제 1 투광성 기관의 상기 홈에서 상기 제 1 유채색의 투광성 수지층과 상기 제 1 투광성 기관, 상기 제 2 투광성 기관의 상기 홈에서 상기 제 2 유채색의 투광성 수지층과 상기 제 2 투광성 기관, 상기 제 3 투광성 기관의 상기 홈에서 상기 제 3 유채색의 투광성 수지층과 상기 제 3 투광성 기관을 절단하는 단계;

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 섬유체에 유기 수지가 함침되는 구조체의 개구들에 제공하는 단계; 및

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 상기 섬유체에 상기 유기 수지가 함침되는 상기 구조체

에 고착하는 단계를 포함하고,

상기 제 1 유채색의 투광성 수지층, 상기 제 2 유채색의 투광성 수지층, 및 상기 제 3 유채색의 투광성 수지층은 서로 상이한 착색 재료를 포함하는, 반도체 장치의 제조 방법.

청구항 21

삭제

청구항 22

청구항 20에 있어서,

상기 홈은 다이서로 형성되는, 반도체 장치의 제조 방법.

청구항 23

반도체 장치의 제조 방법에 있어서,

제 1 투광성 기관, 제 2 투광성 기관, 및 제 3 투광성 기관의 제 2 표면들 각각의 위에 비정질 반도체막을 형성하는 단계;

상기 비정질 반도체막 내에 결정화를 촉진하는 원소를 추가하는 단계;

상기 비정질 반도체막을 가열하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 상기 제 2 표면들 각각의 위에 제 1 광전 변환 소자, 제 2 광전 변환 소자, 및 제 3 광전 변환 소자를 형성하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 제 1 표면들 각각의 위에 제 1 유채색의 투광성 수지층, 제 2 유채색의 투광성 수지층, 및 제 3 유채색의 투광성 수지층을 형성하는 단계;

상기 제 1 유채색의 투광성 수지층과 상기 제 1 광전 변환 소자를 포함하는 제 1 회로를 상기 제 1 투광성 기관으로부터 절단하는 단계;

상기 제 2 유채색의 투광성 수지층과 상기 제 2 광전 변환 소자를 포함하는 제 2 회로를 상기 제 2 투광성 기관으로부터 절단하는 단계;

상기 제 3 유채색의 투광성 수지층과 상기 제 3 광전 변환 소자를 포함하는 제 3 회로를 상기 제 3 투광성 기관으로부터 절단하는 단계;

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 섬유체에 유기 수지가 함침되는 구조체의 개구들에 채공하는 단계; 및

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 상기 섬유체에 상기 유기 수지가 함침되는 상기 구조체에 고착하는 단계를 포함하고,

상기 제 1 유채색의 투광성 수지층, 상기 제 2 유채색의 투광성 수지층, 및 상기 제 3 유채색의 투광성 수지층은 서로 상이한 착색 재료를 포함하는, 반도체 장치의 제조 방법.

청구항 24

반도체 장치의 제조 방법에 있어서,

제 1 투광성 기관, 제 2 투광성 기관, 및 제 3 투광성 기관의 제 2 표면들 각각의 위에 비정질 실리콘막을 형성하는 단계;

상기 비정질 실리콘막 내에 결정화를 촉진하는 원소를 추가하는 단계;

상기 비정질 실리콘막을 가열하여 다결정 실리콘막을 형성하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 상기 제 2 표면들 각각의 위에 제 1 광전 변환 소자, 제 2 광전 변환 소자, 및 제 3 광전 변환 소자를 형성하는 단계;

상기 제 1 투광성 기관, 상기 제 2 투광성 기관, 및 상기 제 3 투광성 기관의 제 1 표면들 각각의 위에 제 1 유

채색의 투광성 수지층, 제 2 유채색의 투광성 수지층, 및 제 3 유채색의 투광성 수지층을 형성하는 단계;

상기 제 1 유채색의 투광성 수지층과 상기 제 1 광전 변환 소자를 포함하는 제 1 회로를 상기 제 1 투광성 기관 으로부터 절단하는 단계;

상기 제 2 유채색의 투광성 수지층과 상기 제 2 광전 변환 소자를 포함하는 제 2 회로를 상기 제 2 투광성 기관 으로부터 절단하는 단계;

상기 제 3 유채색의 투광성 수지층과 상기 제 3 광전 변환 소자를 포함하는 제 3 회로를 상기 제 3 투광성 기관 으로부터 절단하는 단계;

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 섬유체에 유기 수지가 함침되는 구조체의 개구들에 채 공하는 단계; 및

상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로를, 상기 섬유체에 상기 유기 수지가 함침되는 상기 구조체 에 고착하는 단계를 포함하고,

상기 제 1 유채색의 투광성 수지층, 상기 제 2 유채색의 투광성 수지층, 및 상기 제 3 유채색의 투광성 수지층 은 서로 상이한 착색 재료를 포함하는, 반도체 장치의 제조 방법.

청구항 25

청구항 17, 23, 및 24 중 어느 한 항에 있어서,

상기 섬유체에 상기 유기 수지가 함침되는 상기 구조체에 상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로 를 고착하기 전에, 상기 제 1 회로, 상기 제 2 회로, 및 상기 제 3 회로에 검사 공정을 실시하는 단계를 더 포 함하는, 반도체 장치의 제조 방법.

청구항 26

청구항 17, 20, 23, 및 24 중 어느 한 항에 있어서,

적색 재료를 포함하는 상기 제 1 유채색의 투광성 수지층, 녹색 재료를 포함하는 상기 제 2 유채색의 투광성 수 지층, 청색 재료를 포함하는 상기 제 3 유채색의 투광성 수지층이 형성되는, 반도체 장치의 제조 방법.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

발명의 설명

발명의 상세한 설명

기술 분야

본 발명은, 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다. 특히, 광전 변환 소자를 갖는 반도체 장치에 관한 것이다.

배경 기술

다양한 센서 중에서도, 파장 400nm 내지 700nm의 가시광선 영역에 감도를 갖는 센서는, 광 센서 또는 가시광 센서라고 불린다. 광 센서 또는 가시광 센서는 광 신호를 검지하여 정보를 판독하는 용도, 주변 환경의 밝기를 검지하여 전자 기기 등의 동작을 제어하는 용도 등이 알려져 있다.

예를 들어, 휴대 전화기나 텔레비전 장치에서는 표시 화면의 밝기를, 그것이 놓인 주변 환경의 밝기에 따라, 조절하기 위하여 광 센서가 사용된다.

이와 같은 광 센서 또는 가시광 센서를 예로 하는 반도체 장치는, 유리나 웨이퍼 등의 기판 위에 트랜지스터를 형성하고, 그 다음에 기판을 절단(분단)함으로써, 형성된다.

일반적으로, 기판의 절단 공정은, 스크라이브 장치를 사용하여 기판 표면에 홈을 형성(스크라이브라고 함)하고, 이 홈을 기점으로 하여, 기판을 절단함으로써 행한다. 스크라이브 방법으로서, 다이아몬드 커터 등의 메카니

컬한 방법 이외에, 레이저를 사용하는 방법도 있고, 레이저에 의하여 국소적으로 가열한 후, 조사 영역을 급속하게 냉각시킴으로써, 기관에 발생하는 열 응력을 이용하여 균열을 형성한다. 또한, 급속하게 냉각하는 공정에 있어서, 발생하는 기관의 열 변형을 회피하기 위하여, 레이저로서, 단 펄스 레이저를 사용하여 급속하게 냉각하는 공정을 삭제하는 방법도 제안되어 있다(예를 들어, 특허 문헌 1 참조).

[특허문헌 1] 일본국 특허공개 2007-331983호 공보

발명의 내용

해결 하고자하는 과제

그러나, 기관 절단 공정 이외의 반도체 장치의 제조 공정, 또는 검사 공정에 있어서, 가해지는 압력 등의 외부 스트레스에 의하여, 반도체 장치가 파손될 우려가 있다. 균열, 금, 깨짐 등의 파손은, 기관이 얇아짐으로써 강도가 낮아짐에 따라, 발생 빈도가 많아진다.

또한, 스크라이브 장치로서 사용하는 다이서 등의 날(다이싱 블레이드: dicing blade)은, 고가(高價)인 데도 불구하고, 복수 횡수 사용하면 마모(摩耗)되므로 교환할 필요가 있다. 따라서, 제조 비용의 삭감(저비용화)이 어렵다.

상술한 문제를 감안하여, 외부 스트레스에 의한 균열, 금, 깨짐 등의 반도체 장치의 파손을 저감시키는 것을 과제의 하나로 한다. 반도체 장치가 형성되는 기관을 얇게 하는 것을 과제의 하나로 한다. 또한, 박형화된 반도체 장치의 제조 수율을 향상시키는 것을 과제의 하나로 한다. 또한, 박형화된 반도체 장치의 제조 비용을 저감시키는 것을 과제의 하나로 한다.

과제 해결수단

본 발명은, 복수의 반도체 집적 회로부가 형성된 기관을, 반도체 집적 회로부마다 분단함으로써, 복수의 반도체 집적 회로를 칩 형상으로 취출한다.

반도체 집적 회로부는, 복수의 반도체 소자를 포함하는 집적 회로부이며, 절연막, 반도체막, 및 도전막 등의 박막의 적층에 의하여 구성된다. 본 발명에서는, 분단 전의 동일 기반 위에 반도체 집적 회로부는 복수개 배열되어 형성된다.

반도체 집적 회로는, 광전 변환 소자 및 유채색의 투광성 수지를 포함하고, 복수의 칩 형상의 반도체 집적 회로는, 섬유체에 유기 수지가 함침된 구조체에 고착된다.

섬유체에 유기 수지가 함침되는 구조체는, 프리프레그(prepreg)라고도 불린다. 프리프레그는, 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시(vernish)를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반 경화시킨 것이다. 구조체의 두께는 10 μ m 이상 100 μ m 이하, 또한 10 μ m 이상 30 μ m 이하가 바람직하다. 이러한 두께의 구조체를 사용하는 것으로, 박형으로 만족하는 것이 가능한 반도체 장치를 제조할 수 있다.

구조체를 가열하여 압착하여, 구조체의 유기 수지를 가소화 또는 경화시킨다. 또한, 유기 수지가 가소성 유기 수지인 경우, 그 후, 실온으로 냉각함으로써 가소화한 유기 수지를 경화시킨다. 유기 수지는 가열 및 압착에 의하여, 반도체 집적 회로에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체를 압착하는 공정은 대기압하 또는 감압하에서 행한다. 유기 수지에 광 경화성 재료를 사용하여도 좋고, 반도체 집적 회로에 밀착시킨 후, 광 조사로 경화시켜 고착한다.

섬유체에 유기 수지가 함침된 구조체에 고착되는 복수의 반도체 집적 회로는, 자유롭게 선택할 수 있으므로, 각각이 포함하는 유채색의 투광성 수지의 색깔이 상이한 반도체 집적 회로를 섬유체에 유기 수지가 함침된 구조체에 고착하고, 컬러 센서로서의 기능을 갖는 반도체 집적 회로를 복수 색을 포함하는 반도체 장치를 제조할 수 있다.

예를 들어, 적색의 투광성 수지를 포함하는 반도체 집적 회로와, 녹색의 투광성 수지를 포함하는 반도체 집적 회로와, 청색의 투광성 수지를 포함하는 반도체 집적 회로를 섬유체에 유기 수지가 함침된 구조체에 고착하여, 적색(R), 녹색(G), 청색(B) 3개의 빛을 검출하는 광전 변환 소자를 포함하는 반도체 집적 회로를 포함하는 반도체 장치를 제조할 수 있다.

또한, 섬유체에 유기 수지가 함침된 구조체에 고착할 때, 반도체 집적 회로에 검사 공정을 행하여, 불량품만을 선별하고 섬유체에 유기 수지가 함침된 구조체에 고착할 수 있으므로, 제조 공정에 있어서 반도체 장치의 수율이 향상된다. 특히, 반도체 집적 회로에 증폭 회로 등, 복잡한 구성을 포함하는 반도체 집적 회로부를 갖는 구성의 경우, 칩 형상의 반도체 집적 회로에 불량이 생길 우려가 있기 때문에, 섬유체에 유기 수지가 함침된 구조체에 고착하기 전에, 반도체 집적 회로의 불량 검사를 행할 수 있는 것은 유익하다. 또한, 불량품 중에서도 고품질의 반도체 집적 회로를 선별하여 섬유체에 유기 수지가 함침된 구조체에 고착시킴으로써, 보다 고품질의 반도체 장치도 제조할 수 있다.

또한, 본 발명의 반도체 집적 회로는, 투광성 기판의 반도체 집적 회로부의 형성 면과 반대 측의 일면 및 단부(측면)의 일부를 적어도 유채색의 투광성 수지층으로 덮는 구성이다. 따라서, 투광성 수지층이 제조 공정, 또는 검사 공정에 있어서 가해지는 압력 등의 외부 스트레스로부터의 충격 흡수층으로서도 기능함으로써, 반도체 집적 회로의 상처, 크랙(crack) 등의 불량을 저감하여, 신뢰성이 높은 반도체 장치를 제조할 수 있다.

본 발명은, 반도체 집적 회로의 분단 방법에 있어서, 우선, 투광성 기판의 두께를 얇게 가공하고, 분단에 걸리는 공정 시간의 단축, 및 분단에 사용되는 다이서 등의 가공 수단의 마모를 경감한다. 또한, 분단 공정은, 한번에 행하지 않고, 우선, 투광성 기판에 반도체 집적 회로부를 분단하기 위한 홈을 형성하고, 홈이 형성된 투광성 기판 위에 투광성 수지층을 형성한다. 그 후, 홈에 있어서 투광성 수지층 및 투광성 기판을 절단하고, 복수의 반도체 집적 회로로 분단(분할)한다. 투광성 수지층은 적어도 킬러 필터로서 기능하는 유채색의 착색층이며, 그 위에 충격 흡수층으로서 투명한 투광성 수지층을 적층하여도 좋다.

유채색은, 흑색, 회색, 백색 등의 무채색을 제외한 색깔이고, 착색층은, 컬러 필터로서 기능을 하므로 그 착색된 유채색의 빛만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안(cyan), 마젠타(magenta), 옐로우(yellow)(황색) 등을 사용하여도 좋다.

섬유체에 유기 수지가 함침된 구조체에 차광성의 재료를 사용하면, 차광막으로서 기능을 할 수 있다.

따라서, 본 발명의 반도체 장치의 일 형태는, 복수의 반도체 집적 회로가 고착된 섬유체에 유기 수지가 함침된 구조체를 갖는다. 복수의 반도체 집적 회로는 각각, 상기 구조체에 형성된 개구에 형성되고, 단차를 제 1 표면 위에 갖고, 돌기부의 폭 치수는 다른 부분보다 작은 투광성 기판과, 투광성 기판의 제 2 표면에 형성된, 광전 변환 소자를 갖는 반도체 집적 회로부와, 투광성 기판의 제 1 표면 및 측면의 일부를 덮는 유채색의 투광성 수지층을 포함한다. 복수의 반도체 집적 회로에 있어서, 유채색의 투광성 수지층의 색깔이 상이하다. 따라서, 투광성 기판의 단면은, 역 T자 블록 형상이라고도 한다. 단차보다도 앞의 부분이란, 투광성 기판에 있어서, 반도체 집적 회로부의 형성 면을 밑으로 한 경우의 상부 방향에 있는 부분이다.

투광성 기판의 단면이 역 T자 블록 형상이면, 역 T자 블록 형상에 있어서, 투광성 기판 단부의 노치(Notch)부를 매우도록, 투광성 수지층을 형성할 수 있다.

본 발명의 반도체 장치의 일 형태는, 복수의 반도체 집적 회로가 고착된 섬유체에 유기 수지가 함침된 구조체를 갖는다. 복수의 반도체 집적 회로는 각각, 상기 구조체에 형성된 개구에 형성되고, 한 쪽의 면을 상저(上底)면으로 하고, 다른 쪽의 면을 하저면으로 하고, 단면이 상단의 두께가 하단의 두께보다 얇은 계단 상태의 사다리꼴인 투광성 기판과, 투광성 기판의 하저면에 형성된, 광전 변환 소자를 갖는 반도체 집적 회로부와, 투광성 기판의 상면 및 측면의 일부를 덮는 유채색의 투광성 수지층을 포함한다. 복수의 반도체 집적 회로에 있어서, 유채색의 투광성 수지층의 색깔이 상이하다. 반도체 직접 회로의 제조 공정 중에서 형성하는 홈의 형상에 따르면, 사다리꼴의 상단은 하단을 향하여 만곡하는 형상이 된다.

투광성 기판의 사다리꼴의 단면 형상에 있어서, 사다리꼴의 상단이 하단으로 향하여 만곡하는 형상이면, 만곡부에 형성되는 투광성 수지층의 피복성이 좋다.

투광성 기판과 접하는 투광성 수지층을, 유채색의 투광성 수지층으로 하고, 투광성 수지층 위에 한층 더 투광성 수지층을 형성하면, 보호층으로서 기능하고, 충격 흡수성도 향상되고, 유채색의 투광성 수지층의 열화도 방지하는 효과가 있다. 또한, 충격 흡수층으로서 기능하는 투광성 수지층의 막 두께는 착색층으로서 기능하는 투광성 수지층보다 두꺼워도 좋다. 충격 흡수층으로서 기능하는 투광성 수지층은, 막 두께를 두껍게 형성함으로써, 보다 충격 흡수층으로서 내(耐)충격성을 향상시킬 수 있다. 한편, 유채색의 투광성 수지층은, 착색층(컬러 필터)으로서 기능되므로 포함되는 착색 재료의 농도와 빛의 투과율의 관계를 고려하여 최적의 막 두께를 적절히 제어하면 좋다.

상기 구성에 있어서, 반도체 장치의 일 형태는, 투광성 수지층이 접하는 투광성 기관의 측면은, 바닥을 향해 퍼지는 곡면을 갖는다. 투광성 기관의 측면이 바닥을 향해 퍼지는 곡면을 가지므로, 그 곡면에 투광성 수지층을 덮도록 형성할 수 있다. 또한, 투광성 기관의 하저면(下底面) 및 볼록부의 상저면(上底面)은, 사각형이고, 하저면의 면적 쪽이 볼록부의 상저면의 면적보다 크다. 본 명세서의 반도체 장치의 투광성 기관에 있어서는, 투광성 수지층과 접하는 면을 상저면이라고 부르고, 반도체 집적 회로부가 형성되는 면을 하저면이라고 부르기로 한다. 투광성 기관에 있어서, 하저면의 면적 쪽이 상저면의 면적보다 크면, 하저면과 볼록부의 상저면이 중첩하지 않는 영역의 측면에 투광성 기관의 주위를 둘러싸도록 투광성 수지층을 형성할 수 있다.

상술한 바와 같이, 본 발명의 반도체 장치는, 복잡한 형상이므로, 반도체 장치의 상하의 판별이 용이하여, 기계에 의한 자동 조작에 있어서도, 오인을 저감할 수 있다.

또한, 반도체 집적 회로에 있어서, 반도체 집적 회로부에 광전 변환 소자의 출력을 증폭하는 증폭 회로를 갖고, 광전 변환 소자는 p형 반도체층과, i형 반도체층과, n형 반도체층이 적층된 구조를 포함하는 구조라도 좋다.

본 발명에 있어서, i형 반도체란, 그 반도체에 포함되는 p형 또는 n형을 부여하는 불순물이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이며, 산소 및 질소가 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 암(暗) 전도도에 대하여 광 전도도가 100배 이상인 반도체를 가리킨다. 이러한 i형 반도체에는, 주기율표 제13족 또는 제15족의 불순물 원소가 포함되는 것을 포함한다. 즉, i형 반도체는, 가전자(價電子) 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때 약한 n형의 전기 도전성을 나타내므로, i형 반도체층에 있어서는 p형을 부여하는 불순물 원소를 성막과 동시에 또는 성막한 후에, 의도적으로 또는 의도적이지 않게 첨가된 것도 포함한다.

본 발명의 반도체 장치의 제조 방법의 일 형태에 있어서, 제 1 유채색의 투광성 수지층 및 제 1 광전 변환 소자를 포함하는 제 1 반도체 집적 회로를 제 1 투광성 기관으로부터 절단하고, 제 2 유채색의 투광성 수지층 및 제 2 광전 변환 소자를 포함하는 제 2 반도체 집적 회로를 제 2 투광성 기관으로부터 절단하고, 제 3 유채색의 투광성 수지층 및 제 3 광전 변환 소자를 포함하는 제 3 반도체 집적 회로를 제 3 투광성 기관으로부터 절단하고, 제 1 반도체 집적 회로와, 제 2 반도체 집적 회로와, 제 3 반도체 집적 회로를 섬유체에 유기 수지가 함침되는 구조체에 각각 내장시켜, 제 1 반도체 집적 회로와, 제 2 반도체 집적 회로와, 제 3 반도체 집적 회로를 섬유체에 유기 수지가 함침되는 구조체에 고착하고, 제 1 유채색의 투광성 수지층과, 제 2 유채색의 투광성 수지층과, 제 3 유채색의 투광성 수지층과는 상이한 착색 재료를 포함시켜 형성한다.

상기 구성에 있어서, 섬유체에 유기 수지가 함침되는 구조체에 고착하기 전에, 제 1 반도체 집적 회로, 제 2 반도체 집적 회로, 및 제 3 반도체 집적 회로에 검사 공정을 실시하여도 좋다. 검사 공정을 실시함으로써 불량품을 선별하여 섬유체에 유기 수지가 함침되는 구조체에 고착하여 반도체 장치를 제조할 수 있다.

상기 구성에 있어서, 제 1 반도체 집적 회로, 제 2 반도체 집적 회로, 및 제 3 반도체 집적 회로는 각각, 제 1 투광성 기관, 제 2 투광성 기관, 제 3 투광성 기관 위에 복수의 반도체 집적 회로를 형성한다. 제 1 투광성 기관, 제 2 투광성 기관, 제 3 투광성 기관의 두께를 얇게 한다. 제 1 투광성 기관, 제 2 투광성 기관, 제 3 투광성 기관 위에 복수의 반도체 집적 회로들 사이가 되는 부분에 중첩되도록 홈을 형성한다. 홈이 형성된 제 1 투광성 기관, 제 2 투광성 기관, 제 3 투광성 기관 위에 제 1 유채색의 투광성 수지층, 제 2 유채색의 투광성 수지층, 제 3 유채색의 투광성 수지층을 형성한다. 제 1 투광성 기관, 제 2 투광성 기관, 제 3 투광성 기관의 홈, 및 제 1 유채색의 투광성 수지층, 제 2 유채색의 투광성 수지층, 제 3 유채색의 투광성 수지층을 절단하여 형성한다.

홈이 형성된 투광성 기관 및 투광성 수지층을 절단할 때에, 투광성 기관에 얼라인먼트 조정의 마커를 형성하는 경우는, 투광성 기관 측보다 다이서 등의 절단 수단을 사용하여 절단하면, 절단 개소의 정확성을 높일 수 있다.

홈을 형성하는 공정, 투광성 기관을 분단하는 공정에서는, 모두 절삭(切削) 공구로서 다이서, 스크라이버 등을 사용할 수 있고, 바람직하게는 다이서를 사용한다. 다이서로 홈을 형성하는 공정, 및 투광성 기관 및 반도체 집적 회로를 분단하는 공정은 다이싱 블레이드(dicing blade)를 사용하지만, 홈을 형성하는 공정의 다이싱 블레이드는, 분단하는 공정의 다이싱 블레이드보다, 칼날의 두께가 두꺼운 것을 사용한다. 즉, 각각의 절삭 자국을 비교하였을 때, 홈을 형성하는 공정 쪽이 넓게 되도록 한다. 여기서 말하는 절삭 자국이란, 홈의 경우는 홈의 폭, 분단하는 공정의 경우는 분단 전후로 투광성 기관의 위치를 고정하였을 때에 소자간에서 투광성 기

관 부재가 소실한 영역의 폭(절단면의 폭이라고도 함)을 의미한다.

투광성 기판을 연마하고, 두께를 작게 하는 공정은, 유리 연마기, 유리 연삭기 등을 적합하게 조합하여 사용할 수 있다. 이 연마하는 공정에 의하여 다이싱 블레이드의 소모를 저감할 수 있다. 또한, 투광성 수지층을 형성함으로써, 두께가 얇은 투광성 기판을 핸들링할 때, 및 분단하는 공정에서, 원하는 소자에 크랙이 생기는 것을 저감할 수 있다. 또한, 분단 후의 칩 형상의 반도체 집적 회로를 취급할 때, 반도체 집적 회로끼리가 충돌한 경우의, 상처, 크랙을 저감하여, 반도체 장치의 외관 검사에 있어서의 수율을 향상시킬 수 있다. 또한, 분단 후의 투광성 기판의 두께가 얇기 때문에, 본 발명의 반도체 집적 회로가 탑재되는 반도체 장치의 사이즈를 박형화할 수 있다.

절삭 자국의 폭은, 홈을 형성하는 공정의 폭이 분단하는 공정의 폭보다 넓기 때문에, 분단하는 공정으로 투광성 기판을 분단할 때, 수지층을 투광성 기판의 단면에 남길 수 있다. 즉, 홈이 형성된 투광성 기판 측면의 영역에는 수지층이 형성된다. 한편, 반도체 집적 회로부의 형성면, 및 분단하는 공정에서 다이싱 블레이드를 사용한 경우에, 투광성 기판이 다이싱 블레이드에 접촉한 영역에는 수지층은 피복되지 않는다.

효과

본 발명에 의하면, 투광성 기판에 형성된 반도체 집적 회로부 측과는 반대의 면, 및 투광성 기판 측면의 일 영역을 수지로 피복함으로써, 상처, 크랙의 발생을 저감하여, 반도체 장치의 수율을 향상시킬 수 있다.

따라서, 박형이라도 취급하기 쉽고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

또한, 투광성 기판을 분단하기 전에, 투광성 기판의 두께를 작게 하여, 분단 공정을 2단계로 행함으로써, 투광성 기판을 분단 가공할 때의 절삭 공구의 소모를 저감할 수 있다. 투광성 기판의 대형화, 분단하는 반도체 집적 회로의 소형화에 따라, 절삭 공구의 처리 영역은 증가하므로, 한층 더 절삭 공구의 소모는 커진다. 따라서, 절삭 공구의 소모를 저감할 수 있는 본 발명은, 대면적 기판, 보다 소형의 반도체 집적 회로에 있어서, 특히 유익하다. 이에 따라, 반도체 장치를 보다 염가로 제조할 수 있다. 투광성 기판의 두께가 얇기 때문에, 반도체 장치의 사이즈를 박형화할 수 있다.

발명의 실시를 위한 구체적인 내용

본 발명의 실시형태에 대하여, 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 형태 및 상세한 사항을 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 붙이고, 그 반복 설명은 생략한다.

[실시형태 1]

본 실시형태에서는, 보다 박형화, 및 소형화를 부여하는 것을 목적으로 한 반도체 장치, 및 그 반도체 장치를 수율 좋게 제조하는 방법을, 도 1(A) 내지 도 8(B)를 사용하여 자세히 설명한다.

도 1(A) 및 도 1(B)에 본 실시형태의 반도체 장치를 도시한다. 도 1(A)는 반도체 장치의 평면도이고, 도 1(B)는 도 1(A)에 있어서의 선 Y-Z의 단면도이다.

도 1(A) 및 도 1(B)의 반도체 장치는, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)를 섬유체(161)에 유기 수지(162)가 함침된 구조체(160)에 고착되어 갖는 구조이다. 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)에는 외부와의 전기적 접속을 행하기 위한 도전층인 단자 전극(115aR), 단자 전극(115bR), 단자 전극(115aG), 단자 전극(115bG), 단자 전극(115aB), 단자 전극(115bB)이 형성된다.

섬유체(161)가 섬유 다발을 낱실 및 씨실로서 제직한 직포의 상면도를 도 1(A)에 도시한다.

도 1(A)에 도시하는 바와 같이, 섬유체(161)는 일정한 간격을 둔 낱실과 일정한 간격을 둔 씨실로 제직된다. 이와 같은 낱실 및 씨실을 사용하여 제직된 섬유체에는, 낱실 및 씨실이 존재하지 않는 영역을 갖는다. 이와 같은 섬유체(161)는, 유기 수지(162)가 함침되는 비율이 높아져, 섬유체(161)와 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)의 밀착성을 높일 수 있다.

또한, 섬유체(161)는 낱실 및 씨실의 밀도가 높고, 낱실 및 씨실이 존재하지 않는 영역의 비율이 낮아

도 좋다.

섬유체(161)에 유기 수지(162)가 함침된 구조체(160)는, 프리프레그라고도 불린다. 프리프레그는, 구체적으로는 섬유체에 매트릭스 수지를 유기용제로 희석한 바니시를 함침시킨 후, 건조하여 유기용제를 휘발시켜 매트릭스 수지를 반경화시킨 것이다. 구조체(160)의 두께는 10 μ m 이상 100 μ m 이하, 또한 10 μ m 이상 30 μ m 이하가 바람직하다. 이러한 두께의 구조체를 사용함으로써, 박형으로 만족하는 것이 가능한 반도체 장치를 제조할 수 있다.

또한, 본 실시형태에서는, 섬유체에 유기 수지가 함침된 구조체는, 복수의 층을 적층시켜도 좋다. 이 경우, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킴으로써 구조체를 형성하여도 좋고, 복수의 적층된 섬유체에 유기 수지를 함침시킨 구조체를 형성하여도 좋다. 또한, 단층의 섬유체에 유기 수지가 함침된 구조체를 복수 적층시킬 때, 각 구조체간에 다른 층을 끼우도록 하여도 좋다.

반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는, 각각 갖는 단자 전극을 사용하여, 다른 기판에 실장할 수 있다.

반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는, 각각 투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B), 광전 변환 소자를 포함하는 반도체 소자층(101R), 반도체 소자층(101G), 반도체 소자층(101B), 및 컬러 필터로서 기능하는 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)을 갖고, 컬러 센서로서 기능한다. 본 실시형태에 있어서는, 반도체 집적 회로(112R)는 적색의 투광성 수지층(114R), 반도체 집적 회로(112G)는 녹색의 투광성 수지층(114G), 반도체 집적 회로(112B)는 청색의 투광성 수지층(114B)를 각각 갖고, 각각의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)에 착색된 색깔의 빛을 투과하여, 검지할 수 있다. 따라서, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)를 포함하는 본 실시형태의 반도체 장치는, 3종류의 색깔(적색, 녹색, 청색)의 빛을 각각에 검지할 수 있는 반도체 장치이다.

또한, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는, 투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B)의 반도체 집적 회로부(101R), 반도체 집적 회로부(101G), 반도체 집적 회로부(101B)의 형성면과 반대 측의 일면, 및 단부(측면)의 일부를 적어도 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)으로 덮는 구성이다. 따라서, 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)이 제조 공정, 또는 검사 공정에 있어서, 가해지는 압력 등의 외부 스트레스로부터의 충격 흡수층으로서도 기능하므로, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)의 상층, 크랙 등의 불량을 저감하여, 신뢰성이 높은 반도체 장치를 제조할 수 있다.

유채색은, 흑색, 회색, 백색 등의 무채색을 제외한 색깔이고, 착색층은, 컬러 필터로서 기능시키므로, 그 착색된 유채색의 빛만을 투과하는 재료로 형성된다. 유채색으로서, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 옐로우(황색) 등을 사용하여도 좋다.

투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)은, 적어도 컬러 필터로서 기능하는 유채색의 착색층이며, 그 위에 또 충격 흡수층으로서 투명한 투광성 수지층을 적층하여도 좋다. 도 1(A) 및 도 1(B)의 반도체 장치에 있어서, 투광성 수지층을 적층하는 예를 도 2(A) 및 도 2(B)에 도시한다. 도 2(A)는, 반도체 장치의 평면도이고, 도 2(B)는 도 2(A)에 있어서의, 선 Y-Z의 단면도이다.

도 2(A) 및 도 2(B)의 반도체 장치는, 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)이 각 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B) 위에 적층되는 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)를 섬유체(161)에 유기 수지(162)가 함침된 구조체(160)에 고착하는 예이다. 투광성 기관에 접하여 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)이 형성되어, 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B) 위에 각각 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)이 적층된다.

투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)은, 보호층으로서 기능하고, 충격 흡수성도 향상시키고, 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)의 열화도 방지하는 효과가 있다.

투광성 수지층의 막 두께는, 1 μ m 내지 20 μ m로 하면 좋다. 투광성 수지층을 적층하는 경우, 충격 흡수층으로서 기능하는 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)의 막 두께와, 착색층으로서 기능하는 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)의 막 두께는, 같은 정도

(예를 들어, 막 두께 1.2 μ m)라도 좋고, 상이하여도 좋다.

또한, 충격 흡수층으로서 기능하는 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)의 막 두께는, 착색층으로서 기능하는 유체색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)보다 두꺼워도 좋다. 충격 흡수층으로서 기능하는 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)은 막 두께를 두껍게 형성함으로써, 보다 충격 흡수층으로서 내 충격성을 향상시킬 수 있다. 한편, 유체색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)은, 착색층(컬러 필터)으로서 기능시키므로, 포함되는 착색 재료의 농도와 빛의 투과율의 관계를 고려하여 최적의 막 두께를 적절히 제어하면 좋다.

예를 들어, 충격 흡수층으로서 기능하는 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)의 막 두께를, 착색층으로서 기능하는 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)보다 두껍게 하는 경우, 예로서 충격 흡수층으로서 기능하는 투명한 투광성 수지층(110R), 투광성 수지층(110G), 투광성 수지층(110B)의 막 두께를 5 μ m 이상 10 μ m 이하로 하고, 착색층으로서 기능하는 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)의 막 두께를 0.1 μ m 이상 1 μ m 이하로 하면 좋다.

투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B)의 측면에 단차(段差)를 갖고, 투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B)의 폭 치수는, 단차보다 앞의 부분이 작다. 따라서, 투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B)의 단면은 철자 형상(역 T자 블록 형상)이라고도 한다. 단차보다 앞의 부분이란, 투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B)에 있어서, 반도체 집적 회로(101R), 반도체 집적 회로(101G), 반도체 집적 회로(101B)의 형성 면을 밑으로 한 경우의 상부 방향에 있는 부분이다.

투광성 기관의 단면이 철자 형상이면, 철자 형상에 있어서, 투광성 기관 단부의 노치부를 매우도록, 투광성 수지층을 형성할 수 있다.

본 실시형태의 반도체 집적 회로에 있어서는, 투광성 수지층이 접하는 투광성 기관의 측면은, 바닥을 향해 퍼지는 곡면을 갖는 형상이라도 좋다. 투광성 기관의 측면이 바닥을 향해 퍼지는 곡면을 가지므로, 그 곡면에 투광성 수지층을 덮도록 형성할 수 있다. 또한, 투광성 기관의 하저면 및 상저면은, 사각형이고, 하저면의 면적 쪽이 상저면의 면적보다 크다. 투광성 기관에 있어서, 하저면의 면적 쪽이 상저면의 면적보다 크면, 하저면과 상저면이 중첩하지 않는 영역의 측면에 투광성 기관의 주위를 둘러싸도록 투광성 수지층을 형성할 수 있다.

본 발명은, 복수의 반도체 집적 회로부가 형성된 기관을, 반도체 집적 회로부마다 분단함으로써, 복수의 반도체 집적 회로를 칩 형상으로 취출한다. 분단 공정에 있어서, 우선, 기관의 두께를 얇게 가공하여, 분단에 걸리는 공정 시간의 단축, 및 분단에 사용하는 다이서 등의 기공 수단의 마모를 경감한다. 또한, 분단 공정은, 한꺼번에 행하지 않고, 우선, 투광성 기관에 반도체 집적 회로부를 분단하기 위한 홈을 형성하고, 홈이 형성된 투광성 기관 위에 투광성 수지층의 적층을 형성한다. 그 후, 투광성 수지층 및 투광성 기관을 홈에 있어서 절단하고, 복수의 반도체 집적 회로로 분단(분할)한다.

투광성 기관(109)(투광성 기관(109R), 투광성 기관(109G), 투광성 기관(109B))은, 단면에 있어서 측면이 계단 형상의 사다리꼴이며, 계단 형상의 사다리꼴은 도 1(A) 및 도 1(B)에 도시하는 바와 같이, 상단의 두께와 하단의 두께가 같은 두께라도 좋고, 보다 얇아도 좋다. 또한, 계단 형상의 사다리꼴에 있어서, 상단의 두께는 섬유체에 유기 수지가 함침되는 구조체의 두께보다 얇으면, 투광성 기관(109)이 섬유체에 유기 수지가 함침되는 구조체보다 높게 되지 않기 때문에 바람직하다. 홈의 형상에 따라서는, 사다리꼴의 상단은 하단을 향하여 만곡하는 형상이 되어도 좋다.

투광성 기관의 사다리꼴의 단면 형상에 있어서, 사다리꼴의 상단이 하단을 향하여 만곡하는 형상이면, 만곡부에 형성되는 투광성 수지층의 피복성이 좋다.

상술한 바와 같이, 본 발명의 반도체 집적 회로는, 복잡한 형상이므로, 반도체 집적 회로의 상하 좌우의 판별이 용이하여, 기계에 의한 자동 조작에 있어서도, 오인을 저감할 수 있다.

또한, 도 9에 도시한 바와 같이, 섬유체(117)에 유기 수지(118)가 함침된 구조체(116)에 차광성 재료를 사용하면, 블랙 매트릭스로서 사용할 수 있다. 도 9에 있어서, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는 차광성 재료를 사용하여 형성되는 섬유체에 유기 수지가 함침된 구조체에 고

착된다.

또한, 블랙 매트릭스가 되는 차광층을 유채색의 투광성 수지층 위에 선택적으로 별도 형성하는 구성으로 하여도 좋다. 차광층은, 스펀코팅법 등의 도포법에 의하여 형성할 수 있고, 그 이외의 액적 토출법, 인쇄법, 디핑법, 디스펜서법, 브러쉬 페인팅(brush painting)법, 스프레이법, 플로 코팅법 등에 의하여 형성할 수도 있다. 인쇄법을 사용하면, 차광층을 선택적으로 형성할 수 있으므로, 포토리소그래피 공정에 의한 원하는 형상으로서의 가공 공정을 간략화할 수 있다.

차광성을 갖는 섬유체(117)에 유기 수지(118)가 함침된 구조체(116)는, 반도체 집적 회로부(101R), 반도체 집적 회로부(101G), 반도체 집적 회로부(101B)의 광전 변환 소자가 형성되는 영역에 대하여, 개구를 갖도록 형성된다. 섬유체(117)에 유기 수지(118)가 함침된 구조체(116)는 블랙 매트릭스로서 기능하고, 광전 변환 소자에 외부로부터의 부적절한 빛이 조사되어, 오동작이 발생하지 않도록 빛을 차단한다. 따라서, 섬유체(117)에 유기 수지(118)가 함침된 구조체(116)의 개구로부터 입사하고, 컬러 필터로서 기능하는 유채색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)을 투과한 빛만을 광전 변환 소자는 수광(受光)할 수 있으므로, 반도체 장치의 신뢰성이 향상된다. 또한, 반도체 집적 회로부에 형성되는 반도체 소자에 빛이 조사되면, 특성 변동이 생길 우려가 있지만, 차광층을 형성함으로써 그와 같은 불량을 방지할 수 있다.

이하에 본 실시형태에 있어서의 반도체 장치의 제조 방법을 자세히 설명한다.

도 3(A)에 투광성 기관(100) 위에 형성된 광전 변환 소자를 갖는 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c)를 도시한다. 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c)는 각각 단자 전극(115a1), 단자 전극(115b1), 단자 전극(115a2), 단자 전극(115b2), 단자 전극(115a3), 단자 전극(115b3)을 갖는다.

다음으로, 투광성 기관(100)의 막 두께를 연삭, 연마 처리에 의하여 얇게 하는 공정을 행한다. 공정시의 투광성 기관(100)을 고정하는 고정 테이프(103)에 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c) 측으로 향하여 투광성 기관(100)을 고정하고, 투광성 기관(100)을 가공하여 막 두께의 얇은 투광성 기관(102)으로 한다(도 3(B) 참조). 투광성 기관(100)이 막 두께 0.5mm의 유리 기관이면, 투광성 기관(102)은 0.25mm 내지 0.3mm 정도로 박형화하는 것이 바람직하다. 투광성 기관의 막 두께를 얇게 가공함으로써, 투광성 기관의 분단에 걸리는 공정 시간의 단축, 및 분단에 사용하는 다이서 등 가공 수단의 마모를 경감할 수 있다. 연삭 처리 및 연마 처리는, 적합하게 조합하여 사용할 수 있고, 본 실시형태에서는, 연삭기에 의하여 연삭한 후, 연마기에 의한 연마 처리로 표면을 평탄화한다. 연마 처리로서 화학적 기계 연마를 행하여도 좋다.

본 발명은, 투광성 기관을 분단함으로써, 복수의 반도체 집적 회로를 칩 형상으로 취출한다. 분단 공정은, 한꺼번에 행하지 않고, 우선, 투광성 기관(102)에 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c)를 분단하고, 섬유체에 유기 수지가 함침된 구조체를 고착하기 위한 홈(106a), 홈(106b), 홈(106c), 홈(106d)을 다이서(104)의 다이싱 블레이드로 형성한다(도 3(C) 참조). 투광성 기관(105)의 홈(106a), 홈(106b), 홈(106c), 홈(106d)에 있어서, 투광성 기관(105)은 의도적으로 잔존시킨다.

다음으로, 홈(106a), 홈(106b), 홈(106c), 홈(106d)은 후공정에서, 섬유체에 유기 수지가 함침된 구조체의 집착 영역(고착 영역)이 되므로, 홈(106a), 홈(106b), 홈(106c), 홈(106d)의 깊이는, 섬유체에 유기 수지가 함침된 구조체의 두께보다 얇은(얕은) 것이 바람직하다. 홈(106a), 홈(106b), 홈(106c), 홈(106d)의 깊이는, 섬유체에 유기 수지가 함침된 구조체의 두께보다 얇으면(얕으면), 섬유체에 유기 수지가 함침된 구조체를 압착에 의하여 고착할 경우, 압력을 가하기 쉽다. 그래서, 홈(106a), 홈(106b), 홈(106c), 홈(106d)의 깊이는 10 μ m 이상 100 μ m 이하(바람직하게는, 10 μ m 이상 30 μ m 이하) 정도로 하면 좋다.

도 3(C)에서는, 폭(a1)을 갖는 다이서(104)에 의하여, 한꺼번에 홈을 형성하는 예를 도시하지만, 보다 폭이 좁은 다이서를 사용하여 복수 횟수에 걸쳐 투광성 기관(102)을 연삭하여 제거함으로써, 홈을 형성하여도 좋다.

다음으로, 홈(106a), 홈(106b), 홈(106c), 홈(106d)이 형성된 투광성 기관(102) 위에 투광성 수지층(113) 및 투광성 수지층(107)을 적층을 형성한다(도 3(D) 참조). 투광성 수지층(113), 투광성 수지층(107)의 재료는 투광성 수지층을 형성한 후의 공정에 있어서(예를 들어, 섬유체에 유기 수지가 함침된 구조체를 고착할 때나, 다른 기관에 실장할 때) 가열 처리를 사용하는 경우는, 그 가열 온도에 견딜 수 있는 수지 재료를 사용한다. 적층하여 형성되는 투광성 수지층의 한 쪽은, 컬러 필터로서 기능하는 유채색의 착색층이며, 다른 쪽은,

층격 흡수층으로서 기능하는 수지층이다. 본 실시형태에서는, 투광성 수지층(113)을 유체색의 착색 재료를 포함하여 형성한다.

층격 흡수층으로서 기능하는 투광성 수지층(107)을 형성하면, 반도체 집적 회로 및 반도체 장치에, 더욱 내 스트레스성을 부여할 수 있다. 예를 들어, 본 발명의 투광성 수지층이 형성된 반도체 집적 회로에 있어서는, 약 20N의 압력을 가하여도 파손하지 않으며 견딜 수 있다.

투광성 수지층으로서, 비닐 수지, 에폭시 수지, 페놀 수지, 노볼락 수지, 아크릴 수지, 멜라민 수지, 우레탄 수지, 실록산 수지 등의 수지 재료를 사용할 수 있다. 수지층의 제조 방법은, 스핀코팅법 등의 도포법을 사용할 수 있고, 그 이외에 액적 도출법, 인쇄법, 디핑법, 디스펜서법, 브러쉬 페인팅법, 스프레이법, 플로코팅법 등을 사용할 수도 있다.

그 후, 투광성 수지층(113), 투광성 수지층(107) 및 투광성 기관(105)을 홈(106a), 홈(106b), 홈(106c), 홈(106d)에 있어서 절단하여, 복수의 반도체 집적 회로로 분단(분할)한다. 본 실시형태에서는, 투광성 기관(105) 및 투광성 수지층(113), 투광성 수지층(107)을 고정 테이프(111)에 고정하여, 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c)를 분단하도록, 투광성 기관(105) 측으로부터 홈(106a), 홈(106b), 홈(106c), 홈(106d)에 잔존하는 투광성 기관(105) 및 투광성 수지층(113), 투광성 수지층(107)을 폭(a2)을 갖는 다이서(108)에 의하여 절단한다. 다이서(108)에 의하여 투광성 기관(105) 및 투광성 수지층(113), 투광성 수지층(107)은 분할되고, 투광성 기관(109a), 투광성 기관(109b), 투광성 기관(109c), 투광성 수지층(114a), 투광성 수지층(114b), 투광성 수지층(114c), 투광성 수지층(110a), 투광성 수지층(110b), 투광성 수지층(110c)이 된다(도 3(E) 참조). 본 실시형태에서는, 고정 테이프(103), 고정 테이프(111)로서 다이싱 테이프를 사용한다.

홈이 형성된 투광성 기관(105) 및 투광성 수지층(113), 투광성 수지층(107)을 절단할 때는, 투광성 기관(105) 측으로부터라도 투광성 수지층(113), 투광성 수지층(107) 측으로부터라도 절단할 수 있다. 투광성 기관(105)에 얼라인먼트의 조정의 마커를 형성하여도 좋다.

상술한 공정으로 반도체 집적 회로(112a), 반도체 집적 회로(112b), 반도체 집적 회로(112c)를 형성할 수 있다(도 3(F) 참조). 투광성 수지층(107) 및 투광성 기관(105)을 절단하는 절단면의 폭을 홈의 폭보다 좁게 함으로써 투광성 기관 측면에 홈에 형성된 수지층을 잔존시킬 수 있다. 본 실시형태에서는, 다이서(104) 및 다이서(108)의 폭과는 최소 처리 영역(다이서에 의하여 가공되는 영역)을 결정하는 다이싱 블레이드의 막 두께가 된다.

홈의 폭은, 다이서(104)의 다이싱 블레이드의 폭(a1)에, 절단면의 폭은 다이서(108)의 다이싱 블레이드의 폭(a2)에 의하여 제어할 수 있으므로, 다이서(104)의 다이싱 블레이드의 폭(a1)보다 다이서(108)의 다이싱 블레이드의 폭(a2)을 좁게 하면 좋다.

따라서, 반도체 집적 회로(112a), 반도체 집적 회로(112b), 반도체 집적 회로(112c)에 있어서, 반도체 집적 회로부(101a), 반도체 집적 회로부(101b), 반도체 집적 회로부(101c)가 형성되지 않는 면 및 측면의 일부는, 수지층(114a), 수지층(114b), 수지층(114c), 수지층(110a), 수지층(110b), 수지층(110c)으로 덮이는 구조가 된다.

투광성 기관에 형성되는 홈의 형상은, 가공 수단에 의존한다. 본 실시형태에서는, 다이서(104)의 약간 둥그스름해진 다이싱 블레이드의 형상이 반영되고, 홈(106a), 홈(106b), 홈(106c), 홈(106d)도 도 1(A) 및 도 1(B)의 단면에 있어서, 둥그스름해진(곡률을 갖는) 형상이 된다. 다이싱 블레이드의 형상을 직사각형으로 하면, 홈의 형상도 직사각형으로 되고, 분단 후의 반도체 집적 회로의 투광성 기관의 단부도 직사각형을 갖는 형상으로 할 수 있다.

또한, 기관의 두께는 투광성 수지층과 비교하여 두껍고, 기관 단부에서의 피복성을 향상시키기 위하여, 투광성 수지층도 두껍게 하면 바람직하다. 도 2(A) 및 도 2(B)에 도시한 바와 같이, 투광성 수지층을 적층 구조로 하면 두껍게 형성할 수 있다. 투광성 수지층의 구조나 막 두께, 또한 절단 개소에 따라서도 완성하는 반도체 집적 회로의 형상을 자유롭게 변화시킬(상이하게 할) 수 있다.

다이싱 블레이드의 폭이 가는 다이서를 사용하여 분단하면, 투광성 기관의 홈의 영역을 완성된 반도체 집적 회로에 많이 남길 수도 있다. 홈의 영역에, 섬유체에 유기 수지가 함침된 구조체는 고착되므로, 홈의 영역이 넓으면, 고착 강도를 향상시킬 수 있다. 또한, 층격 흡수제로서 기능하는 투광성 수지층을 적층하면, 반

도체 집적 회로에, 보다 내 스트레스성을 부여할 수 있다.

또한, 본 발명에서는 홈을 형성하여, 홈 위에 투광성 수지층을 형성하므로, 홈 저면에 두껍게 투광성 수지층을 형성할 수 있다. 더욱 더 투광성 수지층을 형성한 후, 투광성 수지층과 투광성 기판을 적층하여 절단하므로, 측면에 있어서 투광성 수지층의 단부와 투광성 기판의 단부가 일치한다. 측면에 있어서, 투광성 기판의 위 측의 단부가 노출되지 않으므로, 투광성 기판의 단부의 파손이나 깨짐을 방지할 수 있다. 또한, 투광성 수지층을 적층에 의하여 두껍게 형성하면, 반도체 집적 회로의 측면에 있어서 투광성 기판의 단부와 투광성 수지층의 단부와의 거리를 길게 할 수 있으므로, 보다 투광성 기판 단부에 주는 대미지를 경감할 수 있다.

도 3(A) 내지 도 3(F)에 도시한 바와 같이, 각 기판에 형성되고, 분단된 복수의 반도체 집적 회로를 섬유체에 유기 수지가 함침된 구조체에 고착하여, 복수의 반도체 집적 회로를 갖는 반도체 장치를 제조한다.

도 4(A)에 있어서, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는 도 3(A) 내지 도 3(F)와 마찬가지로 각 기판에서 형성된 반도체 집적 회로이다.

반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는, 각각 투광성 기판(109R), 투광성 기판(109G), 투광성 기판(109B), 광전 변환 소자를 포함하는 반도체 집적 회로부(101R), 반도체 집적 회로부(101G), 반도체 집적 회로부(101B), 및 컬러 필터로서 기능하는 유체색의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)을 갖고, 컬러 센서로서 기능한다. 본 실시형태에 있어서는, 반도체 집적 회로(112R)는 적색의 투광성 수지층(114R), 반도체 집적 회로(112G)는 녹색의 투광성 수지층(114G), 반도체 집적 회로(112B)는 청색의 투광성 수지층(114B)을 각각 갖고, 각각의 투광성 수지층(114R), 투광성 수지층(114G), 투광성 수지층(114B)에 착색된 색깔의 빛을 투과하여, 검지할 수 있다.

반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)에 있어서는, 반도체 집적 회로부 표면에 실장할 때에, 전기적인 접속을 행하는 단자 전극(115aR), 단자 전극(115bR), 단자 전극(115aG), 단자 전극(115bG), 단자 전극(115aB), 단자 전극(115bB)으로서 도전층이 형성된다.

단자 전극(115aR), 단자 전극(115bR), 단자 전극(115aG), 단자 전극(115bG), 단자 전극(115aB), 단자 전극(115bB)은, 습식법을 사용하여 도전성 수지에 의하여 형성되어도 좋고, 또한, 건식법을 사용하여 도전성 박막에 의하여 형성되어도 좋다. 또한, 도전성 수지층과 도전성 박막을 적층하여도 좋다.

예를 들어, 스크린 인쇄법을 사용하고 도전층을 형성하는 경우에는, 입경이 수nm 내지 수십 μ m의 도전체 입자를 유기 수지에 용해 또는 분산시킨 도전성의 페이스트를 선택적으로 인쇄함으로써 형성할 수 있다. 도전체 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 및 티타늄(Ti) 등의 어느 하나 이상의 금속 입자나 할로겐화 은의 미립자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기 수지는, 금속 입자의 바인더, 용매, 분산제 및 피복재로서 기능하는 유기 수지로부터 선택된 하나 또는 복수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘 수지 등의 유기 수지를 들 수 있다. 또한, 도전층을 형성할 때는, 도전성의 페이스트를 압출한 후에 소성하는 것이 바람직하다. 또한, 땀납이나 납프리의 땀납을 주성분으로 하는 미립자를 사용하여도 좋다.

반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)는, 개구(163R), 개구(163G), 개구(163B)가 형성된 섬유체(161)에 유기 수지(162)가 함침된 구조체(160)에 고착된다(도 4(B) 참조).

또한, 섬유체에 유기 수지가 함침된 구조체에 고착하기 전에, 반도체 집적 회로에 검사 공정을 행하여도 좋다. 검사 공정을 행함으로써, 불량품을 선택하여 섬유체에 유기 수지가 함침된 구조체에 고착하여 반도체 장치를 제조할 수 있다.

구조체를 가열 압착하여, 구조체의 유기 수지를 가소화 또는 경화한다. 또한, 유기 수지가 가소성 유기 수지의 경우, 이 후, 실온까지 냉각시킴으로써 가소화된 유기 수지를 경화한다. 유기 수지는 가열 및 압착에 의하여, 반도체 집적 회로에 밀착하도록 균일하게 확대되어 경화된다. 상기 구조체를 압착하는 공정은 대기압하 또는 감압하에서 행한다. 유기 수지에 광 경화성 수지를 사용하여도 좋고, 반도체 집적 회로에 밀착시킨 후, 광 조사하여 구조체에 고착한다.

또한, 유기 수지(162)로서 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 또는 시아네이트 수지 등의 열 경화성 수지를 사용할 수 있다. 또한, 유기 수지(162)로서 폴리페닐렌옥사이드 수지, 폴리에테리미드 수지, 또는 불소 수지 등의 열가소성 수지를 사용할 수 있다. 또한, 유기 수지(162)로서 상기 열 가소성 수지 및 상기 열 경화성 수지의 복수를 사용하여도 좋다. 상기 유기 수지를

사용함으로써, 열처리 또는 광 조사 처리에 의하여, 섬유체를 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)에 고착할 수 있다. 또한, 유기 수지(162)은, 유리 전이 온도가 높을수록, 국소적인 가압에 대하여 쉽게 파괴되지 않으므로 바람직하다.

유기 수지(162) 또는 섬유의 사속(絲束) 내에 고열 전도성 충전제를 분산시켜도 좋다. 고열 전도성 충전제로서는 질화 알루미늄, 질화 붕소, 질화 실리콘, 알루미늄 등을 들 수 있다. 또한, 고열 도전성 충전제로서는, 은, 구리 등의 금속 입자가 있다. 전도성 충전제가 유기 수지 또는 섬유 사속 내에 포함됨으로써 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체 장치의 축열을 억제하는 것이 가능하고, 반도체 장치의 파괴를 저감할 수 있다.

섬유체(161)는 유기화합물 또는 무기화합물의 고강도 섬유를 사용한 직포 또는 부직포이고, 반도체 집적 회로(112R), 반도체 집적 회로(112G), 반도체 집적 회로(112B)와 부분적으로 겹치도록 배치한다. 고강도 섬유로서는 구체적으로는 인장 탄성률(引張彈性率) 또는 영률(Young's modulus)이 높은 섬유이다. 고강도 섬유의 대표적인 예로서는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸섬유, 유리 섬유, 또는 탄소 섬유를 들 수 있다. 유리섬유로서는, E유리, S유리, D유리, Q유리 등을 사용한 유리섬유를 들 수 있다. 또한, 섬유체(161)는, 한 종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.

또한, 섬유체(161)는, 섬유(단사)의 속(束)(이하, 사속(絲束)이라고 부름)을 날실 및 씨실에 사용하여 제직(製織)한 직포, 또는 복수 종의 섬유의 사속을 랜덤 또는 일 방향으로 퇴적시킨 부직포이어도 좋다. 직포의 경우, 평직물, 능직물, 수직물 등을 적절하게 사용할 수 있다.

사속의 단면은 원형이어도 좋고 타원형이어도 좋다. 섬유 사속으로서, 고압수류, 액체를 매체로 한 고주파의 진동, 연속 초음파의 진동, 물에 의한 가압 등에 의하여, 개섬(開纖) 가공을 한 섬유 사속을 사용하여도 좋다. 개섬 가공을 한 섬유 사속은 사속폭이 넓어지고, 두께 방향의 단사수를 삭감하는 것이 가능하고, 사속의 단면이 타원형 또는 평판형이 된다. 또한, 섬유 사속으로서 저연사를 사용함으로써, 사속의 편평화하기 쉽고, 사속의 단면 형상이 타원형 또는 평판 형상이 된다. 이와 같이, 단면이 타원형 또는 평판 형상인 사속을 사용함으로써, 섬유체(161)를 얇게 할 수 있다. 따라서, 구조체(160)를 얇게 할 수 있고, 박형의 반도체 장치를 제조할 수 있다.

또한, 본 실시형태의 도면에 있어서는, 섬유체(161)는, 단면이 타원형의 사속으로 평직한 직포로 도시된다.

또한, 섬유 사속 내부로의 유기 수지의 침투율을 높이기 위하여, 섬유에 표면 처리가 실시되어도 좋다. 예를 들어, 섬유 표면을 활성화시키기 위한 코로나 방전 처리, 플라즈마 방전 처리 등이 있다. 또한, 실란 커플링제, 티타네이트 커플링제를 사용한 표면 처리가 있다.

복수의 반도체 집적 회로를 포함하는 반도체 장치는, 뿔납이나 이방성 도전층에 의하여, 다른 기판에 실장할 수 있다.

또한, 반도체 장치와 실장되는 다른 기판의 전극과의 접속 부분의 구조로서는, 기판 위의 배선과 반도체 집적 회로의 단자 전극에 형성된 도전성의 돌기물인 범프를 접촉시켜, 실장되는 다른 기판과 반도체 집적 회로간을 수지로 고정하여도 좋다. 또한, 실장되는 다른 기판의 전극과 반도체 집적 회로의 단자 전극 사이에 도전성의 입자를 분산시킨 수지를 형성하고, 이 도전성의 입자로 반도체 집적 회로와 실장되는 다른 기판의 전극과의 접속을 행하고, 도전성의 입자를 분산시킨 유기 수지로 접촉, 고정하여도 좋다. 또한, 접촉에 사용하는 수지로서는, 광 경화성의 수지나 열 경화성의 수지, 또는 자연 경화성의 수지 등을 사용할 수 있다.

또한, 반도체 장치와 실장되는 다른 기판과의 사이에 수지를 형성하여 고착시키면, 고착 강도가 향상되므로 바람직하다.

또한, 본 실시형태에서 나타내는 바와 같이, 반도체 집적 회로에 있어서, 투광성 수지층이 반도체 집적 회로 측에 노출되지 않으므로 내열성이 높고, 뿔납이나 이방성 도전층을 사용하여 반도체 집적 회로를 다른 기판에 실장할 때에 가열 처리의 실시에 의한 불량의 발생을 경감시킬 수 있다.

반도체 집적 회로에 있어서, 얇게 성형된 투광성 기판은, 투광성 수지층으로 덮인 상태이므로 공정상 취급이 쉽고, 파손 등의 불량이 쉽게 생기지 않는다. 따라서, 보다 박형의 고성능한 반도체 집적 회로 및 반도체 장치를 수율 좋게 제조할 수 있다.

섬유체에 유기 수지가 함침된 구조체에 실장되는 복수의 반도체 집적 회로는, 자유롭게 선택할 수 있으므로, 각각이 포함하는 유채색의 투광성 수지의 색깔이 상이한 반도체 집적 회로를 섬유체에 유기 수지가 함침된 구조체에 고착하고, 컬러 센서로서의 기능을 갖는 반도체 집적 회로를 복수의 색을 포함하는 반도체 장치를 제조할 수 있다.

또한, 섬유체에 유기 수지가 함침된 구조체에 고착할 때, 반도체 집적 회로에 검사 공정을 행하여, 불량품만을 선별하고 섬유체에 유기 수지가 함침된 구조체에 고착할 수 있으므로, 제조 방법에 있어서 반도체 장치의 수율이 향상된다. 특히, 반도체 집적 회로에 증폭 회로 등, 복잡한 구성을 포함하는 반도체 집적 회로부를 갖는 구성의 경우, 칩 형상의 반도체 집적 회로에 불량량이 생길 우려가 있기 때문에, 섬유체에 유기 수지가 함침된 구조체에 고착하기 전에, 반도체 집적 회로의 불량 검사를 행할 수 있는 것은 유익하다.

또한, 본 발명의 반도체 집적 회로는, 투광성 기관의 반도체 집적 회로부의 형성 면과 반대 측의 일면 및 단부(측면)의 일부를 적어도 유채색의 투광성 수지층으로 덮는 구성이다. 따라서, 투광성 수지층이 제조 공정, 또는 검사 공정에 있어서 가해지는 압력 등의 외부 스트레스로부터의 충격 흡수층으로서도 기능함으로써, 반도체 집적 회로의 상처, 크랙 등의 불량을 저감하여, 신뢰성이 높은 반도체 장치를 제조할 수 있다.

분단되는 반도체 집적 회로부로서 기관 위에 광전 변환 소자 및 전계 효과 트랜지스터를 형성하는 방법을 도 5(A) 내지 도 7(B)의 단면도를 사용하여 설명한다. 도 7(A)로서는, 투광성 기관(310)으로서, 유리 기관의 하나인 AN100을 사용한다. 기관 위에 형성하는 전계효과 트랜지스터로서는, 박막 트랜지스터를 사용함으로써, 기관 위에, 광전 변환 소자와 박막 트랜지스터를 동일 공정으로 제조할 수 있으므로, 반도체 집적 회로를 양산화하기 쉽다는 이점이 있다. 또한, 본 발명에 있어서는, 컬러 필터로서 기능하는 투광성 수지층 및 투광성 기관을 통과하여 광전 변환 소자에 빛을 조사한다.

우선, 플라즈마 CVD법으로 하지 절연막(312)이 되는 질소를 포함하는 산화 실리콘막(막 두께 100nm)을 형성하고, 또 대기에 노출되지 않고, 반도체막, 예를 들어 수소를 포함하는 비정질 실리콘막(막 두께 54nm)을 적층하여 형성한다. 또한, 하지 절연막(312)은 산화 실리콘막, 질화 실리콘막, 질소를 포함하는 산화 실리콘막을 사용하여 적층하여도 좋다. 예를 들어, 하지 절연막(312)으로서, 산소를 포함하는 질화 실리콘막을 50nm, 또한 질소를 포함하는 산화 실리콘막을 100nm 적층한 막을 형성하여도 좋다. 이때, 질소를 포함하는 산화 실리콘막이나 질화 실리콘막은, 유리 기관으로부터의 알칼리 금속 등의 불순물 확산을 방지하는 블로킹층으로서 기능한다.

반도체 소자가 갖는 반도체층을 형성하는 재료는, 실란이나 게르만으로 대표되는 반도체 재료 가스를 사용하여, 기상 성장법이나 스퍼터링법으로 제조되는 비정질(아모퍼스라고도 함) 반도체, 상기 비정질 반도체를 광 에너지나 열 에너지를 이용하여 결정화시킨 다결정 반도체, 또는 미결정(세미 아모퍼스 또는 마이크로 크리스털이라고도 함) 반도체 등을 사용할 수 있다. 반도체층은, 스퍼터링법, LPCVD법, 또는 플라즈마 CVD법 등에 의하여 형성할 수 있다.

미결정 반도체막은, 깁스 자유 에너지(Gibbs free energy)를 고려하면 비정질과 단결정의 중간적인 준안정 상태에 속하는 것이다. 즉, 자유 에너지적으로 안정한 제 3 상태를 갖는 반도체이고, 단거리 질서와 격자 왜곡을 갖는다. 기둥 형상 결정 또는 침상(針狀) 결정이 기관 표면에 대하여 법선 방향으로 성장한다. 미결정 반도체의 대표적인 예인 미결정 실리콘은, 그의 라만 스펙트럼이 단결정 실리콘을 나타내는 520cm^{-1} 보다 저파수 측으로 시프트(shift)한다. 즉, 단결정 실리콘을 나타내는 520cm^{-1} 과, 아모퍼스 실리콘을 나타내는 480cm^{-1} 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 미결합수(댕글링 본드)를 종단하기 위하여 수소 또는 할로젠을 적어도 1원자(at) %, 또는 그 이상 포함시킨다. 또한, 헬륨, 아르곤, 크립톤, 네온 등의 희소 가스 원소를 포함시켜, 격자 변형을 더욱 촉진시킴으로써, 안정성이 증가되어, 양호한 미결정 반도체막이 얻어진다.

이 미결정 반도체막은, 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD법, 또는 주파수가 1GHz 이상의 마이크로파 플라즈마 CVD장치에 의하여 형성할 수 있다. 대표적으로, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등의 수소화 실리콘을 수소로 희석하여 형성할 수 있다. 또한, 수소화 실리콘 및 수소에 가하여 헬륨, 아르곤, 크립톤, 네온 중으로부터 선택된 한 종류 또는 복수 종류의 희소 가스로 희석하여 미결정 반도체막을 형성할 수 있다. 이 때의 수소화 실리콘에 대하여 수소의 유량비율을 5배 이상 200배 이하, 바람직하게는, 50배 이상 150배 이하, 더 바람직하게는, 100배로 한다.

비정질 반도체로서 대표적으로는 수소화 비정질 실리콘, 결정성 반도체로서는 대표적으로는 폴리실리콘 등을 들 수 있다. 폴리실리콘(다결정 실리콘)에는 800℃ 이상의 프로세스 온도를 거쳐 형성되는 폴리실리콘을 주재료로서 사용한 소위 고온 폴리실리콘이나, 600℃ 이하의 프로세스 온도에서 형성되는 폴리실리콘을 주재료로서 사용한 소위 저온 폴리실리콘, 또한 결정화를 촉진하는 원소 등을 사용하여 비정질 실리콘을 결정화시킨 폴리실리콘 등을 포함한다. 물론, 상술한 바와 같이, 미결정 반도체 또는 반도체층의 일부에 결정상을 포함하는 반도체를 사용할 수도 있다.

또한, 반도체의 재료로서, 실리콘(Si), 게르마늄(Ge) 등의 단체(單體) 이외에 GaAs, InP, SiC, ZnSe, GaN, SiGe 등과 같은 화합물 반도체도 사용할 수 있다. 또한, 산화물 반도체인 산화아연, 산화주석 등도 사용할 수 있고, ZnO를 반도체층에 사용하는 경우, 게이트 절연층을 산화 이트륨, 산화 알루미늄, 산화 티타늄, 그들의 적층 등을 사용하면 좋고, 게이트 전극층, 소스 전극층, 드레인 전극층으로서는 ITO, 금, 티타늄 등을 사용하면 좋다. 또한, 산화 아연에 인듐이나 갈륨 등을 첨가할 수도 있다.

반도체층에, 결정성 반도체막을 사용하는 경우에, 그 결정성 반도체막의 제조 방법은, 다양한 방법(레이저 결정화법, 열 결정화법, 또는 니켈 등의 결정화를 촉진시키는 원소를 사용한 열 결정화법 등)을 사용하면 좋다. 또한, 미결정 반도체를 레이저 조사하여 결정화하여, 결정성을 높일 수도 있다. 결정화를 촉진시키는 원소를 도입하지 않는 경우에는, 비정질 실리콘막에 레이저 광을 조사하기 전에, 가열 처리에 의하여 비정질 실리콘막으로부터 수소를 방출시키는 공정을 행한다. 예를 들어, 질소 분위기하 500℃로 1시간 가열함으로써 비정질 실리콘막의 함유 수소 농도를 1×10^{20} atoms/cm³ 이하까지 방출시킨다. 이것은 수소를 많이 포함하는 비정질 실리콘막에 레이저 광을 조사하면 비정질 실리콘막이 파괴되기 때문이다.

비정질 반도체층으로의 결정화를 촉진시키는 원소의 도입 방법으로서, 상기 결정화를 촉진시키는 원소를 비정질 반도체막의 표면 또는 그 내부에 존재시킬 수 있는 방법이면 특히 한정은 없고, 예를 들어, 스퍼터링법, CVD법, 플라즈마 처리법(플라즈마 CVD법도 포함함), 흡착법, 금속염의 용액을 도포하는 방법을 사용할 수 있다. 이 중, 용액을 사용하는 방법은 간편하고, 결정화를 촉진시키는 원소의 농도 조절이 용이하다는 점에서 유용하다. 또한, 이 때, 비정질 반도체막의 표면의 습윤성을 개선하고, 비정질 반도체막의 전체 표면 위에 수용성 용액을 퍼트리기 위하여, 산소 분위기에서의 UV 광 조사, 열 산화법, 하이드록시 라디칼을 포함하는 오존수 또는 과산화수소를 사용한 처리 등에 의하여, 산화막을 형성하는 것이 바람직하다.

또한, 비정질 반도체막을 결정화하고, 결정성 반도체막을 형성하는 결정화 공정에서, 비정질 반도체막에 결정화를 촉진시키는 원소를 첨가하여, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)에 의하여 결정화를 행하여도 좋다. 결정화를 촉진시키는 원소로서는 철(Fe), 니켈(Ni), 코발트(Co), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu) 및 금(Au) 등의 금속 원소로부터 선택된 한 종류 또는 복수종을 사용할 수 있다.

결정화를 촉진시키는 원소를 결정성 반도체막으로부터 제거, 또는 경감하기 위하여, 결정성 반도체막에 접하여 불순물 원소를 포함하는 반도체막을 형성하고, 게터링 싱크로서 기능시킨다. 불순물 원소로서는 n형을 부여하는 불순물 원소, p형을 부여하는 불순물 원소나 희소 가스 원소 등을 사용할 수 있고, 예를 들어 인(P), 질소(N), 비소(As), 안티몬(Sb), 비스무트(Bi), 붕소(B), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 크세논(Xe)으로부터 선택된 한 종류 또는 복수종을 사용할 수 있다. 결정화를 촉진시키는 원소를 포함하는 결정성 반도체막에, 희소 가스 원소를 포함하는 반도체막을 형성하고, 열 처리(550℃ 내지 750℃에서 3분 내지 24시간)를 행한다. 결정성 반도체막 중에 포함되는 결정화를 촉진시키는 원소는 희소 가스 원소를 포함하는 반도체막 중으로 이동하여, 결정성 반도체막 중의 결정화를 촉진시키는 원소는 제거, 또는 경감된다. 그 후, 게터링 싱크가 된 희소 가스 원소를 포함하는 반도체막을 제거한다.

비정질 반도체막의 결정화는, 열 처리와 레이저 광 조사에 의한 결정화를 조합하여도 좋고, 열 처리나 레이저 광 조사를 단독으로, 복수 횟수 행하여도 좋다.

또한, 결정성 반도체막을, 직접 기판에 플라즈마법에 의하여 형성하여도 좋다. 또한, 플라즈마법을 사용하여, 결정성 반도체막을 선택적으로 기판에 형성하여도 좋다.

본 실시형태에서는, 반도체막으로서 촉매 원소를 사용한 결정화 방법에 의하여 다결정 실리콘막을 형성한다. 중량 환산으로 10ppm의 니켈을 포함하는 아세트산 니켈 용액을 스피너(spinner)로 첨가한다. 이 때, 용액을 첨가하는 방법 대신에 스퍼터링법으로 니켈 원소를 전체 면에 살포하는 방법을 사용하여도 좋다. 다음에, 가열 처리를 행하여 결정화시켜, 결정 구조를 갖는 반도체막(여기서는 다결정 실리콘막)을 형성한다. 여기서는

열 처리(500℃, 1시간) 후, 결정화를 위한 열 처리(550℃, 4시간)를 행하여 다결정 실리콘막을 얻는다.

이어서, 다결정 실리콘막 표면의 산화막을 회석된 플루오르화 수소산 등으로 제거한다. 그 후에 결정화율을 높이고, 결정립 내에 남는 결함을 고치기 위한 레이저 광(XeCl: 파장 308nm)의 조사를 대기 중, 또는 산소 분위기 중에서 행한다.

레이저 광에는 파장 400nm 이하의 엑시머 레이저 광이나, YAG레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 여기서는, 반복 주파수 10Hz 내지 1000Hz 정도의 펄스 레이저 광을 사용하고, 상기 레이저 광을 광학계에 의하여 100mJ/cm² 내지 500mJ/cm²로 집광하고, 90% 내지 95%의 오버랩 율을 갖고 조사하여, 실리콘막 표면을 주사시키면 좋다. 본 실시예형태에서는, 반복 주파수 30Hz, 에너지 밀도 470mJ/cm²로 레이저 광의 조사를 대기 중에서 행한다.

또한, 대기 중, 또는 산소 분위기 중에서 행하기 때문에, 레이저 광의 조사에 의하여 표면에 산화막이 형성된다. 또한, 본 실시예형태에서는 펄스 레이저를 사용한 예를 개시하였지만, 연속 발진의 레이저를 사용하여도 좋고, 반도체막의 결정화시에, 대입경으로 결정을 얻기 위해서는, 연속 발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는, Nd: YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 적용하면 좋다.

연속 발진의 레이저를 사용할 경우에는, 출력 10W의 연속 발진의 YVO₄ 레이저로부터 출사된 레이저 광을 비선형 광학 소자에 의하여 고조파로 변환한다. 또한, 공진기 내에 YVO₄ 결정과 비선형 광학 소자를 넣고, 고조파를 사출하는 방법도 있다. 그리고 바람직하게는 광학계에 의하여 조사면에서 직사각형 또는 타원형의 레이저 광으로 형성하여, 피처리체에 조사한다. 이 때의 에너지 밀도는 0.01MW/cm² 내지 100MW/cm² 정도(바람직하게는 0.1MW/cm² 내지 10MW/cm²)가 필요하다. 그리고 10cm/s 내지 2000cm/s 정도의 속도로 레이저 광에 대하여 상대적으로 반도체막을 이동시켜 조사하면 좋다.

이어서, 상기 레이저 광의 조사에 의하여 형성된 산화막에 추가로, 오존수로 표면을 120초 처리하여 합계 1nm 내지 5nm의 산화막으로 이루어진 배리어층을 형성한다. 이 배리어층은, 결정화시키기 위하여 첨가한 원소, 예를 들어, 니켈(Ni)을 막 중에서 제거하기 위하여 형성한다. 여기서는 오존수를 사용하여 배리어층을 형성하였지만, 산소 분위기 하의 자외선의 조사로 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 산소 플라즈마 처리에 의하여 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 플라즈마 CVD법이나 스퍼터링법이나 증착법 등으로 1nm 내지 10nm 정도의 산화막을 퇴적하여 배리어층을 형성하여도 좋다. 또한 배리어층을 형성하기 전에 레이저 광의 조사에 의하여 형성된 산화막을 제거하여도 좋다.

이어서, 배리어층 위에 스퍼터링법으로 게터링 사이트가 되는 아르곤 원소를 포함하는 비정질 실리콘막을 10nm 내지 400nm, 여기서는 막 두께 100nm로 형성한다. 여기서는, 아르곤 원소를 포함하는 비정질 실리콘막은, 실리콘 타깃을 사용하여 아르곤을 포함하는 분위기 하에서 형성한다. 플라즈마 CVD법을 사용하여 아르곤 원소를 포함하는 비정질 실리콘막을 형성할 경우, 성막 조건은, 모노실란과 아르곤의 유량비율(SiH₄:Ar)을 1:99로 하고, 성막 압력을 6.665Pa로 하고, RF파워 밀도를 0.087W/cm²로 하고, 성막 온도를 350℃로 한다.

그 후에 650℃로 가열된 노에 넣어서 3분의 열 처리를 행하여, 촉매 원소를 제거(게터링)한다. 이에 따라, 결정 구조를 갖는 반도체막 중의 촉매 원소 농도가 저감된다. 노 대신에 램프 어닐 장치를 사용하여도 좋다.

이어서, 배리어층을 에칭 스톱퍼로 사용하여, 게터링 사이트인 아르곤 원소를 포함하는 비정질 실리콘막을 선택적으로 제거한 후, 배리어층을 회석된 플루오르화 수소산으로 선택적으로 제거한다. 또한, 게터링 때, 니켈은 산소 농도가 높은 영역으로 이동하기 쉬운 경향이 있기 때문에, 산화막으로 이루어지는 배리어층을 게터링 후에 제거하는 것이 바람직하다.

또한, 결정화를 촉진시키는 원소를 사용하여 반도체막의 결정화를 행하지 않을 경우에는, 상술한 배리어층의 형성, 게터링 사이트의 형성, 게터링을 위한 열 처리, 게터링 사이트의 제거, 배리어층의 제거 등의 공정은 필요로 하지 않는다.

이어서, 얻어진 결정 구조를 갖는 반도체막(예를 들어, 결정성 실리콘막)의 표면에 오존수로 얇은 산화막을 형성한 후, 제 1 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 원하는 형상으로 에칭

처리하여 섬 형상으로 분리된 반도체막(331)을 형성한다(도 5(A) 참조). 반도체층(331)을 형성한 후, 레지스트로 이루어지는 마스크를 제거한다.

이어서, 필요에 따라 트랜지스터의 임계 값 전압을 제어하기 위하여, 미량의 불순물 원소(붕소 또는 인)의 도핑을 행한다. 여기서는, 디보란(B_2H_6)을 질량 분리하지 않고 플라즈마 여기한 이온 도핑법을 사용한다.

이어서, 불산을 포함하는 에천트로 산화막을 제거함과 동시에 반도체층(331)의 표면을 세정한 후, 게이트 절연막(313)이 되는 절연막을 형성한다.

게이트 절연막(313)은 산화 실리콘, 혹은 산화 실리콘과 질화 실리콘의 적층구조로 형성하면 된다. 게이트 절연막(313)은 플라즈마 CVD법이나 감압 CVD법에 의하여 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리에 의한 고상산화 혹은 고상질화로 형성하면 좋다. 반도체층을, 플라즈마 처리에 의하여 산화 또는 질화함으로써 형성하는 게이트 절연막은, 치밀하고 절연 내압이 높아 신뢰성이 우수하기 때문이다. 예를 들어, 아산화질소(N_2O)를 Ar로 1배 내지 3배(유량비)로 희석하고, 10Pa 내지 30Pa의 압력에 있어서 3kW 내지 5kW의 마이크로파(2.45 GHz) 전력을 인가하여 반도체층의 표면을 산화 또는 질화시킨다. 이 처리에 의하여, 1nm 내지 10nm(바람직하게는 2nm 내지 6nm)의 절연막을 형성한다. 또한, 아산화질소(N_2O)와 실란(SiH_4)을 도입하고, 10Pa 내지 30Pa의 압력에 있어서 3kW 내지 5kW의 마이크로파(2.45 GHz) 전력을 인가하여 기상 성장법에 의하여 산화질화 실리콘막을 형성하여 게이트 절연막을 형성한다. 고상 반응과 기상 성장법에 의한 반응을 조합함으로써 계면 준위 밀도가 낮고 절연 내압이 우수한 게이트 절연층을 형성할 수 있다.

또한, 게이트 절연막(313)으로서, 이산화 지르코늄, 산화 하프늄, 이산화 티타늄, 오산화 탄탈 등의 고유전을 재료로 사용하여도 좋다. 게이트 절연막(313)에 고유전을 재료로 사용함으로써, 게이트 리크 전류를 저감할 수 있다.

본 실시형태에서는, 게이트 절연막(313)으로서 플라즈마 CVD법에 의하여 115nm의 두께로 질소를 포함하는 산화 실리콘막을 형성한다.

이어서, 게이트 절연막(313) 위에 금속막을 형성한 후, 제 2 포토마스크를 사용하여, 게이트 전극(334), 배선(314 및 315), 단자 전극(350)을 형성한다(도 5(B) 참조). 이 금속막으로서, 예를 들어, 질화 탄탈 및 텅스텐(W)을 각각 30nm, 370nm 적층한 막을 사용한다.

또한, 게이트 전극(334), 배선(314 및 315), 단자 전극(350)으로서, 상기 이외에도 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오디뮴(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 알루미늄(Al), 금(Au), 은(Ag), 구리(Cu)로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 이루어지는 단층막, 또는, 이들의 질화물, 예를 들어, 질화 티타늄, 질화 텅스텐, 질화 탄탈, 질화 몰리브덴으로 이루어지는 단층막을 사용할 수 있다.

또한, 게이트 전극(334), 배선(314 및 315), 단자 전극(350)에 가시광에 대하여 투광성을 갖는 투광성의 재료를 사용할 수도 있다. 투광성의 도전 재료로서는, 인듐 주석 산화물(ITO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화 아연 등을 사용할 수 있다. 또한, 산화 아연(ZnO)을 포함하는 인듐아연 산화물(IZO(Indium Zinc Oxide)), 산화 아연(ZnO), ZnO 에 갈륨(Ga)을 도포한 것, 산화 주석(SnO_2), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐산화물, 산화 티타늄을 포함하는 인듐주석 산화물 등도 사용하여도 좋다.

이어서, 반도체층(331)에 일 도전형을 부여하는 불순물의 도입을 행하여, 트랜지스터(373)의 소스 영역 또는 드레인 영역(337)의 형성을 행한다(도 5(C) 참조). 본 실시형태에서는 n형 채널형 트랜지스터를 형성하므로, n형을 부여하는 불순물, 예를 들어, 인(P), 비소(As) 등을 반도체층(331)에 도입한다. p형 채널형 트랜지스터를 형성하는 경우는, p형을 부여하는 불순물, 예를 들어, 붕소(B)를 반도체층(331)에 도입하면 좋다.

이어서, CVD법에 의하여 산화 실리콘막을 포함하는 제 1 층간 절연막(도시하지 않음)을 50nm 형성한 후, 반도체층(331)에 첨가된 불순물 원소를 활성화 처리하는 공정을 행한다. 이 활성화 공정은 램프 광원을 사용한 래피드 서멀 어닐법(RTA법), 또는 YAG레이저 또는 엑시머레이저를 이면으로부터 조사하는 방법, 또는 노를 사용한 열 처리, 또는 이들 방법 중의 어느 것과 조합한 방법에 의하여 행한다.

이어서, 수소 및 산소를 포함하는 질화 실리콘막을 포함하는 제 2 층간 절연막(316)을, 예를 들어 10nm의 막 두께로 형성한다.

이어서, 제 2 층간 절연막(316) 위에 절연성 재료로 이루어지는 제 3 층간 절연막(317)을 형성한다(도 5(D) 참조). 제 3 층간 절연막(317)은 CVD법으로 얻어지는 절연막을 사용할 수 있다. 본 실시형태에 있어서는 밀착성을 향상시키기 위하여, 제 3 층간 절연막(317)로서, 900nm의 막 두께로 형성한 질소를 포함하는 산화 실리콘막을 형성한다.

다음으로, 열 처리(300°C 내지 550°C로 1시간 내지 12시간의 열 처리, 예를 들어, 질소 분위기 중 410°C로 1시간)를 행하여, 반도체층을 수소화한다. 이 공정은 제 2 층간 절연막(316)에 포함되는 수소에 의하여 반도체층의 덩글링 본드를 중단시키기 위하여 행하는 것이다. 게이트 절연막(313)의 존재에 상관없이 반도체층을 수소화할 수 있다.

또한, 제 3 층간 절연막(317)으로서, 실록산을 사용한 절연막, 및 그들의 적층 구조를 사용할 수도 있다. 실록산은 실리콘(Si)과 산소(O)와의 결합으로 골격 구조로 구성된다. 치환기로서, 적어도 수소를 포함하는 화합물(예를 들어, 알킬기, 알릴기)이 사용된다. 화합물로서, 불소를 포함하여도 좋다.

제 3 층간 절연막(317)으로서 실록산을 사용한 절연막, 및 그들의 적층 구조를 사용한 경우에는, 제 2 층간 절연막(316)을 형성한 후, 반도체층을 수소화하기 위한 열 처리를 행하고, 다음에 제 3 층간 절연막(317)을 형성할 수도 있다.

이어서, 제 3 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 제 1 층간 절연막, 제 2 층간 절연막(316) 및 제 3 층간 절연막(317) 또는 게이트 절연막(313)을 선택적으로 에칭하여 콘택트 홀을 형성한다. 그리고 레지스트로 이루어지는 마스크를 제거한다.

또한, 제 3 층간 절연막(317)은 필요에 따라 형성하면 좋고, 제 3 층간 절연막(317)을 형성하지 않는 경우에는, 제 2 층간 절연막(316)을 형성한 후에 제 1 층간 절연막, 제 2 층간 절연막(316) 및 게이트 절연막(313)을 선택적으로 에칭하여 콘택트 홀을 형성한다.

이어서, 스퍼터링법으로 금속 적층막을 형성한 후, 제 4 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 금속막을 에칭하여, 배선(319), 접속 전극(320), 단자 전극(351), 트랜지스터(373)의 소스 전극 또는 드레인 전극(341)을 형성한다. 그리고 레지스트로 이루어지는 마스크를 제거한다. 또한, 본 실시형태의 금속막은, 막 두께 100nm의 Ti막과, 막 두께 350nm의 Si를 미량으로 포함하는 Al막과, 막 두께 100nm의 Ti막과의 3층을 적층한 것으로 한다.

또한, 배선(319), 접속 전극(320), 단자 전극(351), 및 트랜지스터(373)의 소스 전극 또는 드레인 전극(341)을 단층의 도전막으로 형성하는 경우에는, 내열성 및 도전율 등의 점에서 티타늄막(Ti막)이 바람직하다. 또한, 티타늄막 대신에, 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오디뮴(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 이루어지는 단층막, 또는, 이들의 질화물, 예를 들어, 질화 티타늄, 질화 텅스텐, 질화 탄탈, 질화 몰리브덴으로 이루어지는 단층막을 사용할 수 있다. 배선(319), 접속 전극(320), 단자 전극(351), 및 트랜지스터(373)의 소스 전극 또는 드레인 전극(341)을 단층막으로 함으로써, 제조 공정에 있어서 성막 횟수를 감소시킬 수 있다.

상술한 공정으로, 다결정 실리콘막을 반도체층으로서 사용한 톱 게이트형 트랜지스터(373)를 제조할 수 있다.

본 실시형태에서는, 반도체 집적 회로에 포함되는 반도체 소자로서, n채널형 트랜지스터를 예로서 나타냈지만, p채널형 트랜지스터를 사용하여도 좋다. 다양한 형태의 전계 효과 트랜지스터를 사용할 수 있고, 사용하는 트랜지스터의 종류에 한정은 없다.

본 실시형태에서는, 싱글 게이트 구조의 트랜지스터를 설명하였지만, 더블 게이트 구조 등의 멀티 게이트 구조라도 좋다. 이 경우, 반도체층의 위쪽, 아래쪽에 게이트 전극층을 형성하는 구조라도 좋고, 반도체층의 한 쪽(위쪽 또는 아래쪽)에만 복수의 게이트 전극층을 형성하는 구조라도 좋다.

잉크 젯이나 인쇄법을 사용하여 형성한 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 실온에서 제조, 저진공도에서 제조, 또는 대형 기판 위에 제조할 수 있다. 또한, 마스크(레티클)를 사용하지 않아도 제조할 수 있기 때문에, 트랜지스터의 배치를 용이하게 변경할 수 있다. 또한, 레지스트를 사용할 필요가 없기 때문에, 재료 비용이 낮아지고, 공정수를 삭감할 수 있다. 또한, 필요한 부분에만 막을 부착하기 때문에, 전체 면에 성막한 후에 에칭하는 제조 방법보다 재료가 낭비되지 않고, 비용을 낮출 수 있다.

또는, 유기 반도체나 카본 나노 튜브를 갖는 트랜지스터 등을 사용할 수 있다. 이들에 의하여, 구부릴 수 있는 기판 위에 트랜지스터를 형성할 수 있다. 따라서, 충격에 대하여 강하게 할 수 있다.

또는, 반도체 층으로서 단결정 반도체층을 사용한 투광성의 SOI기판을 갖는 기판 등을 사용하여 트랜지스터를 형성하여도 좋다. 이들에 의하여, 특성이나 사이즈나 형상 등의 편차가 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이들 트랜지스터를 사용하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.

본 실시형태의 반도체 장치는, 박막 트랜지스터를 사용하여 전계 효과 트랜지스터를 구성함으로써, 유리 기판 등의 투광성 기판 위에 형성할 수 있다. 그래서, 광전 변환 소자를 기판 위의 면에 형성하여도 기판의 이면으로부터 투광성 기판을 투과한 빛을 광전 변환 소자로 수광할 수 있게 된다.

이어서, 후에 형성되는 광전 변환층(대표적으로는 아모퍼스 실리콘)과 반응하여 합금이 되기 어려운 도전성의 금속막(티타늄(Ti) 또는 몰리브덴(Mo) 등)을 형성한 후, 제 5 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 도전성 금속막을 에칭하여 배선(319)을 덮는 보호 전극(318), 보호 전극(345), 보호 전극(346), 및 보호 전극(348)을 형성한다(도 6(A) 참조). 여기서는 스퍼터링법으로 얻어지는 막 두께 200nm의 Ti막을 사용한다. 또한, 마찬가지로 접속 전극(320), 단자 전극(351), 트랜지스터(373)의 소스 전극 또는 드레인 전극(341)도 도전성 금속막으로 덮인다. 따라서, 도전성 금속막은 이들 전극에 있어서의 2층째의 Al막이 노출된 측면도 덮어, 도전성 금속막은 광전 변환층으로의 알루미늄 원자의 확산도 방지할 수 있다.

다만, 배선(319), 접속 전극(320), 단자 전극(351), 및 트랜지스터(373)의 소스 전극 또는 드레인 전극(341)을, 단층의 도전막으로 형성하는 경우, 보호 전극(318), 보호 전극(345), 보호 전극(346), 및 보호 전극(348)은 형성하지 않아도 좋다.

다음에 제 3 층간 절연막(317) 위에, p형 반도체층(371p), i형 반도체층(371i) 및 n형 반도체층(371n)을 포함하는 광전 변환층(371)을 형성한다.

p형 반도체층(371p)은 주기율표 제 13족의 불순물 원소, 예를 들어, 붕소(B)를 포함하는 세미 아모퍼스(미결정, 마이크로 크리스털이라고도 함) 실리콘막을 플라즈마 CVD법으로 형성함으로써, 형성하면 좋다.

미결정 실리콘막을 형성하는 방법의 일례는, 실란 가스와 수소 및/또는 희소 가스를 혼합하여, 글로우 방전 플라즈마에 의하여 형성하는 방법을 들 수 있다. 실란은 수소 및/또는 희소 가스로 10배 내지 200배로 희석된다. 따라서, 다량의 수소 및/또는 희소 가스가 필요하게 된다. 기판의 가열 온도는 100℃ 내지 300℃, 바람직하게는, 120℃ 내지 220℃로 행한다. 미결정 실리콘막의 성장 표면을 수소로 불활성화하고, 미결정 실리콘의 성장을 촉진시키기 위해서는, 120℃ 내지 220℃에서 성막하는 것이 바람직하다. 성막 처리 중, 활성종인 SiH 라디칼, SiH₂ 라디칼, SiH₃ 라디칼은 결정 핵을 기초로 하고, 결정 성장한다. 또한, 실란 등의 가스 중에 GeH₄, GeF₄ 등의 수소화 게르마늄, 불화 게르마늄을 혼합하는, 또는 실리콘에 탄소 또는 게르마늄을 더하여, 에너지 밴드 폭을 조절하여도 좋다. 실리콘에 탄소를 더한 경우는, 에너지 밴드 폭은 확대되고, 또한 실리콘에 게르마늄을 더한 경우는, 에너지 밴드 폭은 축소된다.

또한, 배선(319) 및 보호 전극(318)은 광전 변환층(371)의 최하층, 본 실시형태에서는 p형 반도체층(371p)에 접한다.

p형 반도체층(371p)을 형성한 후에, 또한 i형 반도체층(371i) 및 n형 반도체층(371n)을 순차적으로 형성한다. 이에 따라, p형 반도체층(371p), i형 반도체층(371i) 및 n형 반도체층(371n)을 갖는 광전 변환층(371)이 형성된다.

i형 반도체층(371i)으로서는, 예를 들어, 플라즈마 CVD법으로 미결정 실리콘막을 형성하면 좋다. 또한, n형 반도체층(371n)으로서는, 주기율표 제 15족의 불순물 원소, 예를 들어 인(P)을 포함하는 미결정 실리콘막을 형성하여도 좋고, 미결정 실리콘막을 형성한 후, 주기율표 제 15족의 불순물 원소를 도입하여도 좋다.

또한, p형 반도체층(371p), i형 반도체층(371i), n형 반도체층(371n)으로서, 미결정 반도체막뿐만 아니라, 아모퍼스 반도체막을 사용하여도 좋다. 또한, 상술한 촉매나 레이저 결정화 처리에 의하여, 형성되는 다결정 반도체막을 사용하여도 좋다.

또한, 스마트 컷법에 의하여 형성되는 단결정 실리콘을 사용하여도 좋다.

이어서, 전체 면에 절연성 재료(예를 들어, 실리콘을 포함하는 무기 절연막)로 이루어지는 밀봉층(32

4)을 두께 1 μ m 내지 30 μ m로 형성하여, 도 6(B)의 상태를 얻는다. 여기서는 절연성 재료막으로서 CVD법에 의하여, 막 두께 1 μ m의 질소를 포함하는 산화 실리콘막을 형성한다. CVD법에 의한 절연막을 사용함으로써 밀착성의 향상을 도모한다.

이어서, 밀봉층(324)을 에칭하여 개구부를 형성한 후, 배선(374 및 375)을 형성한다. 배선(374 및 375)은, 스퍼터링법에 의한 티타늄막(Ti막)(200nm)을 사용하여 형성한다.

이어서, 노출된 면을 덮어, 보호막(377)을 형성한다. 보호막(377)으로서, 본 실시형태에서는, 질화 실리콘막을 사용한다. 이 보호층(377)에 의하여 광전 변환층(371)이나 트랜지스터(373)에 수분이나 유기물 등의 불순물이 혼입하는 것을 방지할 수 있다.

이어서, 보호막(377) 위에 밀봉막(378)을 형성한다. 밀봉막(378)도 외부 스트레스로부터 반도체 집적 회로부를 보호하는 기능을 갖는다. 본 실시형태에서는, 밀봉막(378)으로서 감광성의 에폭시-페놀계 수지를 사용하여 20 μ m의 두께로 형성한다. 밀봉막(378)으로서, 에폭시-페놀계 수지인 Ohmcoat 1012B(NAMICS 주식회사 제)를 사용하여도 좋다.

이어서, 상층의 단자 전극이 하층의 배선(374), 또는 배선(375)과 전기적으로 접속되는 영역의 보호막을 에칭하여, 콘택트 홀을 형성한다.

다음에, 밀봉막(378) 위에 예를 들어, 니켈(Ni) 페이스트를 사용하고, 또한 스퍼터링법에 의하여, 티타늄막(Ti막: 150nm)과, 니켈막(Ni막: 750nm)과, 금막(Au막: 50nm)의 적층막을 형성한다. 이렇게 함으로써 얻어지는 단자 전극(115a) 및 단자 전극(115b)의 고정 강도는 5N을 초과하고, 단자 전극으로서 충분한 고정 강도를 갖는다.

이상의 공정으로, 뿔납 접속이 가능한 단자 전극(115a) 및 단자 전극(115b)이 형성되어, 도 7(B)에 도시하는 구조가 얻어진다.

실제로는, 도 7(B)의 시점에서 형성된 광전 변환 소자 및 트랜지스터 등을 포함하는 1개의 반도체 집적 회로부는, 대면적 기판 위에 각각 소자 재료가 형성됨으로써 대량 생산이 가능하다. 1장의 대면적 기판(예를 들어, 600cm \times 720cm)으로부터 대량의 반도체 집적 회로를 포함하는 반도체 집적 회로(예를 들어, 2mm \times 1.5mm)을 제조할 수 있다. 그 모양을 도 8(A) 및 도 8(B)에 도시한다.

도 8(A)에 있어서는, 투광성 기판(100) 위에 소자층(151), 밀봉막(378), 단자 전극(115a), 단자 전극(115b)이 형성된다. 소자층(151)이란, 도 7(A)에 있어서 투광성 기판(100)으로부터 밀봉막(378) 사이에 형성되는 모든 구조를 포함한다.

인접하는 소자층(151) 사이에서, 투광성 기판(100)은 분단되고, 개개의 소자를 포함하는 투광성 기판(109)이 된다.

이렇게 하여 복수의 반도체 집적 회로부가 형성된 반도체 집적 회로를, 섬유체에 유기 수지가 함침된 구조체에 고착하여, 반도체 장치를 제조한다.

또한, 반도체 장치를 뿔납(363), 뿔납(364)으로 실장 기판(360)으로 실장할 수 있다(도 7(B) 참조). 이 때, 단자 전극(115a)은 뿔납(363)으로 실장 기판(360) 위의 전극(361)에 실장되고, 단자 전극(115b)은 뿔납(364)으로 전극(362)에 실장된다. 도 7(B)에 있어서는, 섬유체에 유기 수지가 함침된 구조체에 고착된 복수의 반도체 집적 회로 중, 하나를 예시한다.

도 7(B)에 도시하는 광전 변환 소자에 있어서, 광전 변환층(371)에 입사하는 빛은, 투광성 기판(109) 및 투광성 수지층(110), 투광성 수지층(114)을 사용함으로써 투광성 기판(109) 및 투광성 수지층(110), 투광성 수지층(114) 측으로부터 입사할 수 있다.

본 발명에 있어서, 반도체 장치는, 광전 변환 소자에 조사하는 빛의 입사 영역에 개구, 또는 투광성 재료를 사용하여 형성하는 투광성 영역을 갖는 케이스에 형성되어도 좋다. 본 발명에는, 유체색의 투광성 수지층을 투과한 빛을 광전 변환 소자에 검지시키므로, 유체색의 투광성 수지층의 피형성 영역을 케이스로 덮음으로써, 외부로부터 투광성 수지층의 피형성 영역을 투과하여 광전 변환 소자에 입사하는 빛을 차단할 수 있다. 따라서, 센서로서, 반도체 장치의 정밀도를 높이고, 오차를 경감시킬 수 있다.

상술한 바와 같은 제조 방법으로 반도체 장치를 제조하면, 단가를 싸게 할 수 있고, 또 수율을 향상시킬 수 있다.

투광성 기판을 분단하기 전에, 투광성 기판의 두께를 작게 하여, 분단 공정을 2단계로 행함으로써, 투광성 기판을 분단 가공할 때의 절삭 공구의 소모를 저감할 수 있다. 투광성 기판의 대형화, 분단하는 반도체 집적 회로의 소형화에 따라, 절삭 공구의 처리 영역은 증가하므로, 절삭 공구의 소모는 더욱 커진다. 따라서, 절삭 공구의 소모를 저감할 수 있는 본 발명은, 대면적 기판, 보다 소형인 반도체 집적 회로에 있어서, 특히 유익하다. 이에 따라 반도체 집적 회로 및 반도체 장치를 보다 싸게 제조할 수 있다. 투광성 기판의 두께가 얇기 때문에, 반도체 집적 회로 및 반도체 장치의 사이즈를 박형화할 수 있다.

따라서, 박형이라도 취급하기 쉽고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[실시형태 2]

본 발명의 반도체 장치에 있어서, 반도체 집적 회로에 포함되는 반도체 소자로서 다양한 형태의 전계 효과 트랜지스터를 사용할 수 있다. 본 실시형태에서는, 반도체 소자로서 단결정 반도체층을 갖는 전계 효과 트랜지스터에 대하여 자세히 설명한다.

이하, 투광성 기판 위에 단결정 반도체 기판으로부터 단결정 반도체층을 형성하고, 반도체 집적 회로부에 포함되는 반도체 소자를 형성하는 방법을 도 15(A) 내지 도 16(C)를 사용하여 설명한다.

도 15(A)에 도시하는 단결정 반도체 기판(1108)은 청정화(淸淨化)되어, 그 표면으로부터 전계에 의하여 가속된 이온을 소정의 깊이로 조사하여, 취약화층(1110)을 형성한다. 이온의 조사는, 투광성 기판에 전치하는 단결정 반도체층의 두께를 고려하여 행해진다. 이온을 조사할 때의 가속 전압은 이러한 두께를 고려하여 단결정 반도체 기판(1108)에 조사되도록 한다. 본 발명에서는, 단결정 반도체 기판에 이온을 조사하여, 이온에 의하여 미소한 공동을 갖도록 취약화된 영역을 취약화층이라고 한다.

단결정 반도체 기판(1108)에는, 시판되는 단결정 반도체 기판을 사용할 수 있고, 예를 들어, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘게르마늄 기판 등, 제 4족 원소로 이루어지는 단결정 반도체 기판을 사용할 수 있다. 또한, 갈륨비소나 인듐인 등의 화합물 반도체 기판도 사용할 수 있다. 반도체 기판으로서 단결정 반도체 기판을 사용하여도 좋다. 물론, 단결정 반도체 기판은, 원형의 웨이퍼에 한정되지 않으며, 다양한 형상의 단결정 반도체 기판을 사용할 수 있다. 예를 들어, 장방형, 오각형, 육각형 등의 다각형 기판을 사용할 수 있다. 물론, 시판되는 원형상의 단결정 반도체 웨이퍼를 단결정 반도체 기판에 사용할 수도 있다. 원형상의 단결정 반도체 웨이퍼에는, 실리콘이나 게르마늄 등의 반도체 웨이퍼, 갈륨비소나 인듐인 등의 화합물 반도체 웨이퍼 등이 있다. 단결정 반도체 웨이퍼의 대표적인 예는, 단결정 실리콘 웨이퍼이고, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm) 사이즈, 직경 400mm, 직경 450mm의 원형의 웨이퍼를 사용할 수 있다. 또한, 장방형의 단결정 반도체 기판은, 시판되는 원형상의 단결정 반도체 웨이퍼를 절단함으로써 형성할 수 있다. 기판의 절단에는, 다이서(dicer) 또는 와이어 소(wire-saw) 등의 절단장치, 레이저 절단, 플라즈마 절단, 전자 빔 절단, 그 외 임의의 절단 수단을 사용할 수 있다. 또한, 기판으로서 박편화하기 전의 반도체 기판 제조용의 잉곳을, 그 단면이 장방형이 되도록 직방체형으로 가공하고, 이 직방체형의 잉곳을 박편화함으로써, 장방형상의 단결정 반도체 기판을 제조할 수 있다. 또한, 단결정 반도체 기판의 두께는 특히 한정되지 않지만, 단결정 반도체 기판을 재이용하는 것을 고려하면, 두꺼운 쪽이 1장의 원료 웨이퍼로부터 보다 많은 단결정 반도체층을 형성할 수 있기 때문에, 바람직하다. 시장에 유통되는 단결정 실리콘 웨이퍼의 두께는, 그 사이즈는 SEMI 규격에 준하며, 예를 들어, 직경 6인치의 웨이퍼는 막 두께 625 μ m, 직경 8인치의 웨이퍼는 막 두께 725 μ m, 직경 12인치의 웨이퍼는 775 μ m로 된다. 또한, SEMI 규격의 웨이퍼의 두께는 공차 $\pm 5\mu$ m를 포함한다. 물론, 원료가 되는 단결정 반도체 기판의 두께는 SEMI 규격에 한정되지 않고, 잉곳을 슬라이스할 때에, 그 두께를 적절히 조절할 수 있다. 물론, 재이용된 단결정 반도체 기판(1108)을 사용할 때에는, 그 두께는, SEMI 규격보다도 얇아진다. 투광성 기판 위에 얻어지는 단결정 반도체층은 모체가 되는 반도체 기판을 선택함으로써 결정할 수 있다.

또한, 단결정 반도체 기판(1108)은, 제조하는 반도체 소자(본 실시형태에 있어서는 전계 효과 트랜지스터)에 의하여, 결정면 방위를 선택하면 좋다. 예를 들어, 결정면 방위로서 {100}면, {110}면 등을 갖는 단결정 반도체 기판을 사용할 수 있다.

본 실시형태는, 단결정 반도체 기판의 소정의 깊이로 수소, 헬륨, 또는 불소를 이온 조사함으로써 첨가하고, 그 후, 열 처리를 행하여 표층의 단결정 반도체층을 박리하는 이온 조사 박리법으로 형성하지만, 다공성(porous) 실리콘 위에 단결정 실리콘을 에피택시얼 성장(epitaxial growth)시킨 후, 다공성 실리콘층을 워터 제트(water jet)으로 벽개하여 박리하는 방법을 적용하여도 좋다.

단결정 반도체 기판(1108)으로서 단결정 실리콘 기판을 사용하여, 희석된 플루오르화 수소산으로 표면을 처리하여, 자연산화막의 제거와 표면에 부착되는 먼지 등의 오염물도 제거하여 단결정 반도체 기판(1108) 표면을 청정화한다.

취약화층(1110)은, 이온을 이온 도핑법(ID법이라고 함)이나 이온 주입법(II법이라고 함)에 의하여 조사하면 좋다. 취약화층(110)은 수소, 헬륨 또는 불소로 대표되는 할로겐의 이온을 조사함으로써 형성된다. 할로겐 원소로서 불소 이온을 조사할 경우에는 소스 가스로서 BF_3 를 사용하면 좋다. 또한, 이온 주입이란 이온화된 가스를 질량 분리시켜 반도체 기판에 조사하는 방식을 가리킨다.

예를 들어, 이온 주입법을 사용하여, 이온화된 수소 가스를 질량 분리시키고, H^+ 만(또는, H_2^+ 만)을 선택적으로 가속하여 단결정 반도체 기판에 조사할 수 있다.

이온 도핑법은, 이온화된 가스를 질량 분리하지 않고, 플라즈마 중에서 복수종의 이온종을 만들고, 이들을 가속하여 단결정 반도체 기판에 조사한다. 예를 들어, H^+ , H_2^+ , H_3^+ 이온을 포함하는 수소에서는, 조사되는 이온은, 대표적으로 H_3^+ 이온이 50% 이상, 예를 들어 H_3^+ 이온이 80%, 다른 이온(H^+ , H_2^+ 이온)이 20%가 일반적이다. H_3^+ 이온의 이온종만으로 하여, 조사하는 것도 여기서는 이온 도프로 한다.

또한, 하나 또는 복수의 동일 원자로 이루어지는 질량이 상이한 이온을 조사하여도 좋다. 예를 들어, 수소 이온을 조사하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 포함시킴과 함께, H_3^+ 이온의 비율을 높이는 것이 바람직하다. 수소 이온을 조사하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 포함시킴과 함께, H_3^+ 이온의 비율을 높이면, 조사 효율을 높일 수 있으므로, 조사 시간을 단축할 수 있다. 이와 같은 구성으로 함으로써, 박리를 용이하게 행할 수 있다.

이하, 이온 도핑법과 이온 주입법에 대하여, 자세히 설명한다. 이온 도핑법에 사용하는 이온 도핑 장치(ID 장치라고도 함)에서는, 플라즈마 공간이 크고, 대량의 이온을 단결정 반도체 기판에 조사할 수 있다. 한편, 이온 주입 장치에 사용하는 이온 주입 장치(II 장치라고도 함)는, 플라즈마로부터 추출한 이온을 질량 분석하여 특정한 이온종만을 기판에 주입시킬 수 있다는 특징이 있고, 기본적으로 점 빔을 스캔시켜 처리한다.

플라즈마 발생 방법으로서, 어느 쪽의 장치도 예를 들어, 필라멘트를 가열함으로써 나오는 열 전자에 의하여 플라즈마 상태를 만든다. 그러나, 생성되는 수소 이온(H^+ , H_2^+ , H_3^+)이 반도체 기판에 조사될 때의, 수소 이온종의 비율은, 이온 도핑법과 이온 주입법과는 크게 상이하다.

H_3^+ 를 보다 많이 조사한다는 관점에서 보면, 이온 주입 장치보다 이온 도핑 장치를 사용하는 것이 바람직하다고 말할 수 있다.

단결정 실리콘 기판에 수소 이온이나 불소 이온과 같은 할로겐 이온을 조사한 경우, 첨가된 불소가 실리콘 결정 격자 내의 실리콘 원자를 녹 아웃(추방)함으로써 공백 부분을 효과적으로 만들어 내어, 취약화층에 미소한 공동(空洞)을 만든다. 이 경우, 비교적 저온의 열 처리에 의하여 취약화층에 형성된 미소한 공동의 체적 변화가 일어나, 취약화층을 따라 분리함으로써 얇은 단결정 반도체층을 형성할 수 있다. 불소 이온을 조사한 후에, 수소 이온을 조사하여 공동 내에 수소를 포함하도록 하여도 좋다. 단결정 반도체 기판으로부터 얇은 반도체층을 박리하기 위하여 형성하는 취약화층은, 취약화층에 형성된 미소한 공동의 체적 변화를 이용하여 분리를 하므로, 이와 같이 불소 이온이나 수소 이온의 작용을 유효 이용하는 것이 바람직하다.

또한, 단결정 반도체 기판과 상기 단결정 반도체층과 접합하는 절연층 사이에, 보호층을 형성하여도 좋다. 보호층은, 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 또는 산화질화 실리콘층 중에서 선택된 한 층 또는 복수의 층으로 이루어지는 적층 구조에 의하여 형성할 수 있다. 이들의 층은, 단결정 반도체 기판에 취약화층이 형성되기 전에 단결정 반도체 기판 위에 형성할 수 있다. 또한, 단결정 반도체 기판에 취약화층을 형성한 후에 단결정 반도체 기판 위에 형성하여도 좋다.

또한, 산화질화 실리콘층이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward

Scattering)을 사용하여 측정할 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위에서 포함되는 것을 말한다. 또한, 질화산화 실리콘층이란 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, RBS 및 HFS를 사용하여 측정할 경우에, 농도범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, Si가 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 포함되는 것을 말한다. 다만, 산화질화 실리콘 혹은 질화산화 실리콘을 구성하는 원자의 합계를 100at.%로 할 때, 질소, 산소, Si 및 수소의 함유 비율이 상기 범위 내에 포함되는 것으로 한다.

취약화층의 형성에 있어서는 이온을 고도즈(dose) 조건으로 조사할 필요가 있고, 단결정 반도체 기판(1108)의 표면이 거칠게 되어 버릴 경우가 있다. 그래서, 이온이 조사되는 표면에 질화 실리콘막, 질화산화 실리콘막 혹은 산화 실리콘막 등에 의하여 이온 조사에 대한 보호층을 50nm 내지 200nm의 두께로 설치하여도 좋다.

예를 들어, 단결정 반도체 기판(1108) 위에 보호막으로서 플라즈마 CVD법에 의하여 산화질화 실리콘막(막 두께 5nm 내지 300nm, 바람직하게는 30nm 내지 150nm(예를 들어 50nm))과 질화산화 실리콘막(막 두께 5nm 내지 150nm, 바람직하게는 10nm 내지 100nm(예를 들어 50nm))의 적층을 형성한다. 일례로서는 단결정 반도체 기판(1108) 위에 산화질화 실리콘막을 막 두께 50nm 형성하고, 상기 산화질화 실리콘막 위에 질화산화 실리콘막을 막 두께 50nm로 형성하여 적층한다. 산화질화 실리콘막은 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제조되는 산화 실리콘막이라도 좋다.

또한, 단결정 반도체 기판(1108)을 탈지 세정하고, 표면의 산화막을 제거하여 열 산화를 행하여도 좋다. 열 산화로서는 일반적인 드라이 산화라도 좋지만, 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 것이 바람직하다. 예를 들어, 산소에 대하여 HCl을 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 700℃ 이상의 온도에서 열 처리를 행한다. 적합하게는 950℃ 내지 1100℃의 온도에서 열 산화를 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 3.5시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는 50nm 내지 200nm), 예를 들어 100nm의 두께로 한다.

할로젠을 포함하는 것으로서는 HCl 이외에, HF, NF₃, HBr, Cl₂, ClF₃, BC1₃, F₂, Br₂, 디클로로에틸렌 등으로부터 선택된 1종 또는 복수종을 적용할 수 있다.

이와 같은 온도 범위에서 열 처리를 행함으로써 할로젠 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어, 기상 중에 이탈하여 제거된다. 단결정 반도체 기판(1108)의 표면을 화학적 기계 연마(CMP) 처리를 한 것에 대해서는 유효하다. 또한, 수소는 단결정 반도체 기판(1108)과 형성되는 절연층의 계면의 결함을 보상하여, 계면의 국제 준위밀도를 저감하는 작용을 발휘하여, 단결정 반도체 기판(1108)과 절연층의 계면이 불활성화되어 전기적 특성이 안정화된다.

이 열 처리에 의하여 형성되는 산화막 중에 할로젠을 포함시킬 수 있다. 할로젠 원소는 1×10¹⁷/cm³ 내지 5×10²⁰/cm³의 농도로 포함됨으로써, 금속 등의 불순물을 포획하여 단결정 반도체 기판(1108)의 오염을 방지하는 보호층으로서의 기능을 발현시킬 수 있다.

취약화층(1110)을 형성할 때, 가속 전압과 전체 이온 수는 단결정 반도체 기판 위에 퇴적한 막의 두께와, 목적으로 하는 단결정 반도체 기판으로부터 분리하여 투광성 기판 위에 전치되는 단결정 반도체층의 막 두께와, 조사하는 이온종에 의하여 조정할 수 있다.

예를 들어, 이온 도핑법으로 원료로서 수소 가스를 사용하고, 가속 전압을 40kV, 이온의 총수 2×10¹⁶ ions/cm²로 이온을 조사하여 취약화층을 형성할 수 있다. 보호층의 막 두께를 두껍게 하면, 동일 조건으로 이온을 조사하여 취약화층을 형성한 경우, 목적으로 하는 단결정 반도체 기판으로부터 분리하여 투광성 기판 위에 전치(전재(轉載))되는 단결정 반도체층으로서, 막 두께가 얇은 단결정 반도체층을 형성할 수 있다. 예를 들어, 이온종(H⁺, H₂⁺, H₃⁺ 이온)의 비율에 따라 다르지만, 상기 조건으로 취약화층을 형성하기로 하여, 보호층으로서 단결정 반도체 기판 위에 산화질화 실리콘막(막 두께 50nm)과 질화산화 실리콘막(막 두께 50nm)을 보호층으로서 적층하는 경우, 투광성 기판에 전치되는 단결정 반도체층의 막 두께는 약 120nm가 되고, 단결정 반도체 기

판 위에 산화질화 실리콘막(막 두께 100nm)과 질화산화 실리콘막(막 두께 50nm)을 보호층으로서 적층하는 경우에는, 투광성 기판에 전치되는 단결정 반도체층의 막 두께는 약 70nm가 된다.

헬륨(He)이나 수소를 원료 가스로 하는 경우, 가속 전압을 10kV 내지 200kV의 범위에서, 도즈량을 1×10^{16} ions/cm² 내지 6×10^{16} ions/cm²의 범위에서 조사하여, 취약화층을 형성할 수 있다. 헬륨을 원료 가스로 하면, 질량 분리를 하지 않아도 He⁺이온을 주된 이온으로서 조사할 수 있다. 또한, 수소를 원료 가스로 하면 H₃⁺이온이나 H₂⁺이온을 주된 이온으로서 조사할 수 있다. 이온종은, 플라즈마의 생성 방법, 압력, 원료 가스 공급량, 가속 전압에 따라라도 변화된다.

취약화층 형성의 예로서는, 단결정 반도체 기판 위에 산화질화 실리콘막(막 두께 50nm), 및 질화산화 실리콘막(막 두께 50nm) 및 산화 실리콘막(막 두께 50nm)을 보호층으로서 적층하여, 수소를 가속 전압 40kV, 도즈량 2×10^{16} ions/cm²로 조사함으로써 단결정 반도체 기판에 취약화층을 형성한다. 그 후, 보호층의 최상층인 상기 산화 실리콘막 위에 접합면을 갖는 절연층으로서 산화 실리콘막(막 두께 50nm)을 형성한다. 취약화층 형성의 다른 예로서는, 단결정 반도체 기판 위에 산화 실리콘막(막 두께 100nm), 및 질화산화 실리콘막(막 두께 50nm)을 보호층으로서 적층하여, 수소를 가속 전압 40kV, 도즈량 2×10^{16} ions/cm²로 조사함으로써 단결정 반도체 기판에 취약화층을 형성한다. 그 후, 보호층의 최상층인 상기 질화산화 실리콘막 위에 접합면을 갖는 절연층으로서 산화 실리콘막(막 두께 50nm)을 형성한다. 또한, 상기 산화질화 실리콘막 및 질화산화 실리콘막은 플라즈마 CVD법에 의하여 형성하면 좋고, 상기 산화 실리콘막은 유기 실란 가스를 사용하여 CVD법에 의하여 형성하면 좋다.

또한, 투광성 기판과 단결정 반도체 기판 사이에 절연층을 형성하여도 좋다. 절연층은, 투광성 기판 측, 또는 단결정 반도체 기판 측, 어느 한 쪽이라도 좋고, 양 쪽에 형성하여도 좋다. 접합을 형성하는 면에 형성하는 절연층은, 평활면을 갖고, 침수성 표면을 형성한다. 상기 절연층으로서, 산화 실리콘막을 사용할 수 있다. 산화 실리콘막으로서, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제조되는 산화 실리콘막이 바람직하다. 그 이외에 실란 가스를 사용하여 화학 기상 성장법에 의하여 제조되는 산화 실리콘막을 적용할 수도 있다.

유기 실란 가스로서는, 규산 에틸(TEOS: 화학식 Si(OC₂H₅)₄), 트리메틸실란(TMS: (CH₃)₃SiH), 테트라메틸실란(화학식 Si(CH₃)₄), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(SiH(OC₂H₅)₃), 트리스디메틸아미노실란(SiH(N(CH₃)₂)₃) 등의 실리콘 함유 화합물을 사용할 수 있다. 또한, 원료 가스에 유기 실란을 사용하여 화학 기상 성장법에 의하여, 산화 실리콘층을 형성하는 경우, 산소를 부여하는 가스를 혼합시키는 것이 바람직하다. 산소를 부여하는 가스로서는, 산소, 아산화 질소, 이산화질소 등을 사용할 수 있다. 또한, 아르곤, 헬륨, 질소 또는 수소 등의 불활성 가스를 혼합하여도 좋다.

또한, 접합을 형성하는 면에 절연층으로서, 모노실란, 디실란, 또는 트리실란 등의 실란을 원료 가스에 사용하여 화학 기상 성장법에 의하여 형성되는 산화 실리콘막을 적용할 수도 있다. 이 경우도, 산소를 부여하는 가스나 불활성 가스 등을 혼합시키는 것이 바람직하다. 또한, 단결정 반도체층과 접합하는 절연층이 되는 산화 실리콘막은, 염소를 포함하여도 좋다. 또, 본 명세서에 있어서, 화학 기상 성장(CVD; Chemical Vapor Deposition)법은, 플라즈마 CVD법, 열 CVD법, 광 CVD법을 범주에 포함된다.

그 외에, 접합을 형성하는 절연층으로서, 산화성 분위기하에 있어서 열 처리함으로써 형성되는 산화 실리콘, 산소 라디칼의 반응에 의하여 성장하는 산화 실리콘, 산화성 약액에 의하여 형성되는 케미컬 옥사이드 등을 적용할 수도 있다. 절연층으로서, 실록산(Si-O-Si) 결합을 포함하는 절연층을 적용하여도 좋다. 또한, 상기 유기 실란 가스와, 산소 라디칼 또는 질소 라디칼을 반응시켜 절연층을 형성하여도 좋다.

절연층에 있어서, 접합을 형성하는 면의 표면은, 산술 평균 거칠기 Ra가 0.8nm 미만, 제곱 평균 평방근 거칠기 Rms가 0.9nm 미만이 바람직하고, Ra가 0.4nm 이하, Rms가 0.5nm 이하가 더욱 바람직하고, 또한 Ra가 0.3nm 이하, Rms가 0.4nm 이하가 더욱 바람직하다. 예를 들어, Ra가 0.27nm, Rms가 0.34nm이다. 본 명세서에 있어서 Ra는 산술 평균 거칠기이고, Rms는 제곱 평균 평방근 거칠기이고, 측정 범위는 2 μ m², 또는 10 μ m²이다.

투광성 기판과 단결정 반도체층을 접합함에 있어서, 접합을 형성하는 면의 한쪽 혹은 양쪽에, 바람직하

게는 유기 실란을 원재료로 하여 성막한 산화 실리콘막으로 이루어지는 절연층을 형성함으로써 강고한 접합을 형성할 수 있다.

본 실시형태에서는, 도 15(B)에서 도시하는 바와 같이, 투광성 기관과 접합을 형성하는 면에 절연층(1104)으로서 산화 실리콘막을 형성한다. 산화 실리콘막으로서는, 유기 실란 가스를 사용하여 화학 기상 성장법에 의하여 제조되는 산화 실리콘막이 바람직하다. 그 이외에 실란 가스를 사용하여 화학 기상 성장법에 의하여 제조되는 산화 실리콘막을 적용할 수도 있다. 화학 기상 성장법에 의한 성막에서는, 단결정 반도체 기관에 형성한 취약화층(1110)으로부터 탈 가스가 일어나지 않는 온도로서, 예를 들어, 350℃ 이하(구체적인 예로서는 300℃)의 성막 온도가 적용된다. 또한, 단결정 반도체 기관으로부터 단결정 반도체층을 박리하는 열 처리는, 성막 온도보다 높은 열 처리 온도가 적용된다.

투광성 기관에는, 불순물 원소의 확산을 방지하는 질화 실리콘막 또는 질화산화 실리콘막을 블로킹층(배리어층이라고도 함)으로서 형성하여도 좋다. 또한, 응력을 완화하는 작용이 있는 절연막으로서 산화질화 실리콘막을 조합하여도 좋다.

도 15(C)는 투광성 기관(1101) 위에 형성된 블로킹층(1109)과 단결정 반도체 기관(1108)의 절연층(1104)이 형성된 면을 밀접시키고, 이 양자를 접합시키는 태양을 도시한다. 접합을 형성하는 면은, 충분히 청정화한 상태로 한다. 투광성 기관(1101) 위에 형성된 블로킹층(1109)과 단결정 반도체 기관(1108)의 절연층(1104)이 형성된 면은, 메가소닉(megasonic) 세정 등에 의하여 청정화시키면 좋다. 또한, 메가소닉 세정한 후에 오존수로 세정함으로써 유기물을 제거시키고, 표면의 친수성을 향상시켜도 좋다.

투광성 기관(1101) 위의 블로킹층(1109)과 절연층(1104)을 대향시켜, 1군데를 외부에서 가압하면, 국소적으로 접합면끼리의 거리가 짧아지는 것에 의한 반데르발스 힘(Van der Waal's forces)의 강도이나 수소 결합의 기여에 의하여, 서로 끌어 당긴다. 또한, 인접한 영역에서도 대향하는 투광성 기관(1101) 위의 블로킹층(1109)과 절연층(1104) 사이의 거리가 짧아지므로, 반데르발스 힘이 강하게 작용하는 영역이나 수소 결합이 관여하는 영역이 넓어지는 것에 의하여, 접합(본딩이라고도 함)이 진행되어, 접합면 전역에 접합이 확대된다.

가압할 때, 기관 내 모서리 중 1군데를 100kPa 내지 5000kPa의 압력으로 가압하면, 접합면끼리가 가까워지며, 반데르발스 힘으로부터 수소 결합으로 이행할 수 있다. 기관 내에 있어서, 1군데의 접합면이 근접되면, 인접하는 접합면도 근접되어 수소 결합으로 이행하므로, 접합면 전역이 수소 결합으로 이행할 수 있다.

양호한 접합을 형성하기 위하여, 표면을 활성화한 상태로 시켜도 좋다. 예를 들어, 접합을 형성하는 면에 원자 빔 혹은 이온 빔을 조사한다. 원자 빔 혹은 이온 빔을 이용할 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 혹은 불활성 가스 이온 빔을 사용할 수 있다. 그 이외에, 플라즈마 조사 혹은 라디칼 처리를 행한다. 이와 같은 표면 처리에 의하여 200℃ 내지 400℃의 온도라도 이종 재료간의 접합을 형성하는 것이 용이하게 된다.

또한, 투광성 기관과 절연층의 접합 계면의 접합 강도를 향상시키기 위하여, 가열 처리를 행하면 좋다. 예를 들어, 오븐이나 노(爐, furnace) 등으로 70℃ 내지 350℃ (예를 들면, 200℃에서 2시간)의 온도 조건으로 열 처리를 행한다.

도 15(D)에 있어서, 투광성 기관(1101)과 단결정 반도체 기관(1108)을 부착한 후, 가열 처리를 행하여 취약화층(1110)을 벽개면으로서 단결정 반도체 기관(1108)을 투광성 기관(1101)으로부터 박리한다. 예를 들어, 400℃ 내지 700℃의 열 처리를 행함으로써, 취약화층(1110)에 형성된 미소한 공동의 체적 변화가 발생하여, 취약화층(1110)을 따라 벽개할 수 있게 된다. 절연층(1104)은 블로킹층(1109)을 통하여 투광성 기관(1101)과 접합하므로 투광성 기관(1101) 위에는, 단결정 반도체 기관(1108)과 같은 결정성의 단결정 반도체층(1102)이 잔존하게 된다.

400℃ 내지 700℃의 온도 영역에서의 열 처리는 상술한 접합 강도를 향상시키기 위한 열 처리와 동일 장치로 연속하여 행하여도 좋고, 다른 장치로 행하여도 좋다. 예를 들어, 노에서 200℃로 2시간 열 처리한 후에, 600℃ 근방까지 승온시켜 2시간 유지하고, 400℃에서 실온까지의 온도 영역으로 강온시킨 후, 노로부터 추출한다. 또한, 열 처리는 실온에서 승온시켜도 좋다. 또한, 노를 사용하여 200℃로 2시간 열 처리한 후에, 순간 열 어닐링(RTA) 장치에 의하여 600℃ 내지 700℃의 온도 영역에서, 1분간 내지 30분간(예를 들어, 600℃로 7분간, 650℃로 7분간) 열 처리를 행하여도 좋다.

400℃ 내지 700℃의 온도 영역에서의 열 처리에 의하여, 절연층과 투광성 기관의 접합은 수소 결합에서

공유 결합으로 이행되며, 취약화층에 첨가된 원소가 석출됨으로써 압력이 상승되고, 단결정 반도체 기판으로부터 단결정 반도체층을 박리할 수 있다. 열 처리를 한 후에는 투광성 기판과 단결정 반도체 기판은, 한쪽이 다른 한 쪽에 실려 있는 상태이고, 큰 힘을 가하지 않고 투광성 기판과 단결정 반도체 기판을 분리할 수 있다. 예를 들어, 위쪽에 실려 있는 기판을 진공 척(chuck)으로 들어 올림으로써 간단히 분리할 수 있다. 이 때, 하층의 기판을 진공 척이나 메커니컬 척으로 고정시키면 수평 방향의 어긋남이 없이 투광성 기판 및 단결정 반도체 기판의 양쪽 기판을 분리할 수 있다.

또한, 도 15(A) 내지 도 16(C)에 있어서는, 단결정 반도체 기판(1108)이 투광성 기판(1101)보다 작은 사이즈의 예를 도시하지만, 본 발명은 그것에 한정되지 않고, 단결정 반도체 기판(1108)과 투광성 기판(1101)이 같은 사이즈이어도 좋고, 단결정 반도체 기판(1108)이 투광성 기판(1101)보다 큰 사이즈이어도 좋다.

도 16(A) 내지 도 16(C)는 투광성 기판 측에 절연층을 형성하여 단결정 반도체층을 형성하는 공정을 도시한다. 도 16(A)는 보호층(1121)으로서 산화 실리콘막이 형성된 단결정 반도체 기판(1108)에 전계에 의하여 가속된 이온을 소정의 깊이로 조사하여, 취약화층(1110)을 형성하는 공정을 도시한다. 이온의 조사는 도 15(A)의 경우와 마찬가지로이다. 단결정 반도체 기판(1108)의 표면에 보호층(1121)을 형성함으로써, 이온 조사에 의하여 표면이 대미지를 받아, 평탄성이 손상되는 것을 방지할 수 있다. 또한, 보호층(1121)에 의하여, 단결정 반도체 기판(1108)으로부터 형성되는 단결정 반도체층(1102)에 대한 불순물의 확산 방지 효과가 발현된다.

도 16(B)는, 블로킹층(1109) 및 절연층(1104)이 형성된 투광성 기판(1101)과 단결정 반도체 기판(1108)의 보호층(1121)이 형성된 면을 밀착시켜, 접합을 형성하는 공정을 도시한다. 투광성 기판(1101) 위의 절연층(1104)과 단결정 반도체 기판(1108)의 보호층(1121)을 밀착시킴으로써 접합이 형성된다.

그 후에, 도 16(C)에 도시하는 바와 같이, 단결정 반도체 기판(1108)을 박리한다. 단결정 반도체층을 박리하는 열 처리는 도 15(D)의 경우와 마찬가지로 하여, 행한다. 이렇게 함으로써, 도 16(C)에서 도시하는 절연층을 통하여, 단결정 반도체층을 갖는 SOI 구조의 반도체 기판을 얻을 수 있다.

또한, 단결정 반도체 기판으로부터 분리하고, 투광성 기판에 전치된 단결정 반도체층은, 분리 공정 및 이온 주입 공정에 의하여, 결정 결함이 생기고, 또한, 그 표면은 평탄성이 손상되고, 요철이 형성되어 버리는 경우가 있다. 단결정 반도체층을 사용하여 반도체 소자로서 트랜지스터를 제조하는 경우, 이와 같은 요철이 있는 단결정 반도체층의 상면에 얇고, 절연 내압성이 높은 게이트 절연층을 형성하는 것은 어렵다. 또한, 단결정 반도체층에 결정 결함이 있으면, 게이트 절연층과의 국제 계면 준위 밀도가 높아지는 등, 트랜지스터의 성능 및 신뢰성에 영향을 준다.

따라서, 단결정 반도체층에 레이저 광과 같은 전자파를 조사하여, 결정 결함을 저감시키는 것이 바람직하다. 전자파를 조사함으로써, 단결정 반도체층의 적어도 일부의 영역을 용융시켜, 단결정 반도체층 중의 결정 결함을 저감시킬 수 있다. 또한, 전자파의 조사 전에 단결정 반도체층 표면에 형성된 산화막(자연 산화막, 또는 케미컬 산화막)을 희석된 플루오르화 수소산으로 제거하면 좋다.

전자파는 단결정 반도체층에 높은 에너지를 공급할 수 있는 것이면 좋고, 적합하게는 레이저 광을 사용할 수 있다.

또한, 에너지의 공급은, 고에너지를 갖는 입자를 조사 등에 의하여, 단결정 반도체층에 충돌시켜, 주로 열 전도에 의하여 행할 수도 있다. 고에너지를 갖는 입자를 제공하는 열원으로서, 플라즈마를 사용할 수 있고, 상압 플라즈마, 고압 플라즈마, 열 플라즈마 제트, 가스 버너 등의 불꽃(炎)을 사용할 수 있고, 또, 다른 열원으로서 전자 빔 등을 사용할 수 있다.

전자파의 파장은, 단결정 반도체층에 흡수되는 파장으로 한다. 그 파장은, 전자파의 표피 깊이(skin depth) 등을 고려하여 결정할 수 있다. 예를 들어, 전자파의 파장은 190nm 내지 600nm를 사용할 수 있다. 또한, 전자파의 에너지는, 전자파의 파장, 전자파의 표피 깊이, 조사하는 단결정 반도체층의 막 두께 등을 고려하여 결정할 수 있다.

레이저 광을 발진하는 레이저는, 연속 발진 레이저, 유사 연속 발진 레이저 및 펄스 발진 레이저를 사용할 수 있다. 부분 용융시키기 위하여, 펄스 발진 레이저가 바람직하다. 예를 들어, KrF 레이저 등의 엑시머 레이저, Ar 레이저, Kr 레이저 등의 기체 레이저가 있다. 이 이외에, 고체 레이저로서, YAG 레이저, YVO₄ 레이저, YLF 레이저, YAIO₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti: 사파이어 레이저, Y₂O₃ 레이저 등이 있다. 또한, 엑시머 레이저는 펄스 발진 레이저이지만, YAG 레이저 등의 고체 레이저

에는, 연속 발진 레이저, 유사 연속 발진 레이저, 펄스 발진 레이저가 되는 레이저도 있다. 또한, 고체 레이저에 있어서는, 기본파의 제 2 고조파 내지 제 5 고조파를 적용하는 것이 바람직하다. 또한, GaN, GaAs, GaAlAs, InGaAsP 등의 반도체 레이저도 사용할 수 있다.

또한, 전자파의 에너지를 단결정 반도체층에 조사할 수 있으면, 램프 광을 사용하여도 좋다. 예를 들어, 자외선 램프, 블랙 라이트, 할로겐 램프, 메탈 하라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프로부터 사출된 빛을 사용하여도 좋다. 상기 램프 광을 사용한 플래시 어닐링을 사용하여도 좋다. 할로겐 램프나 크세논 램프 등을 적합하게 사용하여 행하는 플래시 어닐링은 극단 시간의 처리로 충분하기 때문에, 투광성 기관의 온도 상승을 억제할 수 있다.

전자파의 형상이나 전자파의 진로를 조정하기 위하여, 셔터, 미러 또는 하프 미러 등의 반사체, 실린드릭 렌즈나 볼록 렌즈 등에 의하여 구성되는 광학계가 설치되어도 좋다.

또한, 전자파의 조사 방법은, 선택적으로 전자파를 조사하여도 좋고, 빛(전자파)을 XY축 방향으로 주사하여 빛(전자파)을 조사할 수 있다. 이 경우, 광학계에 폴리곤 미러나 갈바노 미러를 사용하는 것이 바람직하다.

전자파의 조사는, 대기 분위기 같은 산소를 포함하는 분위기, 또는 질소 분위기 같은 불활성 분위기에서 행할 수 있다. 불활성 분위기 중에서 전자파를 조사하기 위해서는, 기밀성이 있는 챔버 내에서 전자파를 조사하고, 이 챔버 내의 분위기를 제어하면 좋다. 챔버를 사용하지 않는 경우는, 전자파의 피조사면에 질소 가스 등 불활성 가스를 분출함으로써, 질소 분위기를 형성할 수도 있다.

또한, 전자파 조사 등의 고에너지가 공급되어, 결정 결함이 저감된 단결정 반도체층 표면에 연마 처리를 행하여도 좋다. 연마 처리에 의하여 단결정 반도체층 표면의 평탄성을 높일 수 있다.

연마 처리로서는 화학적 기계 연마(CMP)법이나 액체 제트 연마법을 사용할 수 있다. 또한, 연마 처리하기 전에 단결정 반도체층 표면을 세정함으로써, 청정화한다. 세정은, 메가소닉 세정이나 2유체 젯 세정(two-fluid jet cleaning) 등을 사용하면 좋고, 세정에 의하여 단결정 반도체층 표면의 먼지 등을 제거한다. 또한, 희석된 플루오르화 수소산을 사용하여 단결정 반도체층 표면 위의 자연 산화막 등을 제거하여 단결정 반도체층을 노출시키면 바람직하다.

또한, 전자파를 조사하기 전에도 단결정 반도체층 표면에 연마 처리(또는 에칭 처리)를 행하여도 좋다.

또한, 단결정 반도체 기관으로부터 단결정 반도체층을 전재(轉載)할 때, 단결정 반도체 기관을 선택적으로 에칭하여, 형상을 가공된 복수의 단결정 반도체층을, 투광성 기관으로 전재하여도 좋다. 투광성 기관에는, 복수의 섬 형상의 단결정 반도체층을 형성할 수 있다. 미리, 단결정 반도체 기관에서 형상을 가공하여 전재하기 위하여, 단결정 반도체 기관의 크기나 형상에 제한을 받지 않는다. 그래서, 대형 투광성 기관에 단결정 반도체층의 전재를 더욱 효율 좋게 행할 수 있다.

또한, 투광성 기관 위에 부착된 단결정 반도체층에 대하여, 에칭을 행하여, 단결정 반도체층의 형상을 가공, 수정하여 정밀히 제어하여도 좋다. 이에 따라, 반도체 소자의 단결정 반도체층의 형상으로 가공할 수 있고, 레지스트 마스크 형성시에 노광의 유입 등에 의한 패턴 어긋남이나, 전재시의 접합 공정에 의한 위치 어긋남 등에 의한 단결정 반도체층의 형성 위치의 오차나 형상 불량을 수정할 수 있다.

따라서, 투광성 기관에 원하는 형상의 복수의 단결정 반도체층을, 수율 좋게 형성할 수 있다. 따라서, 대면적 기관에 의하여 정밀한 고성능의 반도체 소자 및 집적 회로를 갖는 반도체 장치를 고스루 뜻으로 생산성 좋게 제조할 수 있다.

또한, 단결정 반도체 기관으로부터 단결정 반도체층을 분리하고 나서, 투광성 기관에 접합하여도 좋다. 벽개에 의하여 노출되는 단결정 반도체층의 표면을 투광성 기관 측을 향하여 접합하여도 좋고, 벽개에 의하여 노출되는 단결정 반도체층의 표면과 게이트 절연막이 접하도록 단결정 반도체층을 투광성 기관 위에 접합하여도 좋다.

본 실시형태에 있어서, 단결정 반도체 기관(1108)으로서 단결정 실리콘 기관을 적용한 경우는, 단결정 반도체층(1102)으로서 단결정 실리콘층을 얻을 수 있다. 또한, 본 실시형태의 반도체 장치의 제조 방법은, 프로세스 온도를 700℃ 이하로 할 수 있기 때문에, 투광성 기관(1101)으로서 유리 기관을 적용할 수 있다. 즉, 종래의 박막 트랜지스터와 마찬가지로 유리 기관 위에 형성할 수 있고, 또 단결정 실리콘층을 반도체층에 적용할 수 있게 된다. 이들에 의하여, 고속 동작이 가능하고, 서브 임계 값이 낮고, 전계 효과 이동도가 높고, 저

소비 전압으로 구동 가능한 등, 고성능, 고신뢰성의 트랜지스터를 유리 기판 등의 투광성 기판 위에 제조할 수 있다.

본 실시형태는 실시형태 1과 적절히 조합할 수 있다.

[실시형태 3]

본 실시형태에서는, 실시형태 2에 있어서, 단결정 반도체 기판으로부터 투광성 기판에 단결정 반도체층을 접합하는 공정의 상이한 예를 도시한다. 따라서, 실시형태 2와 동일 부분 또는 같은 기능을 갖는 부분의 반복되는 설명은 생략한다.

우선, 단결정 반도체 기판 측의 처리를 설명한다. 본 실시형태에서는, 단결정 반도체 기판을 탈지 세정하여, 표면의 산화막을 제거하여 열 산화를 행한다. 열 산화로서는 산화 분위기 중에 할로젠을 첨가한 산화를 하는 것이 바람직하다. 예를 들어, 산소에 대하여 HCl를 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 700℃ 이상의 온도로 열 처리를 행한다. 적합하게는 950℃ 내지 1100℃의 온도로 열 산화를 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 3.5시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 200nm), 예를 들어, 100nm의 두께로 한다.

할로젠을 포함하는 것으로서는 HCl 외에, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂ 등으로부터 선택된 일종 또는 복수 종을 적용할 수 있다.

이와 같은 온도 범위에서 열 처리를 행함으로써, 할로젠 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어, 기상 증으로 이탈하여 제거된다. 단결정 반도체 기판의 표면을 화학적 기계 연마(CMP) 처리를 한 것에 대하여는 유효하다. 또한, 수소는 단결정 반도체 기판과, 투광성 기판에 형성되는 절연층의 계면의 결함을 보상하여 계면의 국제 준위 밀도를 저감하는 작용을 갖고, 단결정 반도체 기판과 절연층의 계면이 불활성화되어 전기적 특성이 안정화된다.

이 열 처리에 의하여 형성되는 산화막 중에 할로젠을 포함시킬 수 있다. 할로젠 원소는 $1 \times 10^{17}/\text{cm}^3$ 내지 $5 \times 10^{20}/\text{cm}^3$ 의 농도로 포함됨으로써 금속 등의 불순물을 포획하여 단결정 반도체 기판의 오염을 방지하는 보호층으로서의 기능을 발현시킬 수 있다.

단결정 반도체 기판에 이온을 도입하여, 취약화층을 형성한다. 취약화층이 형성되는 영역의 깊이는, 도입되는 이온의 가속 에너지와 입사각에 의하여 조절할 수 있다. 가속 에너지는, 가속 전압, 도즈량 등에 의하여 조절할 수 있다.

이온을 도입할 때, 사용하는 가스로서는, 수소 가스, 희소 가스 등이 있지만, 본 실시형태에서는, 수소 가스를 사용하는 것이 바람직하다. 이온 도핑법으로 수소 가스를 사용한 경우, 생성하는 이온 종은, H⁺, H₂⁺ 및 H₃⁺이지만, H₃⁺가 가장 많이 도입되는 것이 바람직하다. H₃⁺는, H⁺, H₂⁺보다 이온의 도입 효율이 좋고, 도입 시간의 단축을 도모할 수 있다. 또한, 그 후의 공정에 있어서, 취약화층에 균열이 생기기 쉬워진다.

다음으로, 투광성 기판 측의 처리를 설명한다. 우선, 투광성 기판의 표면을 세정한다. 세정은, 염산 과수(HPM), 황산 과수(SPM), 암모니아 과수(APM), 희석된 플루오르화 수소산(DHF) 등을 사용하여 초음파 세정을 행하면 좋고, 본 실시형태에서는, 염산 과수를 사용하여 초음파 세정을 행한다.

다음에, 세정에 의하여 표면의 먼지 등의 불순물 등을 제거된 투광성 기판에 플라즈마 처리에 의한 평탄화 처리를 행한다. 본 실시형태에서는, 플라즈마 처리는 진공 챔버 내에서 아르곤(Ar) 가스 등의 불활성 가스를 사용하여, 피처리물인 투광성 기판에 바이어스 전압을 인가하여, 플라즈마 상태로서 행한다. 불활성 가스 와 함께, 산소(O₂) 가스, 질소(N₂) 가스를 도입하여도 좋다.

투광성 기판을 음극 방향으로 하고, 플라즈마 중의 Ar의 양 이온을 음극 방향으로 가속하여, 투광성 기판에 충돌시킨다. Ar의 양 이온의 충돌에 의하여, 투광성 기판 표면이 스퍼터 에칭되어, 투광성 기판 표면의 불룩부를 에칭함으로써, 투광성 기판의 표면을 평탄화할 수 있다. 반응 가스는, 투광성 기판 표면의 스퍼터 에칭에 의하여 생기는 결함을 보수하는 효과가 있다.

다음에, 투광성 기관 위에 절연층을 형성한다. 본 실시형태에서는, 실리콘계의 절연층 이외의 절연층인 산화 알루미늄을 주성분으로 하는 산화막을 사용한다. 산화 알루미늄을 주성분으로 하는 산화막이란, 상기 산화막에 포함되는 성분의 합계를 100중량%로 할 때, 산화 알루미늄을 10중량% 이상 포함하는 산화막을 말한다. 이 이외에도, 절연층으로서, 산화 알루미늄을 주성분으로 하고, 산화 마그네슘과 산화 스트론튬 중, 한 쪽 또는 양쪽 모두가 포함되는 막을 적용할 수 있다. 또한, 질소를 포함하는 산화 알루미늄을 사용하여도 좋다.

절연층은, 스퍼터링법에 의하여 형성할 수 있다. 스퍼터링법에 사용하는 타겟으로서, 예를 들어, 알루미늄을 포함하는 금속 또는 산화 알루미늄 등의 금속 산화물을 사용할 수 있다. 또한, 타겟의 재료는, 형성하는 막에 따라, 적절히 선택하면 좋다.

타겟으로서 금속을 사용하는 경우에는, 반응 가스(예를 들어, 산소)를 도입하면서 스퍼터링(반응성 스퍼터링법)함으로써, 절연층을 형성한다. 금속으로서, 알루미늄 이외에 마그네슘(Mg), 알루미늄과 마그네슘을 포함하는 합금, 알루미늄과 스트론튬(Sr)을 포함하는 합금, 알루미늄과 마그네슘과 스트론튬(Sr)을 포함하는 합금을 사용할 수 있다. 이 경우, 스퍼터링은, 직류(DC) 전원 또는 고주파(RF) 전원을 사용하여 행하면 좋다.

타겟으로서 금속 산화물을 사용하는 경우에는, 고주파(RF) 전원을 사용하여 스퍼터링(RF 스퍼터링법)함으로써, 절연층을 형성한다. 금속 산화물로서, 산화 알루미늄 이외에 산화 마그네슘, 산화 스트론튬, 알루미늄과 마그네슘을 포함하는 산화물, 알루미늄과 스트론튬을 포함하는 산화물, 알루미늄과 마그네슘과 스트론튬을 포함하는 산화물을 사용할 수 있다.

이 이외에도, 바이어스 스퍼터링법을 사용하여, 절연층을 형성하여도 좋다. 바이어스 스퍼터링법을 사용하면, 막의 퇴적과 표면의 평탄화를 양쪽 모두 행할 수 있다.

알루미늄을 주성분으로 하는 산화물은, 투광성 기관에 포함되는 가동 이온이나 수분 등의 불순물이, 후에 투광성 기관 위에 형성되는 단결정 반도체막에 확산되는 것을 방지할 수 있다.

다음에, 단결정 반도체 기관의 표면과 투광성 기관의 표면을 대향시켜, 단결정 반도체 기관과 절연층을 본딩한다. 단결정 반도체 기관과 투광성 기관 위에 형성된 절연층의 표면을 밀착시킴으로써, 접합이 형성된다.

또한, 단결정 반도체 기관과 투광성 기관을 본딩시키기 전에, 투광성 기관 위에 형성된 절연층의 표면 처리를 행하는 것이 바람직하다.

다음에, 본 실시형태 2와 마찬가지로, 가열 처리를 행하고, 취약화층에서 분리(벽개)함으로써, 투광성 기관 위에 절연층을 통하여 단결정 반도체층을 형성할 수 있다.

투광성 기관 위에 형성된 단결정 반도체층을 사용하여, 반도체 집적 회로부를 형성할 수 있다.

다음에, 분리된 단결정 반도체 기관을 반복하여 이용하는 공정(반도체 기관 재생 처리)에 대하여, 설명한다.

우선, 분리된 단결정 반도체 기관을 취출한다. 예지 물 오프의 영향에 따라, 단결정 반도체 기관의 단부에 있어서, 투광성 기관의 접합이 충분히 행해지지 않는 경우가 있다. 그 결과, 그 단부에 있어서, 단결정 반도체 기관은 취약화층에서 분리되지 않고, 절연층 등이 잔존하는 경우가 있다.

단결정 반도체 기관의 단부에 있어서의 잔사(殘渣) 부분을 제거한다. 잔사 부분은 웨트 에칭 처리를 행함으로써 제거할 수 있다. 구체적으로는, 불화수소산과 불화암모늄과 계면활성제를 포함하는 혼합 용액(예를 들어, STELLA CHEMIFA사 제, 상품명: LAL500)을 에천트로서 사용하여 웨트 에칭을 행한다.

또한, 수소 이온이 도입된 취약화층은, TMAH(Tetra Methyl Ammonium Hydroxide, 테트라메틸암모늄하이드록시)로 대표되는 유기 알칼리계 수용액을 사용하여 웨트 에칭을 함으로써, 제거할 수 있다. 이와 같은 처리를 행함으로써, 단결정 반도체 기관의 단부에 있어서의 잔사물에 의한 단차가 완화된다.

다음에, 단결정 반도체 기관을 할로겐 분위기 중에서 산화함으로써, 산화막을 형성하여, 그 후, 상기 산화막을 제거한다. 할로겐으로서, 염화 수소(HCl)를 사용할 수 있다. 이렇게 함으로써, 할로겐 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서, 특히 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성의 염화물이 되어, 기상 중에 이탈하여 제거된다.

다음에, 단결정 반도체 기관에 연마 처리로서 CMP 처리를 행한다. 그 결과, 단결정 반도체 기관의 단부에 있어서의 단차를 제거하여, 단결정 반도체 기관의 표면을 평탄화할 수 있다. 그 후, 얻어진 단결정 반도체

체 기판을 모체 웨이퍼로서 다시 이용한다.

본 실시형태에서 나타내는 바와 같이, 단결정 반도체 기판의 재생 처리 공정에 의하여, 단결정 반도체 기판을 반복하여 이용함으로써, 저비용화를 도모할 수 있다. 또한, 본 실시형태에서 나타낸 단결정 반도체 기판의 재생 처리 공정을 사용함으로써, 단결정 반도체 기판을 반복하여 사용한 경우에도, 단결정 반도체 기판의 표면을 충분히 평탄화할 수 있으므로, 단결정 반도체 기판과 투광성 기판의 밀착성을 향상시켜, 접합 불량을 저감시킬 수 있다.

또한, 본 실시형태는, 실시형태 1 및 실시형태 2와 적절히 조합할 수 있다.

[실시형태 4]

본 실시형태에서는, 본 발명에 의하여 얻어진 센서를 포함하는 다양한 전자 기기의 예에 대하여 설명한다. 본 발명이 적용되는 전자 기기로서, 컴퓨터, 디스플레이, 휴대전화, 텔레비전 장치 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 10(A) 내지 도 14에 도시한다.

도 10(A) 내지 도 10(C)는 휴대전화이며, 도 10(A)는 본체(A)(701), 본체(B)(702), 케이스(703), 조작 키(704), 음성 출력부(705), 음성 입력부(706), 회로기판(707), 표시 패널(A)(708), 표시 패널(B)(709), 경첩(710), 투광성 재료부(711), 센서(712)를 갖는다.

센서(712)는 투광성 재료부(711)를 투과한 빛을 검지하고, 검지한 외부광의 조도에 맞추며, 표시 패널(A)(708) 및 표시 패널(B)(709)의 휘도 컨트롤을 행하거나, 센서(712)에 의하여 얻어지는 조도에 맞추며, 조작 키(704)의 조명 제어를 행한다. 이에 따라 휴대전화의 소비 전류를 억제할 수 있다.

도 10(B) 및 도 10(C)에 휴대전화의 다른 예를 도시한다. 도 10(B) 및 도 10(C)에 있어서, 본체(721), 케이스(722), 표시 패널(723), 조작 키(724), 음성 출력부(725), 음성 입력부(726), 센서(727), 센서(728)를 도시한다.

도 10(B)에 도시하는 휴대전화에서는, 본체(721)에 설치된 센서(727)에 의하여 외부의 빛을 검지함으로써 표시 패널(723) 및 조작 키(724)의 휘도를 제어할 수 있다.

또한, 도 10(C)에 도시하는 휴대전화에서는, 도 10(B)의 구성에 더하여, 본체(721)의 내부에 센서(728)가 설치되어 있다. 센서(728)에 의하여, 표시 패널(723)에 설치되는 백 라이트의 휘도를 검출할 수도 있게 된다.

도 11(A)는 컴퓨터이며, 본체(731), 케이스(732), 표시부(733), 키보드(734), 외부접속 포트(735), 포인팅 디바이스(736) 등을 포함한다.

또한, 도 11(B)는 표시장치의 예인 텔레비전 장치이며, 케이스(741), 지지대(742), 표시부(743) 등으로 구성된다.

도 11(A)의 컴퓨터에 설치되는 표시부(733), 및 도 11(B)에 도시하는 표시장치의 표시부(743)로서, 액정 패널을 사용한 경우의 자세한 구성을 도 12에 도시한다.

도 12에 도시하는 액정 패널(762)은, 케이스(761)에 내장되고, 기관(751a) 및 기관(751b), 기관(751a) 및 기관(751b)에 끼워진 액정층(755), 편광 필터(752a) 및 편광 필터(752b), 및 백 라이트(753) 등을 갖는다. 또한, 케이스(761)에는 센서(754)가 형성된다.

본 발명을 이용하여 제조된 센서(754)는 백 라이트(753)로부터의 광량을 감지하고, 그 정보가 피드백되어 액정 패널(762)의 휘도가 조절된다.

도 13(A) 및 도 13(B)는, 본 발명을 사용한 센서(810)를 포함하는 카메라, 예를 들어 디지털 카메라의 예를 도시하는 도면이다. 도 13(A)는 디지털 카메라의 전면 방향에서 본 사시도, 도 13(B)는 후면 방향에서 본 사시도다. 도 13(A)에 있어서, 디지털 카메라에는, 릴리스 버튼(801), 메인 스위치(802), 파인더 창(803), 플래시(804), 렌즈(805), 경통(806), 케이스(807), 센서(810)가 구비된다.

또한, 도 13(B)에 있어서, 파인더 접안창(811), 모니터(812), 조작 버튼(813a, 813b)이 구비된다.

릴리스 버튼(801)은, 절반의 위치까지 눌러면, 초점 조정 기구 및 노출 조정 기구가 작동하고, 최하부까지 눌러면 셔터가 열린다.

메인 스위치(802)는, 누름(押下) 또는 회전에 의하여 디지털 카메라의 전원의 온/오프(ON/OFF)를 전환한다.

파인더 창(803)은, 디지털 카메라의 전방 면의 렌즈(805)의 상부에 배치되고, 도 13(B)에 도시하는 파인더 집안창(811)에서 촬영하는 범위나 초점의 위치를 확인하기 위한 장치이다.

플래시(804)는, 디지털 카메라의 전방 상부에 배치되고, 피사체 휘도가 낮을 때, 릴리스 버튼이 눌림으로써 셔터가 열림과 동시에 보조광을 조사한다.

렌즈(805)는, 디지털 카메라의 정면에 배치된다. 렌즈는, 포커싱 렌즈, 줌 렌즈 등으로 구성되며, 도시하지 않는 셔터 및 조리개와 함께 촬영 광학계를 구성한다. 또한, 렌즈의 후방에는, CCD(Charge Coupled Device) 등의 촬상(撮像) 소자가 설치된다.

경통(806)은, 포커싱 렌즈, 줌 렌즈 등의 초점을 맞추기 위하여 렌즈의 위치를 이동하는 것이며, 촬영 시에는, 경통을 빼내는 것에 의하여, 렌즈(805)를 앞으로 이동시킨다. 또한, 휴대시에는, 렌즈(805)를 집어넣어서 콤팩트하게 한다. 이때, 본 실시형태에 있어서는, 경통을 빼내는 것에 의하여 피사체를 줌 촬영할 수 있는 구조로 하지만, 이 구조에 한정되지 않고, 케이스(807) 내에서의 촬영 광학계의 구성에 의하여 경통을 빼내지 않더라도 줌 촬영이 가능한 디지털 카메라라도 좋다.

파인더 집안창(811)은, 디지털 카메라의 후면 상부에 설치되어, 촬영하는 범위나 초점의 위치를 확인할 때에 집안하기 위하여 설치된 창이다.

조작 버튼(813)은, 디지털 카메라의 후면에 설치된 각종 기능 버튼이며, 셋 업 버튼, 메뉴 버튼, 디스플레이 버튼, 기능 버튼, 선택 버튼 등으로 구성된다.

본 발명을 적용하여, 센서(810)를 도 13(A) 및 도 13(B)에 도시한 카메라에 내장하면, 센서(810)가 빛의 유무 및 강도를 감지할 수 있고, 이에 따라 카메라의 노출 조정 등을 행할 수 있다. 본 발명의 센서는, 박형이므로 실장하여도 장치를 소형화할 수 있다. 센서와 같은 부품의 소형화는, 휴대용 전자 기기에 이용할 경우에 특히 유용하다.

본 발명은, 음향 재생 기능을 갖는 휴대 정보 단말에도 적용할 수 있다. 도 14는, 디지털 플레이어를 도시하며, 오디오 장치의 하나의 대표적인 예이다. 도 14에 도시한 디지털 플레이어는, 본체(2130), 표시부(2131), 메모리부(2132), 조작부(2133), 이어폰(2134) 센서(2135), 센서(2136) 제어부(2137) 등을 포함한다. 또한, 이어폰(2134) 대신에 헤드폰이나 무선식 이어폰을 사용할 수 있다.

센서(2135)는 빛을 검출하는 광 센서이므로, 이어폰에 있어서, 이어폰을 장착할 때에 차광되는 영역에 설치된다. 한편, 센서(2136)는 감압 센서이므로, 이어폰에 있어서 이어폰을 장착할 때에 귀와 접촉되는 영역에 설치된다. 센서(2135)에 있어서는 빛의 검출의 유무, 센서(2136)에서는 압력의 검출의 유무에 의하여, 이어폰의 장착, 비장착을 검출할 수 있다. 센서(2135) 및 센서(2136)로부터 검출된 정보에 의하여 제어부(2137)가, 이어폰의 장착시는 디지털 플레이어가 온(on), 비장착시는 오프(off)가 되도록 제어한다. 따라서, 디지털 플레이어 본체(2130)의 조작부(2133)를 직접 조작하지 않아도, 이어폰의 장착, 비장착에 따라 자동적으로 디지털 플레이어의 온, 오프의 변환을 행할 수 있다.

센서(2136)로서 본 발명의 컬러 센서를 사용할 수 있고, 외부로부터의 빛을 검지하고, 검지한 외부광의 조도에 맞춰서 표시부(2131)의 휘도를 제어할 수 있다.

또한, 메모리부(2132)를 사용하여, 조작부(2133)를 조작함으로써, 영상이나 음성(음악)을 기록, 재생할 수 있다. 또한, 표시부(2131)는 흑색 배경에 백색 문자를 표시함으로써 소비 전력을 억제할 수 있다. 또한, 메모리부(2132)에 형성된 메모리는, 추출 가능한 구성으로 하여도 좋다.

또한, 본 발명의 반도체 장치는 그 외의 전자 기기, 예를 들어, 프로젝션 TV, 네비게이션 시스템 등에 응용할 수 있다. 즉, 빛을 검출할 필요가 있는 것이라면 어떠한 것에나 이용할 수 있다.

또한, 본 실시형태는, 실시형태 1 내지 실시형태 3과 조합할 수 있다.

도면의 간단한 설명

도 1(A) 및 도 1(B)는 본 발명의 반도체 장치를 설명하는 도면.

도 2(A) 및 도 2(B)는 본 발명의 반도체 장치를 설명하는 도면.
 도 3(A) 내지 도 3(F)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 4(A) 및 도 4(B)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 5(A) 내지 도 5(D)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 6(A) 내지 도 6(C)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 7(A) 및 도 7(B)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 8(A) 및 도 8(B)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 9는 본 발명의 반도체 장치를 설명하는 도면.
 도 10(A) 내지 도 10(C)는 본 발명의 반도체 장치를 실장한 장치를 도시한 도면.
 도 11(A) 및 도 11(B)는 본 발명의 반도체 장치를 실장한 장치를 도시한 도면.
 도 12는 본 발명의 반도체 장치를 실장한 장치를 도시한 도면.
 도 13(A) 및 도 13(B)는 본 발명의 반도체 장치를 실장한 장치를 도시한 도면.
 도 14는 본 발명의 반도체 장치를 실장한 장치를 도시한 도면.
 도 15(A) 내지 도 15(D)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.
 도 16(A) 내지 도 16(C)는 본 발명의 반도체 장치의 제조 방법을 설명하는 도면.

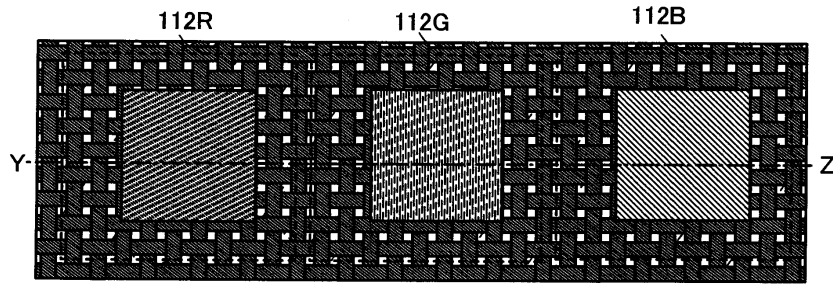
<도면의 주요 부분에 대한 부호의 설명>

101R: 반도체 집적 회로부	101G: 반도체 집적 회로부
101B: 반도체 집적 회로부	109R: 투광성 기관
109G: 투광성 기관	109B: 투광성 기관
112R: 반도체 집적 회로	1121G: 반도체 집적 회로
112B: 반도체 집적 회로	114R: 유채색의 투광성 수지층
114G: 유채색의 투광성 수지층	114B: 유채색의 투광성 수지층
115aR: 단자 전극	115bR: 단자 전극
115aG: 단자 전극	115bG: 단자 전극
115aB: 단자 전극	115bB: 단자 전극
160: 구조체	161: 섬유체
162: 유기 수지	

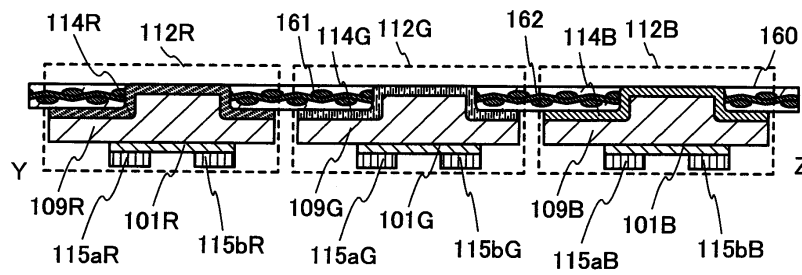
도면

도면1

(A)

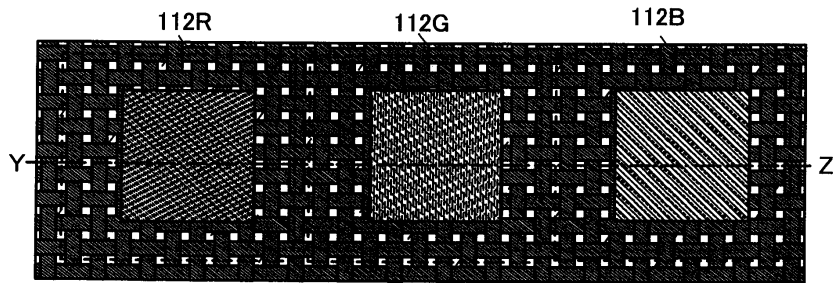


(B)

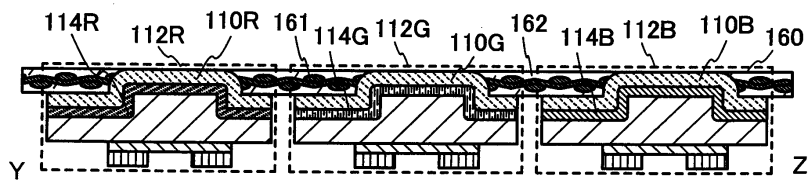


도면2

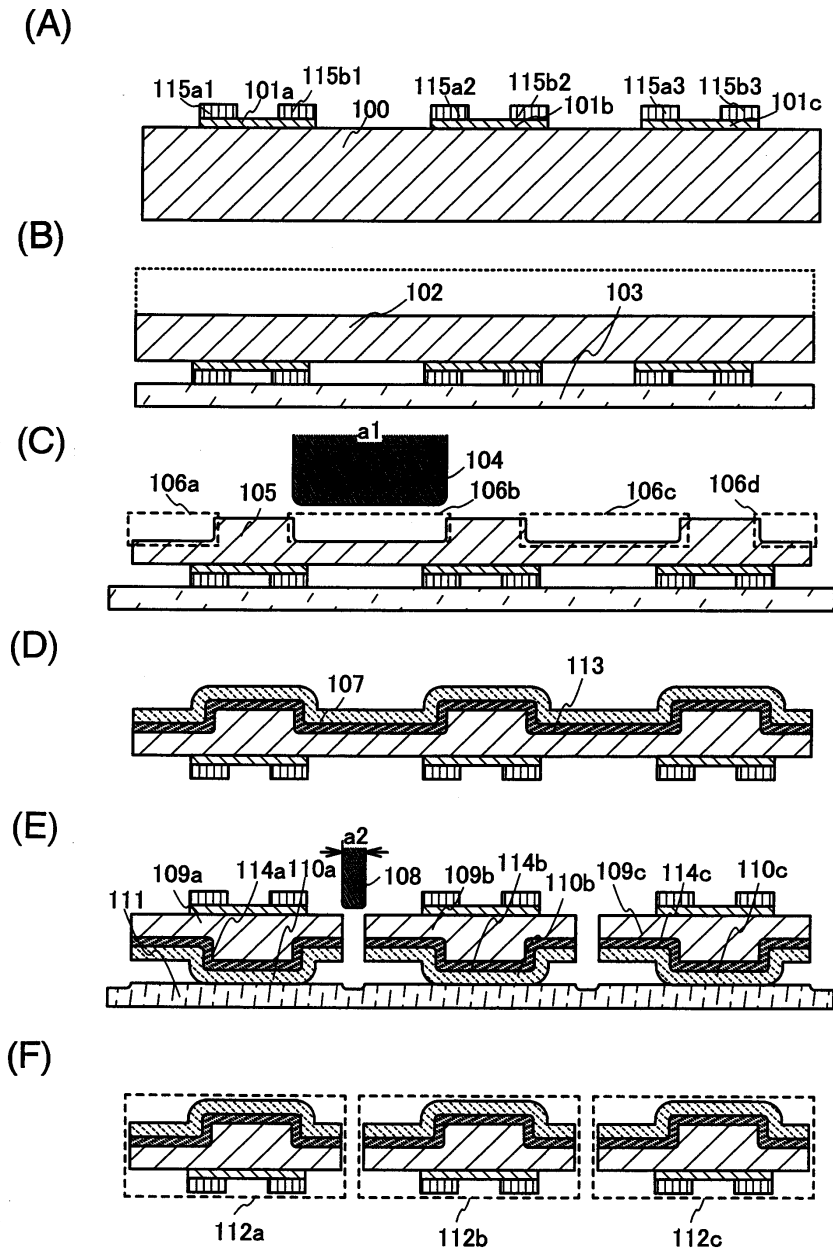
(A)



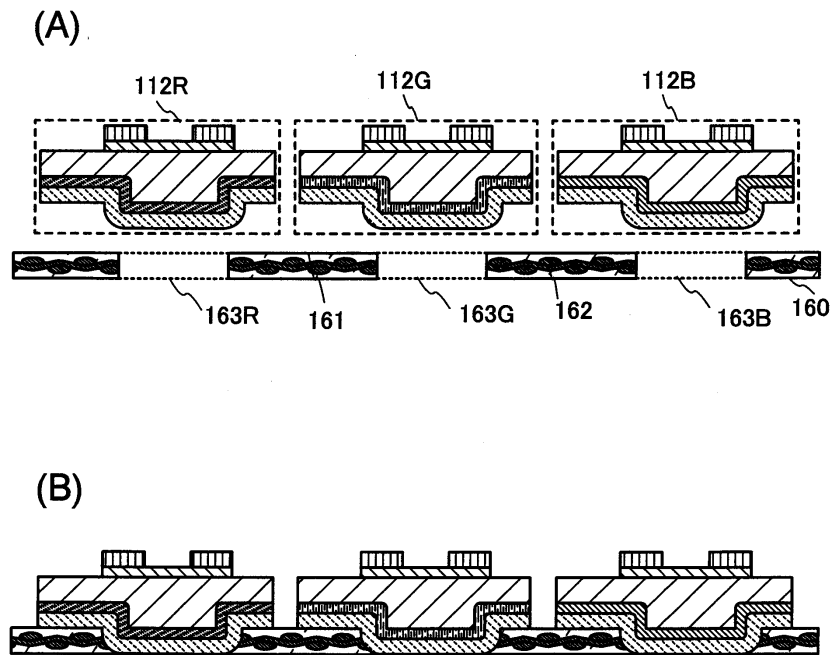
(B)



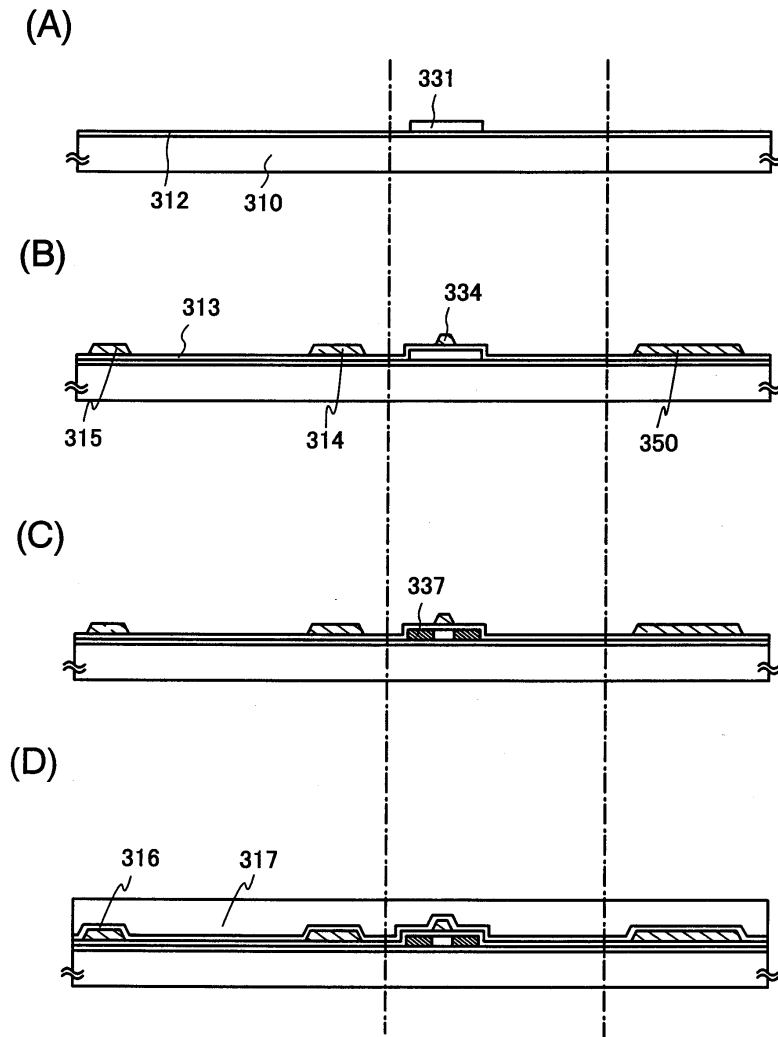
도면3



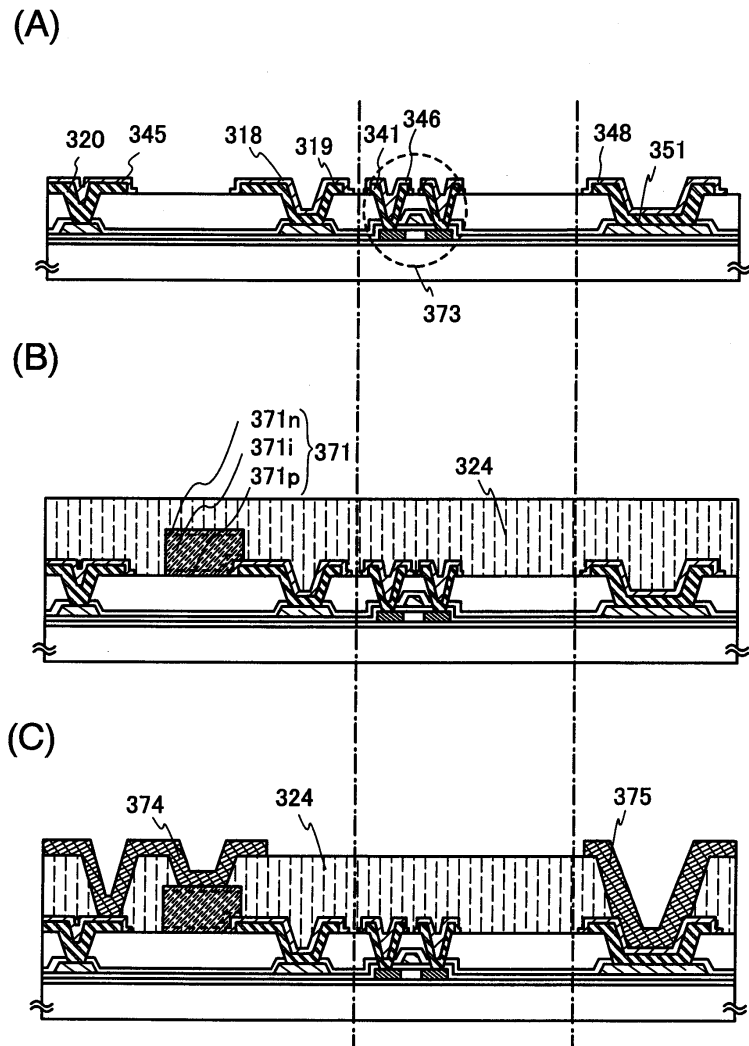
도면4



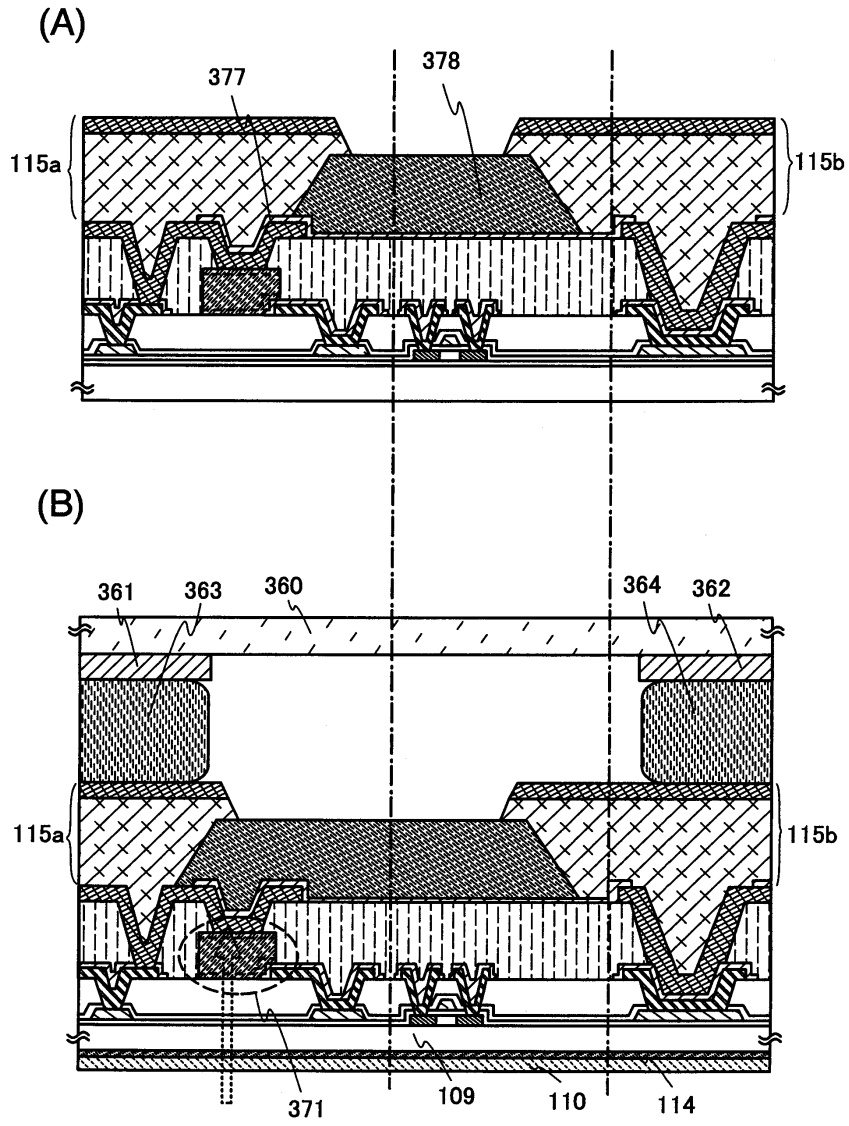
도면5



도면6

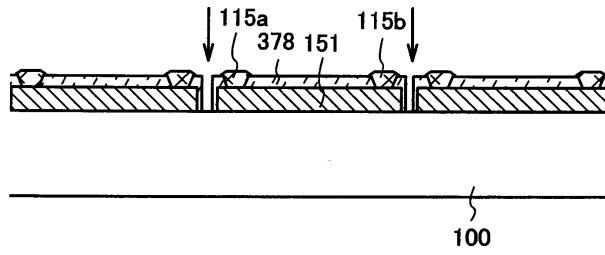


도면7

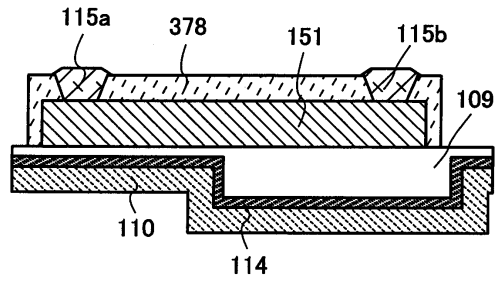


도면8

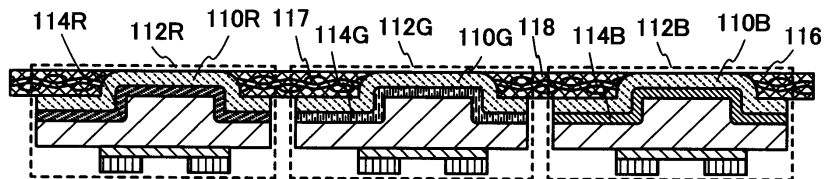
(A)



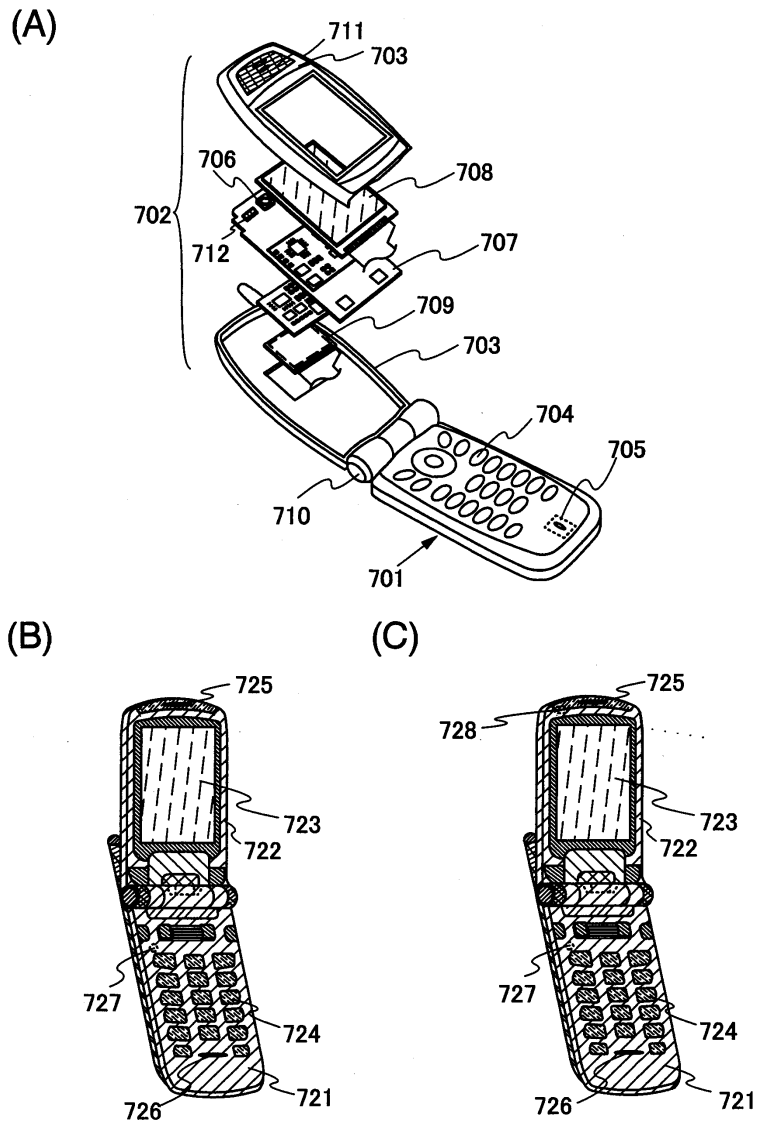
(B)



도면9

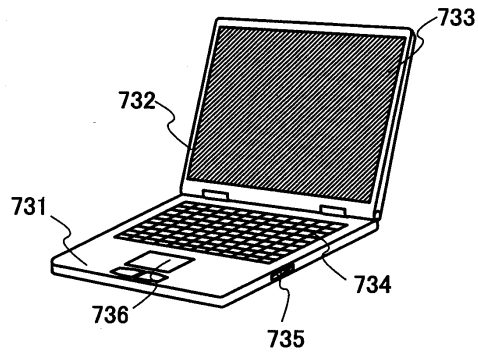


도면10

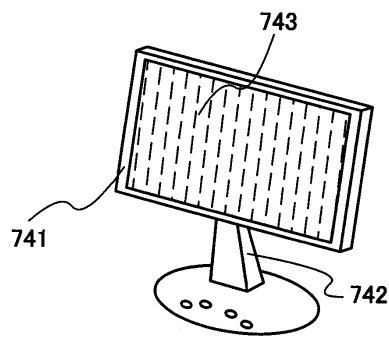


도면11

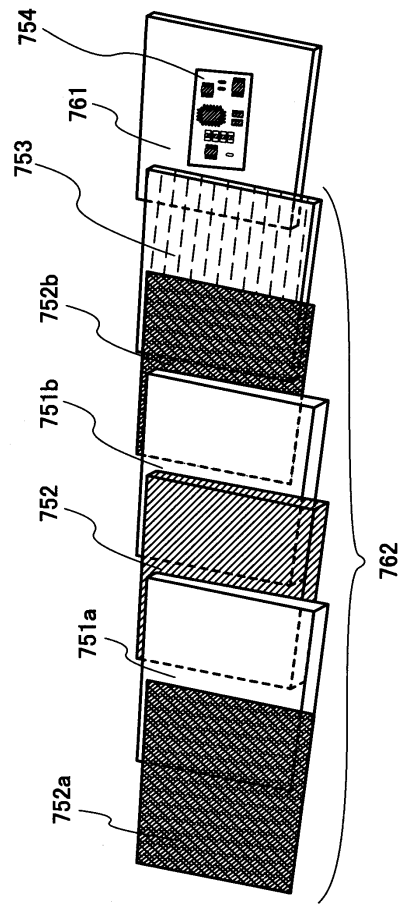
(A)



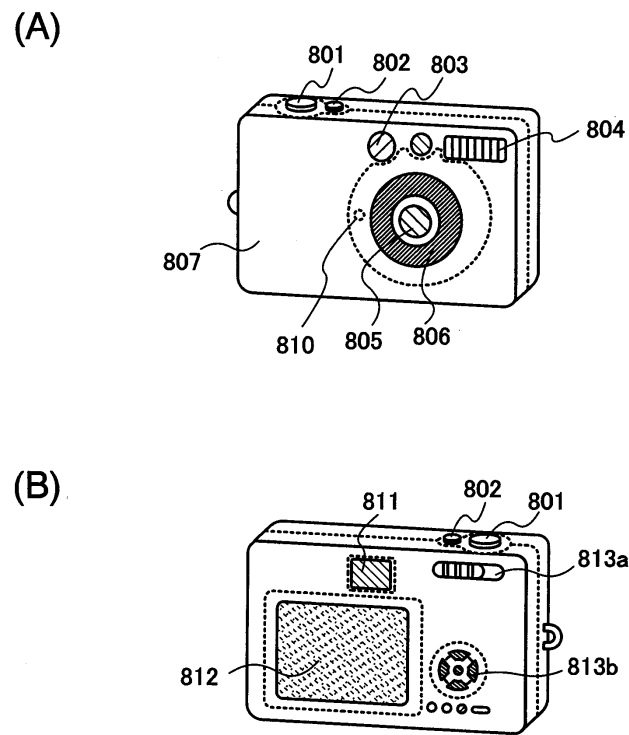
(B)



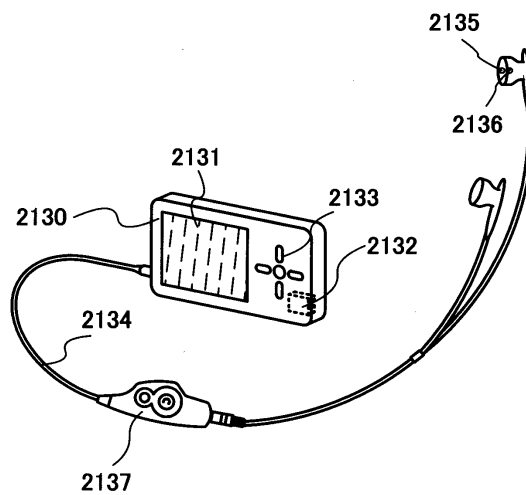
도면12



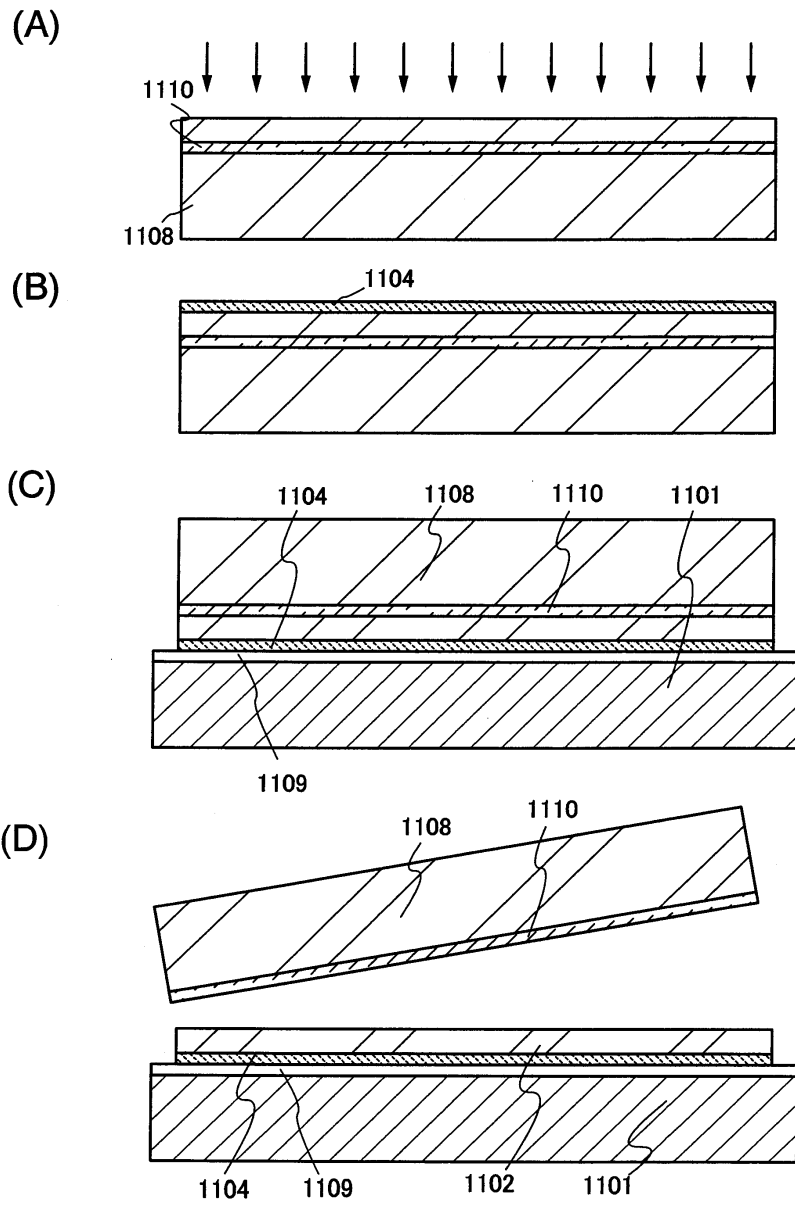
도면13



도면14



도면15



도면16

