

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 29 年 3 月 2 日 (2017.3.2)

【公開番号】特開 2014-149906 (P2014-149906A)
 【公開日】平成 26 年 8 月 21 日 (2014.8.21)
 【年通号数】公開・登録公報 2014-044
 【出願番号】特願 2014-12282 (P2014-12282)
 【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 3 4 E

G 1 1 C 17/00 6 1 3

【手続補正書】
 【提出日】平成 29 年 1 月 26 日 (2017.1.26)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

フラッシュデバイスの公称電圧変動を補償するためのシステムであって、
 N 回の読み取りを実行するように構成されたフラッシュデバイスであって、前記 N 回の読み取りのそれぞれが初期の公称の読み取り電圧からの選択された電圧オフセットを有し、前記 N 回の読み取りが前記選択された電圧オフセットに関連づけられた N ビットのデジタルパターンを生成する、フラッシュデバイスと、

前記 N 回の読み取りによって生成された前記 N ビットのデジタルパターンを受け取るように構成され、前記 N ビットのデジタルパターンを符号付き表現にマッピングするようにさらに構成されたマッピングモジュールと、

前記公称の読み取り電圧の変動を少なくとも部分的に補償するために前記符号付き表現に基づいて電圧調整を行うように構成された電圧補償器とを備えるシステム。

【請求項 2】

前記フラッシュデバイスが前記 N 回の読み取りに関連づけられた前記 N ビットのデジタルパターンを生成するように構成されたフラッシュ・アナログ・デジタル変換器を含む、請求項 1 に記載のシステム。

【請求項 3】

選択された数のメモリサイクルが発生した後、または読み取り障害が発生した後、公称電圧の変動を補償するように構成された請求項 1 または 2 に記載のシステム。

【請求項 4】

前記マッピングモジュールから前記符号付き表現を受け取るように構成された適応ループをさらに備え、

前記適応ループは、前記符号付き表現の大きさおよび符号に基づいて 1 つまたは複数の数値調整を適応的に行うようにさらに構成され、

前記電圧調整が、前記適応ループからの前記 1 つまたは複数の数値調整を利用して決定されることからなる、請求項 1 ~ 3 のいずれかに記載のシステム。

【請求項 5】

フラッシュデバイスの公称電圧の変動を補償するためのシステムであって、

N回の読み取りを実行するように構成されたフラッシュデバイスであって、前記N回の読み取りのそれぞれが初期の公称の読み取り電圧からの選択された電圧オフセットを有し、前記N回の読み取りが前記選択された電圧オフセットに関連づけられたNビットのデジタルパターンを生成する、フラッシュデバイスと、

前記N回の読み取りによって生成された前記Nビットのデジタルパターンを受け取るように構成されたマッピングモジュールであって、前記Nビットのデジタルパターンを符号付き表現にマッピングするようにさらに構成されたマッピングモジュールと、

前記マッピングモジュールから前記符号付き表現を受け取るように構成された適応ループであって、前記符号付き表現の大きさおよび符号に基づいて1つまたは複数の数値調整を適応的に行うようにさらに構成された適応ループと、

前記公称の読み取り電圧の変動を少なくとも部分的に補償するために前記適応ループからの前記1つまたは複数の数値調整に基づいて電圧調整を行うように構成された電圧補償器と、

調整された公称の読み取り電圧に基づいて対数尤度比を決定するように構成された計算モジュールと
を備えるシステム。

【請求項6】

前記対数尤度比 (L L R) が、

$$L L R = K (y) \times y$$

によって決定され、ここで、yは前記調整された読み取り電圧であり、K (y) はyに基づく定数である、請求項5に記載のシステム。

【請求項7】

yがゼロより小さくない場合は、K (y) = K pであり、

yがゼロより小さい場合は、K (y) = K nであり、

ここで、K pおよびK nは選択された定数である、請求項6に記載のシステム。

【請求項8】

K pおよびK nが、yに対する値の分布を利用して決定される、請求項7に記載のシステム。

【請求項9】

読み取り障害が発生した後、公称電圧の変動を補償するように構成された請求項5～8のいずれかに記載のシステム。

【請求項10】

前記フラッシュデバイスが、前記N回の読み取りに関連づけられた前記Nビットのデジタルパターンを生成するように構成されたフラッシュ・アナログ・デジタル変換器を含む、請求項5～9のいずれかに記載のシステム。

【請求項11】

前記符号付き表現が3ビットの符号付き2進表現を含む、請求項5～10のいずれかに記載のシステム。

【請求項12】

少なくとも読み取り再試行経路の一部を含む請求項5～11のいずれかに記載のシステム。

【請求項13】

フラッシュデバイスの公称電圧の変動を補償する方法であって、

N回の読み取りを実行するステップであって、前記N回の読み取りのそれぞれが初期の公称の読み取り電圧からの選択された電圧オフセットを有する、ステップと、

前記選択された電圧オフセットに関連づけられたNビットのデジタルパターンを生成するステップと、

前記Nビットのデジタルパターンを符号付き表現にマッピングするステップと、

前記公称の読み取り電圧の変動を少なくとも部分的に補償するために前記符号付き表現

に基づいて電圧調整を行うステップとを含む方法。

【請求項 1 4】

前記符号付き表現の大きさおよび符号に基づいて 1 つまたは複数の数値調整を適応的に行うステップをさらに含み、

前記電圧調整が、前記 1 つまたは複数の数値調整を利用して決定されることからなる、請求項 1 3 に記載の方法。

【請求項 1 5】

選択された数のメモリサイクルと読み取り障害とのうちの少なくとも一方を検出するステップをさらに含む請求項 1 3 または 1 4 に記載の方法。

【請求項 1 6】

前記 N ビットのデジタルパターンが、フラッシュ・アナログ・デジタル変換器からの出力である、請求項 1 3 ~ 1 5 のいずれかに記載の方法。

【請求項 1 7】

調整された公称の読み取り電圧に基づいて対数尤度比を決定するステップをさらに含む請求項 1 3 ~ 1 6 のいずれかに記載の方法。

【請求項 1 8】

前記対数尤度比 (L L R) が、

$$L L R = K (y) \times y$$

によって決定され、ここで、 y は前記調整された読み取り電圧であり、 K (y) は y に基づく定数である、請求項 1 7 に記載の方法。

【請求項 1 9】

y がゼロより小さくない場合は、 K (y) = K p であり、

y がゼロより小さい場合は、 K (y) = K n であり、

ここで、 K p および K n は選択された定数である、請求項 1 8 に記載の方法。

【請求項 2 0】

K p および K n が、 y に対する値の分布を利用して決定される、請求項 1 9 に記載の方法。