

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年3月22日(2012.3.22)

【公表番号】特表2009-535745(P2009-535745A)

【公表日】平成21年10月1日(2009.10.1)

【年通号数】公開・登録公報2009-039

【出願番号】特願2009-509938(P2009-509938)

【国際特許分類】

G 06 F 9/455 (2006.01)

【F I】

G 06 F 9/44 3 1 0 A

【手続補正書】

【提出日】平成24年2月2日(2012.2.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ホストシステム上でターゲットシステムをエミュレーションするための方法であって、ターゲットシステムプロセッサのレジスタセットの使用に関する統計を決定するステップと、

前記統計にもとづいて、前記レジスタセットの内、1以上の最も多く使われるレジスタを含む第1レジスタサブセットを決めるステップと、

前記第1レジスタサブセットをホストシステムプロセッサの第1レジスタグループにダイレクトマッピングするステップと、

前記レジスタセットの第2レジスタサブセットを前記ホストシステムプロセッサの第2レジスタグループに動的にマッピングするステップと、

前記第1および第2レジスタグループを用いて前記ホストシステムプロセッサ上で前記ターゲットシステムプロセッサをエミュレートするステップとを含み、

前記ターゲットシステムプロセッサのレジスタセットのレジスタのいくつかは、前記ホストシステムプロセッサの第1および第2レジスタグループのレジスタよりもサイズが大きく、

前記第1レジスタサブセットをダイレクトマッピングするステップまたは第2レジスタサブセットを動的にマッピングするステップは、ターゲットシステムレジスタの下位フィールドを第1ホストシステムレジスタにマッピングし、前記ターゲットシステムレジスタの上位フィールドを第2ホストシステムレジスタにマッピングするステップを含むことを特徴とする方法。

【請求項2】

前記ターゲットシステムをエミュレートするステップは、ターゲットシステムプロセッサ用のインストラクションをトランスレートするステップを含む請求項1の方法。

【請求項3】

前記ターゲットシステムプロセッサのレジスタセットのレジスタは128ビットレジスタを含み、前記ホストシステムプロセッサの第1および第2レジスタグループのレジスタは64ビットレジスタを含む請求項1の方法。

【請求項4】

前記ホストシステムプロセッサはセルプロセッサのパワー・プロセッサ・エレメントで

ある請求項 1 の方法。

【請求項 5】

第 1 および / または第 2 グループの 1 以上のレジスタは、前記パワー・プロセッサ・エレメントの V M X ユニットのレジスタである請求項4 の方法。

【請求項 6】

前記ホストプロセッサで中間結果を生成する演算を実行するステップと、前記中間結果を前記第 2 レジスタグループの 1 以上のレジスタに格納するステップとをさらに含む請求項 1 の方法。

【請求項 7】

前記ターゲットシステムプロセッサはエモーション・エンジンである請求項 1 の方法。

【請求項 8】

前記エモーション・エンジン用のインストラクションを前記ホストシステムプロセッサで読み取り可能なマシンコードにトランスレートすることにより、前記ホストシステムプロセッサで前記エモーション・エンジンをエミュレートするステップをさらに含む請求項7 の方法。

【請求項 9】

ターゲットシステムのインストラクションのブロッキングの可能性を減らすために、第 2 サブセットレジスタの動的マッピングをローテーションするステップをさらに含む請求項 1 の方法。

【請求項 10】

前記ターゲットシステムは 1 以上のさらなるプロセッサを含み、当該方法は、前記 1 以上のさらなるプロセッサ用のインストラクションをインターブリトし、インターブリトされたインストラクションを前記ホストシステムプロセッサまたは前記ホストシステムプロセッサに接続された 1 以上のコプロセッサ上で実行することにより、前記 1 以上のさらなるプロセッサをエミュレートするステップをさらに含む請求項8 の方法。

【請求項 11】

第 1 サブセットレジスタのダイレクトマッピングおよび / または第 2 サブセットレジスタの動的マッピングを動的に再構成するステップをさらに含む請求項 1 の方法。

【請求項 12】

ターゲットシステムをエミュレーションするためのホストシステムであって、  
1 以上のホストシステムプロセッサと、  
前記 1 以上のホストシステムプロセッサに接続されたメモリと、  
前記メモリに具体化されたプロセッサで実行可能なインストラクションセットとを含み、

当該プロセッサで実行可能なインストラクションは、ホストシステム上でターゲットシステムをエミュレーションするための方法を実装するためのインストラクションを含み、当該方法は、

ターゲットシステムプロセッサのレジスタセットの使用に関する統計を決定するステップと、

前記統計にもとづいて、前記レジスタセットの内、1 以上の最も多く使われるレジスタを含む第 1 レジスタサブセットを決めるステップと、

前記第 1 レジスタサブセットをホストシステムプロセッサの第 1 レジスタグループにダイレクトマッピングするステップと、

前記レジスタセットの第 2 レジスタサブセットを前記ホストシステムプロセッサの第 2 レジスタグループに動的にマッピングするステップとを含み、

前記ターゲットシステムプロセッサのレジスタセットのレジスタのいくつかは、前記ホストシステムプロセッサの第 1 および第 2 レジスタグループのレジスタよりもサイズが大きく、

前記第 1 レジスタサブセットをダイレクトマッピングするステップまたは第 2 レジスタサブセットを動的にマッピングするステップは、ターゲットシステムレジスタの下位フィ

ールドを第 1 ホストシステムレジスタにマッピングし、前記ターゲットシステムレジスタの上位フィールドを第 2 ホストシステムレジスタにマッピングするステップを含むことを特徴とするホストシステム。

**【請求項 1 3】**

前記 1 以上のホストシステムプロセッサはパワー・プロセッサ・エレメントを含む請求項1 2 のシステム。

**【請求項 1 4】**

前記 1 以上のホストシステムプロセッサは、前記パワー・プロセッサ・エレメントに接続された 1 以上のシナジスティック・プロセッサ・エレメントをさらに含む請求項1 3 のシステム。

**【請求項 1 5】**

第 1 および / または第 2 グループの 1 以上のレジスタは、前記パワー・プロセッサ・エレメントの V M X ユニットのレジスタである請求項1 3 のシステム。

**【請求項 1 6】**

前記ターゲットシステムプロセッサのレジスタセットのレジスタは、前記ホストシステムプロセッサの第 1 および第 2 レジスタグループのレジスタよりもサイズが大きい請求項1 2 のシステム。

**【請求項 1 7】**

前記ターゲットシステムプロセッサのレジスタセットのレジスタは 1 2 8 ビットレジスタであり、前記ホストシステムプロセッサの第 1 および第 2 レジスタグループのレジスタは 6 4 ビットレジスタである請求項1 6 のシステム。