

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4057067号  
(P4057067)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl. F I  
 HO 4 L 12/56 (2006.01) HO 4 L 12/56 1 O O Z  
 HO 4 L 12/46 (2006.01) HO 4 L 12/46 1 O O M

請求項の数 32 (全 18 頁)

<p>(21) 出願番号 特願平11-505715                  (86) (22) 出願日 平成10年6月24日(1998.6.24)                  (65) 公表番号 特表2002-508124(P2002-508124A)                  (43) 公表日 平成14年3月12日(2002.3.12)                  (86) 国際出願番号 PCT/US1998/013203                  (87) 国際公開番号 W01999/000737                  (87) 国際公開日 平成11年1月7日(1999.1.7)                  審査請求日 平成17年4月18日(2005.4.18)                  (31) 優先権主張番号 08/885,000                  (32) 優先日 平成9年6月30日(1997.6.30)                  (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者                  サン・マイクロシステムズ・インコーポレ                  ーテッド                  アメリカ合衆国・94303・カリフォル                  ニア州・パロアルト・サンアントニオ                  ロード・901                  (74) 代理人                  弁理士 山川 政樹                  (74) 代理人                  弁理士 黒川 弘朗                  (74) 代理人                  弁理士 紺野 正幸                  (74) 代理人                  弁理士 西山 修</p>
---	---

最終頁に続く

(54) 【発明の名称】 多層スイッチング・ネットワーク要素中でパケット・フィールドを置換するための機構

(57) 【特許請求の範囲】

【請求項1】

パケット・スイッチにおけるヘッダ・フィールドを選択的に置換する装置であって、ヘッダ、データ、およびサイクル冗長符号(CRC)を含む入力パケットを受信するために結合された、入力パケットを一時記憶するように構成されたバッファを含む入力ポート・プロセス(IPP)と、

パケットと経路に関する情報を記憶するように構成されたデータベースと、ヘッダを受信するために結合され、データベースをサーチして入力パケットのタイプに関する情報を決定するように構成された、IPPとデータベースの間に結合されたサーチ・エンジンと

を含み、前記IPPがさらに、入力パケットをバッファから出力し、サーチ・エンジンから提供された情報に回答してヘッダ中の少なくとも一つのフィールドを選択的に置換し、修正された入力パケットをスイッチから出力する前にさらに修正することを示す制御フィールド情報を選択的に出力するように構成された装置であり、

選択的に修正された入力パケットおよび制御フィールド情報を受信するように構成され、少なくとも一つの制御信号を選択的に生成して、修正された入力パケットをスイッチから出力する前にさらに修正すべきであることを通知し、この選択的に修正された入力パケットを出力するように構成された出力ポート・プロセス(OPP)と、

少なくとも一つの制御信号および選択的に修正された入力パケットを受信するために結合され、選択的に修正された入力パケットに対応するパケットをスイッチから出力するよう

に構成され、少なくとも1つの制御信号に 응답して、少なくとも1つのヘッダ・フィールドおよびCRCを、出力パケットを媒体上に伝送する前に選択的に修正するようにさらに構成された出力インタフェースとを含む装置。

【請求項2】

前記タイプが、入力パケットが経路指定されるかどうかを示す指示を含み、入力パケットが経路指定される場合には、前記サーチ・エンジンが、入力パケットが経路指定されること、およびその経路の宛先アドレス(DA)をIPPに通知するように構成される請求項1に記載の装置。

【請求項3】

サーチ・エンジンが入力パケットが経路指定されることをIPPに通知した場合に、前記IPPが、ヘッダのDAフィールドをサーチ・エンジンから提供されたDAで置換するように構成される請求項2に記載の装置。

【請求項4】

前記制御フィールド情報が、修正された入力パケットを出力する前にヘッダの出所アドレス・フィールドが置換されることを示すための、IPPによってセットされたフィールドを含み、前記フィールドが、入力パケットが経路指定されるときにセットされる請求項2に記載の装置。

【請求項5】

少なくとも1つの制御信号が、CRCの生成および出所アドレスの置換を選択的に示すための制御信号を含む請求項2に記載の装置。

【請求項6】

出力インタフェースが、出所アドレスの置換を示す少なくとも1つの制御信号の受信に 응답してヘッダの出所アドレス・フィールドに出力インタフェースのアドレスを挿入し、CRCの再生を示す少なくとも1つの制御信号に 응답してCRCを生成するように構成される請求項5に記載の装置。

【請求項7】

ヘッダが生存時間(TTL)フィールドを含み、前記IPPが、出力する前にTTLフィールド中の値を1だけ減分するようにさらに構成される請求項1に記載の装置。

【請求項8】

ヘッダがチェックサム・フィールドを含み、前記IPPが、出力する前にチェックサム・フィールド中の値を更新するようにさらに構成される請求項1に記載の装置。

【請求項9】

パケットがユニキャスト・パケットであるときに宛先アドレスが置換される請求項2に記載の装置。

【請求項10】

出力インタフェースがCRCを生成する場合に、OPPが、修正された入力パケットを出力インタフェースに伝送する間にCRCを除去するようにさらに構成される請求項5に記載の装置。

【請求項11】

出力インタフェースがMACである請求項1に記載の装置。

【請求項12】

少なくとも1つの制御信号が信号replace\_\_saを含む請求項11に記載の装置。

【請求項13】

少なくとも1つの制御信号が、OPPからMACに伝送される制御ワード中のNO\_\_CRCビットの状態を含む請求項11に記載の装置。

【請求項14】

スイッチが仮想ローカル・エリア・ネットワーク(VLAN)をサポートし、前記タイプが、入力パケットがタグ付けされていないか、有効なタグでタグ付けされているか、または無効なタグでタグ付けされているかを示す指示を含む装置であって、

10

20

30

40

50

入力パケットがタグ付けされておらず、入力パケットが決められているVLANに属するとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、決められているVLANのVLANタグ、およびそのVLANタグがヘッダのVLANタグ・フィールドに挿入されることを示す少なくとも1つのインジケータをIPPに通知するように構成され、  
入力パケットが無効なタグでタグ付けされており、入力パケットが決められているVLANに属するとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、決められているVLANのVLANタグ、およびそのVLANタグが置換されることを示す少なくとも1つのインジケータをIPPに通知するように構成され、  
入力パケットが有効なタグでタグ付けされており、入力パケットを異なるVLANに経路指定すべきであるとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、その異なるVLANのVLANタグ、およびそのVLANタグが置換されることを示す少なくとも1つのインジケータをIPPに通知するように構成され、  
その他の場合には、サーチ・エンジンが、VLANタグの挿入も置換も示さない少なくとも1つのインジケータをIPPに通知するように構成される請求項1に記載の装置。

10

**【請求項15】**

IPPが、  
VLANタグが挿入される場合に、サーチ・エンジンから提供されたVLANタグを挿入し、第1の状態の制御フィールド情報を生成し、  
VLANタグが置換される場合に、入力パケットのヘッダ中のVLANタグをサーチ・エンジンから提供されたVLANタグで置換し、第2の状態の制御フィールド情報を生成し、  
その他の場合に、第3の状態の制御フィールド情報を生成するように構成される請求項14に記載の装置。

20

**【請求項16】**

前記OPPが、制御フィールド情報の状態に基づいて、修正された入力パケット中のVLANタグ・フィールドを選択的に取り除くようにさらに構成される請求項15に記載の装置。

**【請求項17】**

前記OPPが、制御フィールド情報の状態に基づいて、CRCを再生するために制御信号を選択的に生成するように構成される請求項15に記載の装置。

30

**【請求項18】**

出力インタフェースが、CRCの再生を示す少なくとも1つの制御信号に応答してCRCを生成するように構成される請求項17に記載の装置。

**【請求項19】**

IPPから受信した選択的に修正された入力パケットを記憶するように構成されたパケット・メモリをさらに含み、前記パケット・メモリが制御フィールド情報を記憶するようにさらに構成され、前記OPPが、パケット・メモリに結合され、選択的に修正された入力パケットおよび制御フィールド情報をパケット・メモリから受信するように構成される請求項1に記載の装置。

**【請求項20】**

ネットワーク・スイッチ・デバイス中でヘッダ・フィールドの置換を選択的に実行する方法であって、  
入力ポート・プロセス(IPP)が入力パケットをバッファリングするステップと、  
サーチ・エンジンがデータベースをサーチして入力パケットのタイプを決定し、この入力パケットのタイプをIPPに通知するステップと、  
前記IPPがサーチ・エンジンから提供された情報に応答してヘッダ中の少なくとも1つのフィールドを選択的に置換し、修正された入力パケットをスイッチから出力する前にさらに修正することを示す制御フィールド情報を選択的に出力するステップと、  
出力ポート・プロセス(OPP)が、修正された入力パケットおよび対応する制御フィールド情報を読み取り、前記OPPが、修正された入力パケットがスイッチから出力される

40

50

前にさらに修正されることを通知し、この選択的に修正された入力パケットを出力するために、少なくとも1つの制御信号を出力インタフェースに対して選択的に生成するステップと、

前記出力インタフェースが、OPPから受信した少なくとも1つの制御信号に応答して選択的にさらに修正された、修正された入力パケットを出力するステップと

を含む方法。

【請求項21】

修正された入力パケットおよび制御フィールド情報をパケット・メモリに記憶するステップをさらに含み、前記OPPがさらに、修正された入力パケットおよび制御フィールド情報をパケット・メモリから読み取る請求項20に記載の方法。

10

【請求項22】

前記タイプが入力パケットが経路指定されるかどうかを示す指示を含み、入力パケットが経路指定される場合に、前記サーチ・エンジンが、その入力パケットが経路指定されること、およびその経路の宛先アドレス(DA)をIPPに通知する請求項20に記載の方法。

【請求項23】

IPPが選択的に置換するステップが、ヘッダのDAフィールドを、入力パケットが経路指定される場合にサーチ・エンジンから提供されるDAで置換するステップを含む請求項22に記載の方法。

20

【請求項24】

前記制御フィールド情報が、修正された入力パケットを出力する前にヘッダの出所アドレス・フィールドが置換されることを示すための、IPPによってセットされたフィールド(replace\_SA)を含み、前記replace\_SAが、入力パケットが経路指定されるときにセットされる請求項22に記載の方法。

【請求項25】

少なくとも1つの制御信号を生成するステップが、CRCの生成および出所アドレスの置換を選択的に示すための制御信号を生成するステップを含む請求項22に記載の方法。

【請求項26】

出力するステップが、

出所アドレスの置換を示す少なくとも1つの制御信号の受信に応答して、ヘッダの出所アドレス・フィールドに出力インタフェースのアドレスを挿入するステップと、

CRCの再生を示す少なくとも1つの制御信号に応答してCRCを生成するステップとを含む請求項25に記載の方法。

30

【請求項27】

スイッチが仮想ローカル・エリア・ネットワーク(VLAN)をサポートし、前記タイプが、入力パケットがタグ付けされていないか、有効なタグでタグ付けされているか、または無効なタグでタグ付けされているかを示す指示を含む方法であって、

入力パケットがタグ付けされておらず、入力パケットが決められているVLANに属するとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、決められているVLANのVLANタグをIPPに通知し、さらにそのVLANタグがヘッダのVLANタグ・フィールドに挿入されることを示す少なくとも1つのインジケータを発行し、

40

入力パケットが無効なタグでタグ付けされており、入力パケットが決められているVLANに属するとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、決められているVLANのVLANタグをIPPに通知し、さらにそのVLANタグが置換されることを示す少なくとも1つのインジケータを発行し、

入力パケットが有効なタグでタグ付けされており、入力パケットを異なるVLANに経路指定すべきであるとサーチ・エンジンが決定した場合に、前記サーチ・エンジンが、その異なるVLANのVLANタグをIPPに通知し、そのVLANタグが置換されることを示す少なくとも1つのインジケータ発行し、

その他の場合には、サーチ・エンジンが、VLANタグの挿入も置換も示さない少なくと

50

も1つのインジケータをI P Pに通知する請求項20に記載の方法。

【請求項28】

V L A Nタグが挿入される場合に、前記I P Pが選択的に置換する前記ステップが、サーチ・エンジンから提供されたV L A Nタグを挿入するステップを含み、制御フィールド情報を選択的に出力する前記ステップが、第1の状態の制御フィールド情報を生成するステップを含み、

V L A Nタグが置換される場合に、前記I P Pが選択的に置換する前記ステップが、入力パケットのヘッダ中のV L A Nタグをサーチ・エンジンから提供されたV L A Nタグで置換するステップを含み、制御フィールド情報を選択的に出力する前記ステップが、第2の状態の制御フィールド情報を生成するステップを含み、

その他の場合には、制御フィールド情報を選択的に出力する前記ステップが、第3の状態の制御フィールド情報を生成するステップを含む請求項27に記載の方法。

【請求項29】

修正された入力パケット中のV L A Nタグ・フィールドを、制御フィールド情報の状態に基づいて前記O P Pが選択的に取り除くステップをさらに含む請求項28に記載の方法。

【請求項30】

少なくとも1つの制御信号を選択的に生成するステップが、制御フィールド情報の状態に基づいて制御信号がC R Cを再生することを含む請求項28に記載の方法。

【請求項31】

出力インタフェースが、C R Cの再生を示す少なくとも1つの制御信号にตอบสนองしてC R Cを生成することによって、修正された入力パケットをさらに選択的に修正する請求項30に記載の方法。

【請求項32】

パケット・スイッチにおいて選択的にヘッダのフィールドを置換する装置であって、  
入力ポート・プロセス(I P P)、データベース、サーチ・エンジン、出力ポート・プロセス(O P P)及び媒体アクセス制御(M A C)を含むスイッチング要素を備え、  
I P Pは、M A Cとサーチ・エンジンとに結合され、M A Cからヘッダ、データ及びサイクル冗長符号(C R C)からなる入力パケットに関連したヘッダ情報を受信し、  
データベースは、パケットの転送及びフィルタリングを容易にするための情報を記憶するように構成され、

サーチ・エンジンは、データベースに結合され、そしてI P Pからヘッダのコピーを受信するように結合され、サーチ・エンジンはデータベースをサーチして入力パケットのタイプに関する情報及び入力パケットの次のホップに関する情報を決定しそしてI P Pに供給するように構成され、

I P Pは、タイプに応じてヘッダの少なくとも1つのフィールドを選択的に置換するように、そして制御フィールド情報をO P Pに選択的に出力してパケット・スイッチからの出力の前に入力パケットの付加的な修正の必要性を指示するように構成され、

スイッチング要素によって決定された情報が、ヘッダが変更されないことを示す場合には、入力パケットは修正されずにスイッチから出力され、それにより終端間のエラー頑強性が保持され、

スイッチング要素によって決定された情報が、ヘッダの少なくとも一部分が変更されることを示す場合には、入力パケットのヘッダが更新され、C R Cが除去されて、スイッチから出力される更新されたパケットに基づいて再生される、

装置。

【発明の詳細な説明】

発明の分野

本発明のシステムおよび方法は、パケット・スイッチング・ネットワーク中でのパケット・フィールドの置換の分野に関し、さらに詳細には、本発明は、ネットワークに結合されたスイッチ内での、パケットのパケット・ヘッダ・フィールドのパケット・フィールド置換のハードウェア実現に関する。

## 技術背景

ローカル・エリア・ネットワーク（LAN）のアーキテクチャは、かなり洗練されてきている。当初は、LANはいくつかのコンピュータを接続する単線として考えられていた。現在では、LANは、機能性およびフレキシビリティを向上させるために複雑な構成で実現されている。このようなネットワークでは、パケットは発信元デバイスから宛先デバイスに伝送され、より拡張性の高いネットワークでは、このパケットは1つまたは複数のスイッチおよび/あるいはルータを通過して進行する。パケット構造ならびにネットワークの機能とソフィステケーション（sophistication）の層を規整した標準が設定されている。例えば、TCP/IPプロトコル・スタックは、4つの複数の層、例えば物理層（層1）、データ・リンク層（層2）、ネットワーク層（層3）、トランスポート層（層4）を定

10

めている。ネットワーク・デバイスは、これらの層の1つまたは複数でサポートされ、したがってヘッダの特定のフィールドを参照することができる。今日では、通常のLANでは、層2（データ・リンク層）および層3（ネットワーク層）のネットワーク・デバイスの組み合わせを利用している。高まり続けるネットワークからの性能面の要求に応えるために、ソフトウェアならびに/または層2および層3の個々のデバイス中で従来実行されていた機能性は、ハードウェアで性能決定機能を実現する1つの多層デバイスまたは多層スイッチに移植されている。

1つの性能決定機能は経路指定である。経路指定を実施するソフトウェアは性能に影響を及ぼす可能性がある。したがって、経路指定はより高速のハードウェアで実施することが望ましい。しかし、経路指定では、着信パケットの特定のヘッダ・フィールドを、デバイスから出力する前に修正する必要がある。ソフトウェアで実行することがおそらくは望ましいのであるが、ハードウェアの実施態様では、性能を損なうことなく、余分なハードウェアを最小限に抑えることが重要である。

20

最近、仮想ローカル・エリア・ネットワーク（VLAN）の概念が層2に導入された。層2のヘッダは、VLANの能力を与えるビットを追加するように修正されている。VLANでは、ネットワーク・トポロジの物理的な区分化または配列とは無関係に、ネットワーク・ノードを論理的に区分化することができる。パケットの状態に基づいて、VLANビット、例えばVLANタグを修正する必要があることもある。ソフトウェア・ベースの技術を使用することもできるが、効率的なハードウェア手法を提供することが望ましい。

## 発明の概要

30

ネットワーク要素の性能に最低限の影響しか及ぼさないハードウェアを使用してパケット・ヘッダを更新するシステムおよび方法である。一実施態様では、このシステムは、受信した入力パケットをバッファリングし、ヘッダ情報をサーチ・エンジンに転送する入力ポート・プロセス（IPP）を含む。サーチ・エンジンは、スイッチング要素上に維持されたデータベースをサーチし、パケットのタイプを決定する。一実施態様では、このタイプは、そのパケットをハードウェアで経路指定することができるかどうかを示すことができる。別の実施態様では、このタイプは、そのパケットがVLANをサポートするかどうかを示すことができる。サーチ・エンジンは、パケット・タイプの情報を、そのパケットが経路指定される場合には更新すべき宛先アドレス（DA）とともに、あるいはそのパケットが特定のVLANに中継されるものとして識別されている場合にはVLANタグとともに、IPPに送信する。IPPは、パケット・メモリにパケットを伝送する間に、対応するフィールド、例えばDAフィールドやVLANタグ・フィールドを選択的に置換し、修正されたパケットがパケット・メモリに記憶される。IPPによってパケット・メモリに送られる制御フィールド情報を含む制御フィールドが、パケット・メモリと関連づけられる。一実施態様では、制御フィールド情報は、出所アドレスが置換を必要としていることを示すフラグからなる。別の実施態様では、制御フィールド情報は、パケットがタグ付きで届いたか、パケットがタグ付きで届いたがこのタグが修正されるか、またはパケットにタグ付けしないかを示すフラグからなる。

40

出力ポート・プロセス（OPP）は、修正された入力パケットおよび制御フィールド情報を読み取り、修正された入力パケットに対して追加の修正を選択的に実行し、制御信号を

50

出力インタフェース（すなわちMAC）に発行する。一実施態様では、OPPはCRCに対応するパケットの最後の4バイトを除去し、MACに制御信号をアサートしてCRCを添付し、出所アドレスを置換する。別の実施態様では、3つの制御フィールドの状態に応じて、OPPは、パケット中のVLANTAG・フィールドを除去し、CRCに対応するパケットの最後の4バイトを除去し、MACに制御信号を発行してCRCを添付する。MACは、OPPから受信した制御信号に基づいて、出所アドレス・フィールドをそれ自体のMACアドレスで置換し、パケットの末端に添付されるCRCを生成する。

#### 【図面の簡単な説明】

本発明の目的、特徴、および利点は、以下の図面で当業者には明らかになるであろう。

第1図は、本発明の教示に従って動作する高速スイッチを示す簡略なブロック図である。

10

第2図は、本発明の教示に従って動作する高速スイッチング要素を示す簡略なブロック図である。

第3図は、本発明のシステムの一実施形態を示す簡略なブロック図である。

第4a図はパケットの形式を示す図であり、第4b図はVLANにサポートされたパケットの形式を示す図である。

第5図は、本発明の方法の一実施形態を示す簡略な流れ図である。

第6図は、本発明の教示によるパケット・フィールドを修正する方法の一実施形態を示す簡略な流れ図である。

第7a図および第7b図は、本発明の教示によるパケット・フィールドを修正する方法の別の実施形態を示す簡略な流れ図である。

20

#### 詳細な説明

以下の記述では、説明を目的として、本発明が完全に理解できるように多数の特定の詳細について述べる。しかし、これらの特定の詳細が、本発明を実施するために必須であるわけではないことは、当業者には明らかであろう。他の場合には、本発明を不必要に分かりにくくしないために、周知の電氣的構造および回路はブロック図の形態で示してある。

本発明の教示に従って動作するネットワーク要素の一実施形態の概要を、第1図に示す。このネットワーク要素は、いくつかのノードおよび端局を多種多様な方法で相互接続するために使用される。特に、多層分散ネットワーク要素（MLDNE）の適用分野では、イーサネットとも呼ばれるIEEE802.3標準など、均質なデータ・リンク層にわたる予め定められている経路指定プロトコルに従って、パケットを経路指定することになる。その他の経路指定プロトコルを使用することもできる。

30

MLDNEの分散アーキテクチャは、いくつかの既知のまたは将来的な経路指定アルゴリズムに従ってメッセージ・トラフィックを経路指定するように構成することができる。好ましい実施形態では、MLDNEは、イーサネットLAN標準および媒体アクセス制御（MAC）データ・リンク層を介して、インターネットのプロトコル群、具体的に言うと伝送制御プロトコル（TCP）およびインターネット・プロトコル（IP）を使用して、メッセージ・トラフィックを処理するように構成される。TCPはここでは層4プロトコルとも呼び、IPは層3プロトコルと呼ぶことがある。

MLDNEの一実施形態では、ネットワーク要素は、分散型で、すなわちある機能の様々な部分がMLDNE中の様々なサブシステムによって実行され、それらの機能の最終的な結果が外部のノードおよび端局に対して透過なままとなるようなかたちで、パケット経路指定機能を実施するように構成されている。以下の記述および第1図のダイアグラムから分かるように、MLDNEは、設計者が、追加のサブシステムを付加することにより、予測によって外部接続の数を増加させることができるようにし、それによりMLDNEを独立型のルータとして規整する際により大きなフレキシビリティを見込む、スケーラブルなアーキテクチャを有する。

40

第1図にブロックの形態で示すように、MLDNE101は、いくつかの内部リンク141を使用して完全に網目状となって相互接続され、より大きなスイッチを形成する、いくつかのサブシステム110を含む。少なくとも1つの内部リンクは、任意の2つのサブシステムを結合する。各サブシステム110は、中継メモリ113および関連メモリ114

50

に結合されたスイッチング要素 111 を含む。中継メモリ（またはデータベース）113 は、受信したパケットのヘッダとの突合せに使用されるアドレス・テーブルを記憶する。関連メモリ（またはデータベース）は、MLDNE を介してパケットを中継するための中継属性を識別するために使用される、中継メモリ中の各エントリに関連するデータを記憶する。入出力能力を有するいくつかの外部ポート（図示せず）は、外部接続 117 とインタフェースをとる。一実施形態では、各サブシステムは、複数のギガビット・イーサネット・ポート、高速イーサネット・ポート、およびイーサネット・ポートをサポートする。各サブシステム中のやはり入出力能力を有する内部ポート（図示せず）は、内部リンク 141 に結合する。内部リンクを使用すると、MLDNE は複数のスイッチング要素を互いに接続して、マルチギガビット・スイッチを形成することができる。

10

MLDNE 101 は、`peripheral components Interconnect (PCI)` などの通信バス 151 を介して個別のサブシステム 110 に結合された中央処理システム (CPS) 160 をさらに含む。CPS 160 は、中央メモリ 163 に結合された中央処理装置 (CPU) 161 を含む。中央メモリ 163 は、様々なサブシステムの個別の中継メモリ 113 に入っているエントリのコピーを含む。CPS は、各サブシステム 110 を直接制御し、これらと通信インタフェースをとり、ある程度集中化した通信および制御をスイッチング要素間にもたす。

第 2 図は、第 1 図のスイッチング要素の例示的なアーキテクチャを示す簡略なブロック図である。図示のスイッチング要素 200 は、中央処理装置 (CPU) インタフェース 215、スイッチ構造ブロック 210、ネットワーク・インタフェース 205、カスケード・

20

イーサネット・パケットは、3 つのインタフェース 205、215、または 225 のいずれか 1 つを通して、ネットワーク・スイッチング要素 200 に入る、またはそこから出ることができる。簡単に言うと、ネットワーク・インタフェース 205 は、対応するイーサネット・プロトコルに従って動作し、1 つまたは複数の外部ポート（図示せず）を介してネットワーク（図示せず）からイーサネット・パケットを受信し、ネットワーク上にイーサネット・パケットを送る。任意選択のカスケード・インタフェース 225 は、スイッチング要素を相互接続してより大きなスイッチを生成するための 1 つまたは複数の内部リンク（図示せず）を含むことができる。例えば、各スイッチング要素を完全な網目状トポロジとなるようにその他のスイッチング要素と互いに接続し、上述の多層スイッチを形成することもできる。別法として、スイッチは、カスケード・インタフェース 225 を備えた、または備えない、単一のスイッチング要素 200 を含むこともできる。

30

CPU（図示せず）は、CPU インタフェース 215 を介してネットワーク・スイッチング要素 200 にコマンドまたはパケットを伝送することができる。こうして、CPU 上で実行される 1 つまたは複数のソフトウェア・プロセスで、外部の中継/フィルタリング・データベース 240 中のエントリの、新しいエントリを追加する、望ましくないエントリを無効にするなどの管理を行うことができる。しかし、代替実施形態では、CPU は、中継/フィルタリング・データベースに直接アクセスすることができる。いずれにしても、パケットを中継するために、CPU インタフェース 215 の CPU ポートは、スイッチング要素 200 への総称入力ポートに類似しており、単にもう 1 つの外部ネットワーク・

40

ネットワーク・インタフェース 205 に戻って、次に入力パケット処理および出力パケット処理という 2 つの主なタスクについて簡単に述べる。入力パケット処理は、ネットワーク・インタフェース 205 の 1 つまたは複数の入力ポートで実行することができる。入力パケット処理は、(1) 着信するイーサネット・パケットを受信し、検査すること、(2) 適切なきにパケット・ヘッダを修正すること、(3) 着信パケットを記憶するために共用メモリ・マネージャ 220 からのバッファ・ポイントを要求すること、(4) スイッチ構造ブロック 210 からの中継決定を要求すること、(5) 外部共用メモリ 230 中に

50



一時記憶するために着信パケット・データを共用メモリ・マネージャ220に転送すること、および(6)中継決定を受信した後で、1つまたは複数のバッファ・ポインタを、中継決定によって示された1つまたは複数の出力ポートに中継することを含む。出力パケット処理は、ネットワーク・インタフェース205の1つまたは複数の出力ポートで実行することができる。出力処理は、共用メモリ・マネージャ220からのパケット・データを要求すること、パケットをネットワーク上に伝送すること、およびパケットを伝送した後で、1つまたは複数のバッファの割振り解除を要求することを含む。

ネットワーク・インタフェース205、CPUインタフェース215、およびカスケード・インタフェース225は、共用メモリ・マネージャ220およびスイッチ構造ブロック210に結合される。パケットの中継やパケットのバッファリングなど重要な機能は、第2図に示すように集中化されることが好ましい。共用メモリ・マネージャ220は、外部共用メモリに対する効率的な集中インタフェースとなり、着信パケットをバッファリングする。スイッチ構造ブロック210は、CPUの支援で中継/フィルタリング・データベースをサーチおよび維持するための、サーチ・エンジンおよび学習論理を含む。

集中化されたスイッチ構造ブロック210は、インタフェース205、215、および225の代わりに中継/フィルタリング・データベースへのアクセスを行うサーチ・エンジンを含む。パケット・ヘッダの突合せ、層2ベースの学習、層2および層3のパケットの中継、フィルタリング、およびエージングは、スイッチ構造ブロック210によって実行することができる例示的な機能である。各入力ポートは、スイッチ構造ブロック210と結合され、受信したパケットについての中継決定を受信する。中継決定は、対応するパケットを伝送すべき1つまたは複数の出発ポート(例えば外部ネットワーク・ポートまたは内部カスケード・ポート)を示す。追加の情報を中継決定に含めて、MAC DAを置換するための新しいMAC宛先アドレス(DA)などのハードウェア経路指定をサポートすることもできる。さらに、優先順位指示を中継決定に含めて、スイッチング要素200を通るパケット・トラフィックの優先順位づけを容易にすることもできる。

この実施形態では、イーサネット・パケットは共用メモリ・マネージャ220によって集中してバッファリングされ、管理される。共用メモリ・マネージャ220は、あらゆる入力ポートおよび出力ポートとインタフェースをとり、動的なメモリの割振りおよび割振り解除をそれぞれそれらの代わりに実施する。入力パケット処理中には、1つまたは複数のバッファが外部共用メモリ中で割り振られ、着信パケットは、例えばネットワーク・インタフェース205から受信したコマンドに回答して共用メモリ・マネージャ220を介して記憶される。その後、出力パケット処理中に、共用メモリ・マネージャ220は、このパケットを外部共用メモリから取り出し、使用されなくなったバッファを割振り解除する。全ての出力ポートがその中に記憶したデータの伝送を完了するまでバッファが解放されないことを保証するために、共用メモリ・マネージャ220は、バッファの所有権を追跡することが好ましい。

第3図は、本発明の教示にしたがって高速フィールド置換を実施する構造を示す簡略なブロック図である。入力媒体アクセス制御(MAC)305、入力ポート・プロセス(IPP)310、サーチ・エンジン315、データベース320、パケット・メモリ325、出力ポート・プロセス(OPP)330、および出力MAC335といった要素を使用する。前出のスイッチング要素の概要(第2図)から容易に分かるように、これらの要素の多くは多目的であり、追加の機能を備えている。したがって、この構造は時間効率が良いだけでなく費用効率も高く、フィールド置換をサポートするためにこの構造に追加する追加論理は最低限となる。

さらに、本発明は、必要なときにしかヘッダ情報を修正または更新しないことにより、エラー耐性を保持する。例えば、従来技術のシステムでは、ハードウェアで実施されたものであれ、ソフトウェアで実施されたものであれ、受信MACは、パケットのヘッダが修正されているかどうかに関わらず、常にパケットからCRCを除去するように構成される。したがって、このような従来技術のデバイス中の伝送MACは、常にCRCを生成するように構成される。以下で説明するように、CRCはヘッダが修正されたときにのみ除去さ

10

20

30

40

50

れ、ヘッダが修正されていない場合には、最初のCRCがそのまま残り、エラー耐性が保持される。

この考察を簡単にするために、ここで記述するフィールド置換プロセスに直接関係のない様々な要素の追加機能の詳細については、詳細には述べない。さらに、本明細書に記載の構造は、同様の構造を有するその他のスイッチング要素に適用することができるものとする。最後に、VLANパケットのフィールド置換およびハードウェア経路指定について述べるが、同様にヘッダ・フィールド置換を必要とするその他のタイプのパケットも本発明の教示を利用することができるものとする。

第3図を参照すると、入力MAC305は、入力パケットを受信し、この入力パケットをIPP310に向けて送る。IPPは、先入れ先出し(FIFO)バッファ312を含み、入力パケットをバッファリングする。多重化回路および連想選択論理(associative select logic)を含むことが好ましい論理314も含まれ、制御情報を中継し、IPP310からパケット・メモリ325にヘッダが伝送される際にヘッダの所定のフィールドを置換する。IPP310は、ヘッダのコピーをサーチ・エンジン315に送り、サーチ・エンジンは、データベース320をサーチして、パケットのタイプ、例えばVLANサポート型であるか、またはパケットを経路指定することができるかどうかといった、パケットに関連する情報があるかどうかを決定する。様々な構成のサーチ・エンジンおよびデータベースを使用することができる。一実施形態では、サーチ・エンジン315は、データベース320と協働して、入力パケットをハードウェアで経路指定することができるかどうかを決定する。入力パケットのための経路が既に存在しているかどうかということも含めて、これを決定するために、様々なサーチ基準を使用することができる。別の実施形態では、サーチ・エンジンは、VLANサポートに関する情報を戻す。

サーチ・エンジン315は、IPP310に情報を戻す。この情報がヘッダが更新されないことを示す場合には、ヘッダは変更されずに、パケット・メモリ325、OPP330、およびMAC335を介して出力される。そうでない場合には、IPP310はFIFOからヘッダを出力し、ヘッダの所定のフィールドについて選択的にフライ・フィールド置換(fly field replacement)を実行する。サーチ・エンジンは、パケット中の生存時間(time to live: TTL)フィールドのロケーションを識別するオフセットを提供する。さらに、ユニキャスト経路指定の場合には、IPP310は、宛先アドレス(DA)フィールドを、サーチ・エンジン315から供給されたDAで置換する。例えば、これを単純にマルチプレクサ論理を使用して行い、サーチ・エンジン315から発行されたDA置換制御信号に基づいて、DAフィールド中で発見された最初の値またはサーチ・エンジン315から受信したDA値のいずれかを選択することができる。VLANサポートの場合には、IPP310は、VLANタグ・フィールド中の値を置換する、またはこれに値を挿入する。

IPP310中でカウンタを使用して、出力されたバイト数をカウントし、それによりパケットのどのフィールドが現在出力されているかを決定し、置換が適時に実行されるようにすることが好ましい。さらに、IPP310は、ヘッダのTTLフィールド中の生存時間(TTL)値、およびチェックサム・フィールド中のチェックサム値を調節することが好ましい。TTLフィールドのロケーションは、サーチ・エンジンによって与えられたオフセットによって識別される。チェックサム・フィールドは、TTLフィールドの直後にある。パケット・メモリ325に出力されるTTL値は、入力パケット・ヘッダ中で発見されたTTL値を1だけ減分した値である。同様に、出力されるチェックサム値は、(TTL値の減分により)入力パケット・ヘッダのチェックサム値を定数分だけ減分した値である。

選択的にヘッダ・フィールド置換を実行するだけでなく、IPP310は、パケット・メモリ325中の制御フィールド327に記憶された制御フィールド情報を出力する。例えば、ハードウェア経路指定の場合には、制御フィールド情報は、出所アドレスを置換するように示す指示(replace\_sa)からなる。VLANサポートの場合には、制御フィールド情報は、orig\_tag、mod\_tag、およびdont\_tagといっ

10

20

30

40

50

たインジケータからなる。インジケータ `orig_tag` は、最初に到着したパケットがタグ付きであることを示す。インジケータ `mod_tag` は、最初に到着したパケットがタグ付きであるが、これが修正されることを示す。インジケータ `dont_tag` は、パケットがタグ付けされないことを示す。

パケット・メモリ 325 は、IPP 310 からの修正された入力パケット、および連想フィールド制御情報を受信する。パケット・メモリはバッファの働きをし、スイッチに出入りする間に失われるパケットを最小限に抑える。

OPP 330 は、パケット・メモリ 325 からパケットおよび関連する制御フィールド情報を取り出し、関連する制御フィールド情報に応じて、入力パケットを MAC 335 に出力する際にこれを選択的にさらに修正し、制御情報を出力 MAC 335 に与える。例えば、ハードウェア経路指定の場合には、OPP 330 は、CRC を含むパケットの最後の 4 バイトを除去し、制御信号を MAC 335 に送信してそのアドレスを SA フィールド中に挿入し、CRC を生成する。一実施形態では、OPP 330 は、後に MAC 335 に送信される MAC 制御ワード中の `NO_CRC` ビットをクリアし、MAC 335 に CRC を添付するよう告げることによって、出力 MAC 335 に命令を与える。CRC の生成および挿入は、MAC その他のデバイスで見られる典型的な機能であり、ここには詳細には記述しない。さらに、一実施形態では、OPP 330 はさらに制御信号を MAC 335 に発行し、SA 値をそのアドレスで置換するよう MAC 335 に通知する。同様に、VLAN サポートの場合には、OPP 330 は、VLAN タグ・フィールド中の値を選択的に除去し、CRC をパケットから選択的に除去し、MAC 制御ワード中の `NO_CRC` ビットをク

リアし、MAC 335 に CRC を添付するよう通知する。出力 MAC 335 は、受信した制御信号の状態に応じて、選択的に CRC を生成し、出所アドレス・フィールドにそれ自体のアドレスを挿入して、ヘッダ・フィールド置換プロセスを完了する。次いで、修正されたパケットがスイッチング要素に出力される。

第 4 a 図および第 4 b 図は、上述のシステムを使用して修正した 2 つの例示的なパケットの形式を示す簡略図である。第 4 a 図は、データ 402、層 4 ヘッダ (TCP ヘッダ) 404、層 3 ヘッダ (IP ヘッダ) 406、層 2 ヘッダ (データ経路指定または MAC ヘッダ) 408、および CRC 410 からなるパケットを示している。層 2 ヘッダは、DA フィールド 412、SA フィールド 414、およびパケット型/長さフィールド 416 を含む。層 3 ヘッダは、生存時間フィールド 418 およびチェックサム・フィールド 420 を含む。第 4 b 図は、VLAN でサポートされるパケットを示している。この形式では、層 2 ヘッダ 408 は修正され、VLAN タグとなる追加の 4 バイト 422 を含む。

次に、第 5 図に関連して、実行されるプロセスについて大まかに述べる。前述のように、このプロセスは、ハードウェア経路指定および VLAN サポートで必要とされるフィールド置換も含めたフィールド置換に適用することができる。ステップ 510 で、IPP は、入力パケットを受信し、IPP の FIFO でこのパケットをバッファリングする。ヘッダのコピーはサーチ・エンジンに送られる。ステップ 515 で、サーチ・エンジンはデータベースをサーチし、パケットのタイプを決定する。タイプ情報および特定のフィールド置換値は IPP に戻される。ステップ 517 で、サーチ・エンジンから供給された情報がヘッダが修正されないことを示す場合には、パケットは変更されずにスイッチング要素から出力される。こうして、ヘッダが変更されるときにしか CRC が再生されないので、終端間のエラー耐性が維持される。ヘッダ・フィールドの置換が必要な場合には、ステップ 520 で、IPP は、データが FIFO からパケット・メモリに伝送される際に最初のフィールドの置換を選択的に実行する。置換されるフィールドは、サーチ・エンジンから提供された値、および既知の技術に従って計算された値 (例えば TTL、チェックサム) で置換される。さらに、IPP は、修正された入力パケットを記憶するパケット・メモリ中の特定のロケーションと関連する制御フィールドに記憶すべき、特定の制御フィールド情報を送る。

ステップ 525 で、OPP は、パケット・メモリおよび関連する制御フィールド情報にアクセスし、パケットをさらに選択的に修正し、パケットおよび制御情報を MAC に送る。

10

20

30

40

50

ステップ530で、MACは、パケットがスイッチング要素から出力される際に、このパケットの特定のフィールドを選択的に修正する。

第6図は、ハードウェアで経路指定される入力パケットについてヘッダ・フィールドの置換を実行するプロセスの一実施形態を示している。ステップ605で、入力パケットはIPPPで受信され、パケット・ヘッダはIPPPのFIFOで記憶される。ステップ610でヘッダがFIFOに記憶されるので、ステップ615で、ヘッダのコピーがサーチ・エンジンに送られ、サーチ・エンジンがデータベースをサーチし、そのパケットが経路指定されるかどうかを決定する。次いで、IPPPは、ステップ620でサーチ・エンジンがパケットに関する情報を戻すのを待つ。ステップ625で、入力パケットがユニキャスト経路であるとサーチ・エンジンが決定した場合には、サーチ・エンジンは、制御信号replace\_\_DA (宛先アドレス) および制御信号replace\_\_SA (出所アドレス) をIPPPに送信し、置換DAを提供し、さらに生存時間(TTL)フィールドのオフセットを提供する。IPPPは、制御信号replace\_\_DAに回答して、DAフィールドの値をサーチ・エンジンから受信した値で置換し、更新したTTL値およびチェックサム値を計算し、対応するフィールド中の計算した値を、そのフィールドがパケット・メモリに出力される際に置換する。IPPPは、さらにreplace\_\_SA信号に回答して、対応する制御フィールド情報をパケット・メモリに入力し、出所アドレスを出力MACの出所アドレスで置換すべきであることを示す。ステップ645でそれがマルチキャスト経路であることをサーチ・エンジンが示す場合には、サーチ・エンジンは、ステップ650で、TTLオフセットを提供し、replace\_\_SA信号をIPPPに送信し、IPPPは、ステップ640で、TTL値およびチェックサム値を更新し、パケット・メモリと関連する制御フィールドに記憶される制御フィールド情報を生成する。

ステップ655で、出力された修正済みのパケットおよび関連する制御フィールド情報は、パケット・メモリに記憶される。ステップ660で、OPPは、パケット・メモリからデータおよび制御フィールド情報を受信し、OPPは、ステップ665で、replace\_\_SA制御フィールドを検出した場合には、制御信号replace\_\_SAを出力MACに対してアサートする。ステップ670で、OPPは、CRCに対応するパケットの最後の4バイトを除去し、MAC制御ワード中のNO\_\_CRCビットをクリアする。ステップ680で、MACは、制御信号replace\_\_SAを検出し、出力パケットの伝送中にパケットのバイト7~12をそれ自体のMACアドレスで置換する。さらに、制御ワードの状態に応じて、MACは、パケットのためのCRCを生成する。ステップ665でreplace\_\_SA制御フィールド情報が置換を示さない場合には、ステップ675で、MACは修正していないパケットを伝送する。

第7a図および第7b図は、VLANサポートの場合のプロセスを示している。ステップ705、710、715で、IPPPは入力パケットを受信し、このパケットをバッファリングし、ヘッダをサーチ・エンジンに送る。サーチ・エンジンは、ステップ720で、タグ付けに関する情報、すなわちパケットがタグ付けされているかどうか、タグ付けの性質、およびスイッチング要素から出力される前にどのようにしてパケットにタグ付けするかを決定し、待機中のIPPPにこれを戻す。パケットがタグ付けされずに到着する、パケットが有効なタグを付けられて到着する、パケットが無効なタグを付けられて到着するといったシナリオも含めた、いくつかのシナリオが考えられる。無効なタグは、特定の状況では、エンド・ノードのVLANグループ化ではなく、パケットの優先権情報のみを搬送するために使用される。

ステップ725でパケットがタグ付きであり、ステップ730でパケットが無効なタグを付けられている場合には、ステップ735で、制御信号がサーチ・エンジンからIPPPに送信され、インジケータinsert\_\_tagがクリアされ(新しいタグが挿入されないことを示す)、インジケータreplace\_\_tagがセットされる(タグが置換されることを示す)。ステップ730でパケットが有効なタグを付けられており、ステップ740でVLANの経路指定がサポートされる場合には、ステップ745で、インジケータinsert\_\_tagがクリアされ、インジケータreplace\_\_tagがセットされ、

10

20

30

40

50

サーチ・エンジンによって決定されたVLANの経路指定を表す新しいVLANタグがIPPに与えられる。ステップ740で、VLAN経路指定がサポートされない場合には、ステップ750で、insert\_tagがクリアされ、replace\_tagもクリアされる(タグが挿入も置換もされないことを示す)ことを示す信号がIPPに送信される。

ステップ725に戻って、パケットがタグ付けされずに到着した場合には、ステップ755で、インジケータinsert\_tagがセットされ、インジケータreplace\_tagがクリアされることを示す信号がIPPに発行される。このプロセスの流れをたどると、パケットがタグ付けされていないシナリオおよびパケットが無効なタグを付けられているシナリオでは、ステップ760で、サーチ・エンジンから提供されるタグがデータベース中で決められているタグであるかどうかを決定する。データベース中で決められているものである場合には、このタグはステップ765でIPPに提供される。このタグがデータベース中で決められているものでない場合には、ステップ770でデフォルト・タグが提供される。デフォルト・タグはプログラマブルな値であり、代表的な値は現在の標準で指定された値に従う。

IPPは、サーチ・エンジンから選択的に提供されるinsert\_tag、replace\_tag、およびVLANtagの値の状態に应答して、パケット・ヘッダを選択的に修正し、制御フィールド情報を生成する。修正されたパケットおよび関連する制御フィールド情報は、その後パケット・メモリおよび関連する制御フィールドにそれぞれ記憶される。ステップ772で、インジケータinsert\_tagがセットされていた場合には、ステップ774で、「orig\_tagおよびmod\_tagをともにクリアする」という制御フィールド情報が生成される。orig\_tagは、パケットがタグ付きで到着したことを示す。mod\_tagは、パケットがタグ付きで到着したが、このタグが修正されていることを示す。さらに、ステップ774で、好ましくはパケット・メモリに記憶するためにパケットを出力する際に、サーチ・エンジンから提供されたタグがIPPによってヘッダ中の適切な位置に挿入される。

ステップ772に戻って、インジケータinsert\_tagがセットされず、ステップ776でインジケータreplace\_tagがセットされる場合には、ステップ778で、IPPがヘッダ中のタグをサーチ・エンジンから提供されたタグで置換し、ステップ780で、「orig\_tagをセットし、mod\_tagをクリアする」という制御フィールド情報を生成する。ステップ776で、インジケータreplace\_tagがセットされない場合には、IPPは、次のステップ780で、「orig\_tagをセットし、mod\_tagをクリアする」という制御フィールド情報を生成する。

この実施形態では、ネットワーク・スイッチのCPUはスイッチング要素を介してパケットを伝達することができる。パケットがこのポートを介して到着した場合には、そのパケットには、その状態に関わらずタグ付けすることができない。したがって、インジケータdont\_tagが制御フィールド情報としてパケットに与えられる。ステップ782に戻って、パケットがホスト伝送プロセス(host transmit process)(HTTP)を介して到着した場合には、dont\_tagはCPUから与えられたパケット制御情報と等しくなるようにセットされ、そうでない場合にはステップ786でdont\_tagはクリアされる。

ステップ790で、パケットはパケット・メモリに記憶され、制御フィールド情報は関連する制御フィールドに記憶される。ステップ792で、OPPはパケットおよび制御フィールド情報を取り出し、ステップ794で制御フィールド情報を復号する。OPPは、パケット・メモリから取り出した3つのインジケータ、orig\_tag、mod\_tag、およびdont\_tag、ならびに第4のインジケータtag\_enableを復号する。tag\_enableは、出力されるパケットを受信することになるデバイスがVLAN経路指定をサポートしないことを示す内部変数である。この変数は、ネットワーク管理機構によって、その基礎をなすネットワーク・トポロジに基づいて決定される。例えば、受信側ノードがVLAN経路指定をサポートしない場合には、tag\_enableピ

10

20

30

40

50

ットはクリアされる。復号プロセスの結果は、OPPがタグを除去するかどうか、およびMACがCRCを生成するかどうかを示す。OPPは次の表に従って復号を行う。

d o n t _ _	t a g _ _ e	o r i g _ _	m o d _ _ t	タグ除去	CRC再生
t a g	n a b l e	t a g	a g		
1	x	0	x	Y	N
1	x	1	x	Y	N
0	0	0	x	Y	N
0	0	1	x	Y	Y
0	1	0	x	N	Y
0	1	1	0	N	N
0	1	1	1	N	Y

10

したがって、ステップ796で、タグが除去されることになる場合には、OPPはステップ798で、好ましくはタグがMACに転送される際にこのタグを取り除く。ステップ800で、CRCが生成されない場合には、OPPは、ステップ802で、CRCが生成されないことを示す信号を送信し（例えばno\_\_CRCをセットする）、MACはパケットを受信したままで伝送する。CRCが生成されない場合には、ステップ806で、最後の4バイトがOPPによってパケットから取り除かれ、ステップ808でCRCを生成するための信号がMACに送信され（no\_\_CRCをクリアする）、ステップ810で、MACはパケットを伝送し、CRCを生成してパケットの末端に添付する。

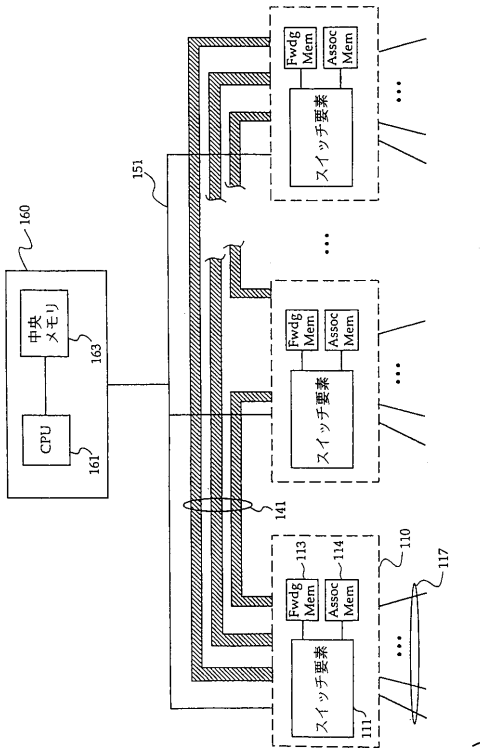
20

フィールド置換のプロセスについて述べた。その他の変形形態も企図される。例えば、このスイッチが複数のスイッチング要素からなり、スイッチング要素間でパケットを転送することができる。スイッチング要素間でパケットが転送されるときには、特定のフィールドが選択的に修正される。

好ましい実施形態に関連して本発明について述べた。前述の説明に照らしてみれば、多数の代替形態、修正形態、変形形態、および使用法は当業者には明らかであろう。

30

【 図 1 】



ノードとノード間へ  
FIG. 1

【 図 2 】

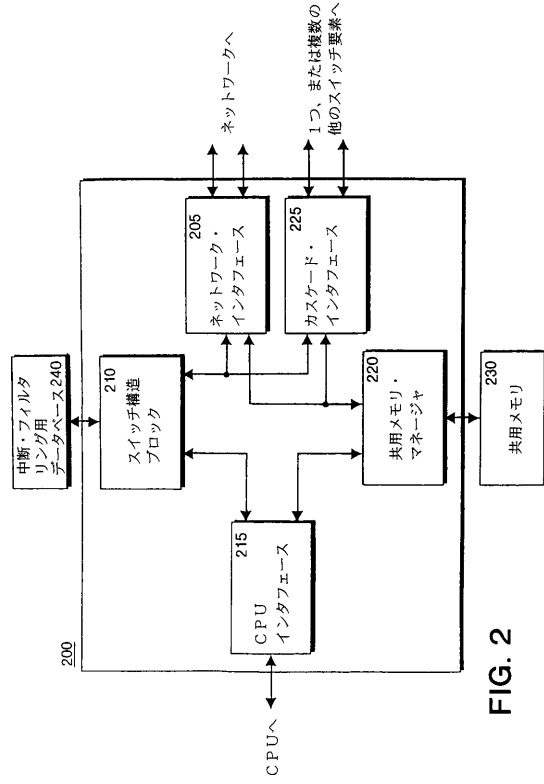


FIG. 2

【 図 3 】

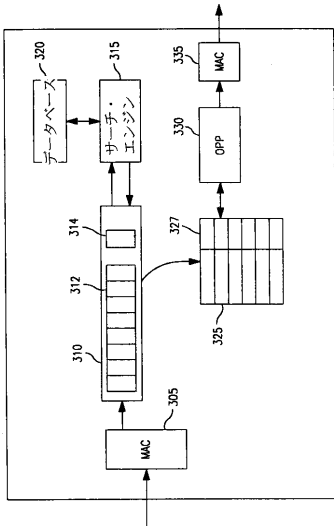


FIG. 3

【 図 4 A 】

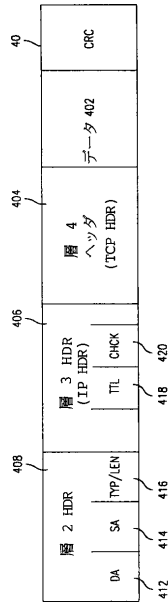


FIG. 4A

【 図 4 B 】

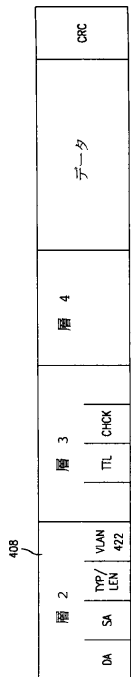


FIG. 4B

【 図 5 】

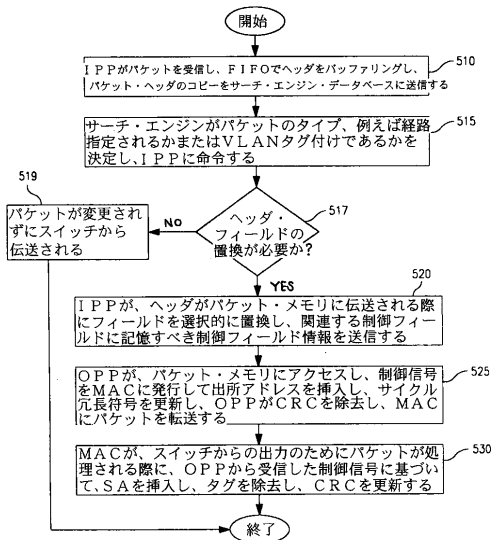


FIG. 5

【 図 6 】

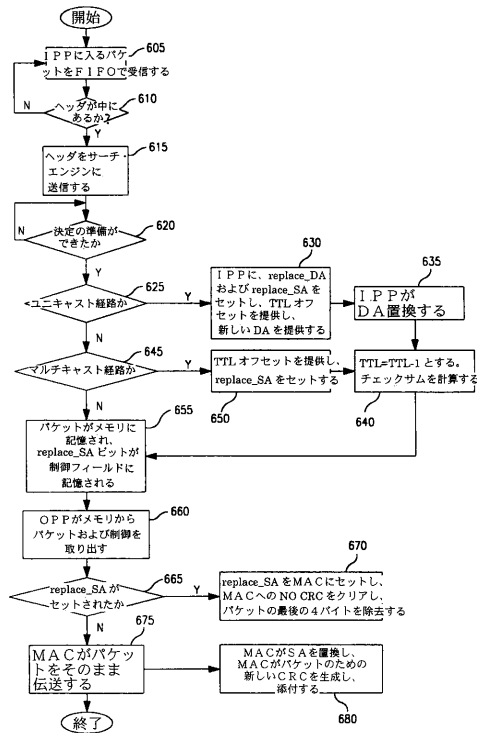


FIG. 6

【 図 7 A 】

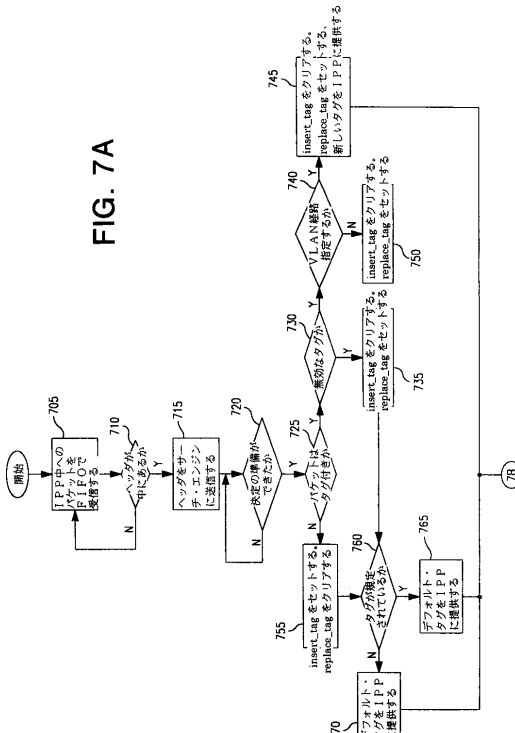


FIG. 7A



【図7B】

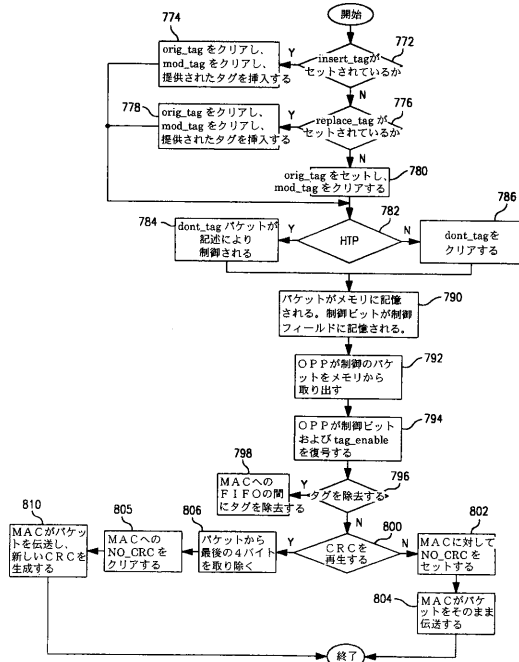


FIG. 7B

## フロントページの続き

## (74)代理人

弁理士 鈴木 二郎

## (74)代理人

弁理士 山川 茂樹

## (72)発明者 ミュラー, シモン

アメリカ合衆国・94086・カリフォルニア州・サニーベイル・ラメサテラス・983・アパートメント ディ

## (72)発明者 ユング, ルイーズ

アメリカ合衆国・94070・カリフォルニア州・サンカルロス・ロジャーズアベニュー・110

## (72)発明者 ヘンデル, エアリエル

アメリカ合衆国・95014・カリフォルニア州・クパーチノ・ニューキャッスルドライブ・7537

審査官 清水 稔

## (56)参考文献 特開平05-022293(JP, A)

特開平09-233110(JP, A)

LANPLEXR2500 EXTENDED SWITCHING USER GUIDE, 3Com Corporation, 1996年11月, Revision 02, 3BRIDGING ANDROUTINGINTHELANPLEXR SYSTEM, URL, [http://support.3com.com/info/links/tools/switches/cb2500/pdf/25es\\_bk.pdf](http://support.3com.com/info/links/tools/switches/cb2500/pdf/25es_bk.pdf)

澤 敬一, スイッチの仕組みと各社製品の性能評価, LAN TIMES, ソフトバンク株式会社, 1996年11月1日, 第6巻 第11号, p.96~105

## (58)調査した分野(Int.Cl., DB名)

H04L 12/56

H04L 12/46