

申請日期	90.6.18
案 號	90114731
類 別	H01L 21/304

A4
C4

511176

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	能夠抑制粒子出現之半導體元件製造方法
	英 文	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE CAPABLE OF RESTRAINING OCCURRENCE OF PARTICLE
二、發明人	姓 名	(1)李瑛求 (4)金鎮宙 (2)金太龍 (5)安正洙 (3)金鎮成 (6)宋鐘國
	國 籍	韓 國
三、申請人	住、居所	(1)大韓民國京畿道龍仁市器興邑靈德里15番地新日公寓102棟501號 (2)大韓民國京畿道水原市八達區梅灘洞897番地主公5公寓519棟907號 (3)大韓民國京畿道水原市八達區靈通洞989-2番地現代公寓山谷溝728棟1204號 (4)大韓民國漢城市江南區道谷洞464番地開浦韓新公寓4棟302號 (5)大韓民國京畿道龍仁市器興邑九葛里漢陽公寓103棟105號 (6)大韓民國京畿道水原市長安區栗田洞419番地三星公寓204棟1702號
	姓 名 (名稱)	韓商・三星電子股份有限公司
三、申請人	國 籍	韓 國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
三、申請人	代 表 人 姓 名	尹 種 龍

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

韓 國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☒無主張優先權
2001,01,15 2001-2218

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明關於一種半導體元件製造方法，更特別相關於一種能夠抑制由於在CMP程序後之後續程序期間留在相對於晶圓之一邊緣之化學機械拋光(CMP)程序之無效區域處的厚沉積層所造成粒子的出現，藉此增進產率之半導體元製造方法。

相關技藝說明

一般地，就高性能及高整合積極度之半導體元件而言，愈意地要求供此類半導體元件用之精細圖案。為因應此類趨勢，新技術與程序正被導入供製造此類半導體元件用。導入CMP程序與墊層聚合物程序使改善氧化矽之平坦度並得到高整合積極度變得可能，但會造成各種問題隨著之而來。

例如，CMP程序之導入會造成細微的刮傷與粒子產生之問題。並且，聚合物墊程序之導入會造成因為在使用聚晶矽墊之後採用犧牲氧化物蝕刻程序而造成流體粒子產生之問題。

各種問題在高度整合之半導體元件中無可避免地發生，其中之一便是控制粒子之問題。該等問題發生之成因上未被證實。該等不同粒子之出現使產率降低，並再監控線路時成為spec-out(超出規格)的首要原因。

然而，不容易找出該等粒子正確的產生來源。即使以

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

數種程序的分開測試結果也難以找出正確的來源。因此，控制粒子的發生是一個持續的主題並必須被解決。

儘管如此，明顯地顯示其中粒子被從晶圓之邊緣朝向一圖案移動之現象。亦證實粒子的主要成分為諸如矽或二氧化矽(SiO_2)之含矽系統。

然而，找尋來源之範圍太廣大且因為主要使用在半導體領域中的元件由矽(Si)或 SiO_2 形材料所組成故不容易推論該來源。

例如，被使用在濕式浴中之石英浸槽或石英機器手臂、被使用在擴散程序中之石英管或石英舟、聚焦環、被使用在乾式蝕刻程序中之遮光環與簇射頭、在CMP程序中作為拋光源之研漿、各種由CVD/LPCVD(化學蒸氣沉積/低壓化學蒸氣沉積)所形成之粉末等等，大多數的元件具有能夠在晶圓之一邊緣處產生Si或 SiO_2 系統之粒子的可能性。

此外，因為晶圓本身被由Si、 SiO_2 、SiN等製成，故由於刮傷或切片其亦可能為此類粒子產生之來源。

因此，必須界定粒子的切除來源並實質地解決問題，並且能夠產生高品質晶圓之控制方法絕對會被要求。

發明之概要說明

所以，本發明之一目的在於提供一種製造半導體之方法，該半導體係能夠在後續程序其間抑制粒子之產生並藉由將留在晶圓前邊緣之CMP無效區域處之沉積層的厚度降至最小來提高產率。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

為達成上述之目的與其他優點，提供有一種用以製造能夠抑制粒子產生之半導體元件的方法，係包含下列步驟：在晶圓上沉積一層具有選擇厚度之層；使用一CMP程序將該沉積層平坦化；在晶圓上塗覆一光阻層；移除經塗覆光阻層之一邊緣部位，以將沉積層之CMP無效區域暴露出來，其中CMP無效區域對應於一部份在CMP程序期間未被移除之沉積層；蝕刻CMP無效區域之沉積層；以及剝離留在晶圓上之光阻層。

根據本發明之另一層面，提供有一種用以製造能夠抑制粒子發生之半導體元件之方法，係包含下列步驟：在晶圓上沉積一層具有經選擇厚度之層；在沉積層上塗覆一光阻層；移除經塗覆光阻層之一邊緣部份以將沉積層之一CMP無效區域暴露出來，其中該CMP無效區域對應於一部份在CMP程序期間未被移除之沉積層；將CMP無效區域部分之經暴露的沉積層蝕刻至欲被CMP程序移除之沉積層之厚度或更少；將留在晶圓上之光阻層剝離；以及化學與機械地拋光該沉積層。

在本發明中，一留在晶圓之無效區域處的殘餘沉積層在沉積層之CMP程序之前或之後，使用一EEW程序而被移除並執行一後續程序。結果，粒子的產生顯著地減少。

圖式之簡短說明

本發明上述之目的與其他優點將因參考附呈圖式來詳細地說明其較佳實施例而變得更顯而易明，其中：

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4)

第1至3圖為例示用以製造半導體元件之傳統方法的示意圖；

第4至7圖為例示根據本發明之一較佳實施例之製造半導體元件之方法的示意圖；

第8至11圖為例示據本發明另一較佳實施例之製造半導體元件之方法的示意圖；以及

第12A與12B圖為傳統技藝與本發明之間比較的粒子分布圖。

較佳實施例之詳細說明

現在將會詳細地參考本發明之較佳實施例，其例子被例示於附呈圖式中。

一CMP程序被作為得到一具有高平坦度之膜，並使用研漿作為拋光材料來化學與機械地拋光一膜之階形部分。此CMP程序為了得到高積體整合度之目的而被廣泛地使用在半導體元件之製造程序中。

被CMP程序拋光之膜一般使用化學蒸氣沉積(CVD)程序而被沉積，其中一具有所欲厚度之膜藉由化學反應而被生成在除了晶圓背面部分之剩餘部分處。不像CVD程序般，LPCVD程序准許一膜在晶圓之兩側表面上被生成。

除了LPCVD程序外，典型的CVD程序准許一膜被生成在晶圓前方表面處。接著，視CVD裝置之結構而定，會發生其中一膜被生成在晶圓前方表面之一邊緣部位之一無效區域處或是晶圓之背面表面處，並且於晶圓邊緣部分或背

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

面部分處之生成膜具有與被形成在晶圓前表面上之膜不同的厚度。

為了控制於晶圓厚表面處之沉積條件與沉積溫度，有一其中 N_2 流被施加至晶圓厚表面上之系統。

然而，考慮CVD裝置之結構，一膜不可避免地被沉積在晶圓前表面的無效區域處。

參考第1圖，在一膜被沉積在一晶圓10上之後，一諸如氧化層之經沉積層20顯出由於氣流之特性，而在對應於晶圓10之上側壁部分之無效區域24(參見第2圖)處具有較高的生成速率。

其後，如第2圖所示，一CMP程序被進行以將經沉積層20平坦化。此時，前表面側之經沉積層10被均勻地拋光，但對應於晶圓10之上側壁部分的無效區域24之沉積層因為CMP程序之性質而被不均勻地拋光。結果，在晶圓10之上側壁部分上的經沉積層相對於留在晶圓10之前表面上的拋光沉積層部分剩下較厚的厚度。此外，研漿被累積在無效區域24上，因而粒子產生的可能性變得更高。

在CMP程序被完成之後，在經平坦部分與於無效區域處部分間的沉積層20之厚度差變得越來越高。

後來，為了形成經拋光沉積層之圖案，一微影程序與一乾式蝕刻程序被貫續地進行。在一般形成圖案之程序中，一曝晶邊(EEW)程序被進行以移除晶圓10之曝光側壁的沉積層。

參考第3圖，因為無效區域之沉積層20之厚度較在

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

CMP程序後之前表面側厚，因此殘餘氧化物26仍然留在晶圓10之上側壁部分處。這是因為乾式蝕刻僅考慮被形成在晶圓10之前表面上之沉積層20的厚度而被進行。

特別地，一群形錐形物28於晶圓10之前表面之一邊緣處的沉積層-移除部分與沉積層-剩下部分間的邊界處被產生。群形錐形物28為諸如矽(Si)、二氧化矽(SiO₂)等之含矽系統的粒子。隨著沉積層與乾式蝕刻被重複進行，該等錐形物28之發生區域變得越來越寬。

結果，被產生在無效區域處之錐形物28在溼式程序期間朝向一圖案被移動，如第3圖之箭號所示。特別地，此現象時常發生在使用HF溶液之溼式蝕刻程序中。例如，若使用HF溶液之溼式蝕刻程序在預處理程序期間被進行，許多被產生在無效區域處之錐形物被與邊界分離，並沿著化學流而被導入圖案20中。該等錐形物生得較大並在後續膜沉積程序期間被改變成球形粒子。

如上所述，此問題源於在CMP程序之後晶圓10之前表面的沉積層與晶圓10之側壁的沉積層之間的厚度差。因此，為解決該問題，要求無效區域之沉積層應該在CMP程序之前或之後被移除。

第4至7圖為例示根據本發明之一較佳實施例之製造半導體元件之方法的示意圖。

參考第4圖，一沉積層20在一晶圓10上被形成。其後，一光阻膜30被以約5000-15000Å的厚度範圍塗覆在沉積層20上。之後，光阻膜30之一邊緣部分被EWW程序移除，藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

此暴露沉積層20之一邊緣部分，如第5圖所示。

參考第6圖，在晶圓10之邊緣部分上之經暴露沉積層20被溼式蝕刻程序移除。在此，邊緣部分的經暴露沉積層對應於後續CMP程序之無效區域並在進行CMP程序前被移除。結果，一沉積層圖案40僅留在晶圓10之前表面上。在此，被溼式蝕刻程序移除之沉積層的目標厚度在約5000-15000Å的範圍中。

參考第7圖，光阻膜30接著被剝除，結果僅有沉積層圖案40留在晶圓10上。其後，一CMP程序被進行以將沉積層圖案40平坦化。

第8至11圖為例示據本發明另一較佳實施例之製造半導體元件之方法的示意圖。

參考第8圖，一沉積層20被形成在晶圓10上。其後，沉積層20藉由一CMP程序而被拋光，藉此一經平坦化之沉積層50被形成，如第9圖所示。在經平坦化的沉積層50中，晶圓10之前表面側之沉積層部分較包括晶圓10之上側壁之無效區域之沉積層部分薄。

其後，一光阻膜30被以約5000-15000Å的厚度範圍塗覆在沉積層20上，並且光阻膜30之一邊緣部分接著被EEW程序移除，藉此將CMP處理沉積層50之一邊緣部分暴露出來，如第10圖所示。

參考第10圖，一CMP處理沉積層50之經暴露部分被溼式蝕刻程序移除。在此，CMP處理沉積層50之經暴露部分對應於CMP程序之無效區域。由於溼式蝕刻的結果，包括

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

被形成在晶圓10之側壁上之沉積層部分的CMP處理沉積層50之經暴露部分被完全地移除，藉此一沉積層圖案60僅留在晶圓10之前表面上。在此，被溼式蝕刻程序移除之沉積層的目標厚度在約5000-15000Å的範圍中。

參考第11圖，光阻膜30接著被剝除，結果僅有沉積層圖案60留在晶圓10上。

根據上述之較佳實施例，因為在晶圓10之側壁上被形成之沉積層的厚殘餘物在完成CMP程序之後不會留下，可能在後續程序期間抑制粒子之產生。

第12A與12B圖為顯示在其中粒子在進行後續程序前未被移除之傳統技藝(第12B圖)以及其中粒子在進行後續程序之前被移除之本發明(第12A圖)之間的後續程序後粒子之分布圖。

相較於如第12B圖所示之傳統技藝的晶圓，如第12A圖所示之本發明之晶圓顯示粒子的數目顯著地減少。換言之，結論是被導入沉積層圖案的粒子數目，由於在沉積層CMP程序的前或後移除晶圓10之無效區域之沉積層部分而會顯著地減少。

如上所述，本發明在沉積層CMP沉積前後使用EEW程序來移除留在晶圓10之無效區域處的殘留沉積層，接著並進行後續程序。結果，粒子之產生顯著地減少，藉此將確保高產率並增進產量變得可能。

再者，雖然本發明已被詳細地說明，應被了解的是對於本發明可進行各種變化、替代以及更替，而不會背離如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

附呈申請專利範圍所界定之本發明的精神與範圍。

元件標號對照表

10	晶圓	20	經沉積層
24	無效區域	26	殘餘氧化物
28	錐形物	30	光阻膜
40	沉積層圖案	50	沉積層
60	沉積層圖案		

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要 (發明之名稱:能夠抑制粒子出現之半導體元件製造方法)

一具有選擇厚度之層被沉積在一晶圓上。該經沉積層使用一CMP程序被平坦化。一光阻層接著被塗覆在晶圓上。經塗覆光阻層之一邊緣部分被移除，藉此將沉積層之CMP無效區域暴露出來，其中CMP無效區域對應於一部份在CMP程序期間未被移除之沉積層。CMP無效區域之經暴露沉積層被蝕刻。其後，留在晶圓上之光阻層剝除。因此，本發明之方法藉由在CMP程序之前或之後移除無效區域之沉積層來顯著地減少粒子之出現，藉此確保高產率並增進產量。

英文發明摘要 (發明之名稱:Method for Fabricating Semiconductor Device Capable of Restraining Occurrence of Particle)

A layer having a selected thickness is deposited on a wafer. The deposited layer is planarized using a CMP process. A photoresist layer is then coated on the wafer. An edge portion of the coated photoresist layer is removed to thereby expose a CMP dead zone of the deposited layer wherein the CMP dead zone corresponds to a portion of the deposited layer which is not removed during the CMP process. The exposed deposited layer of the CMP dead zone is etched. Thereafter, the photoresist layer remaining on the wafer is stripped. Thus, the method of the invention decreases an occurrence of particles remarkably by removing the deposited layer of the dead zone prior to or after the CMP process, thereby securing high production yield and enhancing the productivity.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1. 一種用以製造能夠抑制粒子出現之半導體元件的方法，該方法係包含下列步驟：

在一晶圓上沉積一層具有預定厚度之層；

使用一CMP程序將該沉積層平坦化；

在該晶圓上塗覆一光阻層；

移除該經塗覆光阻層之一邊緣部位，以將該沉積層之一CMP無效區域暴露出來，其中該CMP無效區域對應於一部份在CMP程序期間未被移除之該沉積層；

蝕刻該經暴露CMP無效區域之該沉積層；以及

剝離留在該晶圓上之該光阻層。

2. 如申請專利範圍第1項之方法，其中該光阻層具有約5000-15000Å的厚度。
3. 如申請專利範圍第1項之方法，其中該蝕刻步驟藉由一溼式蝕刻程序而被進行。
4. 如申請專利範圍第3項之方法，其中該溼式蝕刻程序被以約5000-15000Å的目標厚度範圍進行。
5. 如申請專利範圍第1項之方法，其中該光阻層移除步驟藉由一剝除程序進行，而無灰化程序。
6. 一種用以製造能夠抑制粒子出現之半導體元件的方法，該方法係包含下列步驟：

在一晶圓上沉積一層具有一預定厚度之層；

在該沉積層上塗覆一光阻層；

移除該經塗覆光阻層之一邊緣部份，以將該沉積層之一CMP無效區域暴露出來，其中該該CMP無效區

六、申請專利範圍

域對應於一部份在一CMP程序期間未被移除之該沉積層；

將該CMP無效區域部分之該經暴露沉積層蝕刻至欲被CMP程序移除之該沉積層的厚度；

將留在該晶圓上該之光阻層剝除；以及

化學與機械地拋光該沉積層。

7. 如申請專利範圍第6項之方法，其中該光阻層約為5000-15000Å厚。

8. 如申請專利範圍第6項之方法，其中該蝕刻程序被一溼式蝕刻程序進行。

9. 如申請專利範圍第8項之方法，其中該溼式蝕刻程序被以約5000-15000Å的目標厚度範圍進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

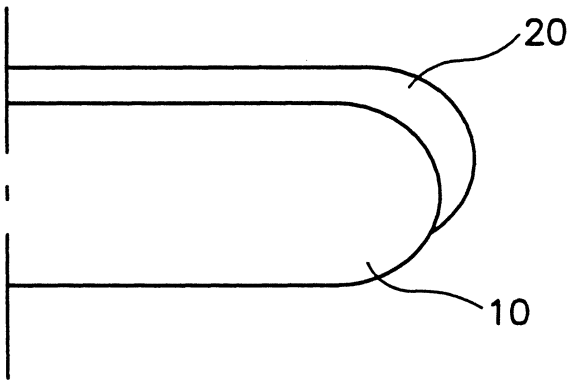
訂

線

双面影印

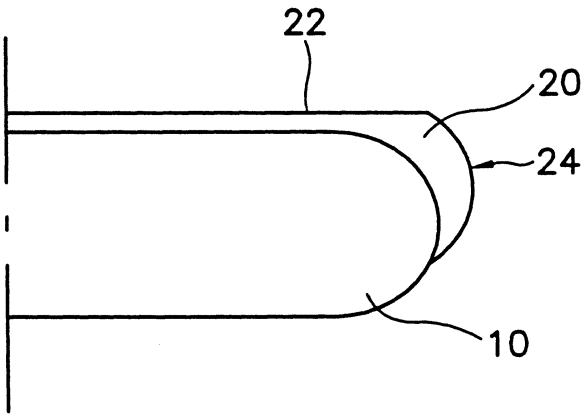
第 1 圖

習知技術



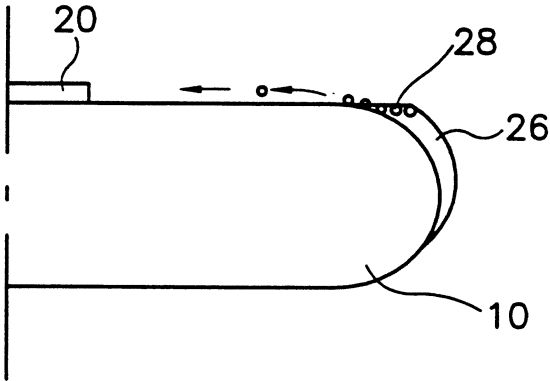
第 2 圖

習知技術

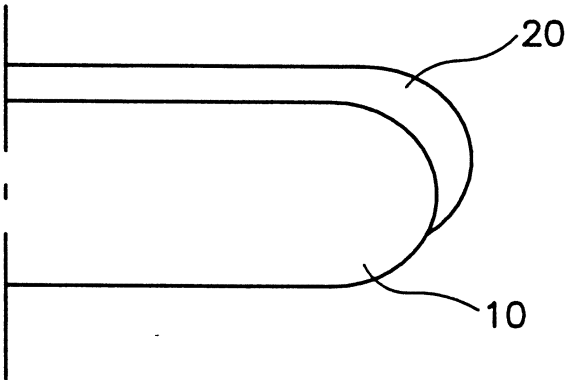


第 3 圖

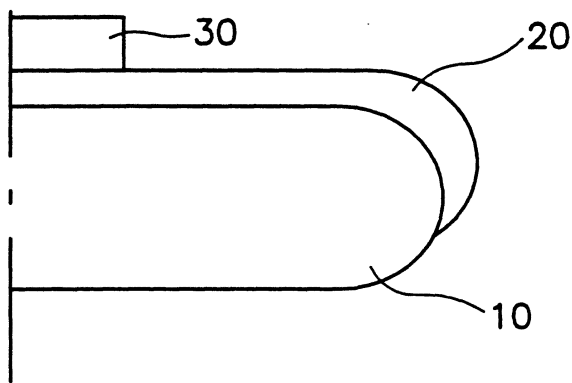
習知技術



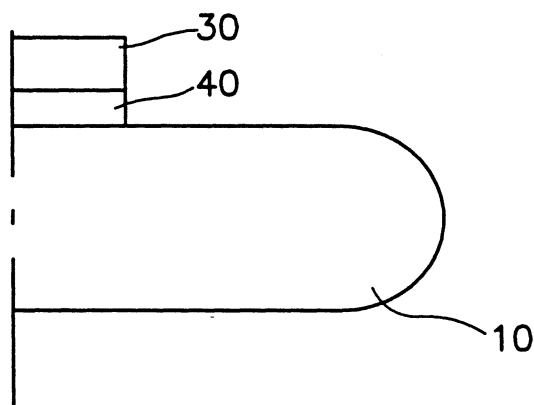
第 4 圖



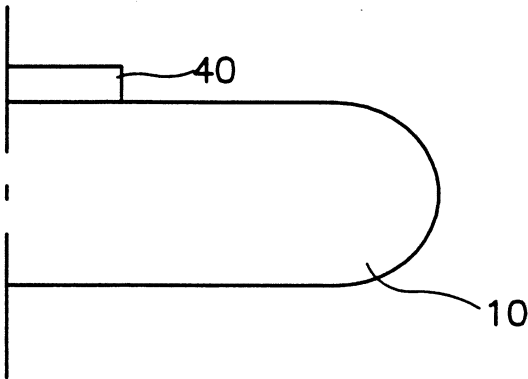
第 5 圖



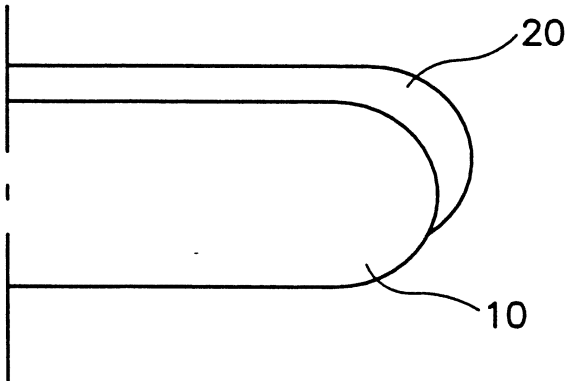
第 6 圖



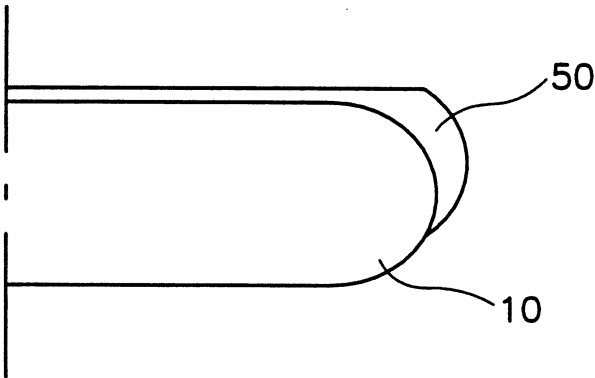
第 7 圖



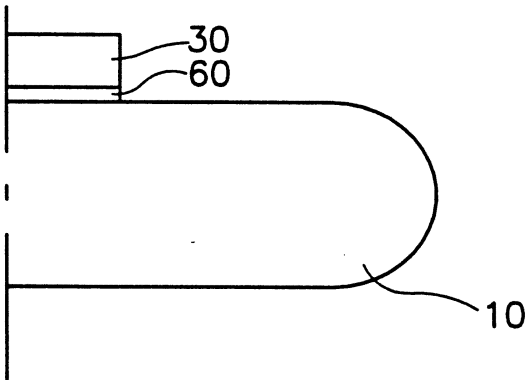
第 8 圖



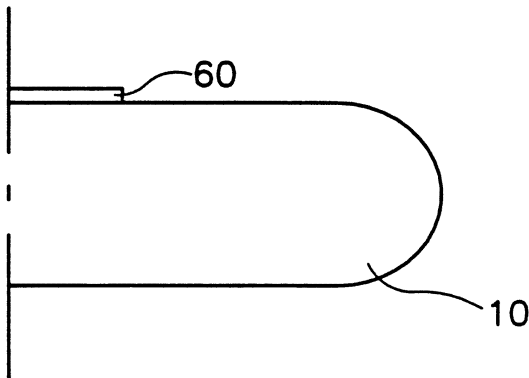
第 9 圖



第 10 圖



第 11 圖



第12A圖



第12B圖

