

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7518062号
(P7518062)

(45)発行日 令和6年7月17日(2024.7.17)

(24)登録日 令和6年7月8日(2024.7.8)

(51)国際特許分類		F I	
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78 6 1 7 K
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	27/06 (2006.01)	H 0 1 L	27/088 B
H 0 1 L	27/088(2006.01)	H 0 1 L	27/088 E
H 1 0 B	12/00 (2023.01)	H 0 1 L	27/088 3 3 1 E
請求項の数 8 (全88頁) 最終頁に続く			
(21)出願番号 特願2021-513022(P2021-513022)		(73)特許権者 000153878	
(86)(22)出願日 令和2年3月30日(2020.3.30)		株式会社半導体エネルギー研究所	
(86)国際出願番号 PCT/IB2020/052986		神奈川県厚木市長谷 3 9 8 番地	
(87)国際公開番号 WO2020/208457		(72)発明者 柳澤 悠一	
(87)国際公開日 令和2年10月15日(2020.10.15)		神奈川県厚木市長谷 3 9 8 番地 株式会	
審査請求日 令和5年3月28日(2023.3.28)		社半導体エネルギー研究所内	
(31)優先権主張番号 特願2019-74781(P2019-74781)		(72)発明者 澤井 寛美	
(32)優先日 平成31年4月10日(2019.4.10)		神奈川県厚木市長谷 3 9 8 番地 株式会	
(33)優先権主張国・地域又は機関 日本国(JP)		社半導体エネルギー研究所内	
		(72)発明者 松林 大介	
		神奈川県厚木市長谷 3 9 8 番地 株式会	
		社半導体エネルギー研究所内	
		審査官 岩本 勉	
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

凹部を有する第 1 の酸化物と、
前記第 1 の酸化物上の第 1 の絶縁体と、
前記第 1 の絶縁体上の第 1 の導電体と、
前記第 1 の絶縁体上、および前記第 1 の導電体上の第 2 の絶縁体と、
第 1 の酸化物と電氣的に接続する第 2 の導電体と、
前記第 1 の酸化物と、前記第 2 の導電体との間に設けられた第 2 の酸化物と、
を有し、
前記第 1 の絶縁体、前記第 1 の導電体、および前記第 2 の絶縁体は、前記凹部内に設けられ、
前記第 2 の酸化物は、前記第 2 の絶縁体と重畳する領域を有する半導体装置。

【請求項 2】

請求項 1 において、
前記第 1 の酸化物は、インジウムと、元素 M (M はアルミニウム、ガリウム、イットリウム、またはスズ) と、亜鉛と、を有する半導体装置。

【請求項 3】

請求項 1 又は 2 のいずれか一項において、
前記第 2 の酸化物は、インジウムと、元素 M (M はアルミニウム、ガリウム、イットリウム、またはスズ) と、亜鉛と、を有する半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、
前記第 2 の酸化物は、前記第 1 の酸化物と同じ材料を有する半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記第 2 の酸化物は、前記第 2 の導電体の底面、および側面と接する半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、
前記第 2 の導電体は、前記第 1 の導電体の上方に設けられる半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、
前記半導体装置は、前記第 1 の酸化物上の層間膜を有し、
前記層間膜は、開口を有し、
前記第 2 の酸化物、および前記第 2 の導電体は、前記開口内部に設けられ、
前記第 2 の酸化物と、前記第 2 の導電体との接触面積は、前記開口の面積より大きい半導体装置。

10

【請求項 8】

請求項 1 乃至 7 のいずれか一項において、
前記半導体装置は、容量素子を有し、
前記容量素子は、前記第 2 の導電体と電氣的に接続する半導体装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、および電子機器などは、半導体装置を有すると言える場合がある。

30

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】**【0004】**

近年、半導体装置の開発が進められ、LSI、CPU、およびメモリなどに用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

40

【0005】

LSI、CPU、およびメモリなどの半導体回路（ICチップ）は、回路基板、例えば、プリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

50

【 0 0 0 7 】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

【 0 0 0 8 】

また、酸化物半導体を用いたトランジスタで、ゲート電極を開口部に埋め込んで作製する方法などが開示されている（特許文献2参照。）。

【 0 0 0 9 】

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

10

【先行技術文献】

【特許文献】

【 0 0 1 0 】

【文献】特開2012-257187号公報

【文献】特開2017-050530号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 1 】

20

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な周波数特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

【 0 0 1 2 】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

30

【 0 0 1 3 】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【 0 0 1 4 】

40

本発明の一態様は、第1の酸化物と、第1の酸化物上の絶縁体と、絶縁体上の第1の導電体と、第1の酸化物と電気的に接続する第2の導電体と、第1の酸化物と、第2の導電体との間に設けられた第2の酸化物を有し、第2の酸化物と、第2の導電体との接触面積は、第2の酸化物と、第1の酸化物との接触面積より大きい半導体装置である。

【 0 0 1 5 】

本発明の一態様は、凹部を有する第1の酸化物と、第1の酸化物上の第1の絶縁体と、第1の絶縁体上の第1の導電体と、第1の絶縁体上、および第1の導電体上の第2の絶縁体と、第1の酸化物と電気的に接続する第2の導電体と、第1の酸化物と、第2の導電体との間に設けられた第2の酸化物を有し、第1の絶縁体、第1の導電体、および第2の絶縁体は、凹部内に設けられ、第2の酸化物は、第2の絶縁体と重畳する領域を有する半導

50

体装置である。

【0016】

上記において、第1の酸化物は、インジウムと、元素M（Mはアルミニウム、ガリウム、イットリウム、またはスズ）と、亜鉛を有することが好ましい。

【0017】

上記において、第2の酸化物は、インジウムと、元素M（Mはアルミニウム、ガリウム、イットリウム、またはスズ）と、亜鉛と、を有することが好ましい。

【0018】

上記において、第2の酸化物は、第1の酸化物と同じ材料を有することが好ましい。

【0019】

上記において、第2の酸化物は、第2の導電体の底面、および側面と接することが好ましい。

【0020】

上記において、第2の導電体は、第1の導電体の上方に設けられることが好ましい。

【0021】

上記において、半導体装置は、第1の酸化物上の層間膜を有してもよく、層間膜は、開口を有し、第2の酸化物、および第2の導電体は、開口内部に設けられ、第2の酸化物と、第2の導電体との接触面積は、開口の面積より大きいことが好ましい。

【0022】

上記において、半導体装置は、容量素子を有してもよく、容量素子は、第2の導電体と電氣的に接続することが好ましい。

【発明の効果】

【0023】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、良好な周波数特性を有する半導体装置を提供することができる。本発明により、信頼性が良好な半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0024】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0025】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0026】

図1Aは本発明の一態様である半導体装置の上面図である。図1B乃至図1Dは本発明の一態様である半導体装置の断面図である。

図2Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図2B乃至図2Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図3Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図3B乃至図3Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図4Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図4B乃至図4Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図5Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図5B乃至図5Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

10

20

30

40

50

図 6 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 6 B 乃至図 6 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 7 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 7 B 乃至図 7 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 8 B 乃至図 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 9 B 乃至図 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 10 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 10 B 乃至図 10 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

10

図 11 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 11 B 乃至図 11 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 12 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 12 B 乃至図 12 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 13 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 13 B 乃至図 13 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 14 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 14 B 乃至図 14 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 15 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 15 B 乃至図 15 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

20

図 16 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 16 B 乃至図 16 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 17 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 17 B 乃至図 17 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 18 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 18 B 乃至図 18 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 19 A は本発明の一態様である半導体装置の上面図である。図 19 B 乃至図 19 D は本発明の一態様である半導体装置の断面図である。

図 20 A は本発明の一態様である半導体装置の上面図である。図 20 B は本発明の一態様である半導体装置の断面図である。

30

図 21 A 乃至図 21 C は本発明の一態様である半導体装置の断面図である。

図 22 は本発明の一態様である半導体装置の上面図である。

図 23 は本発明の一態様である半導体装置の上面図である。

図 24 は本発明の一態様である半導体装置の回路図である。

図 25 A は本発明の一態様である半導体装置の断面図である。図 25 B は本発明の一態様である半導体装置の回路図である。

図 26 は本発明の一態様である半導体装置の構成例を示すブロック図である。

図 27 は本発明の一態様である半導体装置の断面図である。

図 28 は本発明の一態様である半導体装置の断面図である。

図 29 A は本発明の一態様である半導体装置の構成例を示すブロック図である。図 29 B は本発明の一態様である半導体装置の斜視図である。

40

図 30 A および図 30 B は電子部品の一例を説明する図である。

図 31 A 乃至図 31 E は本発明の一態様に係る記憶装置の模式図である。

図 32 A 乃至図 32 H は本発明の一態様に係る電子機器を示す図である。

【発明を実施するための形態】

【0027】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

50

【 0 0 2 8 】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【 0 0 2 9 】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【 0 0 3 0 】

また、本明細書等において、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【 0 0 3 1 】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【 0 0 3 2 】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接的に接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に関示されているものとする。

【 0 0 3 3 】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【 0 0 3 4 】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【 0 0 3 5 】

なお、本明細書などにおいて、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル長（以下、「実効的なチャネル長」ともいう。）と、トランジスタの上面図において示されるチャネル長（以下、「見かけ上のチャネル長」ともいう。）と、が異なる場合がある。例えば、半導体が凹部を有し、該凹部内にゲート電極が埋め込まれるように設けられる場合、実効的なチャネル長が、見かけ上のチャネル長よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ半導体がゲート電極の側面を覆うトランジスタでは、ゲート電極の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル長よりも、実効的なチャネル長の方が大きくなる。

【 0 0 3 6 】

このような場合、実効的なチャンネル長の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル長を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル長を正確に測定することは困難である。

【0037】

なお、本明細書などにおいて、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

10

【0038】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0039】

また、本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、などは、断面TEM像などを解析することなどによって、値を決定することができる。

20

【0040】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS (Density of States) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

30

【0041】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

40

【0042】

また、本明細書等において、「平行」とは、二つの直線が-10度以上10度以下の角度で配置されている状態をいう。したがって、-5度以上5度以下の場合も含まれる。また、「略平行」とは、二つの直線が-30度以上30度以下の角度で配置されている状態をいう。また、「垂直」、または「直交」とは、二つの直線が80度以上100度以下の角度で配置されている状態をいう。したがって、85度以上95度以下の場合も含まれる。また、「略垂直」、または「略直交」とは、二つの直線が60度以上120度以下の角度で配置されている状態をいう。

【0043】

なお、本明細書において、バリア性を有するとは、水素などの不純物および酸素の透過

50

を抑制する機能を有することであり、バリア性を有する絶縁膜のことを、絶縁性バリア膜、バリア絶縁膜、またはバリア絶縁体と呼ぶことがある。また、バリア性を有する導電膜のことを、導電性バリア膜と呼ぶことがある。

【0044】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET あるいは OS トランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

【0045】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりの電流が、室温において $1 \times 10^{-20}\ \text{A}$ 以下、 85°C において $1 \times 10^{-18}\ \text{A}$ 以下、または 125°C において $1 \times 10^{-16}\ \text{A}$ 以下であることをいう。

【0046】

(実施の形態 1)

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

20

【0047】

< 半導体装置の構成例 >

図 1 A 乃至図 1 D は、本発明の一態様に係る半導体装置、および半導体装置周辺の上面図および断面図である。

【0048】

図 1 A は、半導体装置の上面図である。また、図 1 B、図 1 C、および図 1 D は、当該半導体装置の断面図である。ここで、図 1 B は、図 1 A に A 1 - A 2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 1 C は、図 1 A に A 3 - A 4 の一点鎖線で示す部位の断面図であり、導電体 260 の延びる方向のチャネル形成領域の断面図である。なお、図 1 C は、トランジスタ 200 のチャネル幅方向の断面を表している。また、図 1 D は、図 1 A に A 5 - A 6 の一点鎖線で示す部位の断面図である。なお、図 1 A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

30

【0049】

本発明の一態様の半導体装置は、トランジスタ 200 と、層間膜として機能する絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 280、および絶縁体 281 を有する。また、トランジスタ 200 と電氣的に接続し、プラグとして機能する酸化物 243 (酸化物 243 a、酸化物 243 b、および酸化物 243 c)、および導電体 240 (導電体 240 a、導電体 240 b、および導電体 240 c) とを有する。

【0050】

40

なお、トランジスタ 200 は、一つの半導体層に 2 つのゲート電極として機能する導電体 260 を有する。すなわち、トランジスタ 200 は、一つの半導体層にトランジスタ 200 a、およびトランジスタ 200 b を有する構造と別言することができる。また、トランジスタ 200 a のソースおよびドレインの一方は、トランジスタ 200 b のソースおよびドレインの一方と共有している。このため、トランジスタ 200 a、およびトランジスタ 200 b をそれぞれ形成する場合に比べ、トランジスタ 200 に接続するプラグなどの数を削減でき、また、トランジスタ 200 の面積を小さくすることができる。トランジスタ 200 a のソースおよびドレインの一方と、トランジスタ 200 b のソースおよびドレインの一方は、酸化物 243 a を介して導電体 240 a と電氣的に接続する。また、トランジスタ 200 a のソースおよびドレインの他方は、酸化物 243 b を介して導電体 24

50

0 b と電氣的に接続し、トランジスタ 2 0 0 b のソースおよびドレインの他方は、酸化物 2 4 3 c を介して導電体 2 4 0 c と電氣的に接続している。

【 0 0 5 1 】

ここで、本実施の形態では、トランジスタ 2 0 0 の詳細な説明として、トランジスタ 2 0 0 a およびトランジスタ 2 0 0 b の一方を中心に説明する場合があるが、特段の説明が無い限り、トランジスタ 2 0 0 a とトランジスタ 2 0 0 b は同様の構成を有しているため、トランジスタ 2 0 0 a およびトランジスタ 2 0 0 b の他方の説明は省略する。また、本明細書において、トランジスタ 2 0 0 は、トランジスタ 2 0 0 a 、 およびトランジスタ 2 0 0 b の一方、または両方を指す場合がある。

【 0 0 5 2 】

トランジスタ 2 0 0 のゲート電極、またはワード線として機能する導電体 2 6 0 (導電体 2 6 0 a 、 および導電体 2 6 0 b) は、トランジスタ 2 0 0 の半導体層として機能する酸化物 2 3 0 a に設けられた凹部に埋め込まれるように形成される。また、導電体 2 6 0 は、その上面が酸化物 2 3 0 a の上面より低くなるように形成されており、少なくとも該凹部内において、導電体 2 6 0 上には、絶縁体 2 6 2 が設けられる。絶縁体 2 6 2 は、導電体 2 6 0 と酸化物 2 4 3 、 および導電体 2 6 0 と導電体 2 4 0 との電氣的接続を防ぐ機能を有する。

【 0 0 5 3 】

このとき、絶縁体 2 5 0 の上面も酸化物 2 3 0 a の上面より低くなるように形成されることが好ましく、少なくとも該凹部内において、絶縁体 2 5 0 上にも、絶縁体 2 6 2 が設けられることが好ましい。また、酸化物 2 3 0 b の上面も酸化物 2 3 0 a の上面より低くなるように形成されることが好ましく、少なくとも該凹部内において、酸化物 2 3 0 b 上にも、絶縁体 2 6 2 が設けられることが好ましい。

【 0 0 5 4 】

酸化物 2 4 3 は酸化物 2 3 0 a の上面と接するように設けられ、導電体 2 4 0 は酸化物 2 4 3 を介して酸化物 2 3 0 a と電氣的に接続するため、酸化物 2 4 3 、 および導電体 2 4 0 は、酸化物 2 3 0 a の上方に設けられる。また、酸化物 2 4 3 、 および導電体 2 4 0 は、導電体 2 6 0 の上方に設けられる。

【 0 0 5 5 】

また、酸化物 2 3 0 a の上面の一部、および側面を覆うように絶縁体 2 7 2 を設けることが好ましい。絶縁体 2 7 2 、 絶縁体 2 8 0 、 および絶縁体 2 8 1 の開口内壁に接して、絶縁体 2 4 1 (絶縁体 2 4 1 a 、 絶縁体 2 4 1 b 、 および絶縁体 2 4 1 c) を設けてもよい。このとき酸化物 2 4 3 は、絶縁体 2 7 2 、 絶縁体 2 8 0 、 および絶縁体 2 8 1 の開口内において、絶縁体 2 4 1 を介して、該開口の内壁に接して設けられる。絶縁体 2 4 1 に接して、酸化物 2 4 3 が形成され、さらに酸化物 2 4 3 の内側に導電体 2 4 0 の第 1 の導電体が形成され、さらに内側に導電体 2 4 0 の第 2 の導電体が形成される。

【 0 0 5 6 】

絶縁体 2 4 1 を設けることで、酸化物 2 4 3 、 および導電体 2 4 0 の少なくとも一方による、絶縁体 2 8 0 、 および絶縁体 2 8 1 に含まれる酸素の吸収を抑制することが期待できる。その結果半導体装置の特性や信頼性の向上が期待できるが、必ずしも設ける必要は無い。すなわち、酸化物 2 4 3 は、絶縁体 2 7 2 、 絶縁体 2 8 0 、 および絶縁体 2 8 1 の開口内壁に接して設けられてもよい。なお、トランジスタ 2 0 0 では、導電体 2 4 0 の第 1 の導電体および導電体 2 4 0 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 2 4 0 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【 0 0 5 7 】

ここで、絶縁体 2 7 2 、 絶縁体 2 8 0 、 および絶縁体 2 8 1 に開口を形成するためのリソグラフィ工程において、酸化物 2 3 0 a の所望の位置に対して位置ずれが生じた場合を考える。位置ずれが生じると、該開口が導電体 2 6 0 と重畳する領域を有する恐れがあ

10

20

30

40

50

る。しかしながら、本発明の一態様によると、酸化物 2 3 0 a の凹部において、導電体 2 6 0 上に絶縁体 2 6 2 が設けられているため、後工程において形成される酸化物 2 4 3 や導電体 2 4 0 と、導電体 2 6 0 との電氣的な接続、すなわち短絡を防ぐことができる。また、該開口を、酸化物 2 3 0 a の所望の領域よりも大きく設計することが可能になる。該開口を、酸化物 2 3 0 a の所望の領域よりも大きく形成することで、酸化物 2 3 0 a の所望の位置に対して該開口に位置ずれが生じた場合でも、酸化物 2 3 0 a の所望の領域と酸化物 2 4 3 の接続が可能になる。

【 0 0 5 8 】

上記開口の形成において位置ずれが生じた場合、または該開口の大きさを図 1 D に示す酸化物 2 3 0 a の A 5 - A 6 方向の幅より大きく設計した場合、酸化物 2 4 3 の下面、または導電体 2 4 0 の下面が、酸化物 2 3 0 a 上面より低い位置に配置される場合がある。

10

【 0 0 5 9 】

本発明の一態様の半導体装置、およびその作成方法を用いることで、開口形成の際の位置合わせのマージンは広くなり、半導体装置の微細化が進んでも、良好な特性を有する半導体装置を実現することができる。

【 0 0 6 0 】

導電体 2 4 0 は、絶縁体 2 7 2、絶縁体 2 8 0、および絶縁体 2 8 1 の開口内で、トランジスタ 2 0 0 が有する酸化物 2 3 0 a のソース領域、およびドレイン領域と電氣的に接続する。導電体 2 4 0 が金属からなり、半導体として機能する酸化物 2 3 0 a と直に接続する場合、金属と半導体の間ではコンタクト抵抗が高くなることが懸念される。また、コンタクト内部のみでは導電体 2 4 0 と、酸化物 2 3 0 a との接触面積が小さく、コンタクト抵抗がより高くなってしまう恐れがある。このように作製された半導体装置では、良好な電気特性が得られにくい場合がある。

20

【 0 0 6 1 】

本発明の一態様は、導電体 2 4 0 の底面、および側面に酸化物 2 4 3 が設けられ、導電体 2 4 0 は、酸化物 2 4 3 を介して酸化物 2 3 0 a と電氣的に接続する。酸化物 2 4 3 は、導電体 2 4 0 の底面だけでなく、導電体 2 4 0 の側面とも直に接することで、導電体 2 4 0 の底面のみに接している場合と比較して接触面積が増加する。導電体 2 4 0 が金属からなる材料の場合でも、導電体 2 4 0 と、酸化物 2 4 3 の接触面積は十分大きいいため、異種材料に起因したコンタクト抵抗の増加を抑制することができる。また、該開口内において、酸化物 2 3 0 a は酸化物 2 4 3 と接続するため、材料に起因した抵抗増加の懸念は無い。よって、導電体 2 4 0 は、酸化物 2 4 3 を介して酸化物 2 3 0 a と電氣的に良好な接続を実現することが可能となる。

30

【 0 0 6 2 】

上記のような構成により酸化物 2 3 0 a と導電体 2 4 0 が電氣的に接続する場合、酸化物 2 4 3 と導電体 2 4 0 との接触面積は、酸化物 2 4 3 と酸化物 2 3 0 a との接触面積より大きくなる。また、酸化物 2 4 3 と導電体 2 4 0 との接触面積は、絶縁体 2 7 2、絶縁体 2 8 0、および絶縁体 2 8 1 に形成される開口の面積より大きくなる。また、絶縁体 2 7 2、絶縁体 2 8 0、および絶縁体 2 8 1 により深い開口を形成することで、酸化物 2 4 3、および導電体 2 4 0 の高さは高くなり、コンタクト抵抗の増加を抑制できる。該開口の深さは、例えば絶縁体 2 8 1 の膜厚により制御できる。絶縁体 2 8 1 の厚さは、50 nm 以上 400 nm 以下、好ましくは 100 nm 以上 250 nm 以下とすることができる。

40

【 0 0 6 3 】

導電体 2 4 0 a、導電体 2 4 0 b、および導電体 2 4 0 c は、それぞれ配線や、トランジスタや容量などの素子と電氣的に接続することができる。例えば、導電体 2 4 0 a は、ビット線として機能する配線と電氣的に接続し、導電体 2 4 0 b、および導電体 2 4 0 c は、それぞれ異なる容量と電氣的に接続することで、記憶装置として機能する半導体装置を構成してもよい。

【 0 0 6 4 】

[トランジスタ 2 0 0]

50

図 1 A 乃至図 1 D に示すように、トランジスタ 200 は、基板（図示しない。）の上に配置された絶縁体 211 と、絶縁体 211 の上に配置された絶縁体 212 と、絶縁体 212 の上に配置された絶縁体 214 と、絶縁体 214 の上に配置された絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 205（導電体 205 a、および導電体 205 b）と、絶縁体 216 と導電体 205 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、凹部を有し、絶縁体 224 の上に配置された酸化物 230 a と、酸化物 230 a の凹部において、酸化物 230 a の底面、および側面に接するように設けられた酸化物 230 b と、酸化物 230 b の内側に設けられた絶縁体 250 と、絶縁体 250 の内側に設けられた導電体 260 a と、導電体 260 a の内側に埋め込まれるように設けられた導電体 260 b と、該凹部において、酸化物 230 b、絶縁体 250、導電体 260 a、および導電体 260 b 上の絶縁体 262 と、絶縁体 224、および酸化物 230 a 上の絶縁体 272 と、を有する。

10

【0065】

なお、絶縁体 272 上に絶縁体 280 が設けられ、絶縁体 262、絶縁体 272、および絶縁体 280 上に絶縁体 281 が設けられ、絶縁体 281、絶縁体 280、および絶縁体 272 に開口が設けられ、該開口の側面には、絶縁体 241 が設けられ、絶縁体 241 が設けられた該開口の内部に、酸化物 243 が設けられ、酸化物 243 の内側に導電体 240 が設けられる。

【0066】

なお、トランジスタ 200 では、絶縁体 224 上に接して酸化物 230 a が設けられ、酸化物 230 a の上面が酸化物 243 と接する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230 a は、2 層以上の積層構造を有する構成にしてもよい。酸化物 230 a が積層構造を有する場合、酸化物 243 と接する側の層（上層）は、絶縁体 224 と接する側の層（下層）と比較して低抵抗な材料、あるいは低抵抗化しやすい材料を用いることが好ましい。また、酸化物 230 a の下層は、上層と比較して、酸素を拡散しやすい材料を用いることが好ましい。酸素の拡散により酸化物 230 a 中の酸素欠損を補償し、酸素欠損を低減することができる。酸素欠損が低減された酸化物 230 a をチャネル形成領域に用いることで、非導通状態において極めてリーク電流が小さいトランジスタを実現することができる。また、トランジスタ 200 では、導電体 260 を導電体 260 a、および導電体 260 b の 2 層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 260 が、単層構造でも、3 層以上の積層構造であってもよい。

20

30

【0067】

ここで、導電体 260 は、トランジスタのゲート電極として機能する。上記のように、導電体 260 は、酸化物 230 a の凹部内に、酸化物 230 b や、絶縁体 250 などを介して、埋め込まれるように形成される。ここで、導電体 260 の配置は、酸化物 230 a の凹部に対して、自己整合的に選択される。よって、導電体 260 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 200 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【0068】

40

さらに、酸化物 230 a の凹部内において、導電体 260 上に絶縁体 262 が設けられているため、導電体 260 と酸化物 243、または導電体 240 が重畳する領域を有する場合でも、導電体 260 と酸化物 243、または導電体 240 が短絡することを防ぐことができる。

【0069】

また、トランジスタ 200 は、チャネル形成領域を含む酸化物 230（酸化物 230 a、および酸化物 230 b）に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

【0070】

チャネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において

50

極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法、あるいはALD (Atomic Layer Deposition) 法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ200に用いることができる。

【0071】

例えば、酸化物230として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。特に、インジウムおよび亜鉛に加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

10

【0072】

また、酸化物230aは結晶構造を有することが好ましい。詳細は後述するが、例えば、酸化物230aは、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、またはnc-OS(nanocrystalline oxide semiconductor)を有していることが好ましい。酸化物230aが結晶構造を有することで、トランジスタ200として、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

20

【0073】

特に、酸化物230aがCAAC-OSを有する場合、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくい。よって電界効果移動度の高いトランジスタ200を実現することができる。また、CAAC-OSは、その高い結晶性から、不純物の混入や欠陥の生成が少なく、物理的性質が安定するため、信頼性の高いトランジスタ200を実現することができる。

【0074】

一方、酸化物230aがnc-OSを有する場合、酸化物230a全体で結晶の配向性は見られない。すなわち、酸化物230a中を流れるキャリアの方向によらず酸化物230aの膜特性が一定となるため、トランジスタ200の電気特性は安定する。本実施の形態に示すように、トランジスタ200がU字型のチャネル形成領域を有する場合、キャリアは2以上の方向、すなわち酸化物230aの形成面の法線方向に対して、垂直または概略垂直な方向、および平行または概略平行な方向に流れる。そのため、膜全体で結晶の配向性が見られないnc-OSを酸化物230aに用いることは好ましい。

30

【0075】

なお、酸化物230bとして、CAAC-OS、またはnc-OSを用いることで、高い電界効果移動度を有するトランジスタ200、および信頼性の高いトランジスタ200を実現することができる。

【0076】

ここで、酸化物230は、水素、窒素、または金属元素などの不純物が存在すると、キャリア密度が増大し、低抵抗化する場合がある。また、酸化物230に含まれる酸素濃度が低下すると、キャリア密度が増大し、低抵抗化する場合がある。

40

【0077】

また、プラグの一部として機能する酸化物243として、酸化物230と同様の金属酸化物を用いることができる。

【0078】

酸化物に接するように設けられた導電体が、酸化物の酸素を吸収する機能を有する場合、または酸化物に水素、窒素、または金属元素などの不純物を供給する機能を有する場合、該酸化物、または該酸化物の少なくとも一部に、低抵抗領域が形成される場合がある。

【0079】

50

図 1 B および図 1 D に示すように、導電体 2 4 0 の底面、および側面に酸化物 2 4 3 が接するように設けられることで、酸化物 2 4 3 は低抵抗領域として機能する。また、酸化物 2 4 3 と接する酸化物 2 3 0 a の一部も低抵抗領域として機能する場合がある。また、トランジスタ 2 0 0 のチャンネル形成領域は、酸化物 2 3 0 a に設けられた凹部に沿って酸化物 2 3 0 a に形成され、酸化物 2 4 3 を介して導電体 2 4 0 と電氣的に接続する。よってトランジスタ 2 0 0 は、U 字型のチャンネル形成領域を有するトランジスタであるとも言える。このとき、酸化物 2 3 0 b、または酸化物 2 3 0 b の少なくとも一部も、トランジスタ 2 0 0 のチャンネル形成領域として機能する場合がある。このように U 字型のチャンネル形成領域を有するトランジスタにおいて、キャリアは、絶縁体 2 2 2 の上面の法線方向に対して、垂直または概略垂直な方向、および平行または概略平行な方向に流れる。

10

【 0 0 8 0 】

導電体 2 4 0 a は、トランジスタ 2 0 0 a と電氣的に接続するソース電極、およびドレイン電極の一方として機能し、導電体 2 4 0 b は、トランジスタ 2 0 0 a と電氣的に接続するソース電極、およびドレイン電極の他方として機能するといえる。この場合、導電体 2 4 0 a は、トランジスタ 2 0 0 b と電氣的に接続するソース電極、およびドレイン電極の一方として機能し、導電体 2 4 0 c は、トランジスタ 2 0 0 b と電氣的に接続するソース電極、およびドレイン電極の他方として機能する。なお、ソース電極またはドレイン電極として、導電体 2 4 0 だけでなく、酸化物 2 4 3 を有していてもよい。

【 0 0 8 1 】

導電体 2 4 0 により低抵抗化した酸化物 2 4 3、および酸化物 2 3 0 a の一部は、ソース領域またはドレイン領域と呼称することができる。ソース領域、およびドレイン領域は、チャンネル形成領域と比較して、酸素濃度が低い、または水素や、窒素や、金属元素などの不純物を多く含む、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、ソース領域、およびドレイン領域は、チャンネル形成領域と比較して、キャリア密度が高く、低抵抗な領域である。また、チャンネル形成領域は、ソース領域、およびドレイン領域よりも、酸素濃度が高い、または不純物濃度が低いため、キャリア密度が低い高抵抗領域である。

20

【 0 0 8 2 】

なお、低抵抗領域が金属元素を含む場合、当該領域は、酸化物 2 4 3、または酸化物 2 3 0 に含まれる金属元素の他に、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの金属元素の中から選ばれるいずれか一つまたは複数の金属元素を有することが好ましい。

30

【 0 0 8 3 】

また、酸化物 2 3 0 a において、低抵抗領域と、チャンネル形成領域との境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう。）していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

40

【 0 0 8 4 】

酸化物 2 4 3、および酸化物 2 3 0 の少なくとも一部を低抵抗化するには、導電体 2 4 0 として、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどの導電性を高める金属元素、および不純物の少なくとも一を含む材料を用いることが好ましい。または、導電体 2 4 0 となる導電膜 2 4 0 A の形成において、酸化物 2 4 3、および酸化物 2 3 0 に、酸素欠損を形成する元素、または酸素欠損に捕獲される元素などの不純物が注入される材料や成膜方法などを用いればよい。例えば、当該

50

元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、希ガス等が挙げられる。また、希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

【0085】

ここで、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、酸化物230におけるチャネルが形成される領域中の酸素欠損はできる限り低減されていることが好ましい。

10

【0086】

トランジスタのノーマリーオン化を抑制するには、酸化物230と近接する絶縁体224が、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう。）を含むことが好ましい。絶縁体224が有する酸素は、酸化物230へと拡散し、酸化物230の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

【0087】

つまり、絶縁体224が有する酸素が、酸化物230へと拡散することで、酸化物230のチャネル形成領域における酸素欠損を低減することができる。

【0088】

また、酸化物230、および絶縁体224が有する酸素の、トランジスタ200より外方への拡散を抑制するために、絶縁体211、絶縁体212、絶縁体214、絶縁体222、絶縁体272、絶縁体262などが設けられることが好ましい。これら絶縁体として、酸素が透過しにくい材料を用いることが好ましい。例えば、アルミニウム、およびハフニウム的一方を含む酸化物、シリコンの窒化物などを用いることができる。また、Inの濃度が低減されたインジウム - ガリウム - 亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。さらに、これら絶縁膜は、水素、水、窒素、金属元素などの不純物が透過しにくい材料であることが好ましい。このような材料を用いることで、トランジスタ200の外方から、トランジスタ200への不純物の混入を抑制することができる。

20

【0089】

また、酸化物半導体は、スパッタリング法やALD法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置を提供できる。

30

【0090】

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。

【0091】

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

40

【0092】

導電体205は、図1Aおよび図1Cに示すように、チャネル幅方向に延伸されており、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体216に埋め込まれて設けることが好ましい。

【0093】

ここで、導電体260は、第1のゲート（トップゲートともいう。）電極として機能する場合がある。また、導電体205は、第2のゲート（ボトムゲートともいう。）電極として機能する場合がある。第2のゲート電極を設けることで、導電体205から、酸化物

50

230aのうち、少なくとも導電体205、および導電体260が重畳する領域に対して電界を印加することができる。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200の V_{th} を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の V_{th} を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0094】

なお、導電体205は、図1A乃至図1Cに示すように、酸化物230、および導電体260と重なるように配置する。特に、図1Cに示すように、導電体205は、酸化物230のチャンネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャンネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

10

【0095】

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながり、酸化物230に形成されるチャンネル形成領域の少なくとも一部を覆うことができる。

【0096】

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、チャンネル形成領域の少なくとも一部を電気的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャンネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)`構造とよぶ。

20

【0097】

また詳細は後述するが、導電体205は、絶縁体216の開口の内壁に接して導電体205aが形成され、導電体205aの内側に導電体205bが形成されている。ここで、導電体205a、および導電体205bの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205a、および導電体205bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

30

【0098】

ここで、導電体205aとして、導電性バリア膜を用いることが好ましい。例えば、導電体205aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

40

【0099】

導電体205aが酸素の拡散を抑制する機能を持つことにより、導電体205bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。したがって、導電体205aは、上記から選ばれた導電性材料を用いて形成されればよい。これにより、水素、水などの不純物が、導電体205を通じて、トランジスタ200側に拡散するのを抑制することができる。また、導電体205aは、上記材料から選ばれた材料を用いて、2層以上の積層構造を有していてもよい。例えば、導電体205aとして、窒化タンタルと、該窒化タンタル上の窒化チタンを有する積層構造の導電体を用いることができる。

50

【0100】

また、導電体205bは、導電体205aより導電性が高い材料を用いることが好ましく、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

【0101】

絶縁体211、絶縁体212、および絶縁体214は、水または水素などの不純物が、基板側からトランジスタ200に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体211、絶縁体212、および絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい。)絶縁性材料を用いることが好ましい。

10

【0102】

絶縁体211、絶縁体212、および絶縁体214として、酸化アルミニウム、酸化ハフニウム、窒化シリコンなどを用いることができる。また、Inの濃度が低減されたインジウム-ガリウム-亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。例えば、絶縁体211、および絶縁体212として窒化シリコンなどを用い、絶縁体214として酸化アルミニウムなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体211、絶縁体212および絶縁体214よりも基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体216、または絶縁体224などに含まれる酸素が、絶縁体211、絶縁体212および絶縁体214よりも基板側に、拡散するのを抑制することができる。

20

【0103】

また、層間膜として機能する絶縁体216、絶縁体280、および絶縁体281は、絶縁体211、絶縁体212、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0104】

例えば、絶縁体216、絶縁体280、および絶縁体281として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba, Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、または窒化シリコンを積層して用いてもよい。

30

【0105】

絶縁体222、絶縁体224、および絶縁体250は、ゲート絶縁体としての機能を有する。

40

【0106】

ここで、絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230aに接して設けることにより、酸化物230a中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

【0107】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する絶縁体を用いることが好ましい。加熱により酸素を脱離する絶縁体とは、TDS(Thermal Desorption Spectroscopy)分析にて、酸素分子の脱離量

50

が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

【0108】

例えば、絶縁体 224 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) または (Ba, Sr)TiO₃ (BST) などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、または窒化シリコンを積層して用いてもよい。

10

【0109】

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222 は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する (上記酸素が透過しにくい。) ことが好ましい。

【0110】

絶縁体 222 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 230 が有する酸素は、絶縁体 216 側へ拡散することがなく、好ましい。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

20

【0111】

絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) または (Ba, Sr)TiO₃ (BST) などのいわゆる high-k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

30

【0112】

特に、不純物、および酸素などの拡散を抑制する機能を有する (上記酸素が透過しにくい。) 絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 a からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 a への水素等の不純物の混入を抑制する層として機能する。

【0113】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

40

【0114】

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0115】

酸化物 230 は、酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、を有する

50

。酸化物 230 a が絶縁体 224 と接することで、絶縁体 224 に含まれる酸素が酸化物 230 a に供給される。酸化物 230 a が酸素欠損を有している場合、酸素の供給により酸化物 230 a 中の酸素欠損を補償し、酸素欠損を低減することができる。酸素欠損が低減された酸化物 230 a をチャネル形成領域に用いることで、非導通状態において極めてリーク電流が小さいトランジスタを実現することができる。

【0116】

なお、酸化物 230 a は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有していてもよい。具体的には、酸化物 230 a が積層構造を有する場合、酸化物 230 a の上層に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230 a の下層に用いる金属酸化物における、構成元素中の元素 M の原子数比より、小さいことが好ましい。また、酸化物 230 a の上層に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 230 a の下層に用いる金属酸化物における、In に対する元素 M の原子数比より小さいことが好ましい。また、酸化物 230 a の上層に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 230 a の下層に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 230 a の上層として導電性の金属酸化物を用いてもよい。このような構成とすることで、酸化物 230 a の下層は、上層と比較して高抵抗となり、酸化物 230 a の上層は、下層と比較して低抵抗となる。よって、酸化物 230 a の下層をチャネル形成領域として用い、酸化物 230 a の上層をソース領域、またはドレイン領域として用いることができる。なお、酸化物 230 a を積層構造とする場合、酸化物 230 a の下層の上面は、酸化物 230 b の下面より高い位置に設けられ、酸化物 243 の下面より低い位置に設けられることが好ましい。また、酸化物 230 a の下層の上面は、導電体 260 の上面と概略一致することが好ましい。

【0117】

具体的には、酸化物 230 a として、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] またはその近傍、 $In : Ga : Zn = 5 : 1 : 6$ [原子数比] またはその近傍、 $In : Ga : Zn = 5 : 1 : 3$ [原子数比] またはその近傍、 $In : Ga : Zn = 10 : 1 : 3$ [原子数比] またはその近傍、または $1 : 1 : 1$ [原子数比] またはその近傍の金属酸化物、または In - Zn 酸化物、インジウム酸化物などの金属酸化物を用いればよい。ここで、酸化物 230 a を積層構造とし、酸化物 230 a の上層に導電性の金属酸化物を用いる場合、導電性の金属酸化物として、インジウム錫酸化物、亜鉛酸化物、インジウム酸化物などを用いることができる。また、酸化物 230 b として、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比]、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]、 $Ga : Zn = 2 : 1$ [原子数比]、または $Ga : Zn = 2 : 5$ [原子数比] の金属酸化物を用いればよい。また、酸化物 230 b は、積層構造を有していてもよく、酸化物 230 b を積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] と、 $In : Ga : Zn = 1 : 3 : 4$ [原子数比] との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] と、 $Ga : Zn = 2 : 1$ [原子数比] との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] と、 $Ga : Zn = 2 : 5$ [原子数比] との積層構造、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比] と、酸化ガリウムとの積層構造などが挙げられる。

【0118】

このとき、キャリアの主たる経路は酸化物 230 a における酸化物 230 b の近傍の領域となる。酸化物 230 b を上述の構成とすることで、酸化物 230 a と酸化物 230 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物 230 b を積層構造とした場合、上述の酸化物 230 a と、酸化物 230 b との界面における欠陥準位密度を低くする効果に加え、酸化物 230 b が有する構成元素が、絶縁体 250 側に拡散するのを抑制することが期待される。より具体的には、酸化物 230 b を積層構造とし、積層構造の上方に In を含まない、または In の濃度が低減された酸化物を位置させるため、絶縁体 250 側に拡散しうる I

nを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、酸化物230bを積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

【0119】

また、酸化物230bを積層構造とすることで、キャリアの主たる経路は酸化物230aと、酸化物230bの下層との界面およびその近傍となる場合がある。

【0120】

また、図1Cに示すように、酸化物230bは、絶縁体224と接するため、絶縁体224に含まれる酸素を、酸化物230bを介してトランジスタ200のチャネル形成領域に供給することができる。また、酸化物230bを積層構造とした場合、酸化物230bの下層として、酸素が透過しやすい材料を用い、酸化物230bの上層として、酸素が透過しにくい材料を用いることが好ましい。上述した材料を用いることで、絶縁体224に含まれる酸素が酸化物230bを透過して、絶縁体250、または導電体260に吸収されることを抑制でき、効率的にチャネル形成領域に酸素を供給することができる。

【0121】

上述したように、絶縁体224に含まれる酸素は、絶縁体224と酸化物230aとの界面を透過してチャネル形成領域に供給される場合と、酸化物230bを介してチャネル形成領域に供給される場合がある。

【0122】

つまり、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0123】

酸化物230は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、チャネル形成領域として機能する酸化物としては、バンドギャップが2eV以上、好ましくは2.5eV以上の金属酸化物を用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタ200のオフ電流を低減することができる。

【0124】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

【0125】

絶縁体272は、酸化物230aを覆い、絶縁体224と接するように設けられる。絶縁体272を設けることで、絶縁体224に含まれる酸素が絶縁体280に拡散することを抑制できる。また、絶縁体280や、絶縁体281に含まれる酸素が酸化物230aに供給されることを抑制できる。絶縁体272を設けることで、絶縁体224に含まれる酸素を効率的に酸化物230aに供給でき、絶縁体280、および絶縁体281に含まれる酸素により酸化物230aの上層、特に酸化物243と接する領域が該酸素により高抵抗化することを抑制できる。

【0126】

絶縁体272として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体272として、金属酸化物における構成元素中のInの原子数比が、元素Mの原子数比より小さい金属酸化物、例えばInの濃度がGaの濃度より小さいインジウム-ガリウム-亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いてもよい。

【0127】

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁体である

10

20

30

40

50

、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。

【0128】

絶縁体272は、2層以上の積層構造としてもよい。このとき、絶縁体272に含まれる各層は、互いに異なる材料でもよい。また、絶縁体272に含まれる各層は、互いに異なる方法で形成することができる。例えば、絶縁体272の下層としてスパッタリング法により形成された酸化アルミニウム、絶縁体272の上層としてALD法により形成された酸化アルミニウムを用いることができる。

10

【0129】

絶縁体272上には、絶縁体280が設けられる。絶縁体280は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。絶縁体280として、酸素濃度の低減された絶縁体を用いることが好ましい。例えば、絶縁体280の酸素濃度は、絶縁体224の酸素濃度より低いことが好ましい。

【0130】

絶縁体280中の水、水素などの不純物濃度が低減されていることが好ましい。また、絶縁体280は、2層以上の積層構造を有していてもよい。また、絶縁体280の上面は、平坦化されていてもよい。また、絶縁体280は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、例えば、絶縁体216と同様の材料を用いて設けてもよい。

20

【0131】

酸化物230bは、図1B、および図1Cに示すように、酸化物230aの上面、酸化物230aの側面、および絶縁体224の側面に接するように設けられる。なお、図1Cにおいて、酸化物230bは、絶縁体222と接する領域を有する例を示しているが、本実施の形態はこれに限定されない。絶縁体224が、絶縁体222の上面に設けられる場合は、酸化物230bは、絶縁体224の上面に接して設けられる。

30

【0132】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230bの内側（上面および側面）に接して配置することが好ましい。

【0133】

具体的には、絶縁体250として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

【0134】

また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

40

【0135】

第1のゲート電極として機能する導電体260は、図1B、および図1Cでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。例えば、導電体260が、2層構造である場合、導電体260aは、導電体205aと同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

50

【 0 1 3 6 】

導電体 2 6 0 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 2 5 0 に含まれる酸素により、導電体 2 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

【 0 1 3 7 】

また、導電体 2 6 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 6 0 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 2 6 0 b は積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

10

【 0 1 3 8 】

また、図 1 C に示すように、導電体 2 0 5 が、酸化物 2 3 0 a のチャンネル幅方向と交わる端部よりも外側の領域において、延伸している場合、導電体 2 6 0 は、当該領域において、酸化物 2 3 0 b、および絶縁体 2 5 0 を介して、重畳していることが好ましい。つまり、酸化物 2 3 0 a の側面の外側において、導電体 2 0 5 と、酸化物 2 3 0 b と、絶縁体 2 5 0 と、導電体 2 6 0 とは、積層構造を形成することが好ましい。

【 0 1 3 9 】

上記構成を有することで、導電体 2 6 0、および導電体 2 0 5 に電位を印加した場合、導電体 2 6 0 から生じる電界と、導電体 2 0 5 から生じる電界と、がつながり、酸化物 2 3 0 に形成されるチャンネル形成領域を覆うことができる。

20

【 0 1 4 0 】

つまり、第 1 のゲート電極としての機能を有する導電体 2 6 0 の電界と、第 2 のゲート電極としての機能を有する導電体 2 0 5 の電界によって、チャンネル形成領域を電気的に取り囲むことができる。

【 0 1 4 1 】

絶縁体 2 6 2 は、少なくとも導電体 2 6 0 上に設けられる。また、絶縁体 2 6 2 は、絶縁体 2 5 0 上にも設けられることが好ましい。ここで、図 1 B では、絶縁体 2 6 2 が導電体 2 6 0、絶縁体 2 5 0、および酸化物 2 3 0 b 上に設けられ、酸化物 2 3 0 a の側面と接するように設けられる例を示しているが、本実施の形態はこれに限らない。酸化物 2 3 0 b の上面の高さが、酸化物 2 3 0 a の上面の高さ、または絶縁体 2 7 2 の上面の高さと概略一致するように酸化物 2 3 0 b を設けてもよい。この場合、絶縁体 2 6 2 は、導電体 2 6 0 の上面、絶縁体 2 5 0 の上面、および酸化物 2 3 0 b の側面に接するように設けられる。ここで、図 1 B では、絶縁体 2 6 2 は、酸化物 2 3 0 a に設けられた凹部内に設けられる様子を示している。一方、図 1 A、および図 1 C に示すように、絶縁体 2 6 2 は、酸化物 2 3 0 a と重畳しない領域では、絶縁体 2 8 0 に設けられた凹部内に設けられている。

30

【 0 1 4 2 】

絶縁体 2 6 2 は、絶縁性バリア膜を用いて形成されることが好ましい。絶縁体 2 6 2 が水素などの不純物や、酸素に対するバリア性を有することで、絶縁体 2 8 1 などに含まれる水素などの不純物の酸化物 2 3 0 a への拡散を抑制することができる。また、絶縁体 2 8 1 などに含まれる酸素の酸化物 2 3 0 a への拡散を抑制し、酸化物 2 3 0 a の高抵抗化を抑制することができる。また、絶縁体 2 8 1 などに含まれる酸素の導電体 2 6 0 への拡散を抑制し、導電体 2 6 0 の高抵抗化を抑制することができる。

40

【 0 1 4 3 】

絶縁体 2 6 2 として、絶縁体 2 7 2 の加工において、絶縁体 2 6 2 が消失しない材料を用いることが好ましい。例えば、絶縁体 2 6 2 として、酸化ハフニウム、窒化シリコンなどを用いることができる。また、絶縁体 2 6 2 として、酸化アルミニウムを用いてもよい。

50

【 0 1 4 4 】

また、絶縁体 2 7 2、絶縁体 2 8 0、および絶縁体 2 6 2 の上に、層間膜として機能する絶縁体 2 8 1 を設けることが好ましい。絶縁体 2 8 1 は、絶縁体 2 8 0 と同様の材料を用いることができる。また、絶縁体 2 8 1 は、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

【 0 1 4 5 】

また、絶縁体 2 8 1、絶縁体 2 8 0、および絶縁体 2 7 2 に形成された開口に、酸化物 2 3 0 a と電氣的に接続する酸化物 2 4 3、および導電体 2 4 0 を配置する。このとき、該開口の側面には絶縁体 2 4 1 を設けることが好ましい。絶縁体 2 4 1 は、水素などの不純物および酸素の透過を抑制する機能を有することが好ましい。絶縁体 2 4 1 として、絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 2 2、絶縁体 2 7 2 などと同様の材料を用いることができる。絶縁体 2 4 1 を設けることにより、酸化物 2 4 3、および導電体 2 4 0 による酸素の吸収を抑制することができる。酸化物 2 4 3 による酸素の吸収を抑制することで、酸化物 2 4 3 のキャリア密度の低下を抑制し、抵抗率の増加を抑制することができる。また、導電体 2 4 0 による酸素の吸収を抑制することで、導電体 2 4 0 の酸化による抵抗率の増加を抑制することができる。ただし、絶縁体 2 8 0、および絶縁体 2 8 1 が室温にて、または加熱により酸素を放出する絶縁体ではない場合は、必ずしも絶縁体 2 4 1 を設ける必要はない。また、絶縁体 2 4 1 を設けることにより、絶縁体 2 8 0、および絶縁体 2 8 1 に含まれる水素が、導電体 2 4 0 を介して酸化物 2 3 0 へ拡散することを抑制することができる。

【 0 1 4 6 】

導電体 2 4 0 は、トランジスタ 2 0 0 と配線、またはトランジスタ 2 0 0 とトランジスタ 2 0 0 とは異なるトランジスタや容量などの素子とを電氣的に接続するプラグとして機能する。また、導電体 2 4 0 の底面と側面には、トランジスタ 2 0 0 とのコンタクト抵抗を低減するために、酸化物 2 4 3 が設けられているため、酸化物 2 4 3 と導電体 2 4 0 を合わせてプラグと呼称することができる。一方、導電体 2 4 0 について、その機能的な特徴から、ソース電極、またはドレイン電極と呼ぶことができる。また、酸化物 2 4 3 について、その機能的な特徴から、低抵抗領域と呼ぶことができる。低抵抗領域とは、チャネル形成領域よりも抵抗が低く、導電体 2 0 5、導電体 2 6 0、導電体 2 4 0 などに用いることができる導電体よりも抵抗が高い領域である。低抵抗領域をソース領域、またはドレイン領域と呼ぶ場合がある。

【 0 1 4 7 】

なお、導電体 2 4 0 は第 1 の導電体、および第 2 の導電体からなる積層構造としてもよい。この場合、酸化物 2 4 3 の内側に第 1 の導電体が設けられ、第 1 の導電体上に第 2 の導電体が設けられる。また、第 1 の導電体は、第 2 の導電体の側面を覆うように設けることが好ましい。

【 0 1 4 8 】

ここで、図 1 D に、図 1 A に A 5 - A 6 の一点鎖線で示す部位の断面図を示す。図 1 D に示すように、酸化物 2 4 3 a、および導電体 2 4 0 は、絶縁体 2 7 2 に覆われない酸化物 2 3 0 a の上面と接する。酸化物 2 3 0 a の酸化物 2 4 3 a と接する領域の近傍は、キャリア密度が高く、低抵抗化している場合がある。すなわち、図 1 D に示す酸化物 2 3 0 a は、チャネル形成領域として機能する領域と、チャネル形成領域上のソース領域、またはドレイン領域として機能する領域と、を有している場合がある。

【 0 1 4 9 】

導電体 2 4 0 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 は単層でもよいし、3 層以上の積層構造としてもよい。

【 0 1 5 0 】

また、導電体 2 4 0 を、第 1 の導電体と、第 1 の導電体上の第 2 の導電体を含む積層構造とする場合、第 1 の導電体には、導電体 2 0 5 a などと同様に、水または水素などの不

純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 1 より上層から水素、水などの不純物が、導電体 2 4 0 を通じて酸化物 2 3 0 に混入するのを抑制することができる。また、第 1 の導電体上に設ける第 2 の導電体として、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

【 0 1 5 1 】

酸化物 2 4 3 は、導電体 2 4 0 の底面、および側面に接するように設けられるため、これらの接触面積は十分に広く、金属と半導体との接触によるコンタクト抵抗の増加の影響を低減することができる。導電体 2 4 0 は、酸化物 2 4 3 を介して酸化物 2 3 0 と電氣的に接続するため、電氣的に良好な接続が可能となる。

【 0 1 5 2 】

< 半導体装置の構成材料 >

以下では、半導体装置に用いることができる構成材料について説明する。

【 0 1 5 3 】

< 基板 >

トランジスタ 2 0 0 を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、S O I (S i l i c o n O n I n s u l a t o r) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【 0 1 5 4 】

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板である基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、5 μm 以上 7 0 0 μm 以下、好ましくは 1 0 μm 以上 5 0 0 μm 以下、さらに好ましくは 1 5 μm 以上 3 0 0 μm 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置を提供することができる。

【 0 1 5 5 】

可撓性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはこれらの繊維などを用いることができる。また、基板として、繊維を編み込んだシート、フィルムまたは箔などを用いてもよい。可撓性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を

10

20

30

40

50

用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板である基板として好適である。

【0156】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0157】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、*high-k* 材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0158】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0159】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0160】

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0161】

また、酸化物半導体を用いたトランジスタは、水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

【0162】

水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、リン、塩素、アルゴン、シリコン、アルミニウム、ハフニウム、マグネシウム、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、タングステン、チタン、タンタル、またはニッケルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどのシリコン窒化物を用いることができる。

【0163】

例えば、ゲート絶縁体として機能する絶縁体 224 は、酸素を有する絶縁体であることが好ましい。例えば、酸素を有する酸化シリコンまたは酸化窒化シリコンを酸化物 230 と接する構造とすることで、酸化物 230 が有する酸素欠損を補償することができる。

【 0 1 6 4 】

また、例えば、ゲート絶縁体の一部として機能する絶縁体 2 2 2 において、アルミニウム、ハフニウム、およびガリウム的一种または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【 0 1 6 5 】

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャンネルが形成される領域との間の距離を保つことで、ゲート電極とチャンネル形成領域との間のリーク電流を抑制することができる。また、絶縁体 2 2 4 が有する酸素の絶縁体 2 1 6 側への放出を抑制することができる。

【 0 1 6 6 】

絶縁体 2 1 6、絶縁体 2 8 0、および絶縁体 2 8 1 は、比誘電率の低い絶縁体の単層、または積層を有することが好ましい。例えば、絶縁体 2 1 6、絶縁体 2 8 0、および絶縁体 2 8 1 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。または、絶縁体 2 1 6、絶縁体 2 8 0、および絶縁体 2 8 1 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、または空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、またはアクリルなどがある。

【 0 1 6 7 】

絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 2、および絶縁体 2 4 1 としては、水素や水などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体 2 1 1、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 2、および絶縁体 2 4 1、としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。また、上記絶縁体として、In の濃度が低減されたインジウム - ガリウム - 亜鉛酸化物、または In を含まない金属酸化物などの金属酸化物を用いることができる。

【 0 1 6 8 】

< < 導電体 > >

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【 0 1 6 9 】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【 0 1 7 0 】

導電体 2 6 0、導電体 2 0 5、および導電体 2 4 0 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

10

【 0 1 7 1 】

< < 金属酸化物 > >

酸化物 2 3 0、および酸化物 2 4 3 として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。以下では、本発明に係る酸化物 2 3 0、および酸化物 2 4 3 に適用可能な金属酸化物について説明する。

20

【 0 1 7 2 】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【 0 1 7 3 】

ここでは、金属酸化物が、インジウム、元素 M および亜鉛を有する $In - M - Zn$ 酸化物である場合を考える。なお、元素 M は、アルミニウム、ガリウム、イットリウム、またはスズなどとする。そのほかの元素 M に適用可能な元素としては、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。

30

【 0 1 7 4 】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

【 0 1 7 5 】

[金属酸化物の構成]

40

以下では、本発明の一態様で開示されるトランジスタに用いることができる CAC (Cloud - Aligned Composite) - OS の構成について説明する。

【 0 1 7 6 】

なお、本明細書等において、CAAC (c - axis aligned crystal)、および CAC (Cloud - Aligned Composite) と記載する場合がある。なお、CAAC は結晶構造の一例を表し、CAC は機能、または材料の構成の一例を表す。

【 0 1 7 7 】

CAC - OS または CAC - metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有す

50

る。なお、CAC - OS または CAC - metal oxide を、トランジスタの半導体層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On / Off させる機能）を CAC - OS または CAC - metal oxide に付与することができる。CAC - OS または CAC - metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0178】

また、CAC - OS または CAC - metal oxide は、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

10

【0179】

また、CAC - OS または CAC - metal oxide において、導電性領域と、絶縁性領域とは、それぞれ 0.5 nm 以上 10 nm 以下、好ましくは 0.5 nm 以上 3 nm 以下のサイズで材料中に分散している場合がある。

【0180】

また、CAC - OS または CAC - metal oxide は、異なるバンドギャップを有する成分により構成される。例えば、CAC - OS または CAC - metal oxide は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 CAC - OS または CAC - metal oxide をトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

20

【0181】

すなわち、CAC - OS または CAC - metal oxide は、マトリックス複合材（matrix composite）、または金属マトリックス複合材（metal matrix composite）と呼称することもできる。

30

【0182】

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC - OS（c-axis aligned crystalline oxide semiconductor）、多結晶酸化物半導体、nc - OS（nanocrystalline oxide semiconductor）、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、および非晶質酸化物半導体などがある。

40

【0183】

CAAC - OS は、c 軸配向性を有し、かつ a - b 面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0184】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある

50

。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【 0 1 8 5 】

また、C A A C - O S は、インジウム、および酸素を有する層（以下、I n 層）と、元素 M、亜鉛、および酸素を有する層（以下、(M , Z n) 層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素 M は、互いに置換可能であり、(M , Z n) 層の元素 M がインジウムと置換した場合、(I n , M , Z n) 層と表すこともできる。また、I n 層のインジウムが元素 M と置換した場合、(I n , M) 層と表すこともできる。

10

【 0 1 8 6 】

C A A C - O S は結晶性の高い金属酸化物である。一方、C A A C - O S は、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損（V_O: oxygen vacancy）ともいう。）などの少ない金属酸化物ともいえる。したがって、C A A C - O S を有する金属酸化物は、物理的性質が安定する。そのため、C A A C - O S を有する金属酸化物は熱に強く、信頼性が高い。

20

【 0 1 8 7 】

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。

【 0 1 8 8 】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、インジウム - ガリウム - 亜鉛酸化物（以下、I G Z O）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、I G Z O は、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数 m m の結晶、または数 c m の結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

30

【 0 1 8 9 】

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する金属酸化物である。a - l i k e O S は、鬆または低密度領域を有する。すなわち、a - l i k e O S は、n c - O S および C A A C - O S と比べて、結晶性が低い。

【 0 1 9 0 】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S 、n c - O S 、C A A C - O S のうち、二種以上を有していてもよい。

40

【 0 1 9 1 】

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

【 0 1 9 2 】

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【 0 1 9 3 】

また、トランジスタのチャネル形成領域には、キャリア密度の低い金属酸化物を用いる

50

ことが好ましい。金属酸化物膜のキャリア密度を低くする場合においては、金属酸化物膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

【0194】

また、高純度真性または実質的に高純度真性である金属酸化物膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0195】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

【0196】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0197】

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

【0198】

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0199】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

【0200】

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、チャネル形成領域の窒素はできる限り低減されていることが好ましい。例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

【0201】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物を

10

20

30

40

50

用いたトランジスタは、ノーマリーオン特性となりやすい。

【0202】

また、金属酸化物に含まれる水素は、金属酸化物中に浅い欠陥準位 (sDOS: shallow level Density of States) を形成する場合がある。浅い欠陥準位とは、伝導帯下端の近くに位置する界面準位を指す。浅い欠陥準位は、金属酸化物中の高密度領域と低密度領域の境界近傍に存在することが推定される。ここでは、金属酸化物中の高密度領域と低密度領域は、領域に含まれる水素の量で区別する。すなわち、低密度領域と比較して、高密度領域は、水素をより多く含む領域とする。金属酸化物中の高密度領域と低密度領域の境界近傍は、両領域間の応力歪によって、微小なクラックが生じやすく、当該クラック近傍に酸素欠損およびインジウムのダングリングボンドが発生し、ここに、水素または水などの不純物が局在することで、浅い欠陥準位が形成されるものと推定される。

10

【0203】

また、上記金属酸化物中の高密度領域は、低密度領域よりも結晶性が高くなる場合がある。また、上記金属酸化物中の高密度領域は、低密度領域よりも膜密度が高くなる場合がある。また、上記金属酸化物が、インジウムと、ガリウムと、亜鉛と、を有する組成の場合、高密度領域は、インジウムと、ガリウムと、亜鉛と、を有し、低密度領域は、インジウムと、亜鉛と、を有する場合がある。別言すると、低密度領域は、高密度領域よりもガリウムの割合が少ない場合がある。

20

【0204】

なお、上記浅い欠陥準位は、酸素欠損に起因すると推定される。金属酸化物中の酸素欠損が増えると、浅い欠陥準位密度とともに深い欠陥準位密度 (dDOS: deep level Density of States) も増えると推定される。これは、深い欠陥準位も酸素欠損によるものだと考えられるためである。なお、深い欠陥準位とは、バンドギャップの中央付近に位置する欠陥準位を指す。

【0205】

したがって、金属酸化物中の酸素欠損を抑制することで、浅い欠陥準位及び深い欠陥準位の双方の準位密度を低減させることが可能となる。また、浅い欠陥準位については、金属酸化物の成膜時の温度を調整することで、ある程度制御できる可能性がある。具体的には、金属酸化物の成膜時の温度を、170 またはその近傍、好ましくは130 またはその近傍、さらに好ましくは室温とすることで、浅い欠陥準位密度を低減することができる。

30

【0206】

また、金属酸化物の浅い欠陥準位は、金属酸化物を半導体層に用いたトランジスタの電気特性に影響を与える。すなわち、浅い欠陥準位によって、トランジスタのドレイン電流-ゲート電圧 ($I_d - V_g$) 特性において、ゲート電圧 V_g に対するドレイン電流 I_d の変化が緩やかとなり、トランジスタのオフ状態からオン状態への立ち上がり特性の良し悪しの目安の1つである、S値 (Subthreshold Swing、SSとも言う。) が悪化する。これは浅い欠陥準位に電子がトラップされたためと考えられる。

【0207】

40

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0208】

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図2A乃至図18Dを用いて説明する。また、図2A乃至図18Dにおいて、各図のAは、上

50

面図を示す。また、各図のBは、それぞれ各図のAに示すA 1 - A 2の一点鎖線で示す部位に対応する断面図である。また、各図のCは、それぞれ各図のAに示すA 3 - A 4の一点鎖線で示す部位に対応する断面図である。また、各図のDは、それぞれ各図のAに示すA 5 - A 6の一点鎖線で示す部位に対応する断面図である。

【0209】

まず、基板（図示しない。）を準備し、当該基板上に絶縁体211、および絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、またはALD（Atomic Layer Deposition）法などを用いて行うことができる。

10

【0210】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0211】

特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

20

【0212】

本実施の形態では、絶縁体211として、スパッタリング法、CVD法、またはALD法によって窒化シリコンを成膜する。また、絶縁体212として、スパッタリング法、CVD法、またはALD法によって窒化シリコンを成膜する。絶縁体211と絶縁体212は、それぞれ異なる方法で成膜することが好ましい。例えば、絶縁体211として、CVD法によって窒化シリコンを成膜し、絶縁体212として、スパッタリング法によって窒化シリコンを成膜する。

【0213】

30

次に、絶縁体212上に絶縁体214を成膜する。絶縁体214として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体214は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

【0214】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコン、または酸化窒化シリコンを成膜する。

40

【0215】

次に、絶縁体216に、開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成にはウエットエッチング法を用いてもよいが、ドライエッチング法を用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして開口を形成する際のエッチングストップパとして機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体216に酸化シリコンを用いた場合は、絶縁体214は、エッチングストップパとして機能する絶縁体として、酸化アルミニウム、酸化ハフニウム、または窒化シリコンを用いるとよい。

50

【 0 2 1 6 】

開口の形成後に、導電体 2 0 5 a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体 2 0 5 a となる導電膜の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。

【 0 2 1 7 】

本実施の形態では、導電体 2 0 5 a となる導電膜として、C V D 法によって窒化チタンを成膜する。

10

【 0 2 1 8 】

また、導電体 2 0 5 a は、積層構造を有していてもよく、導電体 2 0 5 a の形成方法として、スパッタリング法によって窒化タンタルを成膜し、続けて C V D 法によって窒化チタンを成膜してもよい。

【 0 2 1 9 】

次に、導電体 2 0 5 a となる導電膜上に、導電体 2 0 5 b となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。

【 0 2 2 0 】

本実施の形態では、導電体 2 0 5 b となる導電膜として、C V D 法によってタングステンを成膜する。

20

【 0 2 2 1 】

次に、化学機械研磨 (C M P) 処理を行うことで、導電体 2 0 5 a となる導電膜、および導電体 2 0 5 b となる導電膜の一部を除去し、絶縁体 2 1 6 を露出する。その結果、開口部のみに、導電体 2 0 5 a、および導電体 2 0 5 b となる導電膜が残存する。これにより、上面が平坦な、導電体 2 0 5 a、および導電体 2 0 5 b を含む導電体 2 0 5 を形成することができる (図 2 A 乃至図 2 D 参照。)。なお、当該 C M P 処理により、絶縁体 2 1 6 の一部が除去される場合がある。

【 0 2 2 2 】

次に、絶縁体 2 1 6、および導電体 2 0 5 上に絶縁体 2 2 2 を成膜する。絶縁体 2 2 2 として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物 (ハフニウムアルミネート) などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 2 2 2 が、水素および水に対するバリア性を有することで、トランジスタ 2 0 0 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 2 2 2 を通じてトランジスタ 2 0 0 の内側へ拡散することが抑制され、酸化物 2 3 0 中の酸素欠損の生成を抑制することができる。

30

【 0 2 2 3 】

絶縁体 2 2 2 の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。A L D 法を用いて形成した膜は、被覆性が良好である。一方、スパッタリング法を用いることで、他の手法を用いるよりも水素濃度の低減した膜を形成することができ、好ましい。デバイスに求められる特性に合わせて選択するとよい。

40

【 0 2 2 4 】

次に、絶縁体 2 2 2 上に絶縁体 2 2 4 を成膜する。絶縁体 2 2 4 の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法、または A L D 法などを用いて行うことができる。本実施の形態では、絶縁体 2 2 4 として、スパッタリング法を用いて酸化シリコンを成膜する。また、C V D 法によって酸化シリコン、または酸化窒化シリコンを成膜してもよ

50

い。

【0225】

続いて、加熱処理を行うと好ましい。加熱処理は、250 以上650 以下、好ましくは300 以上500 以下、さらに好ましくは320 以上450 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

【0226】

本実施の形態では、加熱処理として、絶縁体224の成膜後に窒素雰囲気にて400の温度で1時間の処理を行う。当該加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

【0227】

また、加熱処理は、絶縁体222の成膜後に行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができる。

【0228】

ここで、絶縁体224に多くの酸素を含有させるために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率良く絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

【0229】

次に、絶縁体224上に、酸化膜230Aを成膜する(図2A乃至図2D参照。)。

【0230】

酸化膜230Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。酸化膜230Aの膜厚は、40nm以上400nm以下、好ましくは、60nm以下200nm以下、より好ましくは、75nm以上160nm以下とする。

【0231】

例えば、酸化膜230Aをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、酸化膜230Aをスパッタリング法によって成膜する場合は、例えば、In-M-Zn酸化物ターゲットを用いることができる。

【0232】

特に、酸化膜230Aにはより多くの酸素が含まれることが好ましい。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0233】

一方、酸化膜230Aを酸素欠乏型の酸化物半導体とする場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すればよい。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

【0234】

10

20

30

40

50

また、酸化膜 230A を ALD 法によって成膜する場合は、In を含むプリカーサ、M を含むプリカーサ、および Zn を含むプリカーサを用いることができる。また、In、M、および Zn の内、2 以上を含むプリカーサを用いてもよい。基板が投入された反応室内に上記プリカーサを順次、または同時に導入した後、酸化剤を導入する工程を繰り返すことで酸化膜 230A を成膜してもよいし、各プリカーサの導入と酸化剤の導入を交互に行う工程を繰り返すことで酸化膜 230A を成膜してもよい。

【0235】

本実施の形態では、酸化膜 230A として、スパッタリング法によって、In : Ga : Zn = 4 : 2 : 4、1、5 : 1 : 6、5 : 1 : 3、10 : 1 : 3、または 1 : 1 : 1 [いずれも原子数比] のターゲット、または In - Zn 酸化物、インジウム酸化物などのターゲットを用いて成膜することができる。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求められる特性に合わせて形成するとよい。

【0236】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230A 中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400 の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400 の温度で 1 時間の処理を行う。

【0237】

次に、酸化膜 230A 上にマスク 232 (マスク 232a、およびマスク 232b) を形成する (図 2A 乃至図 2D 参照。)。マスク 232a は、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金を含む材料であることが好ましい。例えば、マスク 232a として、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。なお、マスク 232a の形成は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。

【0238】

また、マスク 232a として、炭素を含む絶縁体を用いてもよい。また、マスク 232a は、上記金属元素を含む材料と、上記金属元素を含む材料上の炭素を含む絶縁体を含む積層構造を有していてもよい。

【0239】

マスク 232b として、レジストマスクを用いることができる。

【0240】

マスク 232a、およびマスク 232b の形成はリソグラフィー法を用いて行えばよい。

【0241】

リソグラフィー法では、まず、マスク 232a となる材料を含む膜上にレジストを形成し、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクからなるマスク 232b を形成する。次に、マスク 232b を介してマスク 232a となる材料を含む膜をエッチング処理することでマスク 232a を形成することができる。マスク 232a の形成には、ドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、マスク 232b の形成は、例えば、KrF エキシマレーザ光、ArF エキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することで行えばよい。また、基板と投影レンズとの間に液体 (例えば水) を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、レ

10

20

30

40

50

ジスト上に直接描画を行うため、上述のレジスト露光用のマスクは不要となる。なお、マスク 232b は、アッシングなどのドライエッチング処理を行う、ウエットエッチング処理を行う、ドライエッチング処理後にウエットエッチング処理を行う、またはウエットエッチング処理後にドライエッチング処理を行う、などで、除去することができる。

【0242】

次に、マスク 232 を用いて、酸化膜 230A をエッチングすることで酸化物 230B を形成する（図 3A 乃至図 3D 参照。）。酸化物 230B 形成は、マスク 232b を除去してから行ってもよいし、マスク 232b を残したまま行ってもよい。後者の場合、エッチング中にマスク 232b が消失することがある。また、当該加工処理にて、絶縁体 224 の一部が除去される場合がある。酸化膜 230A のエッチング後にマスク 232a をエッチングにより除去する。

10

【0243】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

20

【0244】

ここで、酸化物 230B は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230B の側面は、絶縁体 222 の上面、または基板の上面に対し、テーパ形状を有することが好ましい。酸化物 230B の側面が、絶縁体 222 の上面、または基板の上面に対し、テーパ形状を有することで、後工程において酸化物 230B の側面への膜の形成、あるいは側面に形成された膜の除去を容易に行うことができる。

【0245】

また、酸化物 230B の側面と上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物 230B の端部において、曲率半径が、3nm 以上 10nm 以下、好ましくは、5nm 以上 6nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

30

【0246】

なお、酸化膜 230A の加工は、マスク 232 を用い、ドライエッチング法やウエットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0247】

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が、酸化物 230B などの側面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

40

【0248】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウエット洗浄、プラズマを用いたプラズマ処理、または熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

【0249】

ウエット洗浄としては、シュウ酸、リン酸、過酸化水素水、またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、上記水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、フッ化

50

水素酸を純水で希釈した水溶液を用いた超音波洗浄を行う。

【0250】

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

【0251】

次に、絶縁体224、酸化物230B上に絶縁体272を成膜する(図4A乃至図4D参照。)。なお、絶縁体272は、バリア性を有することが好ましく、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タングステン、酸化チタン、酸化タンタル、または酸化ニッケルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを含む絶縁体を成膜するとよい。また、アルミニウムおよびハフニウムの双方を含む絶縁体として、アルミニウムおよびハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることができる。また、Inの濃度が低減されたインジウム-ガリウム-亜鉛酸化物、またはInを含まない金属酸化物などの金属酸化物を用いることができる。絶縁体272の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

10

【0252】

また、絶縁体272は、2層以上の積層構造としてもよい。このとき、絶縁体272の各層は、互いに異なる材料でもよい。また、絶縁体272の各層は、互いに異なる方法で形成することができる。例えば、絶縁体272の下層としてスパッタリング法により形成された酸化アルミニウム、絶縁体272の上層としてALD法により形成された酸化アルミニウムを用いることができる。

20

【0253】

次に、絶縁体272の上に、絶縁体280を成膜する(図5A乃至図5D参照。)。絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法(インクジェット法など)、印刷法(スクリーン印刷、オフセット印刷など)、ドクターナイフ法、ロールコーター法、またはカーテンコーター法などを用いて行うことができる。

30

【0254】

また、絶縁体280は、2層以上の積層構造としてもよい。このとき、絶縁体280の各層は、互いに異なる材料でもよい。また、絶縁体280の各層は、互いに異なる方法で形成することができる。

【0255】

本実施の形態では、絶縁体280の下層として、スパッタリング法によって酸化シリコンを成膜し、絶縁体280の上層として、CVD法によって酸化窒化シリコンを成膜する。絶縁体280の下層の形成にスパッタリング法を用いることで、絶縁体280中の水素濃度を低減できるため、好ましい。また、絶縁体280の上層の形成にCVD法を用いることで被覆性よく絶縁体280を形成できるため好ましい。

40

【0256】

なお、絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼び、得られる膜を平坦化膜と呼ぶ場合がある。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし

50

、絶縁体 280 の上面は必ずしも平坦性を有さなくてもよい。

【0257】

次に、少なくとも導電体 205 と重なる領域を有するように、絶縁体 280 に対して加工処理を行い、開口 245 を形成する（図 6 A 乃至図 6 D 参照。）。開口の形成にはレジストマスク、またはハードマスクを用いて、ウエットエッチング法、またはドライエッチング法を用いることができる。ただし、微細加工が可能な点、また絶縁体 280 の側面を概略垂直に加工できる点からドライエッチング法を用いるほうが好ましい。また、また、絶縁体 280 の加工において、絶縁体 272 は、エッチングストップパとして機能することが好ましい。

【0258】

次に、開口 245 内の絶縁体 272 に対して加工処理を行う（図 7 A 乃至図 7 D 参照。）。該加工では、酸化物 230 B の側面に設けられた絶縁体 272 を除去する必要があるため、等方性エッチングが可能なウエットエッチングや、プラズマエッチングを用いることが好ましい。該加工により、酸化物 230 B の上面と側面、および絶縁体 224 の表面の一部が露出する。また、該加工により絶縁体 224 の一部がエッチングされ、絶縁体 224 が薄くなる、または絶縁体 222 の一部が露出する場合がある。また、該加工にハードマスクを用いる場合、加工により、ハードマスクも除去されることが好ましい。一方、絶縁体 280 上にハードマスクは残っていてもよく、その場合、後工程の導電体 260 などの研磨工程にて除去すればよい。

【0259】

次に、開口 245 内の酸化物 230 B に対して加工処理を行い、酸化物 230 a を形成する（図 8 A 乃至図 8 D 参照。）。該加工では、ウエットエッチング法、またはドライエッチング法を用いることができる。ただし、該加工では、酸化物 230 B に対する異方性エッチング、および加工後の酸化物 230 a の膜厚制御が要求されることから、加工における制御性に優れたドライエッチング法を用いるほうが好ましい。図 8 B に示すように、該加工により、凹部を有する酸化物 230 a が形成される。開口 245 内での酸化物 230 a の膜厚は、5 nm 以上 100 nm 以下、好ましくは、10 nm 以上 50 nm 以下、より好ましくは、15 nm 以上 30 nm 以下とする。また、該加工により絶縁体 224 の一部がエッチングされ、絶縁体 224 が薄くなる、または絶縁体 222 の一部が露出する場合がある。

【0260】

なお、後工程にて形成される導電体 260 は、開口 245 内、すなわち酸化物 230 a の凹部内に自己整合的に配置される。

【0261】

ここで、加熱処理を行うことが好ましい。加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下、さらに好ましくは 320 以上 450 以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気で行う。また、該加熱処理を、酸素を含む雰囲気で行ってもよい。例えば、窒素または不活性ガスに加えて、酸素を含む雰囲気で行ってもよい。また、加熱処理は減圧状態で行ってもよい。例えば、加熱処理として、窒素雰囲気にて 400 の温度で 1 時間の処理を行う。

【0262】

該加熱処理により、酸化物 230 a に含まれる水素や水などの不純物を除去することができる。また、上記加工におけるドライエッチングにて酸化物 230 a に生じたダメージを回復することができる。また、酸素を含む雰囲気で加熱処理を行った場合、酸化物 230 a に酸素を添加することができる。また、該加熱処理により、絶縁体 224 に含まれる酸素が酸化物 230 a に拡散する場合がある。

【0263】

また、窒素または不活性ガス雰囲気で加熱処理した後に、酸化性ガスを 10 ppm 以上、1% 以上、または 10% 以上含む雰囲気で行ってもよい。加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下、さらに好ましくは 320

10

20

30

40

50

以上 450 以下で行えばよい。

【0264】

次に、開口 245 内において、絶縁体 224 の側面、酸化物 230 a の下部表面、および側面、絶縁体 272 の側面、および絶縁体 280 の側面と接する領域を有するように、絶縁体 280 上に酸化膜 230 b A を形成する（図 9 A 乃至図 9 D 参照）。なお、図 9 C では、酸化膜 230 b A は絶縁体 222 と接するように形成される例を示しているが、本実施の形態はこれに限らない。酸化物 230 a の形成において絶縁体 224 が酸化物 230 a と重畳しない領域においても除去されず残っている場合、酸化膜 230 b A は絶縁体 224 の表面にも接して形成される。

【0265】

酸化膜 230 b A の形成は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて行うことができる。酸化物 230 b に求める特性に合わせて、酸化膜 230 A と同様の成膜方法を用いて、酸化膜 230 b A を成膜すればよい。本実施の形態では、酸化膜 230 b A として、スパッタリング法によって、 $In:Ga:Zn = 4:2:4.1$ 、または $1:3:4$ [いずれも原子数比] のターゲットを用いて成膜することができる。

【0266】

尚、酸化膜 230 b A は、積層としてもよい。例えば、スパッタリング法によって、 $In:Ga:Zn = 4:2:4.1$ [原子数比] のターゲットを用いて酸化物 230 b の下層となる酸化膜を成膜して、連続して $In:Ga:Zn = 1:3:4$ [原子数比] のター

【0267】

続いて、酸化膜 230 b A 上に、絶縁体 250 A を成膜する（図 9 A 乃至図 9 D 参照）。

【0268】

絶縁体 250 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。絶縁体 250 A として、CVD 法により、酸化窒化シリコンを成膜することが好ましい。なお、絶縁体 250 A を成膜する際の成膜温度は、350 以上 450 未満、特に 400 前後とすることが好ましい。絶縁体 250 A を、400 で成膜することで、不純物が少ない絶縁体を成膜することができる。

【0269】

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁体 250 A を曝すことで、絶縁体 250 A、へ酸素を導入することができる。

【0270】

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁体 250 A の水分濃度および水素濃度を低減させることができる。

【0271】

続いて、導電膜 260 a A、および導電膜 260 b A を順次成膜する（図 9 A 乃至図 9 D 参照）。導電膜 260 a A、および導電膜 260 b A は、スパッタリング法、CVD 法、MBE 法、PLD 法、または ALD 法などを用いて成膜することができる。導電膜 260 a A として、窒化チタンを成膜し、導電膜 260 b A として、タングステンを成膜してもよい。

【0272】

導電膜 260 a A として、CVD 法、またはスパッタリング法により、金属窒化物を形成するとよい。導電膜 260 a A に金属窒化物を用いることにより、絶縁体 250 A が有する酸素により、導電膜 260 b A が酸化して導電率が低下することを防ぐことができる。

【0273】

また、導電膜 260 b A として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

10

20

30

40

50

【0274】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。

【0275】

次に、導電膜260bA、導電膜260aA、絶縁体250A、および酸化膜230bAを、絶縁体280が露出するまで研磨し、導電体260aB、導電体260bB、絶縁体250B、および酸化物230bBを形成する(図10A乃至図10D参照。)。上記研磨には、CMP法を用いることができる。該研磨により、導電体260aB、導電体260bB、絶縁体250B、および酸化物230bBの上面を、絶縁体280の上面と概略一致させることができる。

10

【0276】

次に、導電体260aB、導電体260bB、絶縁体250B、および酸化物230bBの上面が酸化物230aの上部表面よりも低くなるように加工し、導電体260a、および導電体260bを有する導電体260、絶縁体250、および酸化物230bを形成する(図11A乃至図11D参照。)。該加工では、ウエットエッチング法、またはドライエッチング法を用いることができる。ただし、該加工では、導電体260aB、導電体260bB、絶縁体250B、および酸化物230bBに対する異方性エッチング、および加工後の導電体260、絶縁体250、および酸化物230bの膜厚制御が要求されることから、加工における制御性に優れたドライエッチング法を用いるほうが好ましい。開口245内において、酸化物230aと重畳する導電体260の膜厚は、20nm以上200nm以下、好ましくは、30nm以上150nm以下、より好ましくは、40nm以上80nm以下とする。

20

【0277】

このとき、導電体260は、少なくとも一部が、導電体205、および酸化物230aと重なるように形成される。導電体260のチャネル長方向の幅(ゲート長ともいう)は、酸化物230aに設けられる開口245の幅と、酸化物230bの厚さと、絶縁体250の厚さにより、決定される。トランジスタ200、または半導体装置に要求される性能に応じて、上記の幅や厚さを調整し、所望の幅を有する導電体260を形成することができる。

【0278】

このようにして、導電体260は、開口245に埋め込まれるように形成される。導電体260の形成は、リソグラフィ法を用いることなく自己整合的に行われるので、導電体260の位置合わせのマージンを設ける必要がない。よって、トランジスタ200の占有面積の縮小を図り、半導体装置の微細化、高集積化を図ることができる。また、リソグラフィ工程が不要となるので工程簡略化による生産性の向上が見込まれる。

30

【0279】

また、半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体260の導電性が下がらないようにする必要がある。そのために導電体260の膜厚を大きくすると、導電体260はアスペクト比が高い形状となりうる。本実施の形態では、導電体260を開口245に埋め込むように設けるため、導電体260をアスペクト比の高い形状にしても、工程中に導電体260を倒壊させることなく、形成することができる。

40

【0280】

次に、導電体260、絶縁体250、酸化物230b、および絶縁体280を覆うように絶縁膜262Aを形成する(図12A乃至図12D参照。)。特に、絶縁膜262Aは、開口245内において導電体260、絶縁体250、および酸化物230bの上面と接するように設けられることが好ましい。絶縁膜262Aは、絶縁性バリア膜であることが好ましく、例えば、絶縁膜262Aとして、酸化ハフニウム、窒化シリコンなどを用いることができる。また、絶縁膜262Aとして、酸化アルミニウムを用いてもよい。絶縁膜262Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。

50

【0281】

次に、絶縁膜262Aを、絶縁体272が露出するまで研磨し、絶縁体262を形成する(図13A乃至図13D参照。)。上記研磨には、CMP法を用いることができる。該研磨により、絶縁体262の上面は、絶縁体272、および絶縁体280の上面と概略一致することが好ましい。また、該研磨により、開口245は、導電体260、絶縁体250、および酸化物230bと、導電体260、絶縁体250、および酸化物230b上に形成された絶縁体262により充填される。開口245内において、導電体260と重畳する絶縁体262の膜厚は、10nm以上100nm以下、好ましくは、20nm以上50nm以下とする。ただし、絶縁体262は上記膜厚に限定されず、後工程でのエッチングにおいて、エッチングストッパとして機能すればよい。

10

【0282】

なお、上記研磨は、必ずしも絶縁体272が露出するまで行う必要は無い。少なくとも絶縁体280上の絶縁膜262Aが消失し、絶縁体280が露出するまで行えばよい。また、絶縁体272が消失し、酸化物230aが露出するまで研磨を行ってもよい。

【0283】

次に、絶縁体272、および絶縁体280上に絶縁体281を形成する(図14A乃至図14D参照。)。絶縁体281は、絶縁体280と同様の装置を用い、同様の材料を用いて形成することができる。例えば、CVD法を用いて、酸化窒化シリコンを含む絶縁体281を形成する。

【0284】

20

次に、絶縁体281、絶縁体272、および絶縁体280を、リソグラフィー法を用いて加工し、酸化物230aを露出する開口290を形成する(図15A乃至図15D参照。)。

【0285】

次に、開口290内、および絶縁体281上に絶縁膜241Aを成膜する(図16A乃至図16D参照。)。絶縁膜241Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて行うことができる。絶縁膜241Aとしては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD法によって、酸化アルミニウムまたは窒化シリコンを成膜することが好ましい。

【0286】

30

次に、絶縁膜241Aを異方性エッチングして絶縁体241(絶縁体241a、絶縁体241b、および絶縁体241c)を形成する(図17A乃至図17D参照。)。異方性エッチングは、例えばドライエッチング法などを行えばよい。このとき、絶縁膜241Aのエッチングレートに対して、絶縁体262のエッチングレートが遅くなる条件を用いることが好ましい。また、絶縁体262と絶縁膜241Aは、異なる材料とすることが好ましい。一方、絶縁体262の膜厚が十分大きく、絶縁体241の形成により導電体260が露出しない場合は、上記に限らない。その場合、絶縁体262と絶縁膜241Aを同じ材料としてもよい。開口290の側壁部をこのような構成とすることで、外方からの酸素の透過を抑制し、次に形成する酸化物243、および導電体240への酸素の拡散を抑制することができる。一方、開口290内にて酸化物243、および導電体240への酸素の拡散が起こらない場合、あるいは、酸化物243、および導電体240への酸素の拡散が、半導体装置の特性に与える影響が小さい、または影響を与えない場合、必ずしも絶縁体241を設ける必要は無い。

40

【0287】

次に、酸化膜243Aを成膜する(図18A乃至図18D参照。)。酸化膜243Aとして、酸化膜230Aに用いることができる材料を用いることができる。酸化膜243Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0288】

続いて、導電膜240Aを成膜する(図18A乃至図18D参照。)。導電膜240A

50

は、スパッタリング法、CVD法、MBE法、PLD法、またはALD法などを用いて成膜することができる。導電膜240Aとして、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電膜240Aは、積層構造を有していてもよい。導電膜240Aとして、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムを含む第1の導電膜と、第1の導電膜上のタングステン、銅、またはアルミニウムを主成分とする導電性材料を含む第2の導電膜を含む構造としてもよい。

【0289】

酸化膜243Aとして、低抵抗な材料、または導電膜240Aと接することで低抵抗化する材料を用いることが好ましい。導電膜240Aと接することで低抵抗化する材料とは、導電膜240Aに含まれる水素などの不純物を吸収して低抵抗化する材料、および導電膜240Aにより、該材料が有する酸素が引き抜かれることにより低抵抗化する材料の一方、または両方を意味する。このような材料として、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ 、 $5:1:6$ 、 $5:1:3$ 、 $10:1:3$ 、または $1:1:1$ [いずれも原子数比]のターゲットを用いて成膜された金属酸化物、または $\text{In}-\text{Zn}$ 酸化物、インジウム酸化物、インジウム錫酸化物などの金属酸化物を用いることができる。また、酸化膜243Aを、酸化物230aと同じ材料とすることで、コンタクト抵抗の増加を抑制できるため、好ましい。

10

【0290】

次に、CMP処理を行って、絶縁体281より上の層を除去し、酸化物243、および導電体240を形成する。ここで、絶縁体281が、導電膜240A、および酸化膜243AのCMP処理に対するストッパーとして機能することが好ましい。なお、当該CMP処理により、絶縁体281の一部が除去される場合がある。

20

【0291】

以上により、図1A乃至図1Dに示すトランジスタ200を有する半導体装置を作製することができる。

【0292】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、良好な周波数特性を有する半導体装置を提供することができる。または、本発明により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

30

【0293】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0294】

<半導体装置の変形例1>

以下では、図19A乃至図19Dを用いて、先の<半導体装置の構成例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

40

【0295】

なお、図19A乃至図19Dに示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図1A乃至図1D参照。)を構成する構造と同機能を有する構造には、同符号を付記する。

【0296】

以下、トランジスタ200の構成について、図19A乃至図19Dを用いて説明する。なお、本項目においても、トランジスタ200の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

【0297】

50

先の＜半導体装置の構成例＞に示した半導体装置（図１Ａ乃至図１Ｄ参照。）では、トランジスタ２００が一つの半導体層に二つのトランジスタ（トランジスタ２００ａ、およびトランジスタ２００ｂ）を有している例を示したが、本発明はこれに限らない。図１９Ａ乃至図１９Ｄに示すようにトランジスタ２００は、一つの半導体層に一つのトランジスタ（トランジスタ２００ａ）を有していてもよい。

【０２９８】

このとき、トランジスタ２００ａのソースおよびドレインの一方は、酸化物２４３ａを介して導電体２４０ａと電氣的に接続する。また、トランジスタ２００ａのソースおよびドレインの他方は、酸化物２４３ｂを介して導電体２４０ｂと電氣的に接続する。

【０２９９】

トランジスタ２００ａのソースおよびドレインの一方は、導電体２４０ａの底面、および側面に設けられた酸化物２４３ａを介して導電体２４０ａと電氣的に接続するため、導電体２４０ａと電氣的に良好な接続を実現することが可能となる。また、トランジスタ２００ｂのソースおよびドレインの他方は、導電体２４０ｂの底面、および側面に設けられた酸化物２４３ｂを介して導電体２４０ｂと電氣的に接続するため、導電体２４０ｂと電氣的に良好な接続を実現することが可能となる。

【０３００】

例えば、導電体２４０ａと電氣的に接続するようにビット線として機能する導電体を設け、導電体２４０ｂと電氣的に接続するように容量素子を設けることでトランジスタ２００ａを有する半導体装置は、記憶装置として機能することができる。

【０３０１】

＜記憶装置＞

上記トランジスタ２００と、トランジスタ２００と電氣的に接続する容量素子１００を有する半導体装置をメモリセル６００として、記憶装置を構成することができる。図２０Ａ、図２０Ｂ、および図２１Ａ乃至図２１Ｃは、本発明の一態様に係る記憶装置、および記憶装置周辺の上面図および断面図である。

【０３０２】

図２０Ａは、記憶装置の上面図である。また、図２０Ｂ、図２１Ａ乃至図２１Ｃは、当該記憶装置の断面図である。ここで、図２０Ｂは、図２０ＡにＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャンネル長方向の断面図でもある。また、図２１Ａは、図２０ＡにＡ３－Ａ４の一点鎖線で示す部位の断面図であり、導電体２６０の延びる方向のチャンネル形成領域の断面図である。なお、図２１Ａは、トランジスタ２００のチャンネル幅方向の断面を表している。また、図２１Ｂは、図２０ＡにＡ５－Ａ６の一点鎖線で示す部位の断面図である。また、図２１Ｃは、図２０ＡにＡ７－Ａ８の一点鎖線で示す部位の断面図である。なお、図２０Ａの上面図では、図の明瞭化のために一部の要素を省いて図示している。

【０３０３】

図２０Ｂに示すように、導電体２４０、酸化物２４３、絶縁体２４１、および絶縁体２８１上に絶縁体２８２が設けられ、絶縁体２８２に埋め込まれるように導電体２４６が設けられる。導電体２４６は、導電体２４０ａと電氣的に接続し、後述する配線ＢＬとして機能することができる。また、絶縁体２８２、および導電体２４６上に絶縁体２８３が設けられ、絶縁体２８２、および絶縁体２８３に埋め込まれるように導電体２４７が設けられる。図２０Ｂにおいて、２つの導電体２４７が設けられており、それぞれ導電体２４０ｂ、および導電体２４０ｃと電氣的に接続する。容量素子１００ａ、および容量素子１００ｂは、導電体２４７、および絶縁体２８３上に設けられ、それぞれ導電体２４７を介して、導電体２４０ｂ、および導電体２４０ｃと電氣的に接続する。また、容量素子１００ａ、および容量素子１００ｂを覆うように、絶縁体２８３上に絶縁体２８４が設けられる。

【０３０４】

絶縁体２８２、絶縁体２８３、および絶縁体２８４には、絶縁体２１６、絶縁体２８０、および絶縁体２８１に用いることができる材料を用いることができる。また、導電体２

10

20

30

40

50

４６、および導電体２４７には、導電体２０５、導電体２６０、または導電体２４０などに用いることができる導電体を用いることができる。また、導電体２４６、または導電体２４７は、積層構造であってもよい。例えば、導電体２４６、または導電体２４７は、チタン、窒化チタン、タンタル、または窒化タンタルを主成分とする導電性材料と、タングステン、銅、またはアルミニウムを主成分とする導電性材料と、の積層構造としてもよい。また、導電体２４６、または導電体２４７は、単層構造としてもよいし、３層以上の積層構造としてもよい。

【０３０５】

[容量素子１００]

図２０Ｂ、および図２１Ｃに示すように、容量素子１００ａは、トランジスタ２００ａと重畳する領域を有するように設ける。同様に、容量素子１００ｂは、トランジスタ２００ｂと重畳する領域を有するように設ける。また、図２１Ｃは、図２０ＡにＡ７－Ａ８の一点鎖線で示す部位の断面図であり、容量素子１００ａと導電体２４０ａとの接続部における断面図である。図２１Ｃでは、容量素子１００ａが、導電体２４７を介して導電体２４０ａと電氣的に接続する例を示している。なお、容量素子１００ｂは、容量素子１００ａが有する構造と、それぞれ対応する構造を有する。以下において、容量素子１００ａ、および容量素子１００ｂを容量素子１００として、その詳細な構造について説明する。特にことわりが無い限り容量素子１００ａ、および容量素子１００ｂについては、容量素子１００の説明を参酌することができる。

【０３０６】

容量素子１００は、導電体１１０、絶縁体１３０、絶縁体１３０上の導電体１２０を有する。

【０３０７】

容量素子１００は、下部電極（第１の端子と呼ぶ場合もある）として機能する導電体１１０と、上部電極（第２の端子と呼ぶ場合もある）として機能する導電体１２０が、誘電体として機能する絶縁体１３０を挟んで対向する構成である。

【０３０８】

容量素子１００は、トランジスタ２００の上方に設けられ、導電体１１０が、トランジスタ２００が有する導電体２４０と電氣的に接続するように設けられる。

【０３０９】

導電体２４０、酸化物２４３、絶縁体２４１、および絶縁体２８１上に絶縁体２８２が設けられ、絶縁体２８２上に絶縁体２８３が設けられ、絶縁体２８２、および絶縁体２８３に埋め込まれるように導電体２４７が設けられる。導電体１１０は、導電体２４７、および絶縁体２８３上において、導電体２４７と電氣的に接続するように設けられる。

【０３１０】

絶縁体１３０は、導電体１１０を覆うように、絶縁体２８３上に設けられる。

【０３１１】

導電体１２０は、絶縁体１３０上に設けられ、絶縁体１３０を介して、少なくとも導電体１１０の上面、および側面を覆うように設けられる。図２０Ｂ、および図２１Ｃに示すように、導電体１１０は、導電体２４７と直に接する底面と、筒状に形成された側面を有する。導電体１２０は、絶縁体１３０を介して、筒状の導電体１１０の内側、および外側を覆うように設けることで、容量素子１００を形成する。容量素子１００として、導電体１１０の内側、および外側に導電体１２０を設けることで、導電体１１０の内側、および外側を容量として用いることができる。

【０３１２】

容量素子１００は、導電体１１０の底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、導電体１１０の高さを高くするほど、容量素子１００の静電容量を大きくすることができる。さらに、筒状に形成された導電体１１０の内側、および外側の側面を容量に用いているため、導電体１１０の内側のみ、または外側のみを用いて容

10

20

30

40

50

量を形成する場合に比べ、導電体 1 1 0 の高さを低くでき、導電体 1 1 0、および容量素子 1 0 0 を容易に形成することができる。このように容量素子 1 0 0 の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

【 0 3 1 3 】

導電体 1 1 0 および導電体 1 2 0 は、導電体 2 0 5、導電体 2 6 0、または導電体 2 4 0 などに用いることができる導電体を用いればよい。導電体 1 1 0 および導電体 1 2 0 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

10

20

【 0 3 1 4 】

また、導電体 1 1 0、または導電体 1 2 0 は、積層構造であってもよい。例えば、導電体 1 1 0、または導電体 1 2 0 は、チタン、窒化チタン、タンタル、または窒化タンタルを主成分とする導電性材料と、タングステン、銅、またはアルミニウムを主成分とする導電性材料と、の積層構造としてもよい。また、導電体 1 1 0、または導電体 1 2 0 は、単層構造としてもよいし、3 層以上の積層構造としてもよい。導電体 1 2 0 は、隣り合う容量素子 1 0 0 の共通の上部電極として用いることができる。また、導電体 1 2 0 は、後述する配線 C A L としての機能を兼ねることができる。

【 0 3 1 5 】

また、絶縁体 1 3 0 は、誘電率の大きい絶縁体を用いることが好ましい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

30

【 0 3 1 6 】

また、絶縁体 1 3 0 は、積層構造であってもよい、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などから、2 層以上を選び積層構造としても良い。例えば、A L D 法によって、酸化ハフニウム、酸化アルミニウムおよび酸化ハフニウムを順に成膜し、積層構造とすることが好ましい。酸化ハフニウムおよび酸化アルミニウムの膜厚は、それぞれ、0 . 5 n m 以上 5 n m 以下とする。このような積層構造とすることで、容量値が大きく、かつ、リーク電流の小さな容量素子 1 0 0 とすることができる。

40

【 0 3 1 7 】

< メモリセル 6 0 0 の構成例 >

図 2 2 乃至図 2 4 にメモリセル 6 0 0 の構成例について説明する。

【 0 3 1 8 】

図 2 2、および図 2 3 にメモリセル 6 0 0 のレイアウト例を示す上面図、図 2 4 に、D R A M のメモリセルの回路構成例を示す。本明細書等において、1 つの O S トランジスタ

50

と、1つの容量素子を有するメモリセルを用いたDRAMを、DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)と呼ぶ場合がある。図22乃至図24に示す、メモリセル600は、2つのメモリセルを有し、一方はトランジスタ200a、および容量素子100aを有し、他方はトランジスタ200b、および容量素子100bを有する。なお、トランジスタ200aと、トランジスタ200bは、それぞれゲート(フロントゲートと呼ぶ場合がある。)、及びバックゲートを有する。メモリセル600は、マトリクス状に配置されることでメモリセルアレイを形成する。

【0319】

図22、および図23に示すメモリセルアレイでは、メモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向(酸化物230aの長軸方向、または導電体240aと導電体240b、または導電体240cとを結ぶ方向ともいう)と、配線BLが伸びる方向のなす角がゼロより大きく90°未満となる例を示している。このとき、トランジスタ200a、およびトランジスタ200bのチャネル長方向と、配線WLが伸びる方向のなす角がゼロより大きく90°未満となる。別言すると、トランジスタ200a、およびトランジスタ200bのチャネル長方向は、配線BL、および配線WLのいずれが延びる方向とも平行にならず、直交しない。

【0320】

図22においては、メモリセルアレイ内の全てのメモリセル600において、トランジスタ200a、およびトランジスタ200bのチャネル長方向が互いに平行となる例を示しているが、本実施の形態はこれに限らない。図23に示すように、メモリセルアレイにおいて、少なくとも一つのメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向が、他のメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向と異なってもよい。図23では、列毎にメモリセル600が有するトランジスタ200a、およびトランジスタ200bのチャネル長方向が異なる例を示している。特に、行方向に隣り合うメモリセル600が列方向、すなわち配線WLが延びる方向に対して線対称となるように配置されている。

【0321】

トランジスタ200aの第1端子は、容量素子100aの第1端子と接続され、トランジスタ200bの第1端子は、容量素子100bの第1端子と接続され、トランジスタ200aの第2端子、およびトランジスタ200bの第2端子は、配線BLと接続され、トランジスタ200aのゲートと、トランジスタ200bのゲートは、それぞれ異なる配線WLと接続され、トランジスタ200aのバックゲートと、トランジスタ200bのバックゲートは、それぞれ異なる配線BGと接続されている。容量素子100aの第2端子、および容量素子100bの第2端子は、それぞれ配線CALと接続されている。なお、トランジスタ200の第1端子は、ソースおよびドレインの一方として機能し、第2端子は、ソースおよびドレインの他方として機能する。

【0322】

ここで、容量素子100aの第2端子、および容量素子100bの第2端子は、それぞれ共通の配線CALと電氣的に接続してもよいし、異なる配線CALと電氣的に接続してもよい。容量素子100aの第2端子、および容量素子100bの第2端子がそれぞれ異なる配線CALと電氣的に接続する場合、配線CALには互いに等しい電位が供給されてもよいし、異なる電位が供給されてもよい。

【0323】

配線BLは、ビット線として機能し、配線WLは、ワード線として機能する。配線CALは、容量素子100aの第2端子、および容量素子100bの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGは、トランジスタ200a、またはトランジスタ200bのバックゲートに電位を印加するための配線として機能する。配線BGに任意の電位を印加することによって、トランジスタ200a、またはト

10

20

30

40

50

ランジスタ 200b のしきい値電圧を増減することができる。

【0324】

なお、メモリセル 600 は、図 24 に示すものに限定されず、回路構成の変更を行うことができる。例えば、メモリセル 600 は、トランジスタ 200a、およびトランジスタ 200b が、バックゲートを有さないトランジスタで構成されたメモリセルとしてもよい。このとき、配線 BG は省略することができる。メモリセル、またはメモリセルアレイに求められる特性に合わせて適宜選択することができる。

【0325】

メモリセル 600 が有するトランジスタ 200a、およびトランジスタ 200b として OS トランジスタを用いることによって、トランジスタ 200a、およびトランジスタ 200b のリーク電流を非常に低くすることができる。つまり、書き込んだデータをトランジスタ 200a、およびトランジスタ 200b によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。また、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に低いため、メモリセル 600 に対して多値データ、又はアナログデータを保持することができる。

10

【0326】

<メモリセル 600 の変形例>

上記では、メモリセル 600 が 2 つのトランジスタと 2 つの容量素子を有する例を示したが、本実施の形態はこれに限らない。メモリセル 600 は、1 つのトランジスタと 1 つの容量素子を有していてもよい。また、メモリセル 600 は、3 つ以上のトランジスタと、3 つ以上の容量素子を有していてもよい。

20

【0327】

メモリセル 600 が、1 つのトランジスタと 1 つの容量素子を有する場合、メモリセル 600 として、図 19A 乃至図 19D に示したトランジスタ 200 を用いることができる。図 19A 乃至図 19D に示したトランジスタ 200 の導電体 240a にビット線として機能する導電体 246 を電氣的に接続し、導電体 240b に導電体 247 を介して容量素子 100 を電氣的に接続することでメモリセルを構成することができる。

【0328】

図 25A、および図 25B に、メモリセル 600 が、3 つ以上のトランジスタと、3 つ以上の容量素子を有する例を示す。図 25A、および図 25B に示すメモリセル 600 は、複数のトランジスタ 200a、トランジスタ 200b、容量素子 100a、および容量素子 100b を有する。ここで、配線 BL を間に挟む一対のトランジスタ 200a、およびトランジスタ 200b と、該トランジスタ 200a、およびトランジスタ 200b それぞれと電氣的に接続する容量素子 100a、および容量素子 100b をまとめてメモリユニット 602 とする。図 25A、および図 25B に示すメモリセル 600 は、n 個のメモリユニット (メモリユニット 602_1 乃至メモリユニット 602_n) (n は 2 以上の整数) を有する。また、メモリユニット 602_1 乃至メモリユニット 602_n は、それぞれトランジスタ 200a、トランジスタ 200b、容量素子 100a、および容量素子 100b (トランジスタ 200a_1 乃至トランジスタ 200a_n、トランジスタ 200b_1 乃至トランジスタ 200b_n、容量素子 100a_1 乃至容量素子 100a_n、および容量素子 100b_1 乃至容量素子 100b_n) を有する。すなわち、図 25A、および図 25B が示すメモリセル 600 は、2n 個のトランジスタ 200 と、2n 個の容量素子 100 を有する。

30

40

【0329】

各メモリユニット 602 が有するトランジスタ 200a、およびトランジスタ 200b は、共通の配線 BL と電氣的に接続する。また、各メモリユニット 602 は、共通の配線 BL と電氣的に接続してもよいし、それぞれ電氣的に独立した配線 BL と電氣的に接続してもよい。

【0330】

各メモリユニット 602 の間には導電体 207、および導電体 264 を設けることが好

50

ましい。導電体 207、および導電体 264 に印加する電圧を制御することで、メモリセル 600 内で隣り合うメモリユニット 602 間の電流の流れ（リーク電流ともいう）を抑制できる。導電体 207、および導電体 264 は、それぞれ導電体 205、および導電体 260 の作製工程において作製することができる。

【0331】

< 記憶装置の構成例 >

図 26 に OS メモリ装置の構成の一例を示す。記憶装置 1400 は、メモリセルアレイ 1470、および周辺回路を有する。周辺回路は、行回路 1420、列回路 1430、出力回路 1440、コントロールロジック回路 1460 を有する。また、周辺回路に、トランジスタ 200 のバックゲートに印加する電位を制御するバックゲート制御回路 1425 を設けてもよい。バックゲート制御回路 1425 は、行回路 1420 の一部とみなすことができる。

10

【0332】

列回路 1430 は、例えば、列デコーダ 1431、プリチャージ回路 1432、センスアンプ 1433、および書き込み回路 1434 等を有する。プリチャージ回路 1432 は、配線をプリチャージする機能を有する。センスアンプ 1433 は、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ 1470 が有するメモリセルに接続されている配線である。増幅されたデータ信号は、出力回路 1440 を介して、データ信号 RDATA として記憶装置 1400 の外部に出力される。また、行回路 1420 は、例えば、行デコーダ 1421、ワード線ドライバ回路 1422 等を有し、アクセスする行を選択することができる。

20

【0333】

記憶装置 1400 には、外部から電源電圧として低電源電圧 (VSS)、周辺回路用の高電源電圧 (VDD)、メモリセルアレイ 1470 用の高電源電圧 (VIL) が供給される。また、記憶装置 1400 には、制御信号 (CE、WE、RE)、アドレス信号 ADDR、データ信号 WDATA が外部から入力される。アドレス信号 ADDR は、行デコーダ 1421 および列デコーダ 1431 に入力され、WDATA は書き込み回路 1434 に入力される。

【0334】

コントロールロジック回路 1460 は、外部からの入力信号 (CE、WE、RE) を処理して、行デコーダ、列デコーダの制御信号を生成する。CE は、チップイネーブル信号であり、WE は、書き込みイネーブル信号であり、RE は、読み出しイネーブル信号である。コントロールロジック回路 1460 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

30

【0335】

メモリセルアレイ 1470 は、行列状に配置された、複数個のメモリセル 600 と、複数の配線を有する。なお、メモリセルアレイ 1470 と行回路 1420 とを接続している配線の数、メモリセル 600 の構成、一行に有するメモリセル 600 の数などによって決まる。また、メモリセルアレイ 1470 と列回路 1430 とを接続している配線の数、メモリセル 600 の構成、一行に有するメモリセル 600 の数などによって決まる。

40

【0336】

なお、図 26 において、メモリセルアレイ 1470 と周辺回路を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、周辺回路、または少なくともその一部の上に、メモリセルアレイ 1470 が重なるように設けられてもよい。このとき、周辺回路、または少なくともその一部は、酸化物半導体を有する OS トランジスタ、またはシリコントランジスタにより構成されることが好ましい。すなわち、OS トランジスタ上に OS トランジスタを積層して設ける構成や、シリコントランジスタ上に OS トランジスタを積層して設ける構成とすることが好ましい。例えば、シリコントランジスタにより構成されるセンスアンプの上に、OS トランジスタにより構成されるメモリセルアレイ 1470 が積層して設けられ、該センスアンプとメモリセルアレイ 14

50

70が互いに重なる領域を有するように設けられる構成にしてもよい。

【0337】

図27は、トランジスタ200、および容量素子100を有するメモリセル600がトランジスタ300の上方に設けられる例を示す。メモリセル600は、メモリセルアレイ1470の一部とみなすことができ、トランジスタ300は、周辺回路の一部、例えばセンスアンプの一部とみなすことができる。

【0338】

図27に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続され、配線1007はトランジスタ300のゲートと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。また、配線1003を配線1001、配線1002、または配線1007と電氣的に接続する構成にしてもよい。

【0339】

[トランジスタ300]

トランジスタ300は、基板311上に設けられ、ゲート電極として機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0340】

ここで、半導体領域313の上に絶縁体315が配置され、絶縁体315の上に導電体316が配置される。また、同じ層に形成されるトランジスタ300は、素子分離絶縁層として機能する絶縁体312によって、電氣的に分離されている。絶縁体312は、後述する絶縁体326などと同様の絶縁体を用いることができる。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0341】

基板311は、半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

【0342】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0343】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0344】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体

10

20

30

40

50

にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【 0 3 4 5 】

ここで、図 2 7 に示すトランジスタ 3 0 0 はチャネルが形成される半導体領域 3 1 3 (基板 3 1 1 の一部) が凸形状を有する。また、半導体領域 3 1 3 の側面および上面を、絶縁体 3 1 5 を介して、導電体 3 1 6 が覆うように設けられている。このようなトランジスタ 3 0 0 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

10

【 0 3 4 6 】

なお、図 2 7 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 3 4 7 】

また、図 2 7 に示すように半導体装置は、トランジスタ 3 0 0 と、トランジスタ 2 0 0 とを、積層して設けている。例えば、トランジスタ 3 0 0 をシリコン系半導体材料で形成し、トランジスタ 2 0 0 を酸化物半導体で形成することができる。このように、図 2 7 に示す半導体装置は、シリコン系半導体材料と、酸化物半導体とを、ことなるレイヤーに混載して形成することが可能である。また、図 2 7 に示す半導体装置は、シリコン系半導体材料で用いる製造装置と同様のプロセスで作製することが可能であり、高集積化することも可能である。

20

【 0 3 4 8 】

[配線層]

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【 0 3 4 9 】

30

例えば、トランジスタ 3 0 0 上には、層間膜として、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には、配線 1 0 0 1、配線 1 0 0 2、配線 1 0 0 7 などと電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線として機能する。

【 0 3 5 0 】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために C M P 法等を用いた平坦化処理により平坦化されていてもよい。

【 0 3 5 1 】

40

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 7 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。例えば、図 2 7 に示すように、導電体 3 5 6 は、配線 1 0 0 1 とトランジスタ 3 0 0 のソースを接続する配線、配線 1 0 0 2 とトランジスタ 3 0 0 のドレインを接続する配線、および配線 1 0 0 7 とトランジスタ 3 0 0 のゲートを接続する配線の少なくとも一として機能させることができる。

【 0 3 5 2 】

絶縁体 3 5 4 の上に絶縁体 3 6 0 が配置され、絶縁体 3 6 0 の上に絶縁体 3 6 2 が配置され、絶縁体 3 6 2 の上に絶縁体 2 1 1 が配置され、メモリセル 6 0 0 が配置される。

50

【 0 3 5 3 】

また、トランジスタ 3 0 0 をセンスアンプの一部として用いる場合、配線 1 0 0 3 と、配線 1 0 0 1、配線 1 0 0 2、および配線 1 0 0 7 の少なくとも一以上が接続される構成にしてもよい。このような構成にすることで、トランジスタ 2 0 0 とトランジスタ 3 0 0 を接続する配線の距離を、当該配線をトランジスタ 2 0 0 の上で引き回した場合と比較して、短くすることができる。

【 0 3 5 4 】

また、メモリセル 6 0 0 の上に、配線層を設けてもよい。

【 0 3 5 5 】

なお、層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。例えば、層間膜として機能する絶縁体は、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【 0 3 5 6 】

例えば、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 6、絶縁体 3 5 2、絶縁体 3 5 4、絶縁体 3 6 2 等は、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【 0 3 5 7 】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【 0 3 5 8 】

例えば、導電体 3 2 8、導電体 3 3 0、導電体 3 5 6 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【 0 3 5 9 】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置を微細化または高集積化させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【 0 3 6 0 】

10

20

30

40

50

なお、図 27 において、基板 311 にチャネル形成領域が形成されるトランジスタ 300 を設ける例について示したが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 28 に示すように、トランジスタ 200 の下に酸化物半導体を有するトランジスタ 400 を設ける構成にしてもよい。図 28 に示す半導体装置は、トランジスタ 300 の代わりにトランジスタ 400 が設けられること以外は、図 27 に示す半導体装置と同様の構成を有する。

【0361】

図 28 に示す半導体装置は、図 27 に示す半導体装置と異なり、基板 311 と絶縁体 352 の間に、絶縁体 411、絶縁体 412、絶縁体 414、絶縁体 480、および絶縁体 481 と、これらの層の中に形成されるトランジスタ 400 と、トランジスタ 400 と電気的に接続し、プラグとして機能する酸化物 443、および導電体 440 と、酸化物 443 の側面に設けられた絶縁体 441 と、を有する。また、トランジスタ 400 は、その構成要素の一部として、絶縁体 416、絶縁体 422、絶縁体 424、および絶縁体 472 を有する。ここで、絶縁体 411 は絶縁体 211 と、絶縁体 412 は絶縁体 212 と、絶縁体 414 は絶縁体 214 と、絶縁体 416 は絶縁体 216 と、絶縁体 422 は絶縁体 222 と、絶縁体 480 は絶縁体 280 と、絶縁体 481 は絶縁体 281 と、トランジスタ 400 はトランジスタ 200 と、酸化物 443 は酸化物 243 と、導電体 440 は導電体 240 と、絶縁体 441 は絶縁体 241 と、それぞれ対応する。また、絶縁体 416、絶縁体 422、絶縁体 424、および絶縁体 472 は、それぞれ絶縁体 216、絶縁体 222、絶縁体 224、および絶縁体 272 と対応する。

【0362】

つまり、トランジスタ 400 およびトランジスタ 400 を含む層は、上述のトランジスタ 200 およびトランジスタ 200 を含む層と同様の構成を有する。よって、トランジスタ 400 およびトランジスタ 400 を含む層の詳細については、上述の記載を参照することができる。

【0363】

なお、絶縁体 481、絶縁体 472、および絶縁体 480 に形成された開口に埋め込まれるように、酸化物 443、導電体 440、および絶縁体 441 が設けられる。酸化物 443、および導電体 440 は、配線 1001 とトランジスタ 400 のソースを接続するプラグ、または配線 1002 とトランジスタ 400 のドレインを接続するプラグ、として機能する。また、配線 1007 とトランジスタ 400 のゲートを接続するプラグとして酸化物 443、および導電体 440 を設けてもよい。

【0364】

また、メモリセルアレイ 1470 が、センスアンプと重なるように設けられる構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

【0365】

なお、本実施の形態に示す、周辺回路、およびメモリセルアレイ 1470 等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

【0366】

例えば、図 24 において、配線 CAL と電気的に接続される容量素子 100a の第 2 端子、および容量素子 100b の第 2 端子は、それぞれ異なる配線 CAL と接続してもよいし、容量素子 100a の第 2 端子、および容量素子 100b の第 2 端子が共通の配線 CAL と電気的に接続してもよい。例えば、容量素子 100a の第 2 端子、および容量素子 100b の第 2 端子が一つの導電体により構成されてもよい。また、隣り合うメモリセル 600 が有する容量素子 100 の第 2 端子は、それぞれ異なる配線 CAL と接続してもよいし、共通の配線 CAL と電気的に接続してもよい。

【0367】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することがで

10

20

30

40

50

きる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、良好な周波数特性を有する半導体装置を提供することができる。または、本発明により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0368】

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

10

【0369】

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

【0370】

(実施の形態2)

本実施の形態では、図29A、および図29Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

【0371】

20

図29Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

【0372】

チップ1200には、バンプ(図示しない)が設けられ、図29Bに示すように、プリント基板(Printed Circuit Board: PCB)1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

【0373】

30

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。このように、記憶装置として本発明の一態様であるメモリセル600を有する記憶装置を用いることで、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

【0374】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したDOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

40

【0375】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモ

50

り間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

【0376】

アナログ演算部1213はA/D(アナログ/デジタル)変換回路、およびD/A(デジタル/アナログ)変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

【0377】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

【0378】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB(Universal Serial Bus)、HDMI(登録商標)(High-Definition Multimedia Interface)などを用いることができる。

【0379】

ネットワーク回路1216は、LAN(Local Area Network)などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

【0380】

チップ1200には、上記回路(システム)を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

【0381】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

【0382】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型(持ち出し可能な)ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

【0383】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0384】

(実施の形態3)

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

【0385】

<電子部品>

まず、記憶装置720が組み込まれた電子部品の例を、図30A、および図30Bを用いて説明を行う。

【0386】

図30Aに電子部品700および電子部品700が実装された基板(実装基板704)

10

20

30

40

50

の斜視図を示す。図 3 0 A に示す電子部品 7 0 0 は、モールド 7 1 1 内に記憶装置 7 2 0 を有している。図 3 0 A は、電子部品 7 0 0 の内部を示すために、一部を省略している。電子部品 7 0 0 は、モールド 7 1 1 の外側にランド 7 1 2 を有する。ランド 7 1 2 は電極パッド 7 1 3 と電氣的に接続され、電極パッド 7 1 3 は記憶装置 7 2 0 とワイヤ 7 1 4 によって電氣的に接続されている。電子部品 7 0 0 は、例えばプリント基板 7 0 2 に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板 7 0 2 上で電氣的に接続されることで実装基板 7 0 4 が完成する。

【 0 3 8 7 】

記憶装置 7 2 0 は、駆動回路層 7 2 1 と、記憶回路層 7 2 2 と、を有する。

【 0 3 8 8 】

図 3 0 B に電子部品 7 3 0 の斜視図を示す。電子部品 7 3 0 は、S i P (S y s t e m i n p a c k a g e) または M C M (M u l t i C h i p M o d u l e) の一例である。電子部品 7 3 0 は、パッケージ基板 7 3 2 (プリント基板) 上にインターポーザ 7 3 1 が設けられ、インターポーザ 7 3 1 上に半導体装置 7 3 5、および複数の記憶装置 7 2 0 が設けられている。

【 0 3 8 9 】

電子部品 7 3 0 では、記憶装置 7 2 0 を広帯域メモリ (H B M : H i g h B a n d w i d t h M e m o r y) として用いる例を示している。また、半導体装置 7 3 5 は、C P U、G P U、F P G A などの集積回路 (半導体装置) を用いることができる。

【 0 3 9 0 】

パッケージ基板 7 3 2 は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ 7 3 1 は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

【 0 3 9 1 】

インターポーザ 7 3 1 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ 7 3 1 は、インターポーザ 7 3 1 上に設けられた集積回路をパッケージ基板 7 3 2 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ 7 3 1 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 7 3 2 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、T S V (T h r o u g h S i l i c o n V i a) を用いることも出来る。

【 0 3 9 2 】

インターポーザ 7 3 1 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【 0 3 9 3 】

H B M では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、H B M を実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、H B M を実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【 0 3 9 4 】

また、シリコンインターポーザを用いた S i P や M C M などでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する 2 . 5 D パッケージ (2 . 5 次元実装) では、シリコンインターポーザを用いることが好ましい。

【 0 3 9 5 】

10

20

30

40

50

また、電子部品 730 と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 730 では、記憶装置 720 と半導体装置 735 の高さを揃えることが好ましい。

【0396】

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 30B では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

10

【0397】

電子部品 730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、または QFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

【0398】

このように、記憶装置 720 として本発明の一態様であるメモリセル 600 を有する記憶装置を用いることで、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

20

【0399】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0400】

（実施の形態 4）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SD カード）、USB メモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図 31A 乃至図 31E にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

30

40

【0401】

記憶装置として本発明の一態様であるメモリセル 600 を有する記憶装置を用いることで、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

【0402】

図 31A は USB メモリの模式図である。USB メモリ 1100 は、筐体 1101、キャップ 1102、USB コネクタ 1103 および基板 1104 を有する。基板 1104 は、筐体 1101 に収納されている。例えば、基板 1104 には、メモリチップ 1105、

50

コントローラチップ 1106 が取り付けられている。基板 1104 のメモリチップ 1105 などに先の実施の形態に示す半導体装置を組み込むことができる。

【0403】

図 31B は S D カードの外観の模式図であり、図 31C は、S D カードの内部構造の模式図である。S D カード 1110 は、筐体 1111、コネクタ 1112 および基板 1113 を有する。基板 1113 は筐体 1111 に収納されている。例えば、基板 1113 には、メモリチップ 1114、コントローラチップ 1115 が取り付けられている。基板 1113 の裏面側にもメモリチップ 1114 を設けることで、S D カード 1110 の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板 1113 に設けてもよい。これによって、ホスト装置と S D カード 1110 間の無線通信によって、メモリチップ 1114 のデータの読み出し、書き込みが可能となる。基板 1113 のメモリチップ 1114 などに先の実施の形態に示す半導体装置を組み込むことができる。

10

【0404】

図 31D は S S D の外観の模式図であり、図 31E は、S S D の内部構造の模式図である。S S D 1150 は、筐体 1151、コネクタ 1152 および基板 1153 を有する。基板 1153 は筐体 1151 に収納されている。例えば、基板 1153 には、メモリチップ 1154、メモリチップ 1155、コントローラチップ 1156 が取り付けられている。メモリチップ 1155 はコントローラチップ 1156 のワークメモリであり、例えば D O S R A M チップを用いればよい。基板 1153 の裏面側にもメモリチップ 1154 を設けることで、S S D 1150 の容量を増やすことができる。基板 1153 のメモリチップ 1154 などに先の実施の形態に示す半導体装置を組み込むことができる。

20

【0405】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

【0406】

(実施の形態 5)

本発明の一態様に係る半導体装置は、記憶装置、C P U や G P U などのプロセッサ、またはチップに用いることができる。図 32A 乃至図 32H に、本発明の一態様に係る記憶装置、C P U や G P U などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

【0407】

30

< 電子機器・システム >

本発明の一態様に係る記憶装置、プロセッサ、またはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (D i g i t a l S i g n a g e : 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る記憶装置、プロセッサ、またはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

【0408】

40

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0409】

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの) を有していてもよい。

【0410】

記憶装置として本発明の一態様であるメモリセル 600 を有する記憶装置を用いること

50

で、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

【0411】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図32A乃至図32Hに、電子機器の例を示す。

10

【0412】

[情報端末]

図32Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

【0413】

情報端末5100は、本発明の一態様の記憶装置、プロセッサ、またはチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

20

【0414】

図32Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

【0415】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様の記憶装置、プロセッサ、またはチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

30

【0416】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図32A、および図32Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

【0417】

[ゲーム機]

図32Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられている記憶装置、プロセッサ、またはチップなどに先の実施の形態に示す記憶

40

50

装置、プロセッサ、またはチップを組み込むことができる。

【0418】

また、図32Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

【0419】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様の記憶装置、プロセッサ、またはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

10

【0420】

更に、携帯ゲーム機5300に本発明の一態様の記憶装置、プロセッサ、またはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

【0421】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

20

【0422】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【0423】

図32C、および図32Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様の記憶装置、プロセッサ、またはチップを適用するゲーム機はこれに限定されない。本発明の一態様の記憶装置、プロセッサ、またはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

30

【0424】

[大型コンピュータ]

本発明の一態様の記憶装置、プロセッサ、またはチップは、大型コンピュータに適用することができる。

【0425】

図32Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図32Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

40

【0426】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明した記憶装置、プロセッサ、またはチップを搭載することができる。

【0427】

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理するため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様の記憶装置、プロセッサ、またはチップを適用することによって、低消費電力のスーパーコンピュータ

50

を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【 0 4 2 8 】

図 3 2 E、および図 3 2 F では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様の記憶装置、プロセッサ、またはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様の記憶装置、プロセッサ、またはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【 0 4 2 9 】

[移動体]

本発明の一態様の記憶装置、プロセッサ、またはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

【 0 4 3 0 】

図 3 2 G は、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図 3 2 G では、ダッシュボードに取り付けられた表示パネル 5 7 0 1、表示パネル 5 7 0 2、表示パネル 5 7 0 3 の他、ピラーに取り付けられた表示パネル 5 7 0 4 を図示している。

【 0 4 3 1 】

表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、照明装置として用いることも可能である。

【 0 4 3 2 】

表示パネル 5 7 0 4 には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5 7 0 4 は、照明装置として用いることもできる。

【 0 4 3 3 】

本発明の一態様の記憶装置、プロセッサ、またはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 4 には、道路案内、危険予測などの情報を表示する構成としてもよい。

【 0 4 3 4 】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様の記憶装置、プロセッサ、またはチップを適用して、人工知能を利用したシステムを付与することができる。

【 0 4 3 5 】

[電化製品]

図 3 2 H は、電化製品の一例である電気冷凍冷蔵庫 5 8 0 0 を示している。電気冷凍冷蔵庫 5 8 0 0 は、筐体 5 8 0 1、冷蔵室用扉 5 8 0 2、冷凍室用扉 5 8 0 3 等を有する。

【 0 4 3 6 】

電気冷凍冷蔵庫 5 8 0 0 に本発明の一態様の記憶装置、プロセッサ、またはチップを適用することによって、人工知能を有する電気冷凍冷蔵庫 5 8 0 0 を実現することができる

10

20

30

40

50

。人工知能を利用することによって電気冷凍冷蔵庫 5 8 0 0 は、電気冷凍冷蔵庫 5 8 0 0 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5 8 0 0 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【 0 4 3 7 】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【 0 4 3 8 】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【 0 4 3 9 】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【 符号の説明 】

【 0 4 4 0 】

1 0 0 : 容量素子、1 1 0 : 導電体、1 2 0 : 導電体、1 3 0 : 絶縁体、2 0 0 : トランジスタ、2 0 5 : 導電体、2 0 7 : 導電体、2 1 1 : 絶縁体、2 1 2 : 絶縁体、2 1 4 : 絶縁体、2 1 6 : 絶縁体、2 2 2 : 絶縁体、2 2 4 : 絶縁体、2 3 0 : 酸化物、2 3 2 : マスク、2 4 0 : 導電体、2 4 1 : 絶縁体、2 4 3 : 酸化物、2 4 5 : 開口、2 4 6 : 導電体、2 4 7 : 導電体、2 5 0 : 絶縁体、2 6 0 : 導電体、2 6 2 : 絶縁体、2 6 4 : 導電体、2 7 2 : 絶縁体、2 8 0 : 絶縁体、2 8 1 : 絶縁体、2 8 2 : 絶縁体、2 8 3 : 絶縁体、2 8 4 : 絶縁体、2 9 0 : 開口、6 0 0 : メモリセル、6 0 2 : メモリユニット

10

20

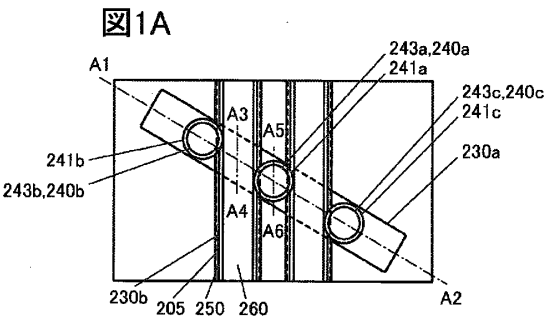
30

40

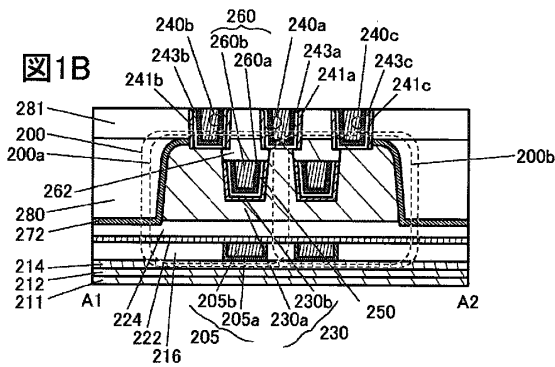
50

【図面】

【図 1 A】

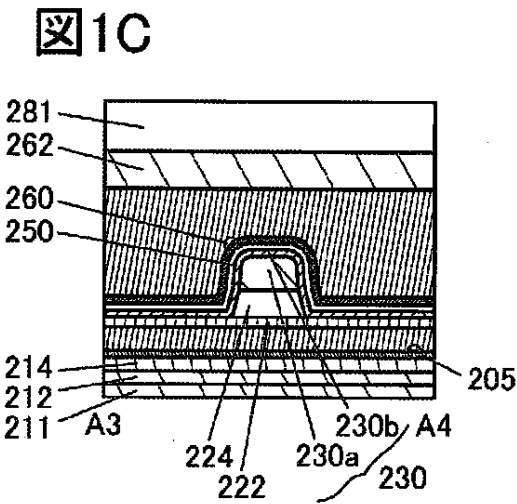


【図 1 B】

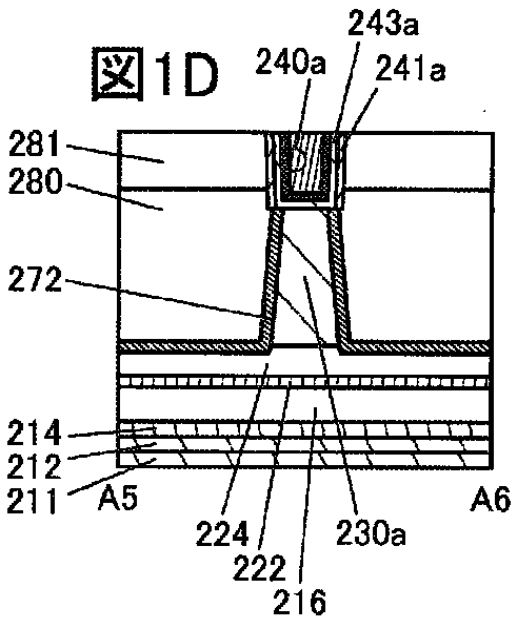


10

【図 1 C】



【図 1 D】



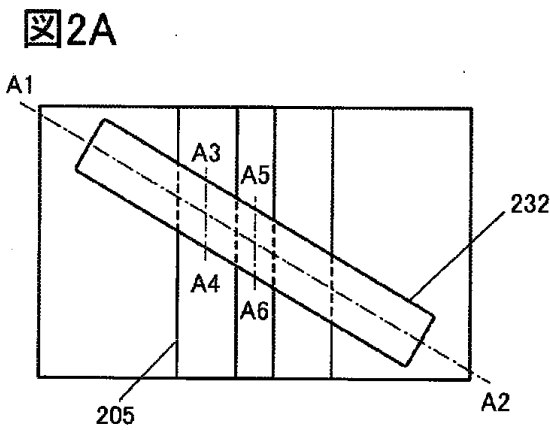
20

30

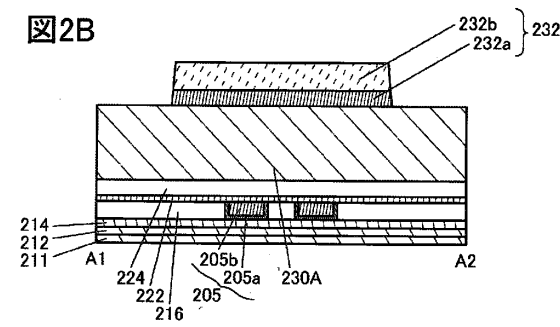
40

50

【図 2 A】

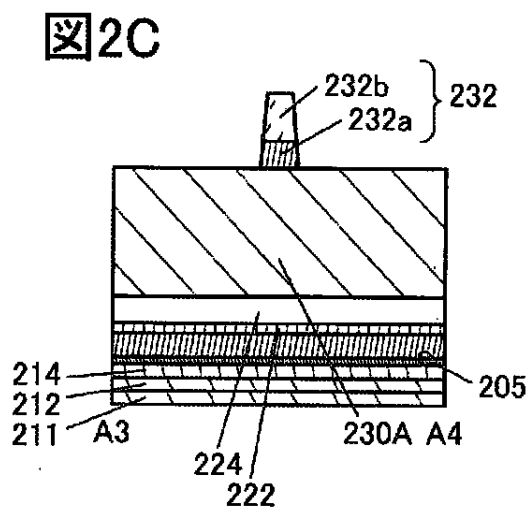


【図 2 B】

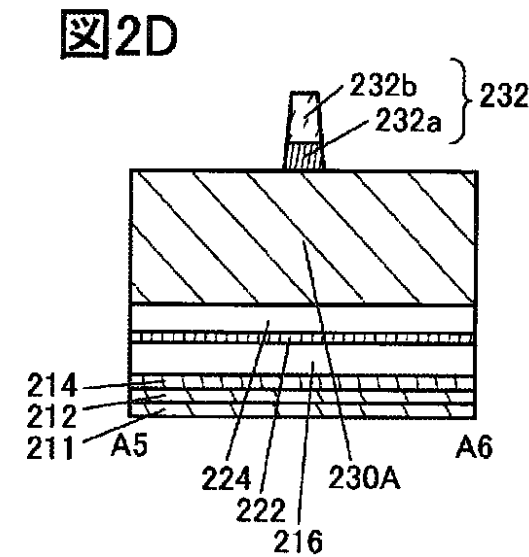


10

【図 2 C】



【図 2 D】



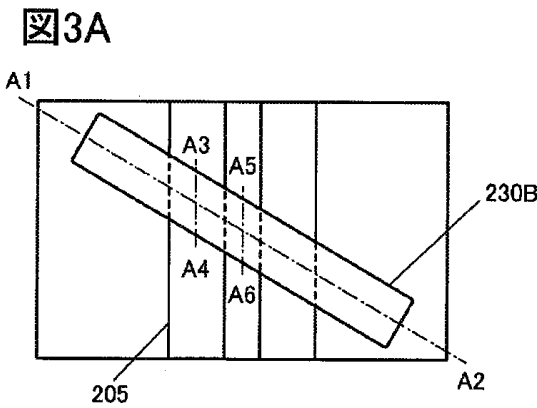
20

30

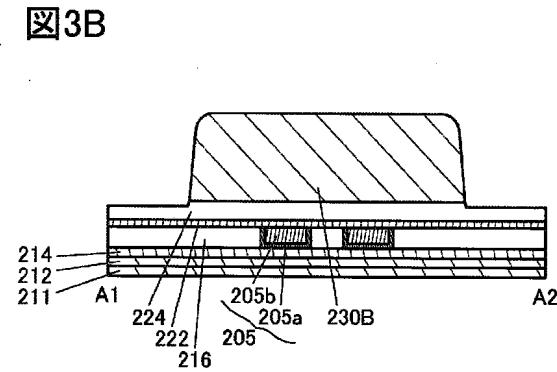
40

50

【図 3 A】

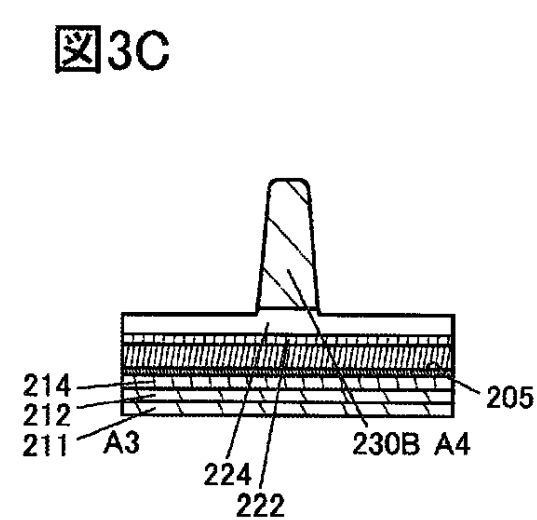


【図 3 B】

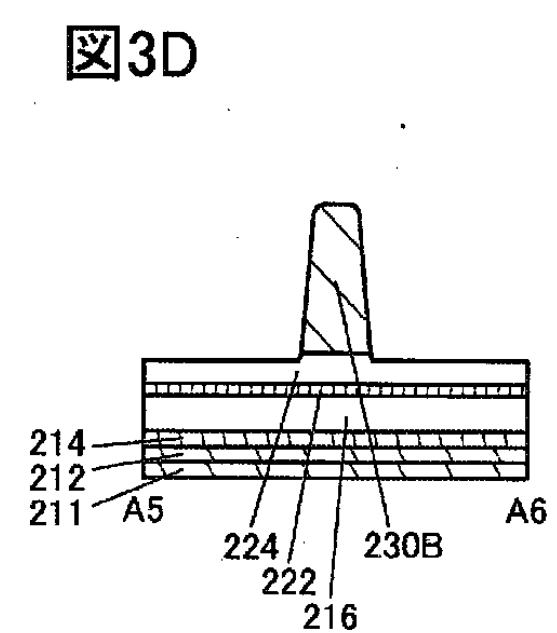


10

【図 3 C】



【図 3 D】



20

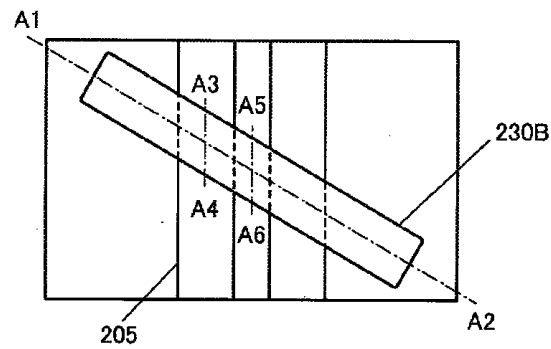
30

40

50

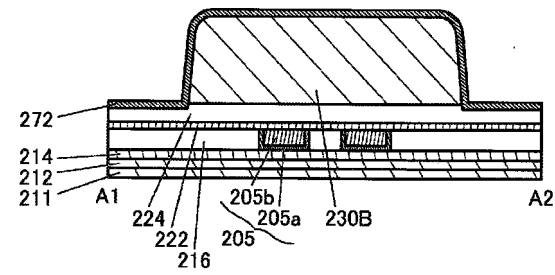
【図 4 A】

図4A



【図 4 B】

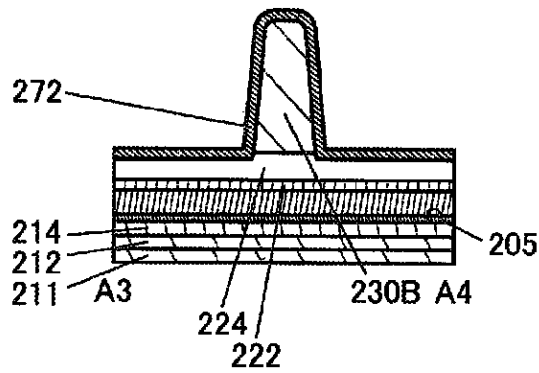
図4B



10

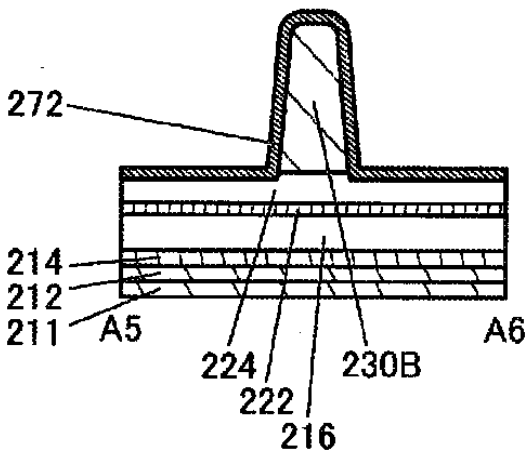
【図 4 C】

図4C



【図 4 D】

図4D



20

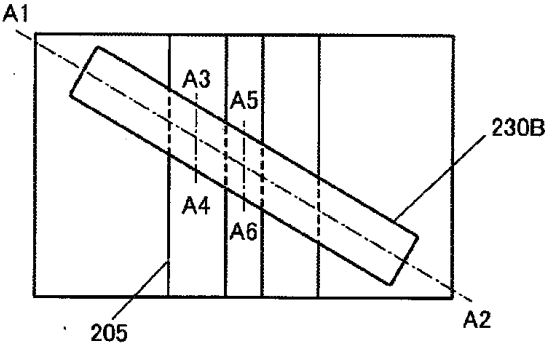
30

40

50

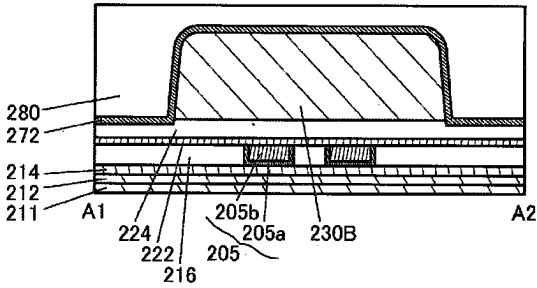
【図 5 A】

図5A



【図 5 B】

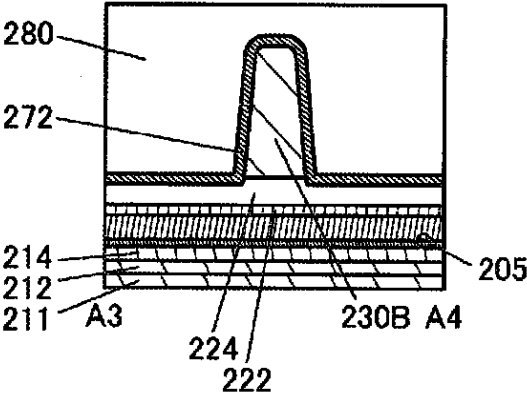
図5B



10

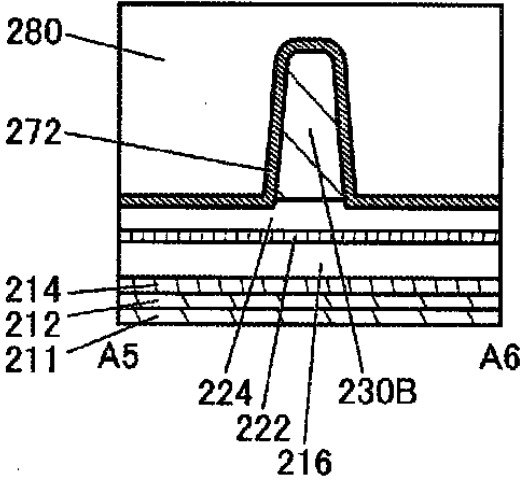
【図 5 C】

図5C



【図 5 D】

図5D



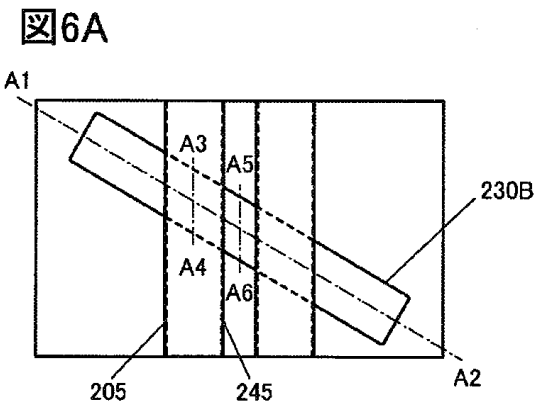
20

30

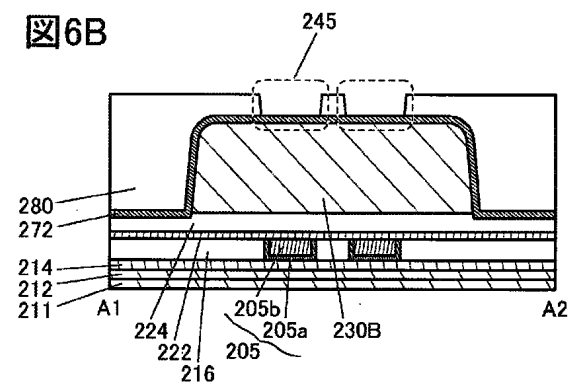
40

50

【図 6 A】

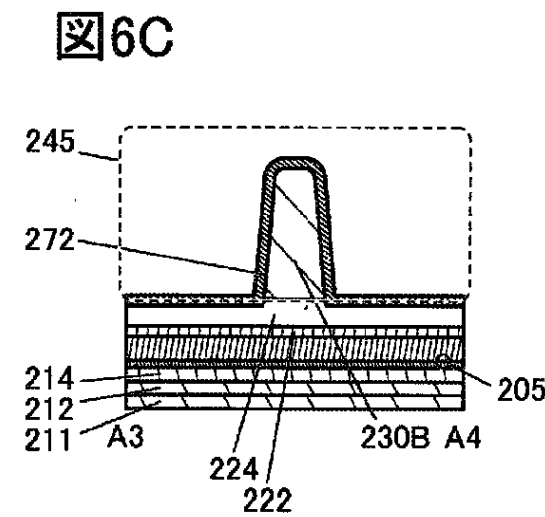


【図 6 B】

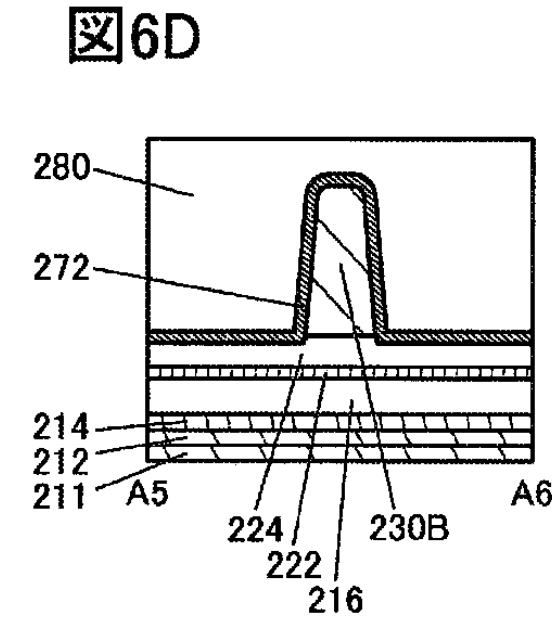


10

【図 6 C】



【図 6 D】



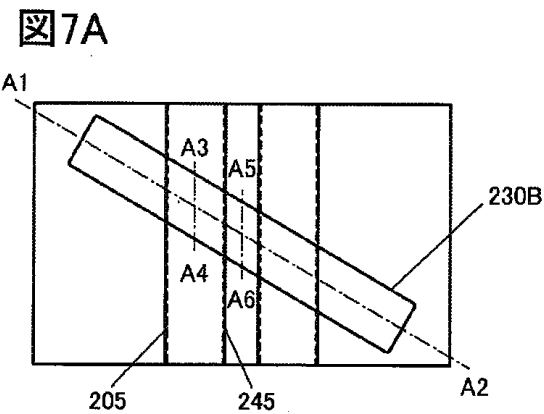
20

30

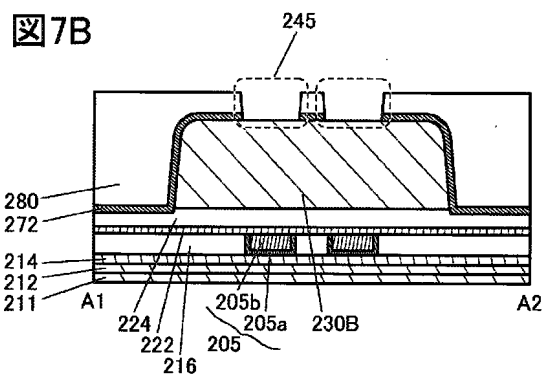
40

50

【図 7 A】

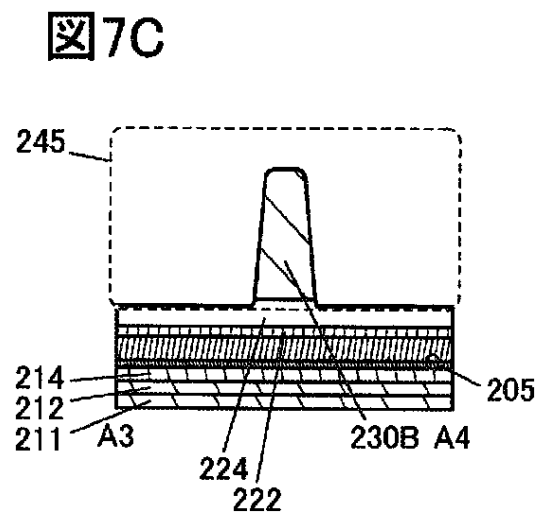


【図 7 B】

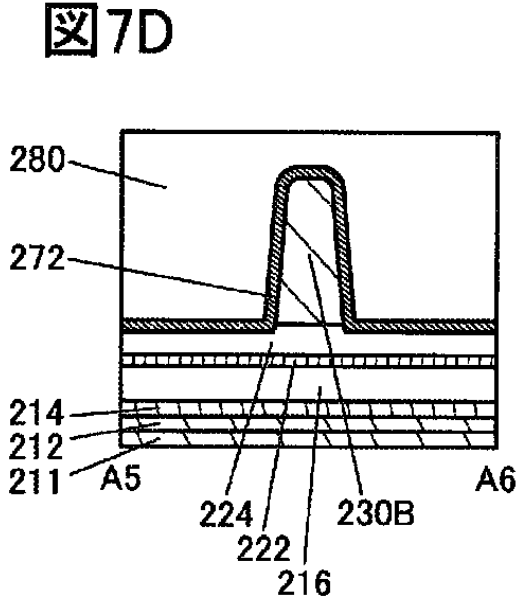


10

【図 7 C】



【図 7 D】



20

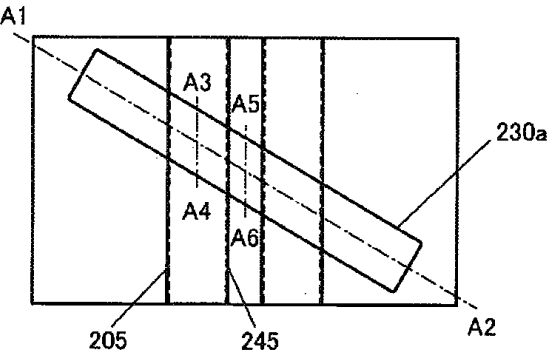
30

40

50

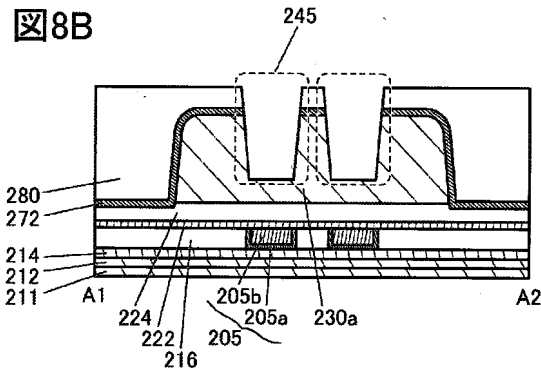
【図 8 A】

図8A



【図 8 B】

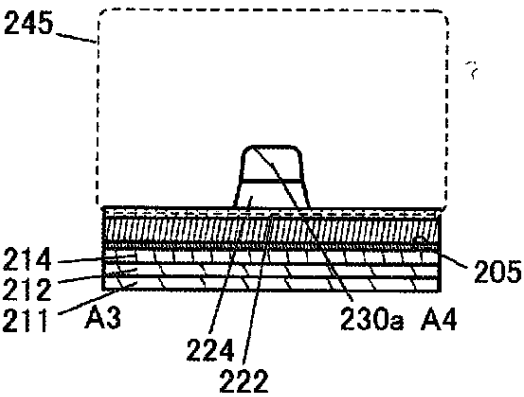
図8B



10

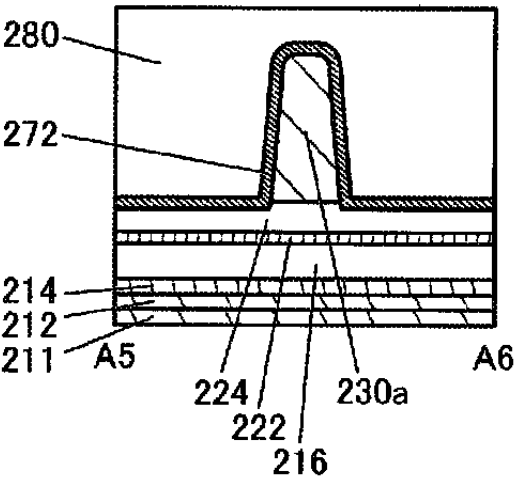
【図 8 C】

図8C



【図 8 D】

図8D



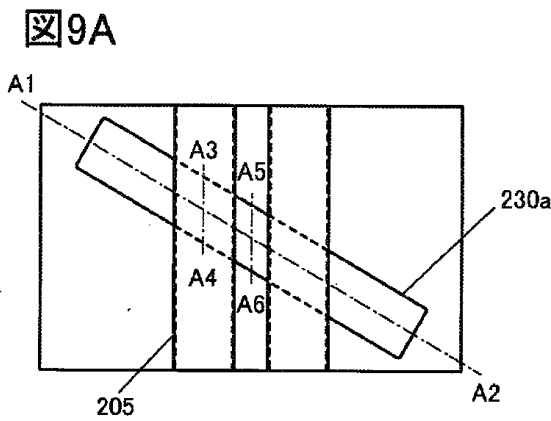
20

30

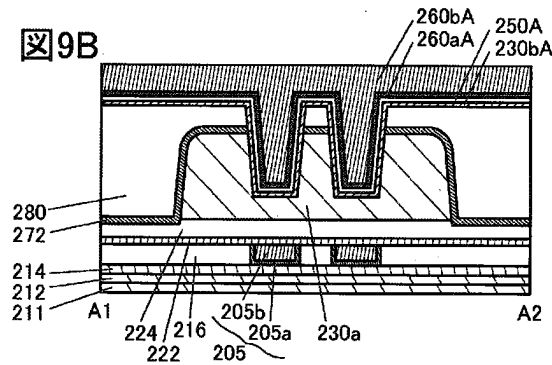
40

50

【図 9 A】

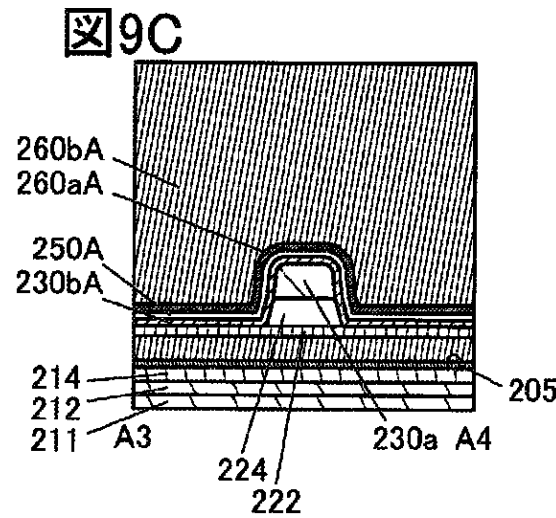


【図 9 B】

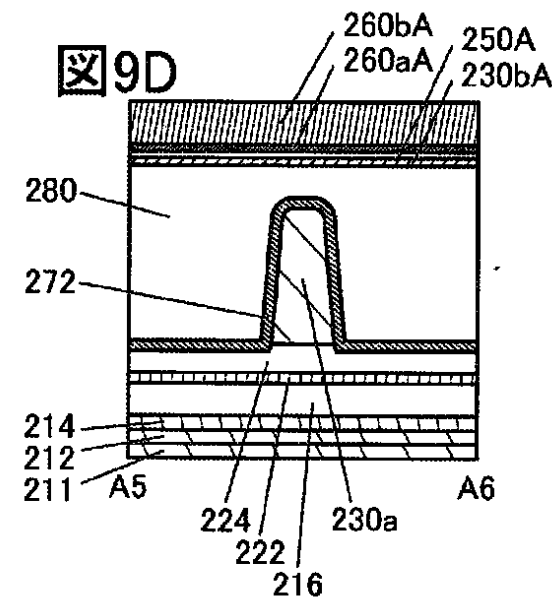


10

【図 9 C】



【図 9 D】



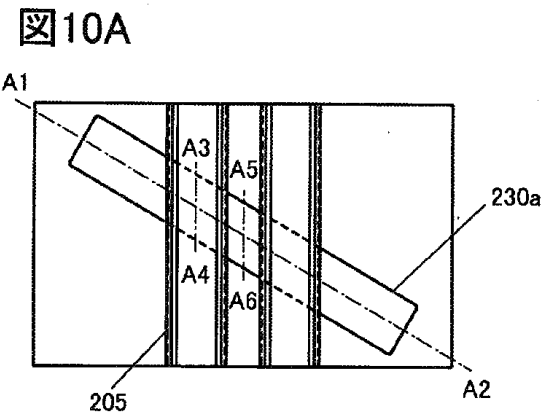
20

30

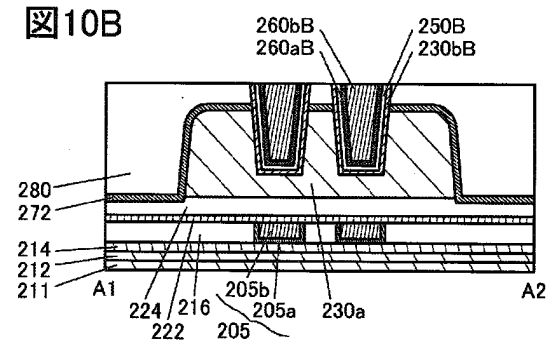
40

50

【図10A】

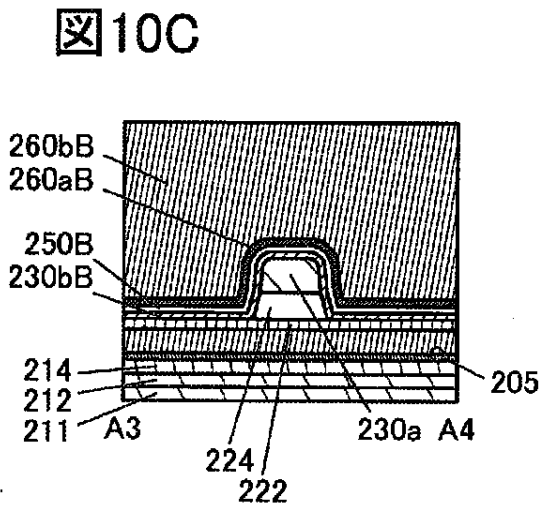


【図10B】

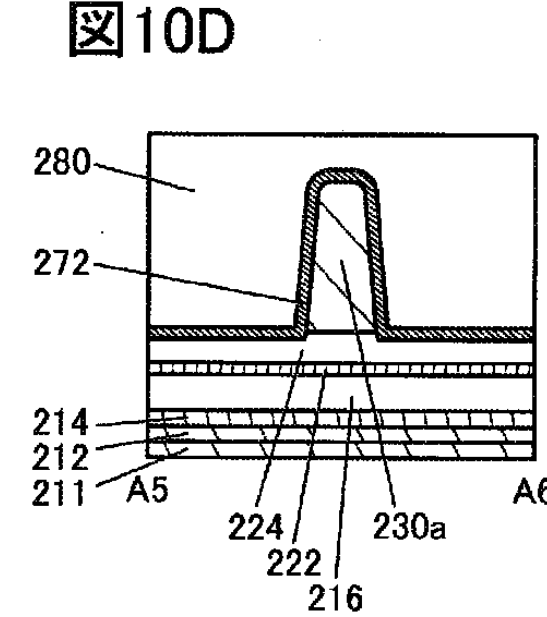


10

【図10C】



【図10D】



20

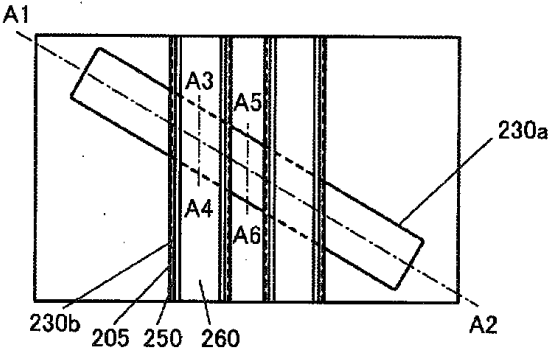
30

40

50

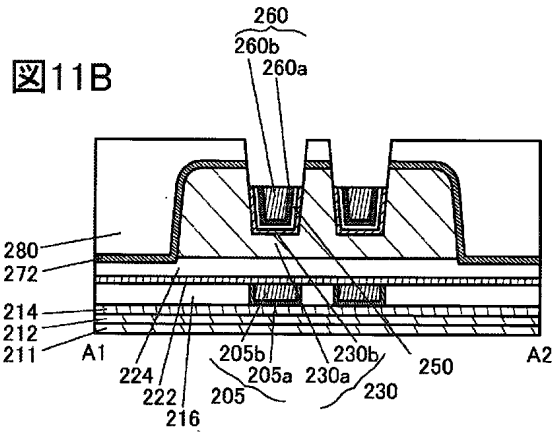
【図11A】

図11A



【図11B】

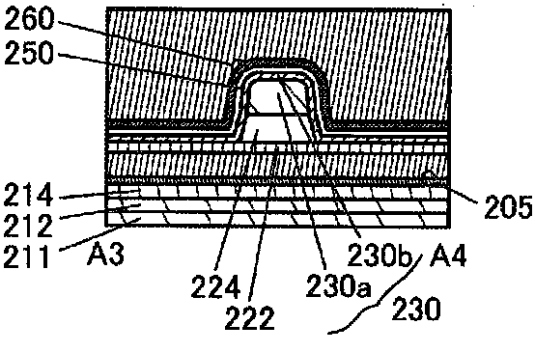
図11B



10

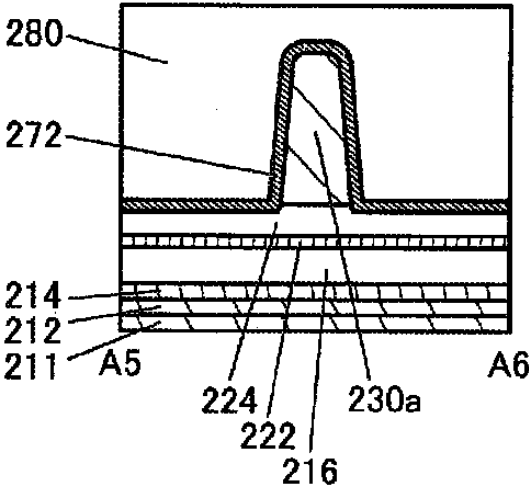
【図11C】

図11C



【図11D】

図11D



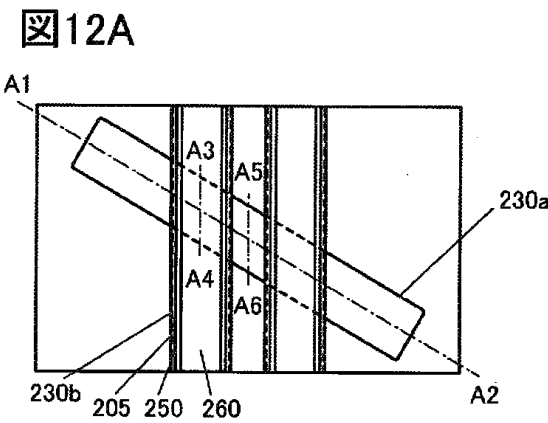
20

30

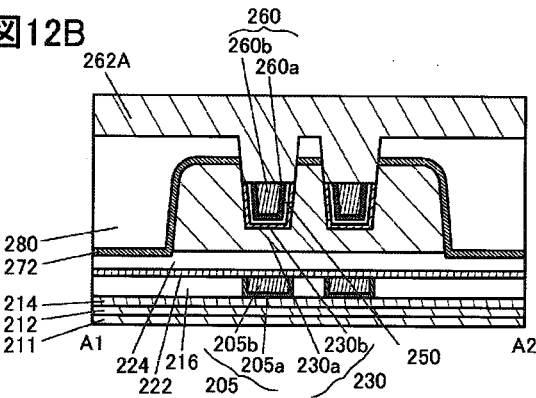
40

50

【図12A】

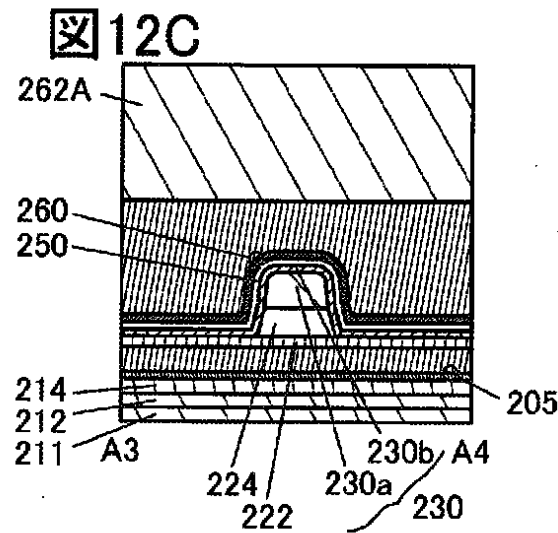


【図12B】

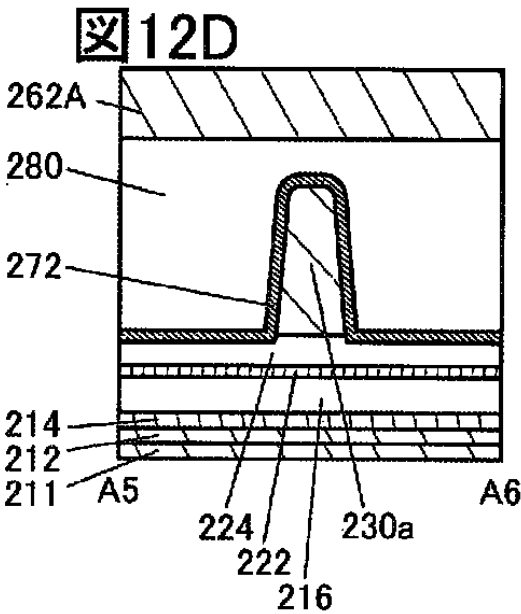


10

【図12C】



【図12D】



20

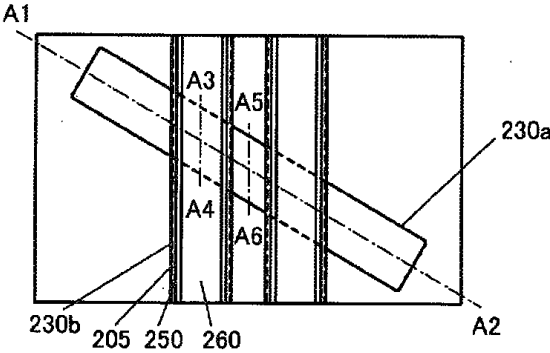
30

40

50

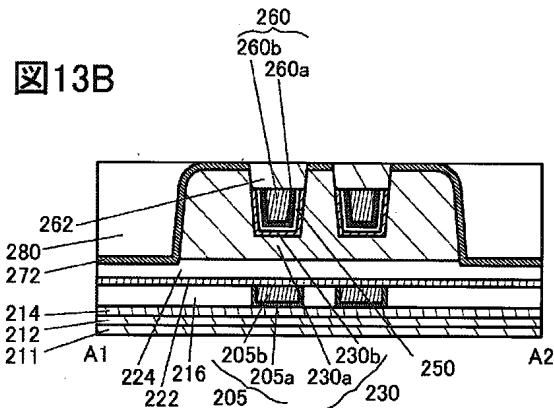
【図13A】

図13A



【図13B】

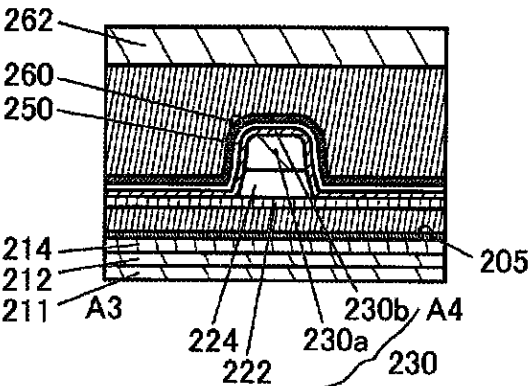
図13B



10

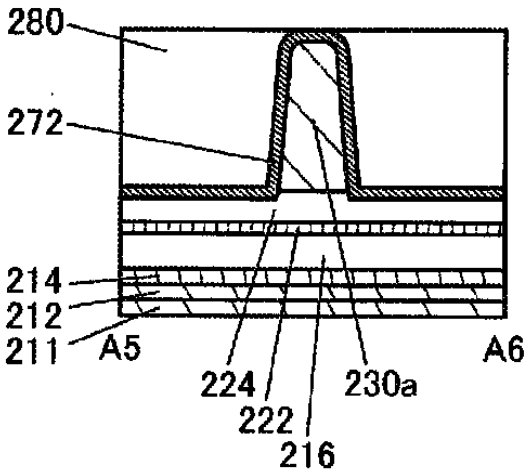
【図13C】

図13C



【図13D】

図13D



20

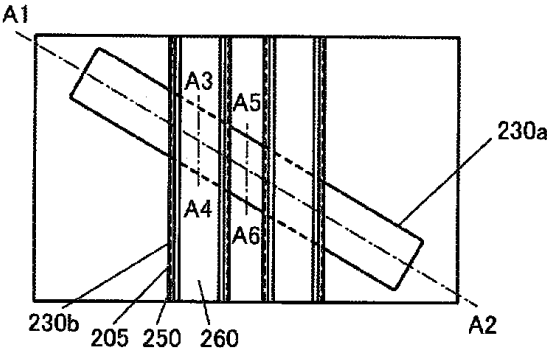
30

40

50

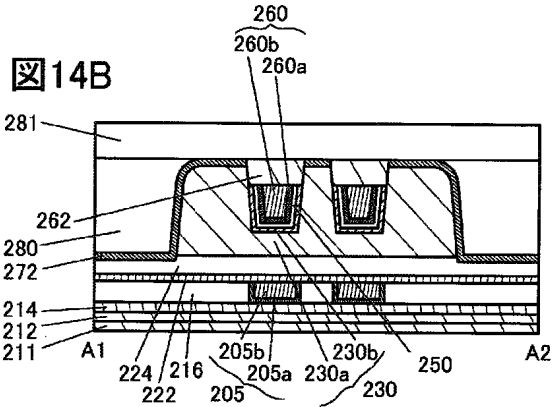
【図14A】

図14A



【図14B】

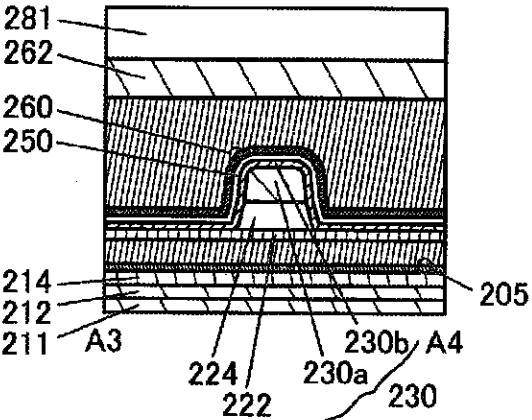
図14B



10

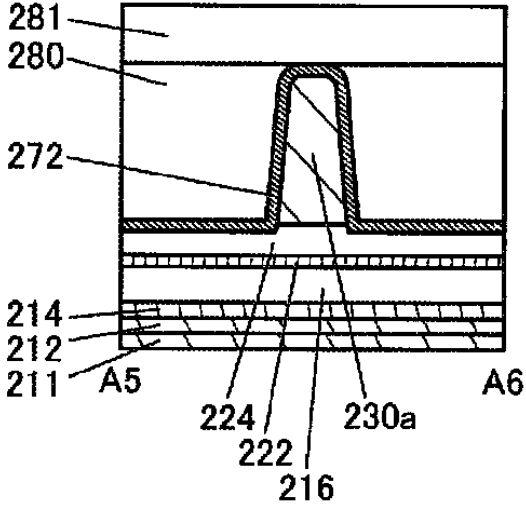
【図14C】

図14C



【図14D】

図14D



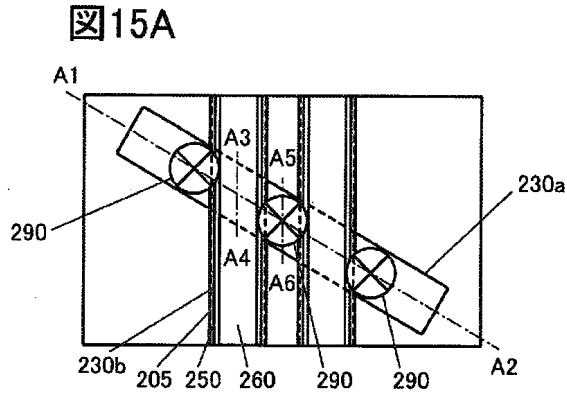
20

30

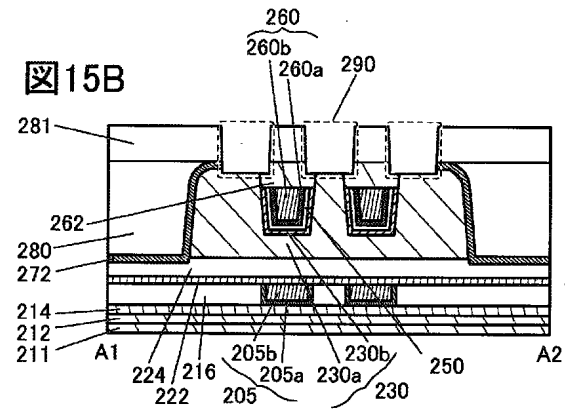
40

50

【図 15 A】

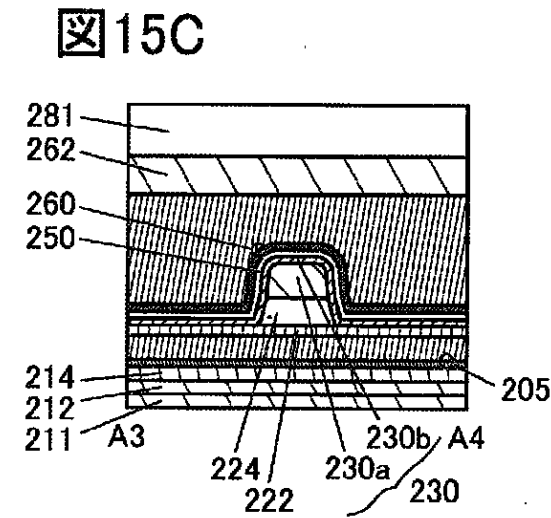


【図 15 B】

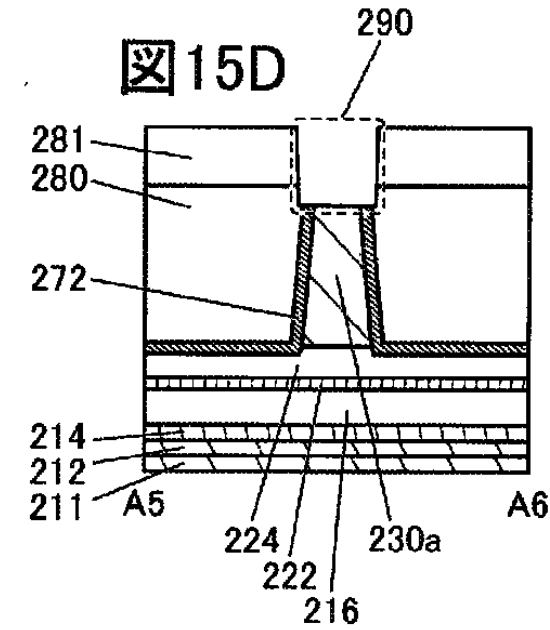


10

【図 15 C】



【図 15 D】



20

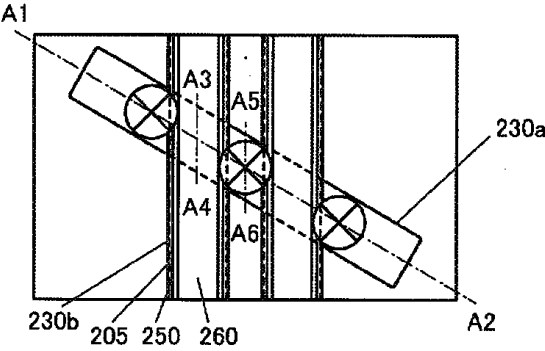
30

40

50

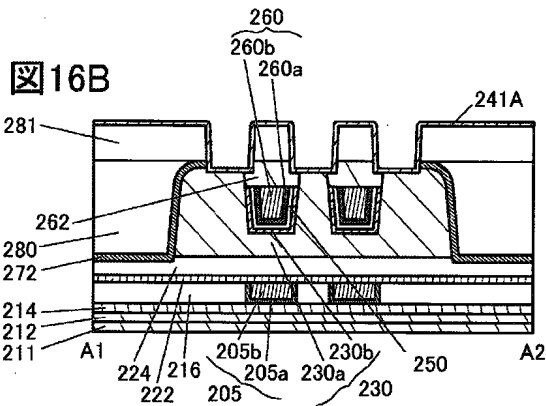
【図16A】

図16A



【図16B】

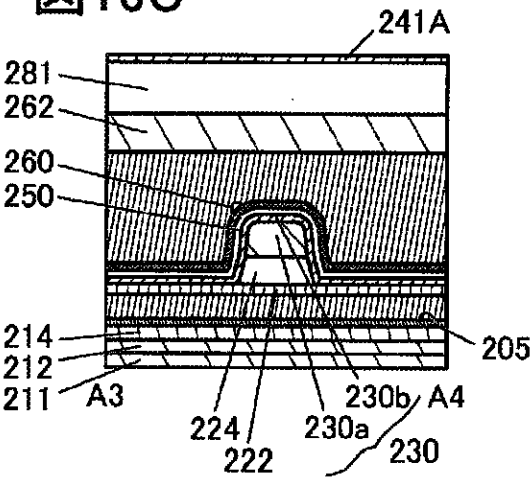
図16B



10

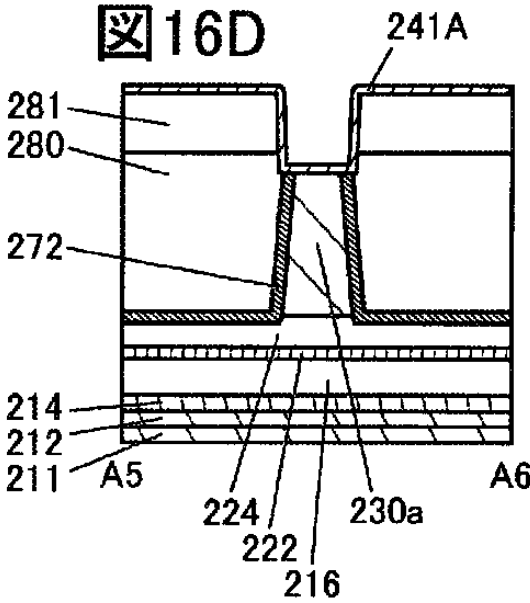
【図16C】

図16C



【図16D】

図16D



20

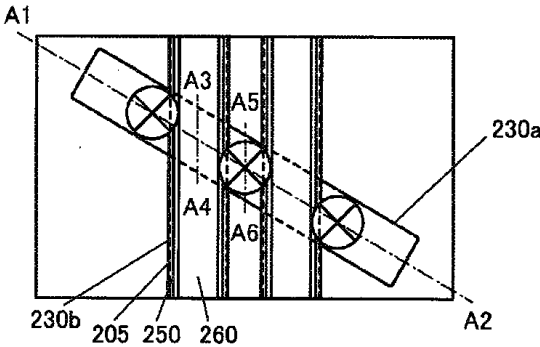
30

40

50

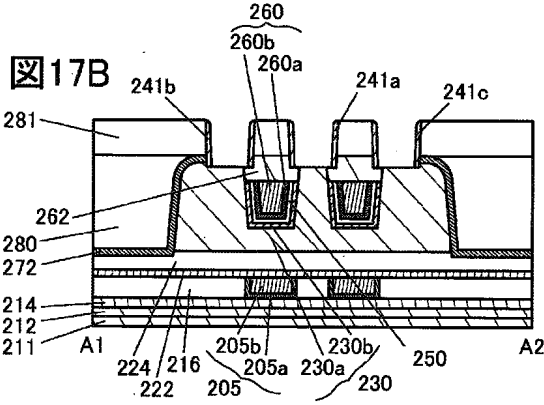
【図17A】

図17A



【図17B】

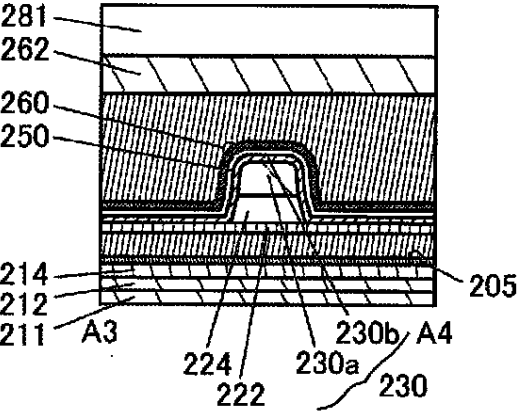
図17B



10

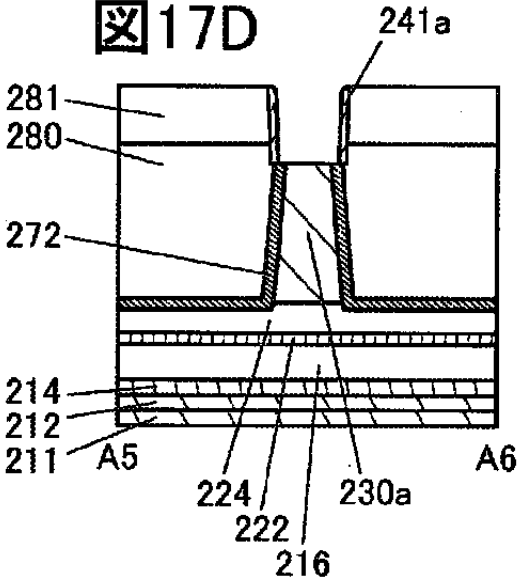
【図17C】

図17C



【図17D】

図17D



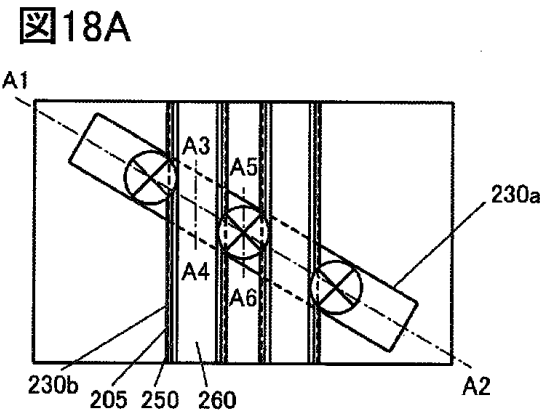
20

30

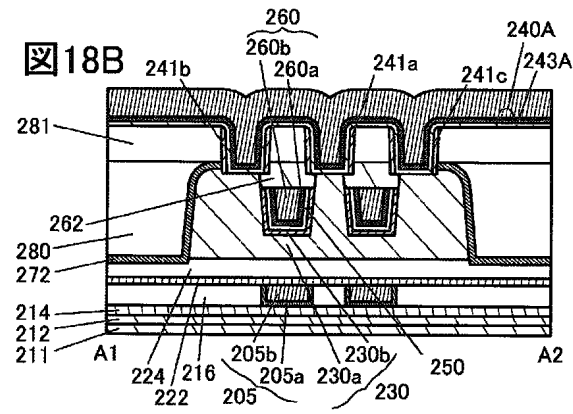
40

50

【図18A】

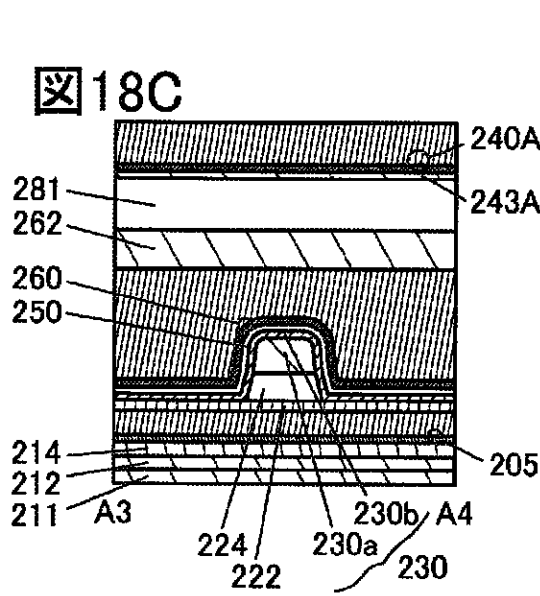


【図18B】

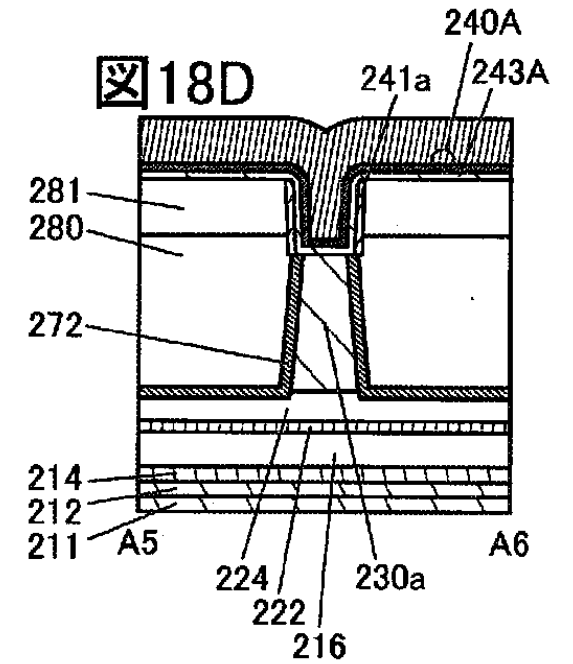


10

【図18C】



【図18D】



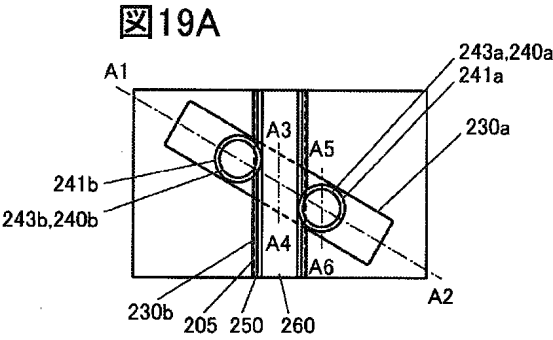
20

30

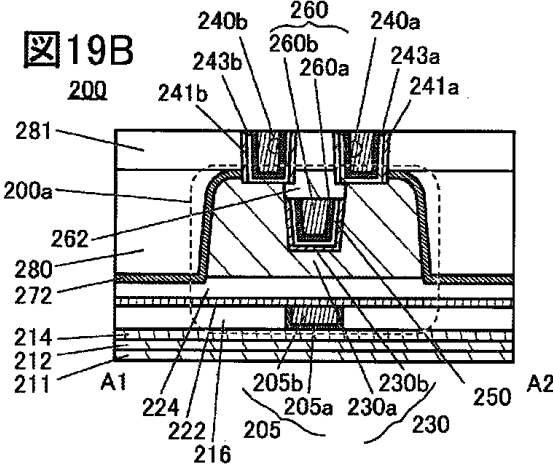
40

50

【図19A】

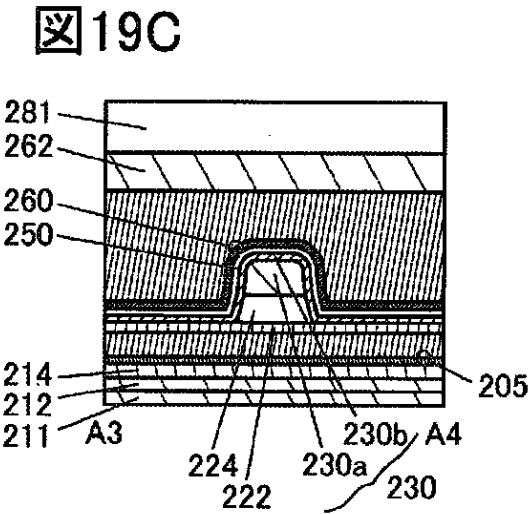


【図19B】

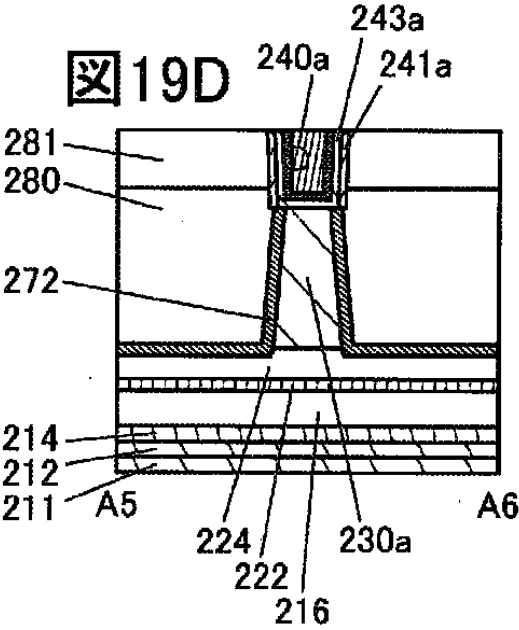


10

【図19C】



【図19D】



20

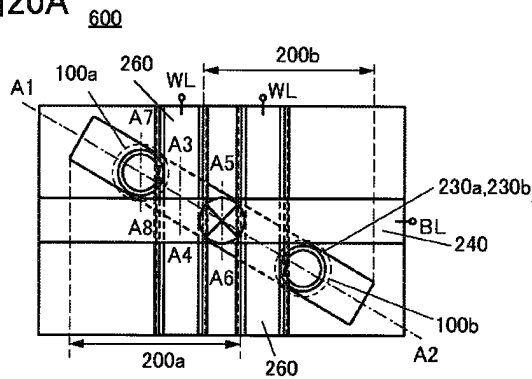
30

40

50

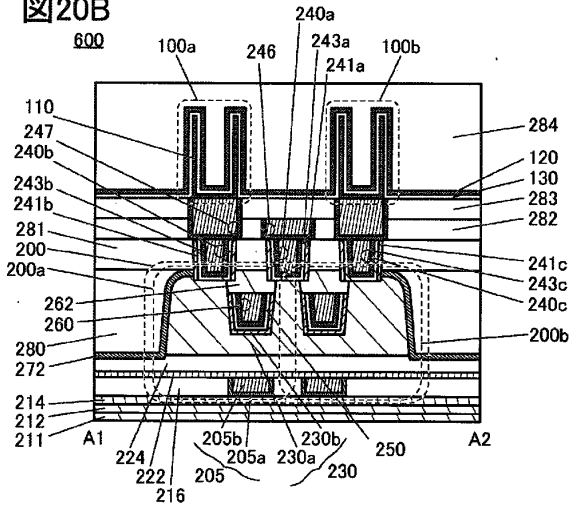
【図20A】

図20A



【図20B】

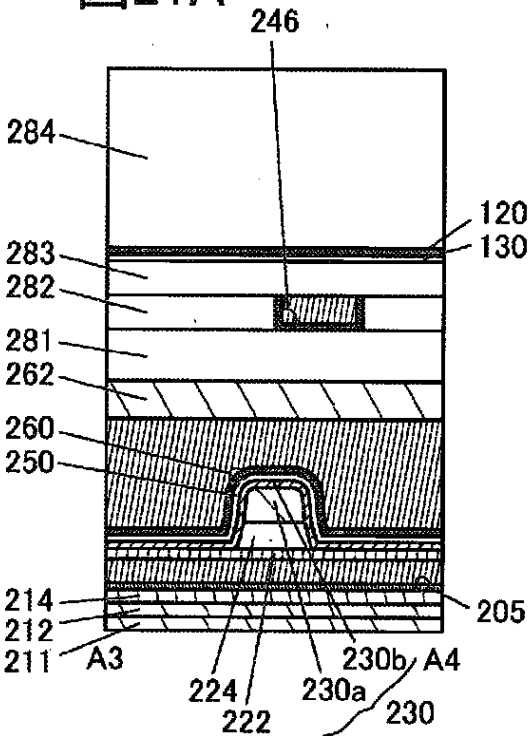
図20B



10

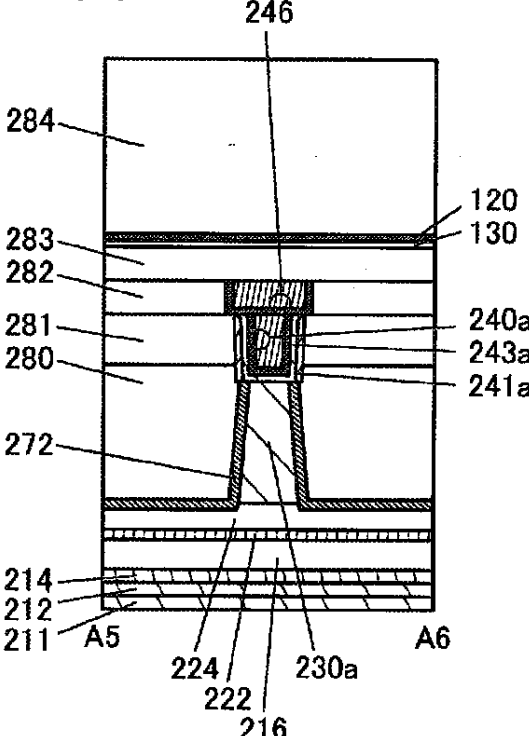
【図21A】

図21A



【図21B】

図21B



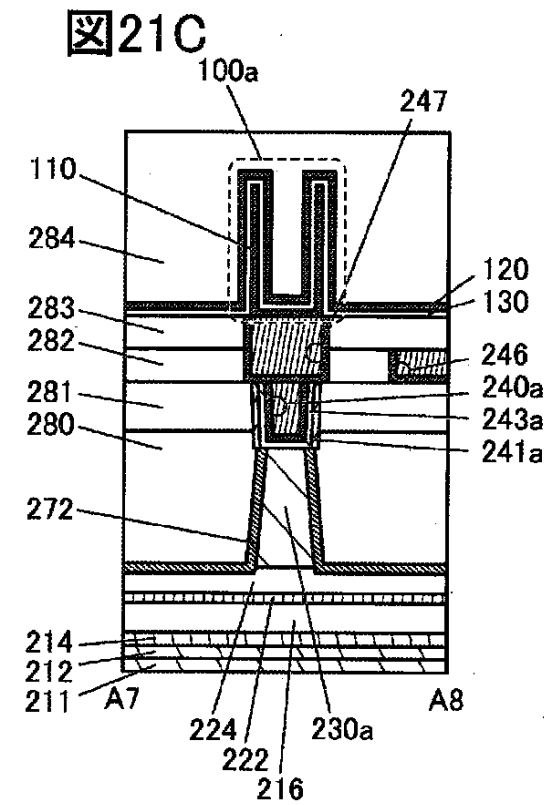
20

30

40

50

【図 2 1 C】



【図 2 2】

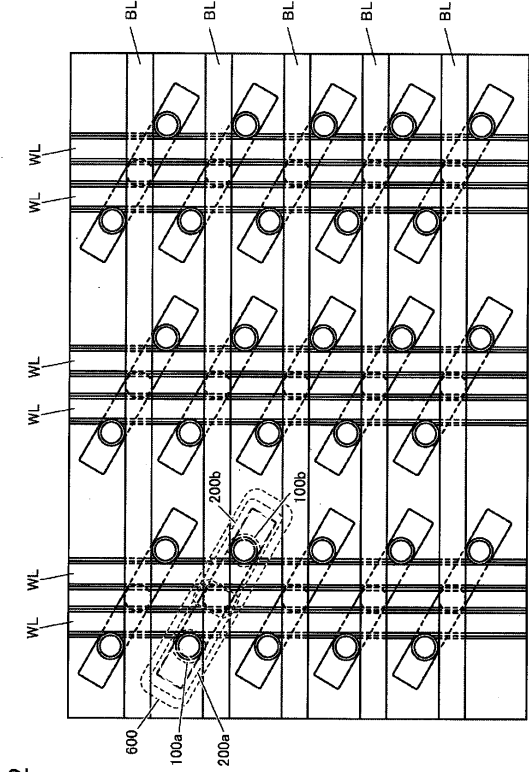


図22

【図 2 3】

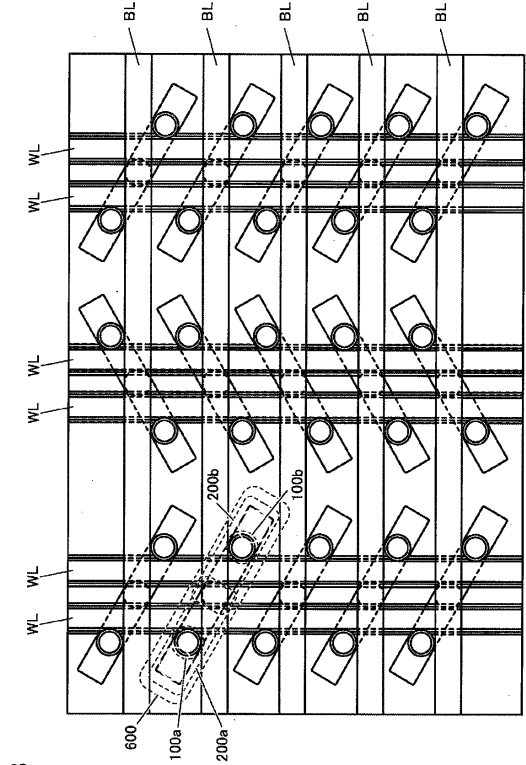


図23

【図 2 4】

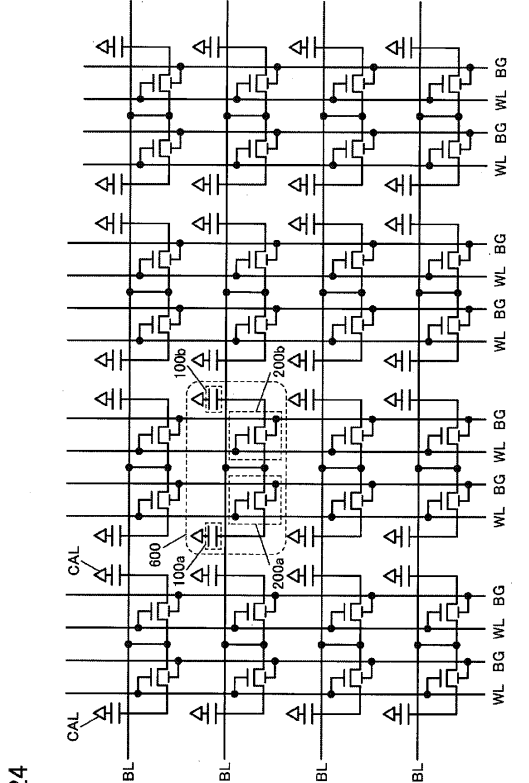


図24

10

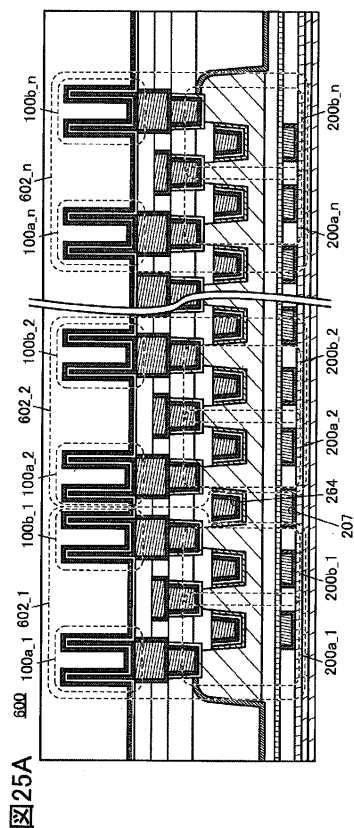
20

30

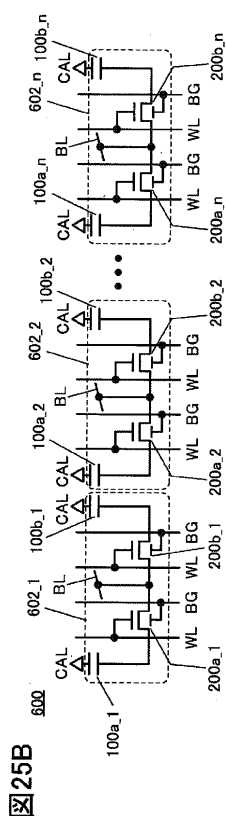
40

50

【 図 2 5 A 】



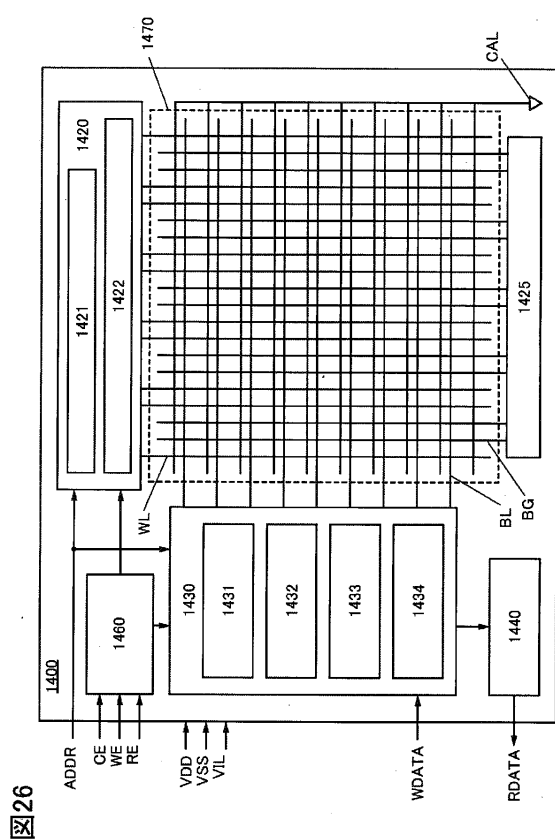
【 図 2 5 B 】



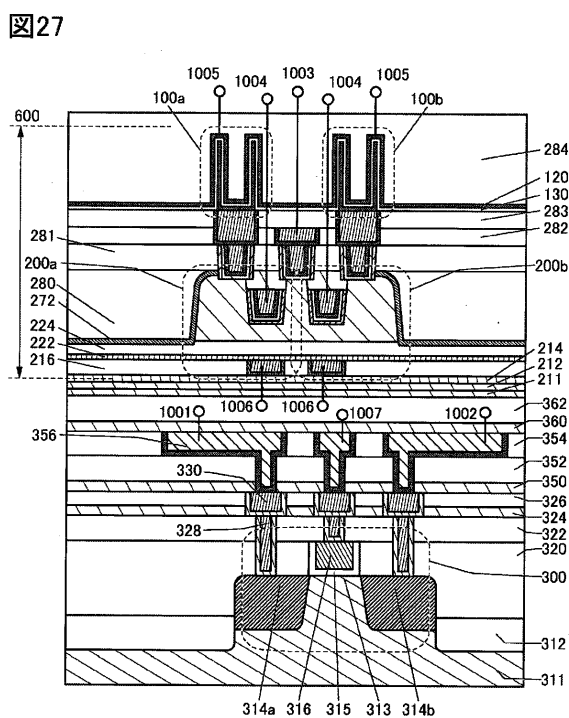
10

20

【 図 2 6 】



【圖 27】

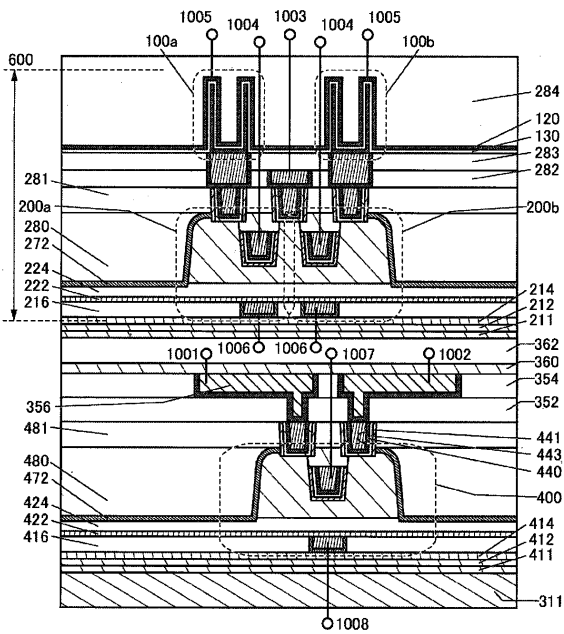


30

40

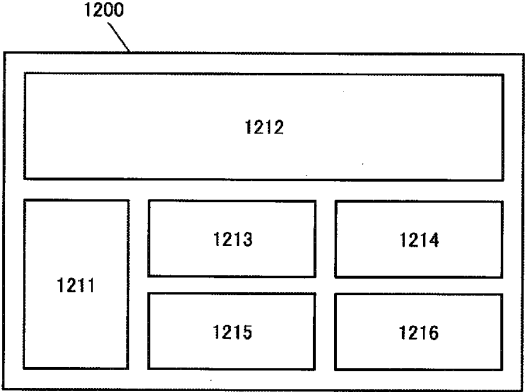
【図 2 8】

図28



【図 2 9 A】

図29A

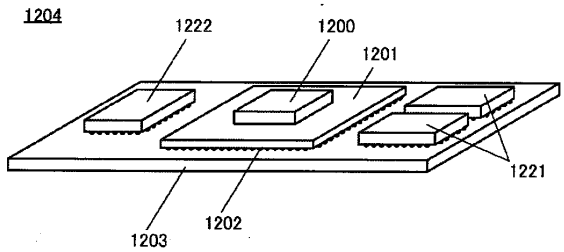


10

20

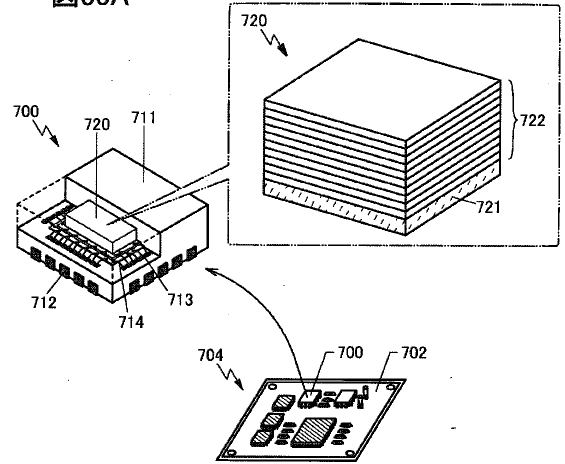
【図 2 9 B】

図29B



【図 3 0 A】

図30A



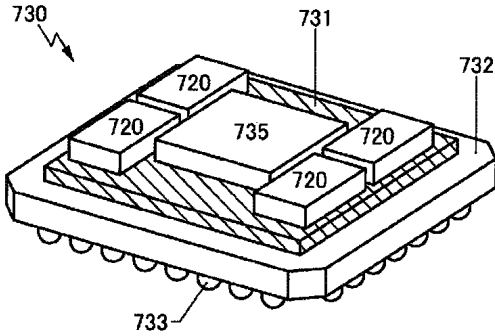
30

40

50

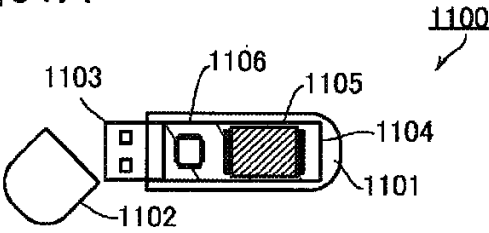
【図 3 0 B】

図30B



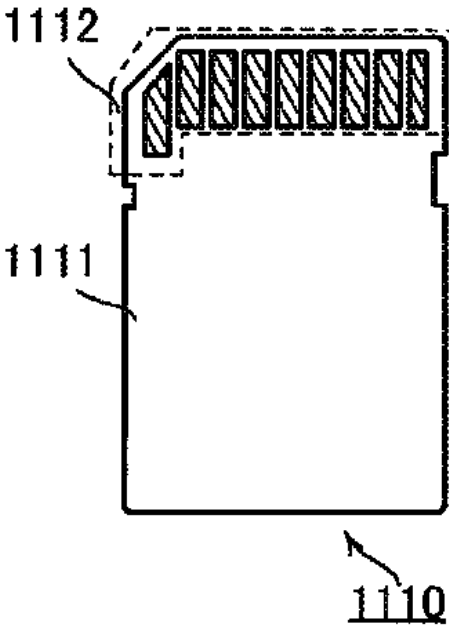
【図 3 1 A】

図31A



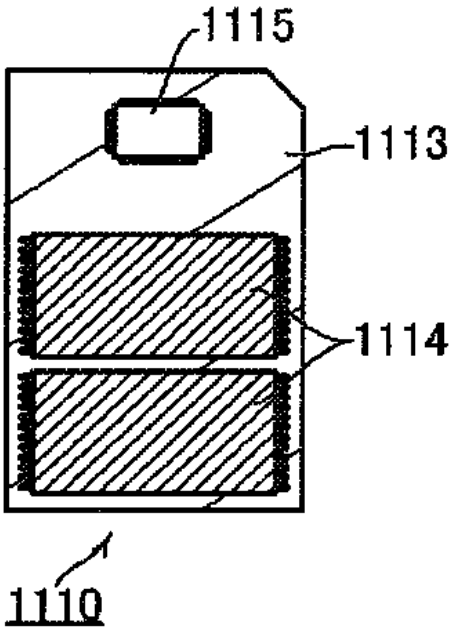
【図 3 1 B】

図31B



【図 3 1 C】

図31C



10

20

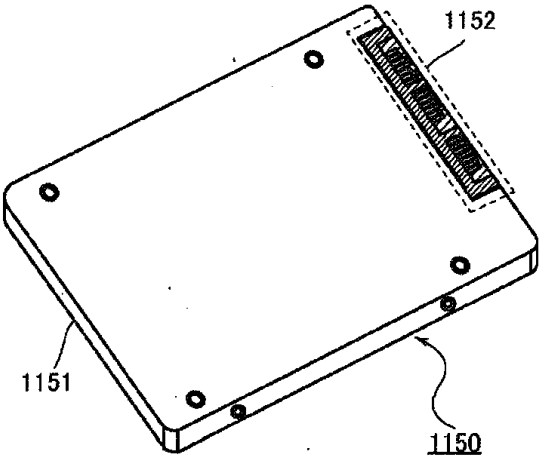
30

40

50

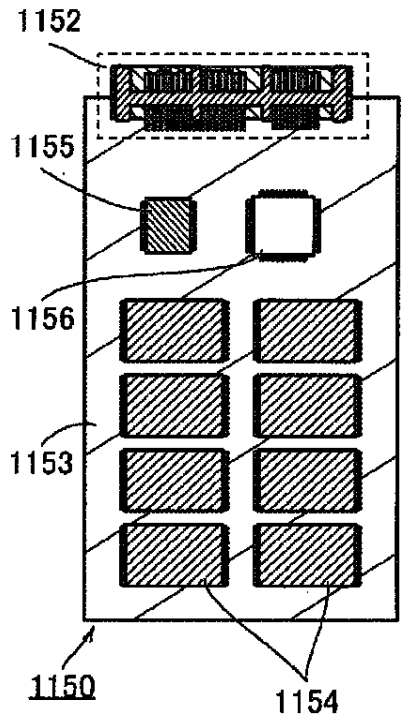
【図 3 1 D】

図31D



【図 3 1 E】

図31E

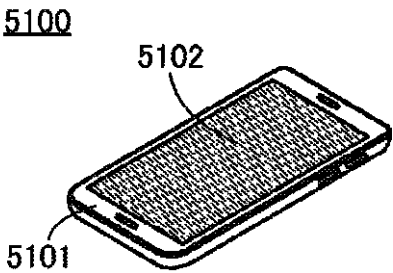


10

20

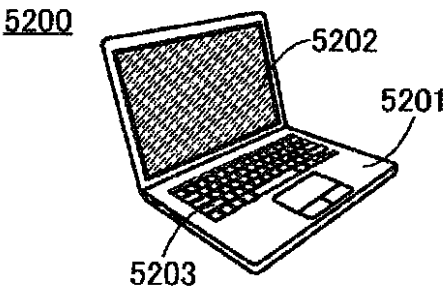
【図 3 2 A】

図32A



【図 3 2 B】

図32B



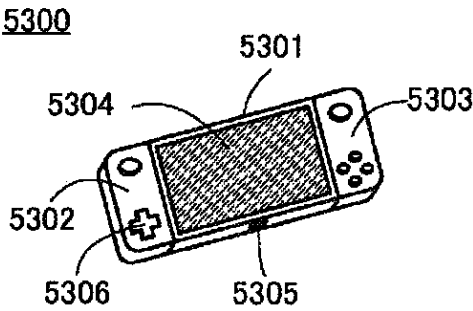
30

40

50

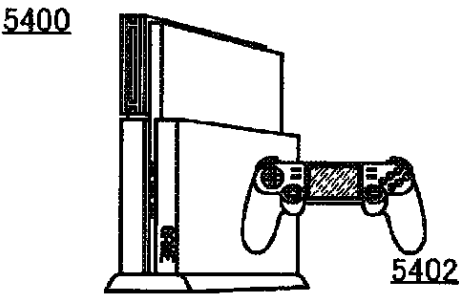
【図 3 2 C】

図32C



【図 3 2 D】

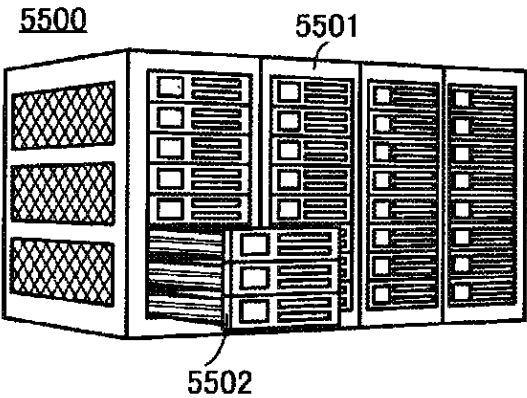
図32D



10

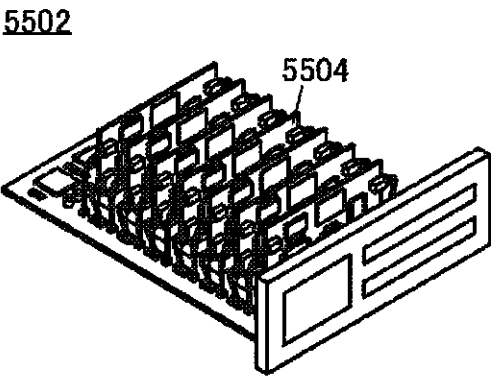
【図 3 2 E】

図32E



【図 3 2 F】

図32F



20

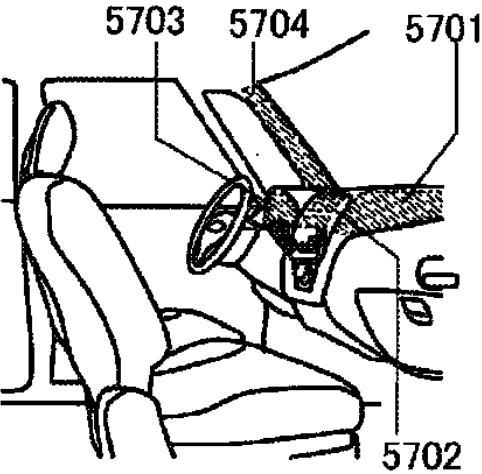
30

40

50

【図 3 2 G】

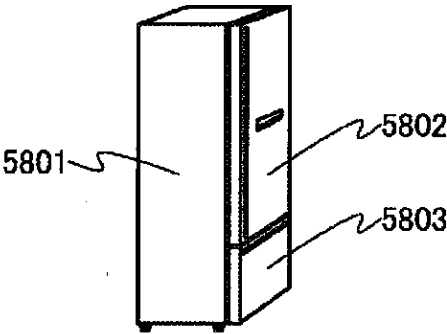
図 32G



【図 3 2 H】

図 32H

5800



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 1 6 T
	H 0 1 L	29/78	6 1 6 U
	H 0 1 L	29/78	6 1 8 B
	H 0 1 L	29/78	6 1 8 C
	H 1 0 B	12/00	6 2 1 C
	H 1 0 B	12/00	6 2 1 Z
	H 1 0 B	12/00	6 7 1 C
	H 1 0 B	12/00	6 7 1 Z

(56)参考文献

特開 2 0 1 8 - 1 9 5 8 1 4 (J P , A)

特開 2 0 1 8 - 2 0 6 8 4 1 (J P , A)

特開 2 0 1 9 - 0 3 3 2 5 3 (J P , A)

特開 2 0 1 9 - 0 2 9 6 6 6 (J P , A)

国際公開第 2 0 1 9 / 0 0 3 0 4 7 (W O , A 1)

米国特許出願公開第 2 0 1 8 / 0 1 6 6 5 7 8 (U S , A 1)

米国特許出願公開第 2 0 1 8 / 0 1 6 6 3 9 2 (U S , A 1)

米国特許出願公開第 2 0 1 7 / 0 3 0 9 7 3 2 (U S , A 1)

米国特許出願公開第 2 0 1 9 / 0 3 4 8 5 3 7 (U S , A 1)

国際公開第 2 0 1 8 / 1 2 2 6 5 9 (W O , A 1)

(58)調査した分野	(Int.Cl., D B 名)		
	H 0 1 L	2 9 / 7 8 6	
	H 0 1 L	2 7 / 0 6	
	H 0 1 L	2 7 / 0 8 8	
	H 1 0 B	1 2 / 0 0	