(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3782119号

(P3782119)

(45)発行日　平成18年6月7日(2006.6.7)　(24)登録日　平成18年3月17日(2006.3.17)

(51)Int.Cl.		F I		
H01L 21/8242	(2006.01)	H01L	27/10	621C
H01L 27/108	(2006.01)	H01L	27/10	681F
H01L 21/28	(2006.01)	H01L	21/28	301A
H01L 23/522	(2006.01)	H01L	21/90	D
H01L 21/768	(2006.01)			

請求項の数 11　(全 14 頁)

(21)出願番号　特願平4-191109
(22)出願日　平成4年7月17日(1992.7.17)
(65)公開番号　特開平6-37272
(43)公開日　平成6年2月10日(1994.2.10)
審査請求日　平成11年7月19日(1999.7.19)
審判番号　不服2004-19900(P2004-19900/J1)
審判請求日　平成16年9月24日(2004.9.24)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(72)発明者　稗田　克彦
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内
(72)発明者　仁田山　晃寛
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内
(72)発明者　高東　宏
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

半導体基板上に形成され、第１の不純物拡散層及び第２の不純物拡散層を有する第１のＭＯＳトランジスタと、

前記半導体基板上に設けられ、前記第１のＭＯＳトランジスタの第１の不純物拡散層及び第２の不純物拡散層上の各々に形成され、側面のうち下部には前記第１のＭＯＳトランジスタのゲート電極のスペーサ層が露出するとともに前記スペーサ層に対して自己整合的に形成されたコンタクトホールを有する層間絶縁膜と、

前記第１の不純物拡散層上の前記層間絶縁膜に設けられた前記コンタクトホールのうち、前記スペーサ層が露出した部分の下部側を充填し、前記第１の不純物拡散層に接する第１の導電膜としての半導体層と、

前記第１の不純物拡散層上の前記層間絶縁膜に設けられた前記コンタクトホールを充填するように前記第１の導電膜上に形成され、前記第１のＭＯＳトランジスタのゲート電極よりも高く形成された第２の導電膜であって、前記コンタクトホールの上部開口面の外に延在せず、かつ、該上部開口面のエッジでの高さが前記層間絶縁膜と同じである前記第２の導電膜と、

前記第２の導電膜上に形成され、前記第１の不純物拡散層と電気的に接続するキャパシタと

を具備してなることを特徴とする半導体記憶装置。

【請求項２】

前記第１のＭＯＳトランジスタは前記半導体基板のメモリセル領域に形成されていることを特徴とする請求項１に記載の半導体記憶装置。
【請求項３】
前記第１の導電膜としての半導体膜は、前記第１の不純物拡散層及び前記第２の不純物拡散層の不純物濃度よりも高い不純物濃度を有する第１のエピタキシャル層であることを特徴とする請求項１に記載の半導体記憶装置。
【請求項４】
前記第１のエピタキシャル層は、前記第１のＭＯＳトランジスタのゲート電極よりも低く形成されていることを特徴とする請求項３に記載の半導体記憶装置。
【請求項５】
前記半導体基板の回路領域に形成された第２のＭＯＳトランジスタと、
前記第２のＭＯＳトランジスタの不純物拡散層上に設けられ、この不純物拡散層の不純物濃度よりも高い不純物濃度を有する第２のエピタキシャル層とを具備してなることを特徴とする請求項２に記載の半導体記憶装置。
【請求項６】
前記第１のＭＯＳトランジスタの前記第２の不純物拡散層上のコンタクトホールを充填しながら前記層間絶縁膜上に形成された配線層と、
この配線層と同じ工程で形成され、前記第２のＭＯＳトランジスタの前記不純物拡散層上のコンタクトホールを充填しながら形成された導電層と
をさらに備えることを特徴とする請求項５に記載の半導体記憶装置。
【請求項７】
前記第１の導電膜としての半導体膜は、前記第１の不純物拡散層及び前記第２の不純物拡散層の不純物濃度よりも高い不純物濃度を有する第１のエピタキシャル層であり、前記第１のエピタキシャル層と前記第２のエピタキシャル層は同時に形成されてなることを特徴とする請求項５に記載の半導体記憶装置。
【請求項８】
前記第１のＭＯＳトランジスタの前記第２の不純物拡散層上のコンタクトホールに形成された配線層を備え、
前記キャパシタは、前記配線層と絶縁されていることを特徴とする請求項１又は５に記載の半導体記憶装置。
【請求項９】
前記第１のＭＯＳトランジスタの前記ゲート電極上に設けられたゲートキャップ層をさらに備え、前記配線層は前記ゲート電極との間に前記ゲートキャップ層及び前記スペーサ層を介して前記第２の不純物拡散層上の前記コンタクトホールに形成されていることを特徴とする請求項８に記載の半導体記憶装置。
【請求項１０】
前記第１の導電膜としての半導体膜は、前記第１の不純物拡散層及び前記第２の不純物拡散層の不純物濃度よりも高い不純物濃度を有する第１のエピタキシャル層であり、前記第１のエピタキシャル層と前記第２の導電膜との間にシリサイド層が形成され、前記第２のエピタキシャル層と前記導電層との間に前記シリサイド層と同時に形成されたシリサイド層が形成されていることを特徴とする請求項６に記載の半導体記憶装置。
【請求項１１】
前記キャパシタは、蓄積電極、キャパシタ絶縁膜、プレート電極により構成されていることを特徴とする請求項１乃至１０に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、１個のＭＯＳトランジスタと１個のキャパシタによりメモリセルを構成するダイナミック型の半導体記憶装置（ＤＲＡＭ）に関する。
【０００２】

【従来の技術】
近年、ＤＲＡＭの高集積化は目覚ましいものがある。ＤＲＡＭの更なる高集積化のためにメモリセル構造としてキャパシタをトランジスタの上に積み上げたいわゆるスタック型キャパシタセルが各種提案されている。この種のメモリセルは、キャパシタ面積を広く取ることができ、トレンチ型のように基板に溝を掘ることなく形成できるため、製造時における工程検査が容易であるなどの理由で注目されている。
図１０に従来のスタック構造のＤＲＡＭのメモリセルの断面図を示す。
【０００３】
図中、104_1，104_2はワード線（ゲート電極）であり、この上にキャパシタが張り出している構造になっている。上記キャパシタは、フィールド絶縁膜１０２で区分されたＳｉ基板１０１上に形成され、プレート電極１１０とキャパシタ絶縁膜１０９とキャパシタ下地電極層（蓄積電極）１０７とで構成され、層間絶縁膜１０６に開口されたコンタクトホールを介してn^+型拡散層１０８に接続している。
【０００４】
一方、ＭＯＳトランジスタは、ゲート絶縁膜１０３，ゲート電極104_1，104_2，n^-型拡散層１０５，n^+型拡散層１０８と構成され、ＬＤＤ構造を採用している。そして、層間絶縁膜１０６，１１１に開口されたコンタクトホールを介してビット線１１２がn^+型拡散層１１３に接続している。
しかしながら、このように構成された従来のスタック型メモリセルには次のような問題があった。
【０００５】
まず第１に、高集積化が進み、例えば、２５６Ｍビット程度の集積度になると、蓄積容量（Ｃｓ）を増加させるために、蓄積電極の高さを高くしたり、円筒型にしたりするなどの工夫が必要となる。このような手法を用いると、最終的なコンタクトホールの深さが２μｍ程度にもなり、例えば、０．３μｍ径のコンタクトホールではアスペクト比が６以上となる。この結果、深さが深いものから浅いものまで各種アスペクト比のコンタクトホールが混在することになり、製造歩留りが著しく低下するという問題があった。
【０００６】
第２に、Ｓｉ基板側にn^+型拡散層１１３，１０８などが存在するため、これらn^+型拡散層１１３，１０８とＳｉ基板１０１との間で接合リークが存在し、ＤＲＡＭのポーズ特性を改善するのが困難になるという問題があった。
【０００７】
第３に、微細化によって各種コンタクトが各電極に対して合わせ余裕が取れなくなってきており、何らかの自己整合法を用いていたが、非常に複雑で製造歩留りが低下するという問題があった。
【０００８】
第４に、キャパシタ電極の面積を大きくするには、ビット線１１２上にキャパシタ電極を形成することが望ましいが、ワード線104_1，104_2とビット線１１２との両方に自己整合的に拡散層にコンタクトを取ることが難しく、実現が困難であった。
【０００９】
【発明が解決しようとする課題】
上述の如く、従来構造のスタック型ＤＲＡＭを更に高集積化しようと、第１に非常に深いコンタクトホールと浅いコンタクトホールとが混在するため製造歩留りが著しく低下し、第２にＳｉ基板に高不純物濃度の拡散層が深く入り込むため接合リークが低減できず、第３にゲート電極やビット線電極への自己整合技術が複雑で製造歩留が低下し、第４にワード線、ビット線両電極に自己整合することが困難であるという問題があった。
本発明は、上記事情を考慮してなされたもので、その目的とするところは、高集積化が容易な半導体記憶装置を提供することにある。
【００１０】
【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体記憶装置は、半導体基板上に形成され、第１の不純物拡散層及び第２の不純物拡散層を有する第１のＭＯＳトランジスタと、前記半導体基板上に設けられ、前記第１のＭＯＳトランジスタの第１の不純物拡散層及び第２の不純物拡散層上の各々に形成され、側面のうち下部には前記第１のＭＯＳトランジスタのゲート電極のスペーサ層が露出するとともに前記スペーサ層に対して自己整合的に形成されたコンタクトホールを有する層間絶縁膜と、前記第１の不純物拡散層上の前記層間絶縁膜に設けられた前記コンタクトホールのうち、前記スペーサ層が露出した部分の下部側を充填し、前記第１の不純物拡散層に接する第１の導電膜としての半導体層と、前記第１の不純物拡散層上の前記層間絶縁膜に設けられた前記コンタクトホールを充填するように前記第１の導電膜上に形成され、前記第１のＭＯＳトランジスタのゲート電極よりも高く形成された第２の導電膜であって、前記コンタクトホールの上部開口面の外に延在せず、かつ、該上部開口面のエッジでの高さが前記層間絶縁膜と同じである前記第２の導電膜と、前記第２の導電膜上に形成され、前記第１の不純物拡散層と電気的に接続するキャパシタとを具備してなることを特徴とする。

【００１１】

【作用】

本発明の半導体記憶装置では、第１の不純物拡散層及び第２の不純物拡散層の不純物濃度より高い不純物濃度を有するエピタキシャル層が、第１の不純物拡散層及び第２の不純物拡散層上に設けられている。これにより、接合リークを低下させたり、トランジスタのショートチャネル効果を抑制したり、信頼性を向上させたりできる。また、エピタキシャル層の表面にシリサイド層をはりつけることによりメタルコンタクトのショットキーコンタクトを防止し、オーミックコンタクトを実現できる。また、エピタキシャル層がフィールド上にも延在することにより、コンタクトマージンを広げたりすることができる。

【００１２】

また、本発明の半導体記憶装置では、充填層を配線層と同一工程で形成している。即ち、配線層を充填層として利用することにより、スタック型メモリセルによってもたらされる周辺回路領域の深いコンタクトホールが、充填層の分だけコンタクトホールの深さが浅くなる。このため、後のコンタクトを取る場合にコンタクトホールの深さが揃うと同時に下地の材質も揃う結果、高歩留りのコンタクトを実現できる。

【００１３】

【実施例】

以下、本発明の実施例について図面を参照しながら詳細に説明する。

【００１４】

図１は本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの概略構成を示す図で、同図（ａ）は平面図で、同図（ｂ）は同図（ａ）のメモリセルののＡ－Ａ´断面図である。図２（ａ），（ｂ）はぞれぞれ図１（ａ）のメモリセルのＢ－Ｂ´断面図，Ｃ－Ｃ´断面図である。また、図３は同スタック型ＤＲＡＭの周辺回路の概略構成を示す図で、同図（ａ）は平面図で、同図（ｂ）は同図（ａ）の周辺回路のＡ－Ａ´断面図である。

本実施例のスタック型ＤＲＡＭでは、Ａｌ配線層２９がワード線４のシャント層として用いられており、図９の従来のそれと異なる点は次の４点である。

【００１５】

まず、第１の異なる点は、ビット線層１４に接続するＳｉ基板側には、n^-型又はp^-型の低不純物濃度の不純物拡散層７，７ａ（第１の不純物拡散層）が形成され、これら不純物拡散層７，７ａは、n^+型又はp^+型の高不純物濃度のエピタキシャルＳｉ層９でＳｉ基板１より上に持ち上げられており、そして、エピタキシャルＳｉ層９の表面にシリサイド層１０が形成されていることにある。これにより接合リークを低下させたり、トランジスタのショートチャネル効果を抑制したり、信頼性を向上させたりできる。シリサイド層１０によりメタルコンタクトのショットキーコンタクトを防止し、高不純物濃度のｎ型及びｐ型の拡散層へのオーミックコンタクトを実現している。また、シリサイド層１０は、エピタキシャルＳｉ層９の表面に形成されているため、後の熱工程などでシリサイド層１

０が不均一にＳｉ基板１に入り込んで接合が破壊することを防止しでき、製品の歩留りが向上できる。

【００１６】

第２の異なる点は、周辺回路のＡｌ配線層２９が低濃度の拡散層７ａに直接にはコンタクトせずに、メモリセル領域の下部ビット線14_1，上部ビット線層14_2と同じ工程で形成され、これら下部ビット線14_1，上部ビット線層14_2と同じ材料からなる充填層14_{1a}，14_{2a}を介してコンタクトしていることにある。このため、スタック型メモリセルによってもたらされる周辺回路領域の深いコンタクトホールが、充填層14_{1a}，14_{2a}の分だけコンタクトホールの深さが浅くなる。このため、後のコンタクトを取る場合にコンタクトホールの深さがそろうと同時に下地の材質も揃う結果、高歩留りのコンタクトを実現できる。

【００１７】

第３の異なる点は、ゲート電極４又はビット線１４への自己整合コンタクトは、各電極の表面又は側面に設けられたSi_3N_4膜かなるゲートキャップ層５又はビット線キャップ層１５，スペーサ層８だけをストッパー層として使用することにより行なわれていることにある。

【００１８】

第４の異なる点は、キャパシタ電極部（多結晶Ｓｉ膜２０，２２，プレート電極２４）は、エピタキシャルＳｉ層９，シリサイド層１０上に形成されたプラグ層１２（導電層）を介して低濃度の不純物拡散層７′（第２の不純物拡散層）とコンタクトすることにある。

【００１９】

即ち、実効的に低濃度の不純物拡散層７′がゲート電極４より上の位置にまで持ち上げられたことになる。このため、ビット線を蓄積電極より先に形成するプラグ層１２によるスタック型メモリセルにおいては、後工程でのキャパシタ電極コンタクトの形成の際に、ビット線だけへの自己整合を行なえば良く、工程を大幅に簡略化できると共に、製造歩留りを著しく向上できる。

次にこのような特徴を有するＤＲＡＭの製造方法を図４～図９を用いて説明する。

【００２０】

まず、図４（ａ），（ｂ）（それぞれ図１（ａ）の平面図，図１（ｂ）の断面図に対応、図４以降の図も同様）に示すように、不純物濃度$5\times10^{15}cm^{-3}$程度のｐ型又はｎ型Ｓｉ基板１の（１００）面にｎチャネルトランジスタ領域にはＰウェル、また、Ｐチャネルトランジスタ領域にはｎウェルを形成する。次いで例えば、反応性イオンエッチング（ＲＩＥ）を用いてＳｉ基板１に溝を堀り、絶縁膜２を埋込むいわゆるトレンチ分離又はSi_3N_4膜を用いたいわゆるＬＯＣＯＳ法によりフィールド絶縁膜２を形成する。ここでは、チャネルストッパー層の図示は省略してあるが必要であれば形成する。

【００２１】

次いで素子形成領域のＳｉ基板１の表面を露出させた後、厚さ１０ｎｍ程度のゲート酸化膜３を形成し、このゲート酸化膜３上にゲート電極４を形成する。このゲート電極４は、抵抗を小さくするためにいわゆるポリサイド構造を採用しているが、単純な多結晶Ｓｉ層のみでも良い。このゲート電極４の下層は、厚さ１００ｎｍ程度のリン等の不純物がドープされた多結晶Ｓｉ層4_1であり、上層は、厚さ１５０ｎｍ程度のタングステンシリサイド（WSi_2）層4_2である。

【００２２】

次いでこのWSi_2層4_2上に後工程の自己整合工程時によるゲート電極４へのエッチングストッパー層となるＳｉ窒化膜（Si_3N_4）からなるゲートギャップ層５を形成した後、このゲートギャップ層５上にレジストパターン（図示せず）を形成し、続いて、このレジストパターンをマスクに用いて、ゲートギャップ層５，シリサイド層4_2、多結晶Ｓｉ層4_1を連続加工する。次いでゲート電極４と低濃度の不純物拡散層７との耐圧を向上させるために、例えば、８００℃、O_2雰囲気、３０分程度の熱酸化を行ない、いわゆる後酸化膜６を形成する。

【００２３】
この後、ＬＤＤ構造を形成するために、レジストパターン（不図示）を形成し、後酸化膜６を通してｎ型の不純物イオンをＳｉ基板１の所望の表面に注入し、選択的に低濃度のｎ型不純物拡散層７を形成する。ｐチャネルトランジスタ領域へも同様に、低濃度のｐ型不純物拡散層をイオン注入によって形成する。なお、イオン注入の濃度はｎチャネル，ｐチャネルともに$5\times10^{13}cm^{-2}$程度とする。
次に図５（ａ），（ｂ）に示すように、本発明の特徴の１つである高不純物濃度の不純物拡散層を形成する。
【００２４】
即ち、まず、全面に厚さ５０ｎｍ程度のSi_3N_4膜をＣＶＤ法により堆積した後、ＲＩＥ法により全面エッチングを行ないゲート電極４の側壁に幅５０ｎｍ程度の上記Si_3N_4膜からなるスペーサー層８を形成する。このとき、低濃度の不純物拡散層７の領域のＳｉ基板１の表面を露出させる。次いでこの露出したＳｉ基板１の表面に選択的に厚さ２００ｎｍ程度のエピタキシャルＳｉ層９を成長させる。
【００２５】
この後、ｎチャネル領域のエピタキシャルＳｉ層９に、例えば、ドーズ量$5\times10^{15}cm^{-2}$程度のひ素イオンを注入し、ｎチャネル領域のエピタキシャルＳｉ層９が高濃度のｎ型不純物拡散層として機能するようにする。同様に、ｐチャネル領域の不純物拡散層７のエピタキシャルＳｉ層９に、例えば、ドーズ量$5\times10^{15}cm^{-2}$程度のBF_2^+を注入し、ｐチャネル領域のエピタキシャルＳｉ層９が高濃度のｐ型不純物拡散層として機能するようにする。
【００２６】
次いでエピタキシャルＳｉ層９の表面のみにシリサイド層１０を形成する。このシリサイド層１０の形成は、例えば、全面にＴｉをスパッタ法により、５０ｎｍ程度形成し、引き続き、シリサイド化のための熱処理（例えば６００℃、N_2、３０分の熱処理）を行ない、最後に、ゲートギャップ層５上やスペーサー層８上の未反応のＴｉ層を除去する。これにより、露出していたエピタキシャルＳｉ層９の表面にのみシリサイド層（$TiSi_2$）１０を選択的に形成できる。他のシリサイド材料として、例えば、ニッケルシリサイドやコバルドシリサイド等を用いても良い。
次に図６（ａ），（ｂ）に示すように、本発明の特徴の１つであるキャパシタ電極部の自己整合エッチング技術を用いたプラグ層の形成を行なう。
【００２７】
即ち、まず、全面に層間絶縁膜１１として、例えば、ＢＰＳＧ膜をＣＶＤ法で約６００ｎｍ堆積した後、化学的・機械的に基板全面を研磨するいわゆるケミカルメカニカルポリッシング法を用いてゲート電極４上の層間絶縁膜１１の膜厚が約２００ｎｍ程度になるように平坦化エッチングする。ここで、他の平坦化法、例えば、レジストを塗布して下地を平坦化した後、レジストと絶縁膜とのエッチング速度がほぼ等しくなるような条件でエッチングするいわゆるレジストエッチバック法を用いても良い。
【００２８】
次いで層間絶縁膜１１上にキャパシタ電極部と低濃度の不純物拡散層７’とのコンタクトを取るためのコンタクトホール用のレジストパターン（不図示）を形成し、これをマスクとして用い、層間絶縁膜１１を選択的にエッチングしてシリサイド層１０を露出してコンタクトホールを開口する。この層間絶縁膜１１の選択エッチングは、例えば、ＲＩＥを用いて行い、そのエッチング条件は、スペーサ層８（Si_3N_4膜）に対してＢＰＳＧ膜のエッチング速度が速い条件にする。例えば、エッチングガスとしてCHF_3とＣＯとの混合ガスを用い、６ｍＴｏｒｒ程度の真空度などで実現することができる。これ以外の設定条件でも上記エッチング条件を実現できる。
【００２９】
このようにすると、層間絶縁膜１１（ＢＰＳＧ膜）はエッチングされるが、ゲート電極４上のゲートギャップ層（Si_3N_4）５や、ゲート電極４の側壁のスペーサ層（Si_3N

$_4$）８はエッチングされず、後工程で形成するキャパシタ電極部とゲート電極４とのショートを防ぐことができる。即ち、新らたなエッチングストッパー層が不要になり、複雑な工程を用いなくても、自己整合的にコンタクトホールを開孔できる。

【００３０】

次いで全面にプラグ層１２となる例えば砒素をドープした多結晶Ｓｉ層をコンタクトホールが完全に埋まるまで堆積する。例えば、０．４μｍ径のコンタクトホールならば、４００ｎｍ程度の膜厚だけ堆積し、ケミカルドライエッチング（ＣＤＥ）法を用いてエッチバックを行ない、コンタクトホールを多結晶Ｓｉ層で充填する。これにはケミカルメカニカルポリッシング法を用いても良い。このような工程により低濃度の不純物拡散層７′と電気的に接続された多結晶Ｓｉ層からなるプラグ層１２をゲート電極４より上の位置に形成できる。これは後の工程でキャパシタ電極部を形成するときに非常に有効に働く構造である。

【００３１】

なお、ここでは、層間絶縁膜１１にＢＰＳＧ膜を用いる例を示したが、他の膜、例えば、プラズマ酸化膜や、オゾン（O_3）－ＴＥＯＳ膜やその他のなるべく低温で形成できる絶縁膜であって、ＲＩＥ時においてSi_3N_4膜よりエッチングが速い膜であればどの様な絶縁膜でも良い。

次に図７（ａ），（ｂ）に示すように、本発明の特徴の１つである周辺回路部のコンタクトホールの深さを浅くする工程に進む。

【００３２】

即ち、プラグ層１２の絶縁のために全面に層間絶縁膜１３として、例えば、ＣＶＤ法により膜厚１００ｎｍ程度のSiO_2膜を堆積する。次いで低濃度の不純物拡散層７とビット線層１４とのコンタクトを取るためのコンタクトホールを通常のリソグラフィー工程を用いて形成する。

【００３３】

このコンタクトホールの開孔も、図６の工程と同様にSiO_2膜とSi_3N_4膜とのエッチングレートの差を用いて自己整合的に行なう。即ち、層間絶縁膜１１，１３（SiO_2膜）はエッチングされるが、Si_3N_4からなるゲートキャップ層５，スペーサ層８はほとんどエッチングされないようなエッチング条件でＲＩＥを行なう。なお、SiO_2とSi_3N_4のエッチング選択比が１０以上になるような条件が望ましい。

このとき、周辺回路の低濃度の不純物拡散層７ａへのコンタクトホールも同時に開孔する。

【００３４】

即ち、図５の工程の際に形成した低濃度の不純物拡散層７，７′と、この上に形成したエピタキシャルＳｉ層９と、この上に形成したシリサイド層１０が積層形成された領域にもコンタクトホールを同時に形成する。換言すれば、メモリセルの低濃度の不純物拡散層７，７′のコンタクトホールと、周辺回路の低濃度の不純物拡散層７ａのコンタクトホールを同時に形成する。

【００３５】

このとき、図８（図２も参照）からわかるように、エピタキシャルＳｉ層９はフィールド絶縁膜２の上にも伸びて広がり、フィールドエッヂとのコンタクトマージンを広げることに役立っている。つまり、フィールド絶縁膜２上でもコンタクトを取ることを可能にしている。

【００３６】

この後、ビット線層１４を形成する。このビット線層１４の材料としては、配線抵抗を下げるため、並びに持ち上げコンタクトの抵抗を減らすために、メタル材を用いるほうが望ましい。例えば、ＣＶＤ法で形成するタングステン（Ｗ）膜を用いる。

【００３７】

この場合、下地の層間絶縁膜１３（SiO_2）とＷ膜との剥がれを防止するために、ＴｉＮ膜又はスパッタ法で形成したＷ膜を下部ビット線層14_1として用いる。

【００３８】
即ち、まず、コンタクトホールを開けた後、ＣＶＤ法を用いてＴｉＮからなる厚さ５０ｎｍの下部ビット線層14_1を形成し、引き続き、ＣＶＤ法を用いて厚さ１００ｎｍのＷからなる上部ビット線層14_2を形成する。次いでゲートキャップ層１５として、例えば、厚さ１５０ｎｍのプラズマ窒化膜（Si_3N_4）を形成した後、この上に順次通常のリソグラフィー技術を用いてレジストパターンを形成する。そして、このレジストパターンをマスクに用いて、ゲートキャップ層１５，上部ビット線層14_2，下部ビット線層14_1を順次ＲＩＥにより加工する。
【００３９】
なお、メモリセル部の構造はスタック型メモリセルにおけるビット線先作り型であるが、周辺回路部では、不純物拡散層７ａのコンタクトホールがゲート電極４に自己整合的に形成され、一度、メモリセル領域のビット線層14_1，14_2と同一の充填層14_{1a}，14_{2a}によって持ち上げられる構造になる。
【００４０】
また、図８には示されていないが、ゲート電極４へのコンタクトも同時にビット線層14_1，14_2と同じ充填層14_{1a}，14_{2a}により持ち上げられ、周辺回路部の不純物拡散層７ａ及びゲート電極４は全てビット線層14_1，14_2と同じ充填層14_{1a}，14_{2a}層によって一度上の位置へ持ち上げられることになる。これによりメモリセル部と周辺回路部との後のメタル配線形成時のコンタクトホールの深さが揃い、スタック型メモリセルのような深いコンタクトホールを有するメモリセルの欠点を回避できる。
【００４１】
なお、図８に示すように、Ｗ膜やＴｉＮ膜などのビット線14_1，14_2のメタル材の表面を耐酸化性／耐熱性を向上させるために、例えば、プラズマ窒化処理などを行ない表面保護膜１６を形成しておくことは非常に有効である。
次に図９（ａ），（ｂ）に示すように、本発明の特徴の１つであるプラグ層１２を用いたキャパシタ電極の形成工程について説明する。
【００４２】
即ち、ビット線層１４の層間絶縁膜１７として、全面にＣＶＤ法により３５０℃程度の低温で形成できる、例えば、オゾン－ＴＥＯＳ酸化膜を約５００ｎｍ程度堆積する。
【００４３】
次いでケミカルメカニカルポリッシング法等により全面を平坦化し、ビット線層１４上に層間絶縁膜１７を約１００ｎｍ程度残置させた後、全面に厚さ５０ｎｍ程度のSi_3N_4膜１８をＣＶＤ法で堆積する。
【００４４】
次いでSi_3N_4膜１８上に通常のリソグラフィー法によりプラグ層１２との接続のためのコンタクトホール用のレジストパターン（不図示）を形成した後、これをマスクとしてＲＩＥにより、Si_3N_4膜１８，層間絶縁膜１７，１３を順次エッチングし、コンタクトホールを形成する。
【００４５】
このときも、図６，図７の工程のときと同じように、SiO_2膜の方がSi_3N_4膜よりもエッチング速度が約１０倍以上速いようなエッチング条件でエッチングすることにより、例えば、リソグラフィー時の合わせずれにより、ビット線１４にコンタクトホールがかかっても、ビット線１４の上のゲートキャップ層（Si_3N_4）１５でエッチングはストップする。しかも、プラグ層１２までエッチングが達しても、プラグ層１２がゲート電極４より例えば４００ｎｍ程度上の位置にあるのでゲート電極４とショートすることを防止できる。
【００４６】
次いで全面にSi_3N_4膜１９を、例えば、５０ｎｍ程度堆積した後、全面をＲＩＥによりエッチングすることによりコンタクトホールの側壁にのみにSi_3N_4膜１９を残置し、プラグ材１２の表面を露出させると共に、露出したビット線１４の側面を後工程で形成

するキャパシタ電極と絶縁分離されるようにする。次いで全面にキャパシタ下地電極（蓄積電極）としての砒素をドープした多結晶Ｓｉ膜２０を、例えば、膜厚７０ｎｍ程度堆積した後、全面にＣＶＤ法によるSiO_2膜２１を、例えば、膜厚５００ｎｍ程度堆積し、キャパシタ電極状にSiO_2膜２１をＲＩＥ法によりエッチング加工する。このとき、エッチングは多結晶Ｓｉ膜２０で止める。

【００４７】

次いでエッチングガス条件を変えて、下地の多結晶Ｓｉ膜２０をSiO_2膜２１と同じ形状にエッチング加工する。このとき、エッチングは下地のSi_3N_4膜１８で止める。そして、全面に、再度、キャパシタ下地電極層としての多結晶Ｓｉ膜２２を膜厚５００ｎｍ程度堆積する。このとき、多結晶Ｓｉ膜２２とキャパシタ下地電極層としての多結晶Ｓｉ膜２０との電気的な接続を確実に低抵抗にするために、ひ素を４方向から角度をつけて（例えば３０度程度のイオン注入角度で）イオン注入を行なう。または、リンドープド多結晶Ｓｉにして確実に電気的接続を保っても良い。

【００４８】

次いで全面を多結晶Ｓｉのエッチング条件でＲＩＥを行ないSiO_2膜２１及び多結晶Ｓｉ膜２０の側面に多結晶Ｓｉ膜２２を残置させる。このようにするとキャパシタ電極の大きさをリソグラフィーで決まる大きさよりも大きくできる。即ち、キャパシタ電極の面積を大きくでき、蓄積容量（Ｃｓ）を大きくすることができる。同じ容量（Ｃｓ）であればこの多結晶Ｓｉ膜２２の高さを低くできることになる。これは全体の段差を減らすのに非常に有効である。

【００４９】

次いでSiO_2膜２１を、例えば、NH_4F液等のエッチング溶液を用いて除去する。このとき、下地のSi_3N_4膜１８によって、NH_4F液による下地の層間絶縁膜１７のエッチングを防止できる。

次にキャパシタの形成工程に入るが、２通りのキャパシタ絶縁膜の形成法がある。

第１の方法は、通常のいわゆるＮＯ膜を用いるやりかたである。

【００５０】

即ち、まず、キャパシタ下地電極としての多結晶Ｓｉ層２０，２２の表面の自然酸化膜をシランガス（SiH_4）により除去した後、同じ真空中で多結晶層２０，２２の表面にSi_3N_4膜を高温（例えば８００℃）でアンモニアガス（NH_3）を流すことにより例えば１ｎｍ程度形成する。

【００５１】

この後、全面にキャパシタ絶縁膜２３としてSi_3N_4膜を膜厚６０ｎｍ程度堆積し、その表面を例えば８００℃，ＨＣｌ、１０％の雰囲気で６０分程度酸化することにより、いわゆるトップ酸化膜を約２ｎｍ程度形成する。次いで全面にプレート電極２４となる多結晶膜を堆積し、これをパターニングしてプレート電極２４を形成する。

【００５２】

次いでその上に層間絶縁膜２５として、例えば、プラズマ－ＴＥＯＳ膜（SiO_2膜）を全面に約１００ｎｍ程度堆積した後、全面にオゾン－ＴＥＯＳ膜２６を、例えば、１０００ｎｍ程度堆積する。そして、ケミカルメカニカルポリッシング技術などを用いて表面を平坦化し、その上の全面に再度、Ａｌ配線２９の下地となる層間絶縁膜２７としてプラズマ－ＴＥＯＳ膜を約１００ｎｍ程度堆積する。

【００５３】

第２の方法は、キャパシタ絶縁膜として高誘電体膜、例えば、タンタルオキサイド膜（Ta_2O_5膜）を用いるやりかたである。他の高誘電体膜、例えば、チタン酸ストロンチウム（$SrTiO_3$）膜等でも同様であるが、それぞれの膜のキャパシタ電極との反応を考えて、電極材料や表面処理を工夫して使用、選択する必要がある。

【００５４】

一例として、Ta_2O_5膜の場合について説明する。まず、ＮＯ膜の場合と同じように、キャパシタ下地電極としての多結晶Ｓｉ膜２０，２２の表面の自然酸化膜を例えばシラン

還元法などにより除去した後、表面にSi_3N_4膜を１ｎｍ程度形成する。

【００５５】

次いで全面にキャパシタ絶縁膜２３としてTa_2O_5膜をＣＶＤ法により形成した後、Ta_2O_5膜の誘電率を向上させるために、７５０℃程度のN_2アニールを行なう。

【００５６】

次いでプレート電極２４としてチタンナイドライド膜（ＴｉＮ）膜，カーボン膜（Ｃ）又はニッケル（Ｎｉ）膜を形成する。若しくはプレート電極２４の抵抗を下げたり、剥がれを防止するために、表面にW膜又はＡｌ膜を同時に形成しても良い。

【００５７】

次いで前のＮＯ膜の場合と同様に層間絶縁膜２５，２６としてそれぞれ低温で形成できるプラズマ－ＴＥＯＳ膜（SiO_2膜），オゾン（O_3）－ＴＥＯＳ膜をそれぞれ１００ｎｍ、１０００ｎｍ程度全面に堆積した後、ケミカルメカニカルポリッシング法などにより基板全面にわたり均一に平坦化する。

【００５８】

以上がＮＯ膜，高誘電体膜を用いた場合のキャパシタ形成法の一例であるが、Ｓｒ（TiO_3）の場合には、電極との反応を防止するために、電極としてＴａ／Ｐｔ積層系のものを用いて良い。

【００５９】

以降の工程は、先に示した図１，図２，図３のように、ビット線１４又はプレート電極２４などに対するコンタクトホールを開口し、このコンタクトホール内に、例えば、W膜２８の選択成長を行なうか若しくは全面にW膜を堆積した後、エッチバック法によってコンタクトホールにW膜２８を埋込み、コンタクトホールに低抵抗のメタル材を埋め込む。これによりコンタクト部プラグの低抵抗化が図れる。

【００６０】

最後に、バリアメタル材としてのＴｉＮ膜29_1と、主配線としてのＡｌ膜29_2とからなるＡｌ配線２９を形成してメモリセル及び周辺回路部が完成する。このとき、配線２９をメモリセル部のワード線層４のシャント材として用いても良い。また、必要とあればさらにもう１層Ａｌ配線を形成しても良い。

【００６１】

なお、本実施例では、ワード線４方向に隣接する複数のメモリセルの相互関係は示していないが、メモリセルの配置をフォールデッドビット線方式とする場合のワード線の通過だけはフィールド上に示してある。勿論、本発明はオープンビット線構成のＤＲＡＭに適用することできる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【００６２】

【発明の効果】

以上述べたように、本発明によれば、第１の不純物拡散層及び第２の不純物拡散層の不純物濃度より高い不純物濃度を有するエピタキシャル層が、第１の不純物拡散層及び第２の不純物拡散層上に設けられているため、接合リークを低下させたり、トランジスタのショートチャネル効果を抑制できる。

【００６３】

また、配線層を充填層として利用することにより、スタック型メモリセルによってもたらされる周辺回路領域の深いコンタクトホールが、充填層の分だけコンタクトホールの深さが浅くなり、コンタクト不良による歩留りの低下を防止できる。

【図面の簡単な説明】

【図１】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの概略構成を示す図。

【図２】図１のスタック型ＤＲＡＭのメモリセルのＢ－Ｂ´断面図。

【図３】図１のスタック型ＤＲＡＭの周辺回路の概略構成を示す図。

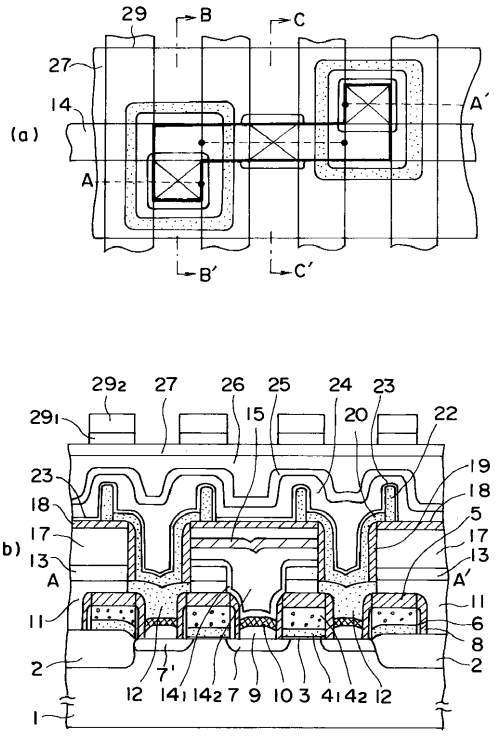
【図４】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの製造工程断面図。

【図５】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの製造工程断面図。

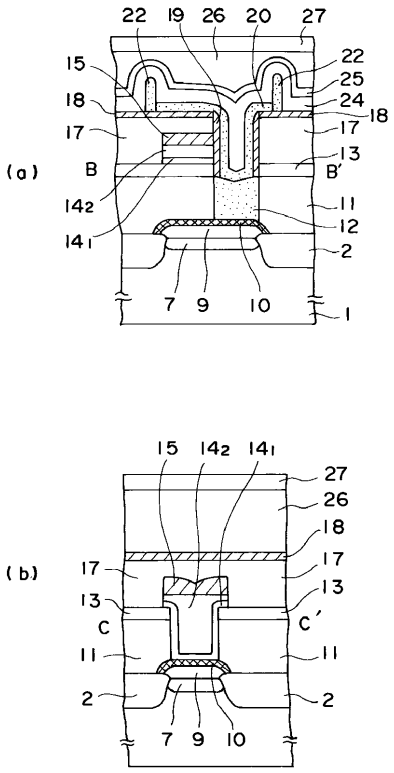
【図６】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの製造工程断面図。

【図７】本発明の一実施例に係るスタック型ＤＲＡＭの周辺回路部の製造工程断面図。
【図８】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの製造工程断面図。
【図９】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの製造工程断面図。
【図１０】従来のスタック型ＤＲＡＭのメモリセルの素子断面図。
【符号の説明】
１，１０１…Ｓｉ基板、２，１０２…フィールド絶縁膜、３，１０３…ゲート絶縁膜、４，１０４…ゲート電極、５…ゲートキャンプ層、８…スペーサー層、７，１０５…不純物拡散層、９…エピタキシャルＳｉ層、１０…シリサイド層、１２…プラグ層、１４，１１２…ビット線層、14_1，14_2…充填層、１１，１３，１７，２５，２６，２７，１０６，１１１，１１４…層間絶縁膜、２０，２２，１０７…多結晶Ｓｉ膜、２３，１０９…キャパシタ絶縁膜、２４，１１０…プレート電極、Ａｌ配線…２９。

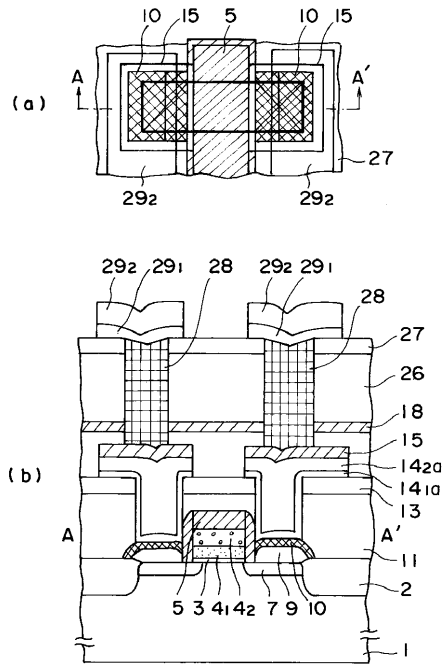
【図１】



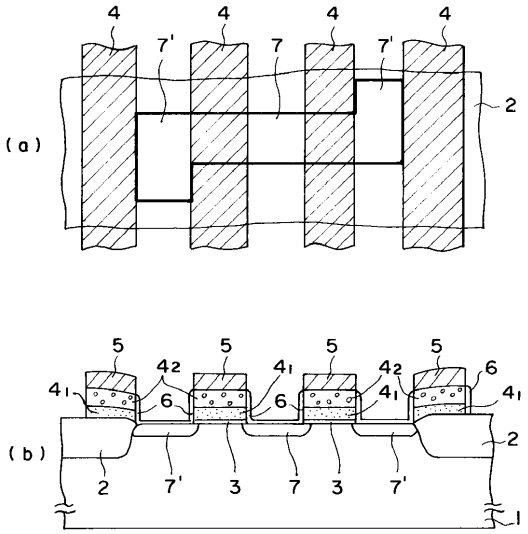
【図２】



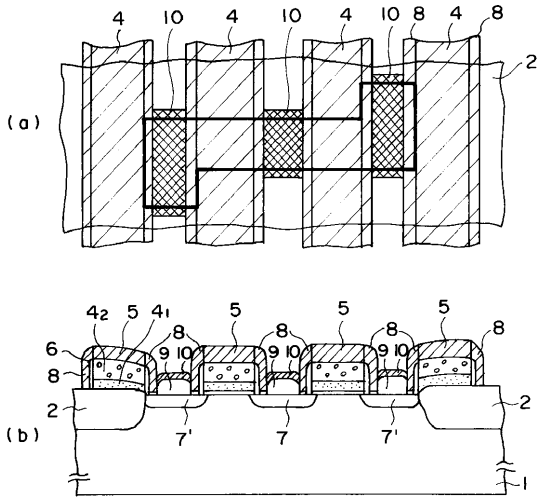
【図３】


(a)
(b)
A
A'
10 15 5 10 15
27
29₂ 29₂
29₂ 29₁ 28 29₂ 29₁
28
27
26
18
15
14₂a
14₁a
13
11
2
1
5 3 4₁ 4₂ 7 9 10

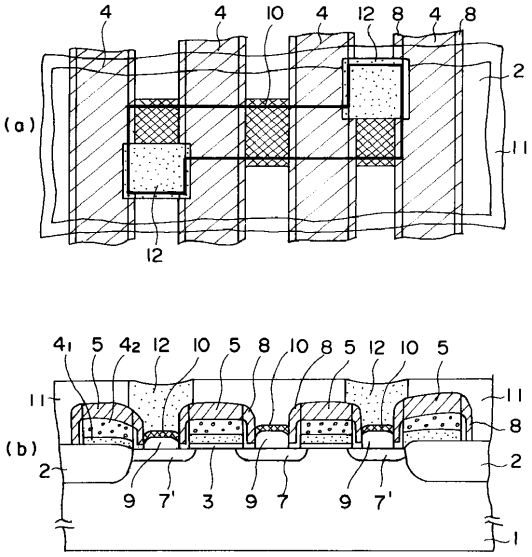
【図４】


(a)
(b)
4 4 4 4
7' 7 7'
2
5 5 5 5
4₂ 4₁ 4₂
6 6
4₁ 4₁
2
7' 3 7 3 7'
1

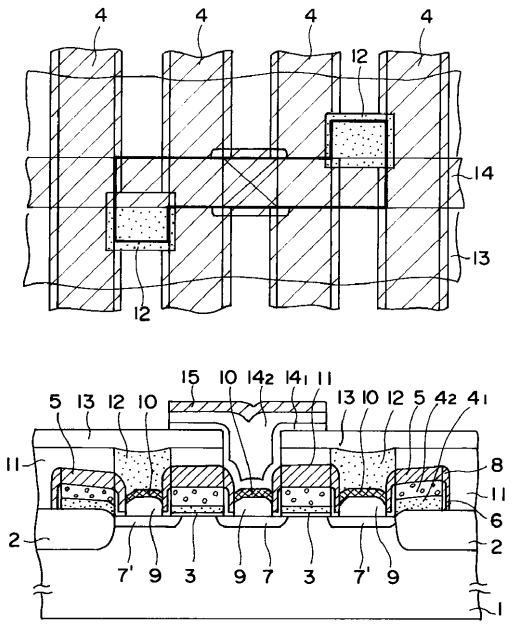
【図５】


(a)
(b)
4 10 4 10 4 10 8 4 8
2
4₂ 5 4₁ 5 5 5
8 8 8 8
6
8
9 10 9 10 9 10
2
2
7' 7 7'
1

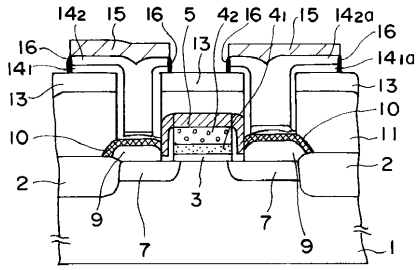
【図６】


(a)
(b)
4 4 10 4 12 8 4 8
2
11
12
4₁ 5 4₂ 12 10 5 8 10 8 5 12 10 5
11
11
8
2
2
9 7' 3 9 7 9 7'
1

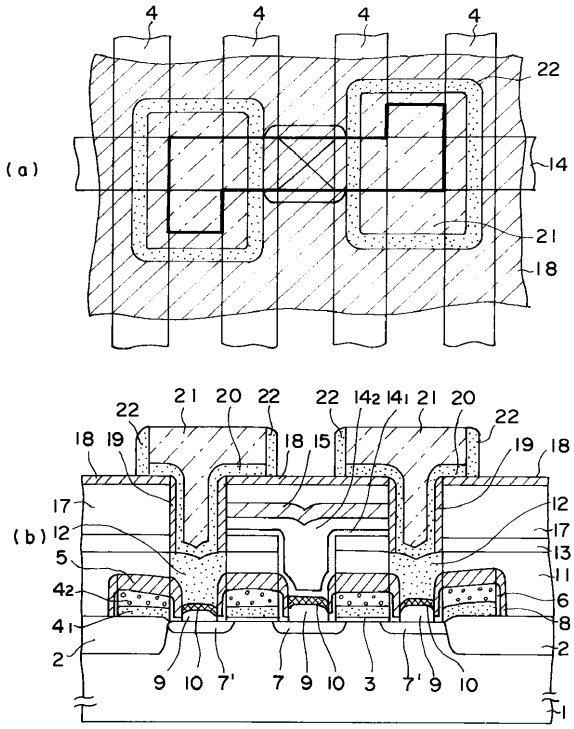
【図７】


4
4
4
4
12
14
13
12
15 10 14₂ 14₁ 11
5 13 12 10
13 10 12 5 4₂ 4₁
11
8
11
6
2
2
7' 9 3 9 7 3 7' 9
1

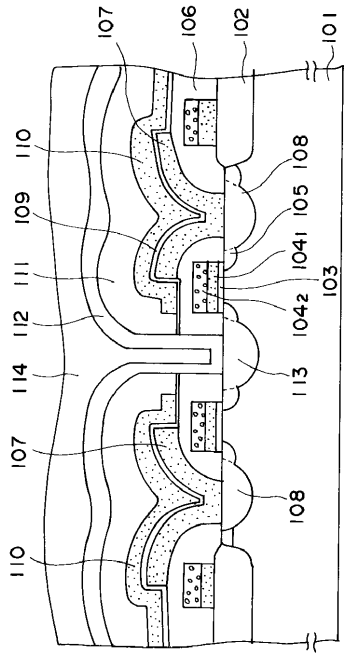
【図８】


14₂ 15 16 5 4₂ 16 4₁ 15 14₂a
16
14₁
13
16
14₁a
13
13
10
10
11
2
2
9
7
3
7
9
1

【図９】


4
4
4
4
22
(a)
14
21
18
21 20 22
22 14₂ 14₁ 21 20
22
22
18 19
18 15
19 18
17
12
(b)
12
17
5
13
4₂
11
6
4₁
8
2
2
9 10 7' 7 9 10 3 7' 9 10
1

【図１０】


107
106
102
101
110
108
109
105
104₁
111
103
104₂
112
114
113
107
108
110

フロントページの続き

(72)発明者　尾崎　徹
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内
(72)発明者　山田　敬
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝総合研究所内

合議体
審判長　河合　章
審判官　瀧内　健夫
審判官　長谷山　健

(56)参考文献　特開平２－１５１０６０（ＪＰ，Ａ）
特開平４－９３０６８（ＪＰ，Ａ）
特開平３－６４９６４（ＪＰ，Ａ）